



(12) 发明专利

(10) 授权公告号 CN 102909639 B

(45) 授权公告日 2016. 02. 24

(21) 申请号 201210422897. 8

(22) 申请日 2012. 10. 30

(73) 专利权人 上海新傲科技股份有限公司
地址 201821 上海市嘉定区普惠路 200 号

(72) 发明人 魏星 曹共柏 张峰 张苗 王曦

(74) 专利代理机构 上海翼胜专利商标事务所
(普通合伙) 31218

代理人 孙佳胤 翟羽

(51) Int. Cl.

B24B 29/02(2006. 01)

H01L 21/02(2006. 01)

审查员 薛飞

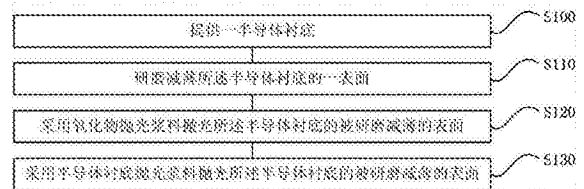
权利要求书1页 说明书4页 附图2页

(54) 发明名称

半导体衬底的表面处理方法

(57) 摘要

本发明提供了一种半导体衬底的表面处理方法以及半导体衬底的制作方法。所述半导体衬底的表面处理方法包括如下步骤：提供一半导体衬底；研磨减薄所述半导体衬底的一表面；采用氧化物抛光浆料抛光所述半导体衬底的被研磨减薄的表面；采用半导体衬底抛光浆料抛光所述半导体衬底的被研磨减薄的表面。本发明的优点在于，研磨工艺会在半导体衬底的表面形成一层自然氧化层，本发明采用了能够腐蚀半导体衬底的自然氧化层的氧化物抛光浆料对半导体衬底实施抛光，保证在对半导体衬底表面化学机械抛光之前，半导体衬底的表面是绝对无任何多余物质的，避免不同物质的机械强度不同对研磨造成影响。



1. 一种半导体衬底的制作方法,其特征在于,包括如下步骤:
 - 提供支撑衬底;
 - 机械研磨减薄支撑衬底的一表面;
 - 采用氧化物抛光浆料抛光所述支撑衬底的被研磨减薄的表面,所述氧化物抛光浆料指的是能够腐蚀支撑衬底的自然氧化层的浆料;
 - 采用半导体衬底抛光浆料抛光所述支撑衬底的被研磨减薄的表面;
 - 提供器件衬底;
 - 在器件衬底的已抛光表面和 / 或支撑衬底的一表面形成绝缘层;
 - 以绝缘层为中间层,将支撑衬底和器件衬底键合在一起,形成半导体衬底;
 - 研磨减薄所述器件衬底的暴露表面;
 - 采用氧化物抛光浆料抛光所述器件衬底的被研磨减薄的表面,所述氧化物抛光浆料指的是能够腐蚀器件衬底的自然氧化层的浆料;
 - 采用半导体衬底抛光浆料抛光所述器件衬底的被研磨减薄的表面。

半导体衬底的表面处理方法

技术领域

[0001] 本发明涉及半导体材料领域,尤其涉及一种半导体衬底的表面处理方法及半导体衬底的制作方法。

背景技术

[0002] 体硅以及 SOI 材料合称为硅基材料,是微电子的基础材料,被广泛应用到集成电路的各个领域。以 SOI 材料为例,按其顶层硅薄层的厚度,可分为薄膜 SOI (顶层硅通常小于 1 μm)和厚膜 SOI (顶层硅通常大于 1 μm)两大类。薄膜 SOI 市场 95% 的应用集中在 8 英寸和 12 英寸,其中绝大多数用户为尖端微电子技术的引导者,如 IBM、AMD、Motorola、Intel、UMC、TSMC、OKI 等。目前供应商为日本信越 (SEH)、法国 Soitec、日本 SUMCO,其中前两家供应了约 90% 以上的产品。薄膜 SOI 市场主要的驱动力来自于高速、低功耗产品,特别是微处理器 (CPU) 应用。这些产品的技术含量高,附加值大,是整个集成电路的龙头。

[0003] 很多对 SOI 的报道均集中在以上这些激动人心的尖端应用上,而实际上 SOI 早期的应用集中在航空航天和军事领域,现在扩展到功率和灵巧器件以及 MEMS 应用。特别是在汽车电子、显示、无线通讯等方面发展迅速。由于电源的控制与转换、汽车电子以及消费性功率器件方面对恶劣环境、高温、大电流、高功耗方面的要求,使得在可靠性方面的严格要求不得不采用 SOI 器件。在这些领域多采用厚膜 SOI 材料,集中在 6 英寸和 8 英寸,目前的用户包括美国 Maxim、ADI、TI (USA),日本 NEC、Toshiba、Panasonic、Denso、TI (Japan)、FUJI、Omron 等,欧洲 Philips、X-Fab 等。这个领域的特点在于 SOI 器件技术相对比较成熟,技术含量相对较低,器件的利润也相对降低,对 SOI 材料的价格比较敏感。在这些 SOI 材料用户里面,很大的应用主要来源于各种应用中的驱动电路:如 Maxim 的应用于主要为手机接受段的放大器电路;Panasonic、TI、FUJI、Toshiba、NEC 等主要应用在显示驱动电路中的扫描驱动电路;DENSO 的应用主要在汽车电子、无线射频电路等;Toshiba 的应用甚至在空调的电源控制电路中;Omron 主要在传感器方面;ADI 也主要在高温电路、传感器等;而 Phillips 的应用则主要是功率器件中的 LDMOS,用于消费类电子中如汽车音响、声频、音频放大器等;韩国的 Magnchip (Hynix) 则为 Kopin 生产用于数码相机用的显示驱动电路和为 LG 生产的 PDP 显示驱动电路等。

[0004] 目前,厚膜 SOI 材料的主要制备技术为键合及背面腐蚀技术 (BESOI),其具有工艺简单、成本低等优点,因此受到人们的重视。BESOI 技术首先采用研磨的办法减薄顶层硅,在此过程中在其表面形成一个几微米厚的研磨损伤层。因此,随后需要采用化学机械抛光 (CMP) 抛光去除损伤层并且降低其表面粗糙度以达到 CMOS 工艺的要求。而实验表明,抛光会造成 SOI 的顶层硅厚度均匀性降低,并且 CMP 去除量越大整个顶层硅均匀性越差。如何降低研磨后的 CMP 工艺对顶层硅总厚度均匀性偏差的影响,这是本领域内技术人员长期面临但一直无法解决的问题。

发明内容

[0005] 本发明所要解决的技术问题是,提供一种半导体衬底的表面处理方法及半导体衬底的制作方法,提高衬底表面抛光后的平整度。

[0006] 为了解决上述问题,本发明提供了一种半导体衬底的表面处理方法,包括如下步骤:提供一半导体衬底;研磨减薄所述半导体衬底的一表面;采用氧化物抛光浆料抛光所述半导体衬底的被研磨减薄的表面;采用半导体衬底抛光浆料抛光所述半导体衬底的被研磨减薄的表面。

[0007] 可选的,所述采用氧化物抛光浆料抛光所述半导体衬底的被研磨减薄的表面的步骤,进一步是采用双面抛光工艺;所述采用半导体衬底抛光浆料抛光所述半导体衬底的被研磨减薄的表面的步骤,进一步是采用单面抛光工艺。

[0008] 可选的,所述采用氧化物抛光浆料抛光所述半导体衬底的被研磨减薄的表面的步骤,进一步是采用单面抛光工艺;所述采用半导体衬底抛光浆料抛光所述半导体衬底的被研磨减薄的表面的步骤,进一步是采用单面抛光工艺,且包括粗抛光步骤和精细抛光步骤。

[0009] 本发明进一步提供了一种半导体衬底的制作方法,包括如下步骤:提供支撑衬底;研磨减薄支撑衬底的一表面;采用氧化物抛光浆料抛光所述半导体衬底的被研磨减薄的表面;采用半导体衬底抛光浆料抛光所述半导体衬底的被研磨减薄的表面;提供器件衬底;在器件衬底的抛光表面和/或支撑衬底的一表面形成绝缘层;以绝缘层为中间层,将支撑衬底和器件衬底键合在一起。

[0010] 可选的,进一步包括如下步骤:研磨减薄所述器件衬底的暴露表面;采用氧化物抛光浆料抛光所述器件衬底的被研磨减薄的表面;采用半导体衬底抛光浆料抛光所述器件衬底的被研磨减薄的表面。

[0011] 本发明的优点在于,研磨工艺会在半导体衬底的表面形成一层自然氧化层,本发明采用了能够腐蚀半导体衬底的自然氧化层的氧化物抛光浆料对半导体衬底实施抛光,保证在对半导体衬底表面化学机械抛光之前,半导体衬底的表面是绝对无任何多余物质的,避免不同物质的机械强度不同对研磨造成影响。

附图说明

[0012] 附图 1 所示是本发明所述半导体衬底的表面处理方法及具体实施方式的实施步骤示意图。

[0013] 附图 2A 至附图 2D 所示是附图 1 所示方法的工艺流程图。

[0014] 附图 3 所示是本发明所述半导体衬底的制作方法具体实施方式的实施步骤示意图。

具体实施方式

[0015] 下面结合附图对本发明提供的半导体衬底的表面处理方法及半导体衬底的制作方法的具体实施方式做详细说明。

[0016] 首先结合附图给出本发明所述半导体衬底的表面处理方法的具体实施方式。

[0017] 附图 1 所示是本具体实施方式的实施步骤示意图,包括:步骤 S100,提供一半导体衬底;步骤 S110,研磨减薄所述半导体衬底的一表面;步骤 S120,采用氧化物抛光浆料抛光所述半导体衬底的被研磨减薄的表面;步骤 S130,采用半导体衬底抛光浆料抛光所述半导

体衬底的被研磨减薄的表面。

[0018] 附图 2A 至附图 2D 所示是本具体实施方式的工艺流程图。

[0019] 附图 2A 所示,参考步骤 S100,提供一半导体衬底 200。所述半导体衬底 200 可以是包括单晶硅衬底在内的任何一种常见的半导体衬底,本具体实施方式以单晶硅为例。

[0020] 附图 2B 所示,参考步骤 S110,研磨减薄所述半导体衬底 200 的一表面。本步骤会在损伤的表面形成一层自然氧化层 220。

[0021] 本步骤的目的在于减小半导体衬底 200 的总厚度偏差。研磨设备可以是线切割机或者双面研磨机,优选为单面研磨机,首先粗磨快速减薄,砂轮转速大于 2000rpm,随后精磨减小研磨造成的损伤,砂轮转速大于 2000rpm。此工艺会迅速减薄半导体衬底 200,但同时也会在半导体衬底 200 的表面形成研磨损伤,并经对研磨工艺的仔细研究发现,研磨减薄的过程中,高速研磨会产生高温,虽然有水冷,但是仍然会在损伤的表面形成一层自然氧化层 220。

[0022] 附图 2C 所示,参考步骤 S120,采用氧化物抛光浆料抛光所述半导体衬底 200 的被研磨减薄的表面。本步骤将半导体衬底 200 被研磨减薄表面的自然氧化层 220 除去。

[0023] 自然氧化层 220 由于是半导体衬底 200 的材料在高温氧化下形成,故其机械强度与半导体衬底 200 本身通常是不一致的。在后续的化学机械抛光过程中,抛光液由 SiO_2 抛浆组成,因此对半导体衬底 200 表面自然氧化层 220 的抛光是通过 SiO_2 的机械研磨来实现,在这个过程中由于自然氧化层 220 机械强度与半导体衬底 200 的机械强度不一致的影响,抛光对半导体衬底 200 的去除量并不均匀,因此抛光后会造或者半导体衬底 200 的厚度均匀性降低,并且化学机械抛光时间越长,厚度均匀性越差。

[0024] 在发现这个问题的基础上,本发明采用了能够腐蚀半导体衬底 200 的自然氧化层 220 的氧化物抛光浆料对半导体衬底 200 实施抛光,保证在对半导体衬底 200 表面化学机械抛光之前,半导体衬底 200 的表面是绝对无任何多余物质的,避免不同物质的机械强度不同对研磨造成影响,提高衬底表面的平整度。本领域技术人员可以根据实际情况选择不同成分的抛光液和抛光方式。抛光方式可以是单面抛光或者双面抛光,或者两者的结合,抛光液可以根据衬底材料灵活选取。

[0025] 如果整体工艺采用单面和双面抛光的结合,则本步骤为双面抛光,注入氧化物抛光浆料,氧化物抛光浆与水的比例小于 1:100,抛光时间小于 10 分钟。如果整体工艺采用单面抛光,则本步骤为单面抛光,注入专用的氧化物抛光浆料,氧化物抛光浆与水的比例小于 1:100,抛光时间小于 10 分钟。

[0026] 附图 2D 所示,参考步骤 S130,采用半导体衬底抛光浆料抛光所述半导体衬底 200 的被研磨减薄的表面。本步骤的目的在于将半导体衬底 200 的被研磨减薄的表面平坦化。

[0027] 若步骤 S120 采用的是双面抛光工艺,则本步骤为单面抛光,首先实施粗抛光,使用粗抛浆,抛浆与水的比例小于为 1:100;在实施精细抛光,精细抛光中,精抛浆与水的比例应小于 1:100,本步骤总的抛光去除量不大于 8 微米。亦可以不采用粗抛光过程,而应选用 5%HF 或者 10% 的 HF 酸处理双面抛光后的半导体衬底 200,浸泡不超过 5 分钟,随后直接实施精细抛光,精抛浆与水的比例应小于 1:100,总的抛光去除量不大于 8 微米。

[0028] 若步骤 S120 采用的是单面抛光,则本步骤为单面抛光,首先实施粗抛光,使用粗抛浆,抛浆与水的比例小于为 1:100;在实施精细抛光,精细抛光中,精抛浆与水的比例应

小于 1 :100,本步骤总的抛光去除量不大于 8 微米。

[0029] 接下来结合附图给出本发明所述半导体衬底的制作方法的具体实施方式。

[0030] 附图 3 所示是本具体实施方式的实施步骤示意图,包括:步骤 S300,提供支撑衬底;步骤 S311,研磨减薄支撑衬底的一表面;步骤 S312,采用氧化物抛光浆料抛光所述半导体衬底的被研磨减薄的表面;步骤 S313,采用半导体衬底抛光浆料抛光所述半导体衬底的被研磨减薄的表面;步骤 S321,提供器件衬底;步骤 S322,在器件衬底的抛光表面和 / 或支撑衬底的一表面形成绝缘层;步骤 S323,以绝缘层为中间层,将支撑衬底和器件衬底键合在一起;步骤 S331,研磨减薄所述器件衬底的暴露表面;步骤 S332,采用氧化物抛光浆料抛光所述器件衬底的被研磨减薄的表面;步骤 S333,采用半导体衬底抛光浆料抛光所述器件衬底的被研磨减薄的表面。

[0031] 其中步骤 S300 至步骤 S313 的实施,请参考前一具体实施方式,此处不再赘述。

[0032] 步骤 S322,在器件衬底的抛光表面和 / 或支撑衬底的一表面形成绝缘层,可以采用氧化工艺,也可以采用 PECVD 或者 LPCVD 淀积绝缘层,绝缘介质可以是二氧化硅也可以是氮化硅。优化工艺是标准的热氧化工艺,氧化条件可以湿氧也可以是干氧,氧化工艺取决于需要的氧化层厚度,温度为 900-1400℃,湿氧氧化,氧化层厚度需依据最终 SOI 的厚度决定。

[0033] 该键合可以是亲水键合也可以是疏水键合,优化为亲水键合。此时,可以选择等离子体辅助的亲水键合也可以是普通的亲水键合。

[0034] 步骤 S323,以绝缘层为中间层,将支撑衬底和器件衬底键合在一起,如果采用等离子体辅助亲水键合,首先采用 Ar 或者 N₂ 或者 O₂ 离子对表面进行处理,随后进行退火加固,退火温度为 50-700 °C,优化为 300 °C,退火时间为 10 min 到 10 小时,优化为 2.5 小时,退火气氛为氧气、氩气、氮气或者其混合气体。如果采用传统的亲水或疏水键合,加固温度为 800-1400℃,退火时间为 0.5-10 小时,退火气氛为氧气、氩气、氮气或者其混合气体。

[0035] 键合后,还可以根据需要进行倒角。倒角宽度由客户规格决定,通常为 1.5mm。将倒角后的衬底对在 TMAH 溶液中腐蚀,去除 100 微米边缘残余硅层。优化的办法是采用旋转腐蚀的办法,喷洒 TMAH 腐蚀液,腐蚀过程中,衬底对在旋转,转速为 100-10000rpm,优化为 1000rpm, TMAH 温度优化为 95℃。

[0036] 键合完毕后的衬底,如果器件衬底的厚度超过实际需求,还可以对器件衬底进行减薄处理,减薄可以采用步骤 S331 至步骤 S333 所述方法,以提高器件衬底表面的平整度。实施过程请参考前一具体实施方式,此处不再赘述。

[0037] 以上所述仅是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员,在不脱离本发明原理的前提下,还可以做出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

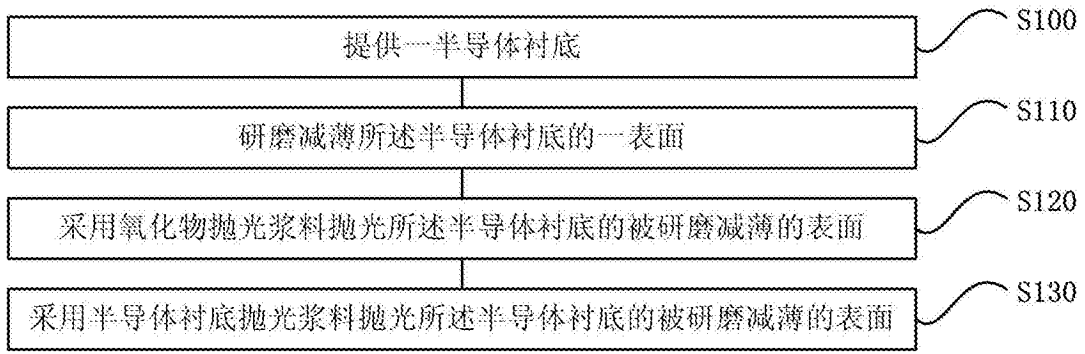


图 1



图 2A

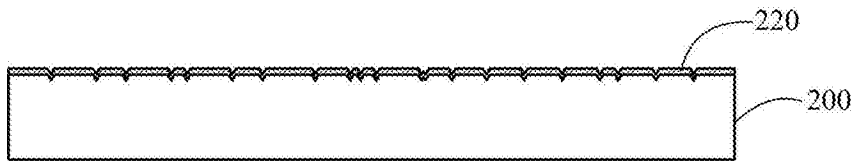


图 2B



图 2C



图 2D

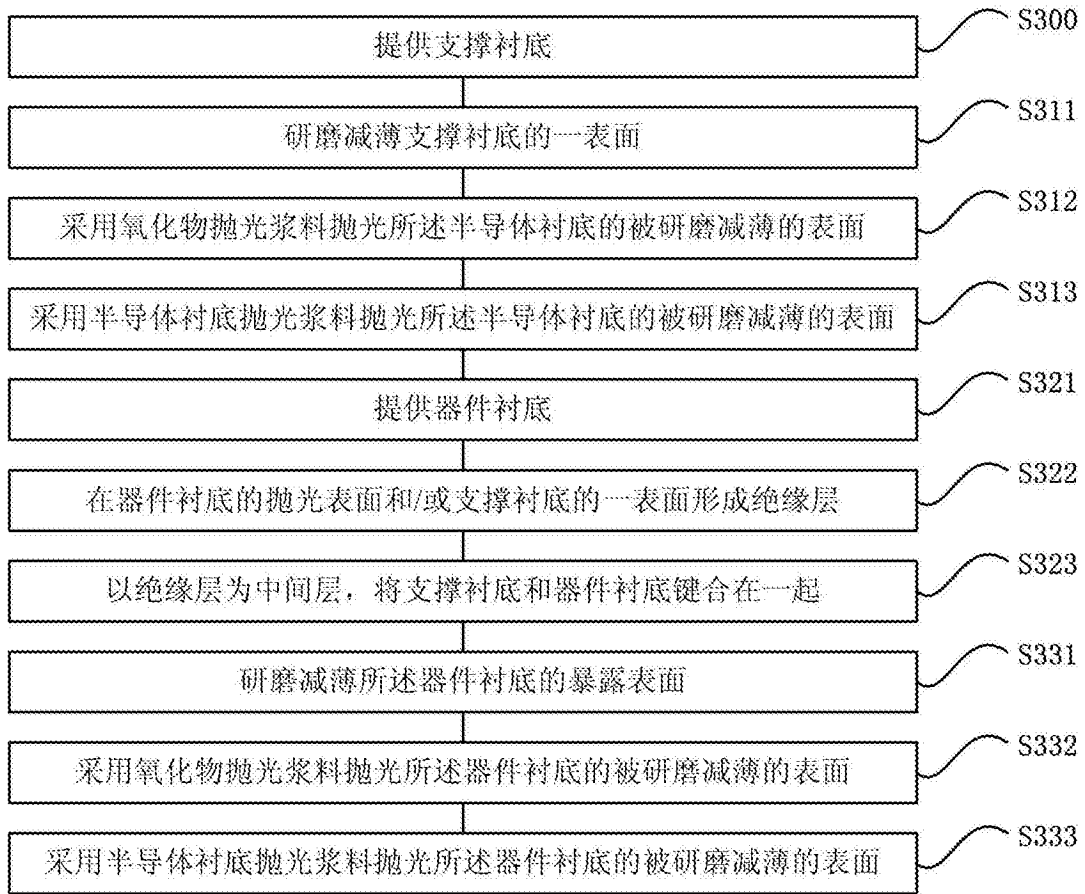


图 3