(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월26일
(11) 등록번호 10-2025722
(24) 등록일자 2019년09월20일

(51) 국제특허분류(Int. Cl.)
G01K 7/01 (2006.01)
(21) 출원번호 10-2013-0045645
(22) 출원일자 2013년04월24일
심사청구일자 2018년04월16일
(65) 공개번호 10-2013-0123315
(43) 공개일자 2013년11월12일
(30) 우선권주장
JP-P-2012-105460 2012년05월02일 일본(JP)
(56) 선행기술조사문헌
JP2001336987 A*
JP2011139053 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
코야마 준
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
야마자키 순페이
일본국 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(74) 대리인
황의만

전체 청구항 수 : 총 13 항 심사관 : 한주철

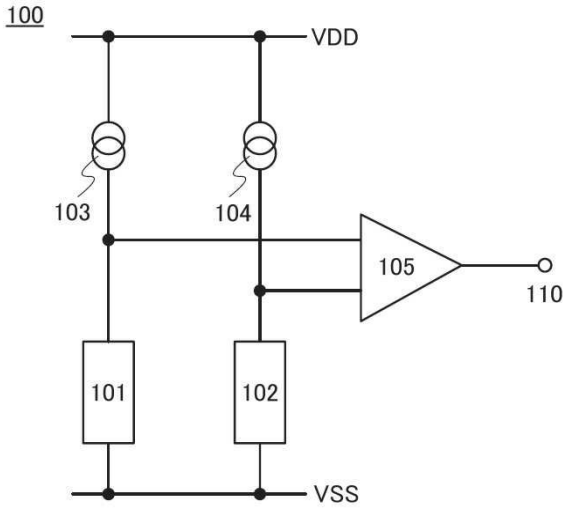
(54) 발명의 명칭 **온도 센서 회로, 및 온도 센서 회로를 사용한 반도체 장치**

(57) 요 약

본 발명은 고정밀도의 온도 센서 회로를 제공한다.

상기 온도 센서 회로는 제 1 정전류 회로와, 상기 제 1 정전류 회로로부터 공급되는 제 1 전류에 따라, 검출 대상의 온도가 반영된 제 1 전압이 양극과 음극 사이에 생기는 제 1 다이오드와, 제 2 정전류 회로와, 산화물 반도체를 가지며, 상기 제 2 정전류 회로로부터 공급되는 제 2 전류에 따라 양극과 음극 사이에 제 2 전압이 생기는 제 2 다이오드와, 상기 제 1 전압 및 상기 제 2 전압의 차분을 증폭하는 증폭 회로를 갖는 온도 센서 회로이다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

온도 센서 회로로서,

제 1 정전류 회로;

상기 제 1 정전류 회로로부터 공급된 제 1 전류에 따라, 한 쌍의 단자간에 제 1 전압이 생기는 제 1 반도체 소자;

제 2 정전류 회로;

상기 제 2 정전류 회로로부터 공급된 제 2 전류에 따라, 한 쌍의 단자간에 제 2 전압이 생기는 제 2 반도체 소자; 및

상기 제 1 전압과 상기 제 2 전압의 차분을 증폭하는 증폭 회로를 포함하고,

상기 제 1 반도체 소자의 제 1 온도에 따른 상기 제 1 전압의 변화율은 상기 제 2 반도체 소자의 제 2 온도에 따른 상기 제 2 전압의 변화율보다 크고,

상기 제 1 온도의 값은 상기 제 2 온도의 값과 동일하고,

상기 제 2 반도체 소자는 제 2 채널 형성 영역에서 산화물 반도체를 포함하고,

상기 제 1 반도체 소자는 제 1 채널 형성 영역에서 실리콘을 포함하는, 온도 센서 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제 1 전류의 값은 상기 제 2 전류의 값과 동일한, 온도 센서 회로.

청구항 6

온도 센서 회로로서,

제 1 정전압 회로;

상기 제 1 정전압 회로로부터 인가된 제 1 전압에 따라, 한 쌍의 단자간에 제 1 전류가 흐르는 제 1 반도체 소자;

상기 제 1 전류의 공급에 의해 단자들간에 제 2 전압이 생기는 제 1 부하;

제 2 정전압 회로;

상기 제 2 정전압 회로로부터 인가된 제 3 전압에 따라, 한 쌍의 단자간에 제 2 전류가 흐르는 제 2 반도체 소자;

상기 제 2 전류의 공급에 의해 단자들간에 제 4 전압이 생기는 제 2 부하; 및

상기 제 2 전압과 상기 제 4 전압의 차분을 증폭하는 증폭 회로를 포함하고,

상기 제 1 반도체 소자의 제 1 온도에 따른 상기 제 1 전류의 변화율은 상기 제 2 반도체 소자의 제 2 온도에 따른 상기 제 2 전류의 변화율보다 크고,

상기 제 1 온도의 값은 상기 제 2 온도의 값과 동일하고,

상기 제 1 부하는 상기 제 1 정전압 회로에 접속되고,

상기 제 2 부하는 상기 제 2 정전압 회로에 접속되고,

상기 제 2 반도체 소자는 제 2 채널 형성 영역에서 산화물 반도체를 포함하고,

상기 제 1 반도체 소자는 제 1 채널 형성 영역에서 실리콘을 포함하는, 온도 센서 회로.

청구항 7

삭제

청구항 8

제 1 항 또는 제 6 항에 있어서,

상기 산화물 반도체는 In, Ga, 및 Zn을 포함하는, 온도 센서 회로.

청구항 9

제 1 항 또는 제 6 항에 있어서,

상기 제 1 반도체 소자 및 상기 제 2 반도체 소자 중 적어도 하나는 다이오드인, 온도 센서 회로.

청구항 10

제 6 항에 있어서,

상기 제 3 전압의 값은 상기 제 4 전압의 값과 동일한, 온도 센서 회로.

청구항 11

반도체 장치로서,

신호를 생성하는 온도 센서 회로;

출력 장치; 및

상기 신호를 사용하여 상기 출력 장치의 동작을 제어하는 신호 처리 회로를 포함하고,

상기 온도 센서 회로는,

제 1 정전류 회로;

상기 제 1 정전류 회로로부터 공급된 제 1 전류에 따라, 한 쌍의 단자간에 제 1 전압이 생기는 제 1 반도체 소자;

제 2 정전류 회로;

상기 제 2 정전류 회로로부터 공급된 제 2 전류에 따라, 한 쌍의 단자간에 제 2 전압이 생기는 제 2 반도체 소자; 및

상기 제 1 전압과 상기 제 2 전압의 차분을 증폭하고 상기 신호를 생성하는 증폭 회로를 포함하고,

상기 제 1 반도체 소자의 제 1 온도에 따른 상기 제 1 전압의 변화율은 상기 제 2 반도체 소자의 제 2 온도에 따른 상기 제 2 전압의 변화율보다 크고,

상기 제 1 온도의 값은 상기 제 2 온도의 값과 동일하고,

상기 제 2 반도체 소자는 제 2 채널 형성 영역에서 산화물 반도체를 포함하고,

상기 제 1 반도체 소자는 제 1 채널 형성 영역에서 실리콘을 포함하는, 반도체 장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

반도체 장치로서,

제 6 항에 따른 상기 온도 센서 회로;

출력 장치; 및

신호를 사용하여 상기 출력 장치의 동작을 제어하는 신호 처리 회로를 포함하는, 반도체 장치.

청구항 19

반도체 장치로서,

신호를 생성하는 온도 센서 회로;

출력 장치; 및

상기 신호를 사용하여 상기 출력 장치의 동작을 제어하는 신호 처리 회로를 포함하고,

상기 온도 센서 회로는,

제 1 정전압 회로;

상기 제 1 정전압 회로로부터 인가된 제 1 전압에 따라, 한 쌍의 단자간에 제 1 전류가 흐르는 제 1 반도체 소자;

상기 제 1 전류의 공급에 의해 단자들간에 제 2 전압이 생기는 제 1 부하;

제 2 정전압 회로;

상기 제 2 정전압 회로로부터 인가된 제 3 전압에 따라, 한 쌍의 단자간에 제 2 전류가 흐르는 제 2 반도체 소자;

상기 제 2 전류의 공급에 의해 단자들간에 제 4 전압이 생기는 제 2 부하; 및

상기 제 2 전압과 상기 제 4 전압의 차분을 증폭하는 증폭 회로를 포함하고,

상기 제 1 반도체 소자의 상기 제 1 전류의 변화율은 상기 제 2 반도체 소자의 상기 제 2 전류의 변화율보다 크

고,

상기 제 1 부하는 상기 제 1 정전압 회로에 접속되고,

상기 제 2 부하는 상기 제 2 정전압 회로에 접속되고,

상기 제 2 반도체 소자는 제 2 채널 형성 영역에서 산화물 반도체를 포함하고,

상기 제 1 반도체 소자는 제 1 채널 형성 영역에서 실리콘을 포함하는, 반도체 장치.

청구항 20

제 11 항 또는 제 19 항에 있어서,

상기 출력 장치는 액정 표시 장치인, 반도체 장치.

청구항 21

제 20 항에 있어서,

상기 액정 표시 장치의 각 화소는 액정 소자를 포함하고,

상기 신호 처리 회로는 상기 신호를 사용하여 상기 액정 소자에 인가된 전압을 조정하여, 상기 출력 장치의 동작을 제어하는, 반도체 장치.

청구항 22

삭제

청구항 23

제 11 항 또는 제 19 항에 있어서,

상기 산화물 반도체는 In, Ga, 및 Zn을 포함하는, 반도체 장치.

청구항 24

제 11 항 또는 제 19 항에 있어서,

상기 제 1 반도체 소자 및 상기 제 2 반도체 소자 중 적어도 하나는 다이오드인, 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 형태는 반도체 소자를 사용한 온도 센서 회로와, 상기 온도 센서 회로를 사용한 반도체 장치에 관한 것이다.

배 경 기 술

[0002] 온도 센서 회로는 온도 정보를 전기 신호(센서 신호)로 변환하는 센서와, 상기 센서로부터 출력되는 센서 신호를 처리하기 위한 회로군(群)으로 구성된다. 반도체 집적 회로에 온도 센서 회로를 형성하는 경우에는, 측온 저항체, 서미스터, 열전대(thermocouple) 등이 아니라, 다이오드의 온도 특성을 이용한 센서가 일반적으로 사용된다.

[0003] 구체적으로 설명하면, 다이오드를 센서로서 사용하는 온도 센서 회로에서는, 온도에 따라 전기적 특성이 변화되는 비율(즉 온도 특성)이 큰 다이오드에 있어서 순방향 전류(forward current)를 일정하게 하였을 때 생기는 순방향 전압, 또는 순방향 전압을 일정하게 하였을 때의 순방향 전류를 사용하여 검출 대상의 온도 정보를 얻을 수 있다. 예를 들어, 정전류원으로부터 다이오드로 일정한 순방향 전류를 흘렸을 때 생기는 순방향 전압은 다이오드의 온도가 높을수록 작고, 온도가 낮을수록 크다. 따라서, 다이오드의 순방향 전압에는 다이오드의 온도가 반영되어 있다고 할 수 있다.

[0004] 하기에 제시한 특허문헌 1에는 전원 VDD와 접지 GND 사이에 접속된 전류 제어 소자인 저항과 센서 소자인 다이

오드를 갖는 온도 센서에 대해서 기재되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특개2011-7545호 공보

발명의 내용

해결하려는 과제

[0006] 상기 구성을 갖는 온도 센서 회로에서는 온도가 일정하더라도, 다이오드에 공급되는 전류 또는 전압의 크기가 일정하게 유지되지 않으면, 얻어지는 측정값이 변동된다. 또한, 다이오드에 흐르는 전류가 지나치게 크면, 상기 전류를 흘리는 것으로 인해 다이오드가 발열하여 검출 대상의 온도와 다이오드의 온도 사이에 차이가 난다. 따라서, 상기 구성을 갖는 온도 센서 회로에는 일정하게 유지된 수μA 내지 수백μA 정도의 작은 전류를 다이오드에 공급함으로써 검출 대상의 온도를 고정밀도로 측정하기 위해서, 정전류(constant current) 회로 또는 정전압 회로를 제공할 필요가 있다.

[0007] 그러나, 일반적으로 정전류 회로 또는 정전압 회로에는 실리콘을 채널 형성 영역에 갖는 트랜지스터가 사용된다. 실리콘을 채널 형성 영역에 갖는 트랜지스터는 온도가 높을수록 문턱 전압이 시프트하여 드레인 전류가 커지는 경향이 있다. 그러므로, 온도 센서 회로의 온도가 상승함에 따라 상기 트랜지스터의 문턱 전압이 변동되어, 정전류 회로로부터 출력되는 전류값, 또는 정전압 회로로부터 출력되는 전압값이 변동되기 쉽다. 또한, 정전류 회로 또는 정전압 회로를 구성하는 트랜지스터의 전기적 특성에 편차가 있는 경우에는, 상기 전류값 또는 전압값에도 편차가 발생한다. 그리고, 다이오드의 순방향 전압 또는 순방향 전류는 공급되는 전류 또는 전압의 미소한 변동의 영향을 받기 때문에, 정전류 회로로부터 출력되는 전류값, 또는 정전압 회로로부터 출력되는 전압값이 변동되면, 검출 대상의 온도를 고정밀도로 측정하는 것이 어려워진다.

[0008] 상술한 바와 같은 기술적 배경하에서, 본 발명의 일 형태는 고정밀도의 온도 센서 회로를 제공하는 것을 과제 중 하나로 한다. 또는, 본 발명은 상기 온도 센서 회로를 사용함으로써 정확한 온도 정보를 그 동작에 반영시킬 수 있는 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0009] 본 발명의 일 형태에서는 온도 정보를 취득하기 위한 제 1 반도체 소자에 더하여, 온도 특성이 작은 제 2 반도체 소자를 온도 센서 회로에 제공한다. 또한, 본 발명의 일 형태에서는 제 2 반도체 소자에 산화물 반도체를 사용하는 것을 특징으로 한다. 산화물 반도체를 사용한 반도체 소자는 실리콘이나 게르마늄과 같은 일반적인 반도체를 채널 형성 영역에 갖는 트랜지스터에 비하여 단자간에 생기는 전압의 온도 특성이 작다. 따라서, 제 2 반도체 소자의 단자간에 생기는 전압은 검출 대상의 온도의 영향을 받기 어렵다고 할 수 있다.

[0010] 그리고, 전류 또는 전압을 공급함으로써 제 1 반도체 소자의 단자간에 생기는 전압 또는 전류와, 전류 또는 전압을 공급함으로써 제 2 반도체 소자의 단자간에 생기는 전압 또는 전류를 비교함으로써, 검출 대상의 온도 정보를 취득한다.

[0011] 본 발명의 일 형태에서는 상기 구성에 의해, 정전류 회로로부터 공급되는 전류값 또는 정전압 회로로부터 공급되는 전압값의 온도에 따른 변동, 정전류 회로 또는 정전압 회로를 구성하는 트랜지스터의 전기적 특성의 편차 등, 제 1 반도체 소자의 단자간에 생기는 전압에 영향을 미치는 요소이며 검출 대상의 온도 이외의 요소가 측정값에 미치는 영향을 배제하여, 검출 대상의 더 정확한 온도 정보를 얻을 수 있다.

발명의 효과

[0012] 본 발명의 일 형태에 의해, 고정밀도의 온도 센서 회로를 제공할 수 있다. 또는 본 발명의 일 형태에서는 상기 온도 센서 회로를 사용함으로써 정확한 온도 정보를 그 동작에 반영시킬 수 있는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0013] 도 1은 온도 센서 회로의 구성을 도시한 도면.

도 2a는 온도 센서 회로의 구성을 도시한 도면이고, 도 2b는 트랜지스터의 단면도.

도 3은 온도 센서 회로의 구성을 도시한 도면.

도 4는 온도 센서 회로의 구성을 도시한 도면.

도 5a 및 도 5b는 정전류 회로의 구성을 도시한 도면.

도 6은 반도체 장치의 구성을 도시한 도면.

도 7은 반도체 장치의 구성을 도시한 도면.

도 8a 내지 도 8d는 트랜지스터의 단면도.

도 9는 온도 센서 회로의 단면도.

도 10a 및 도 10b는 게이트 전압에 대한 드레인 전류의 실측값을 도시한 도면.

도 11a는 기판 온도에 대한 시프트 값의 변화량을 도시한 도면이고, 도 11b는 기판 온도에 대한 S값의 변화량을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 본 발명의 실시형태에 대해서 도면을 사용하여 상세하게 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위를 벗어남이 없이 그 형태 및 상세한 사항을 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하에 기재되는 실시형태의 내용에 한정하여 해석되는 것이 아니다.

[0015] 또한, 본 발명의 일 형태에 따른 온도 센서 회로는 집적 회로, RF 태그, 반도체 표시 장치 등 각종 반도체 장치에 사용할 수 있다. 또한, 본 발명은 온도 센서 회로가 사용된 상기 반도체 장치를 그 범주에 포함한다. 여기서 집적 회로에는, 마이크로 프로세서, 화상 처리 회로, DSP(Digital Signal Processor), 마이크로 컨트롤러 등을 포함하는 LSI(Large Scale Integrated Circuit), FPGA(Field Programmable Gate Array)이나 CPLD(Complex PLD) 등의 프로그램 가능 논리 회로(PLD: Programmable Logic Device)가 그 범주에 포함된다. 그리고 반도체 표시 장치에는, 액정 표시 장치, 유기 발광 소자(OLED)로 대표되는 발광 소자를 각 화소에 구비한 발광 장치, 전자 종이, DMD(Digital Micromirror Device), PDP(Plasma Display Panel), FED(Field Emission Display) 등이 그 범주에 포함된다.

[0016] (실시형태 1)

[0017] 도 1은 본 발명의 일 형태에 따른 온도 센서 회로의 구성의 일례를 도시한 것이다. 도 1에 도시한 온도 센서 회로(100)는 반도체 소자(101), 반도체 소자(102), 정전류 회로(103), 정전류 회로(104), 증폭 회로(105)를 갖는다.

[0018] 반도체 소자(101)에는 산화물 반도체가 사용된다. 그리고 반도체 소자(101)와 정전류 회로(103)는 low 레벨의 전위 VSS가 공급되는 노드와 high 레벨의 전위 VDD가 공급되는 노드 사이에서 직렬로 접속되어 있다. 구체적으로는, 반도체 소자(101)의 제 1 단자는 전위 VSS가 공급되는 노드에 접속되어 있고, 반도체 소자(101)의 제 2 단자와 전위 VDD가 공급되는 노드 사이에 정전류 회로(103)가 접속되어 있다.

[0019] 또한, 반도체 소자(102)에는 온도 특성이 산화물 반도체보다 큰 반도체, 예를 들어, 단결정, 다결정, 미결정, 비정질 등의 결정 상태를 갖는 실리콘 등이 사용되고 있지만, 이것에 한정되지 않는다. 그리고, 반도체 소자(102)와 정전류 회로(104)는 전위 VSS가 공급되는 노드와 전위 VDD가 공급되는 노드 사이에서 직렬로 접속되어 있다. 구체적으로는 반도체 소자(102)의 제 1 단자는 전위 VSS가 공급되는 노드에 접속되어 있고, 반도체 소자(102)의 제 2 단자와 전위 VDD가 공급되는 노드 사이에 정전류 회로(104)가 접속되어 있다.

[0020] 또한, 도 1은 반도체 소자(101)와 정전류 회로(103)가 전위 VSS가 공급되는 노드와 전위 VDD가 공급되는 노드 사이에서 직렬로 접속되고, 반도체 소자(102)와 정전류 회로(104)도 전위 VSS가 공급되는 노드와 전위 VDD가 공급되는 노드 사이에서 직렬로 접속되는 예를 도시한 것이다. 그러나, 반도체 소자(101)와 정전류 회로(103)가

low 레벨 전위 VSS1이 공급되는 노드와 high 레벨 전위 VDD1이 공급되는 노드 사이에서 직렬로 접속되고, 반도체 소자(102)와 정전류 회로(104)가 전위 VSS1과는 상이한 low 레벨의 전위 VSS2가 공급되는 노드와, 전위 VDD1과는 상이한 high 레벨의 전위 VDD2가 공급되는 노드 사이에서 직렬로 접속되어도 좋다.

[0021] 그리고, 정전류 회로(103)로부터 반도체 소자(101)에 규정의 순방향 전류 I_{101}을 흘렸을 때 반도체 소자(101)의 제 1 단자와 제 2 단자 사이에 발생하는 전압을 순방향 전압 V_{101}로 한다. 반도체 소자(101)에는 산화물 반도체를 사용하고 있기 때문에, 온도 특성이 작다. 따라서, 상기 순방향 전압 V_{101}은 반도체 소자(101)의 온도의 영향을 받기 어려워, 순방향 전압 V_{101}에는 반도체 소자(101)의 온도가 반영되기 어렵다.

[0022] 한편, 정전류 회로(104)로부터 반도체 소자(102)에 규정의 순방향 전류 I_{102}를 흘렸을 때 반도체 소자(102)의 제 1 단자와 제 2 단자 사이에 발생하는 전압을 순방향 전압 V_{102}로 한다. 반도체 소자(102)는 온도 특성이 반도체 소자(101)보다 크다. 그러므로, 상기 순방향 전압 V_{102}는 반도체 소자(102)의 온도가 높아질수록 작아지는 경향이 있다. 구체적으로는 실리콘을 사용한 반도체 소자(102)의 경우에 순방향 전압 V_{102}는 -2mV/℃ 정도로 변화된다. 따라서, 순방향 전압 V_{102}에 검출 대상의 온도가 반영되어 있다고 할 수 있다.

[0023] 그리고, 증폭 회로(105)는 순방향 전압 V_{101}과 순방향 전압 V_{102}의 차분의 전압을 증폭하여, 증폭 회로(105)의 출력 단자(110)로부터 전압 Vout로서 출력하는 기능을 갖는다. 구체적으로는 도 1에 도시한 온도 센서 회로(100)에서는 전위 VSS에 순방향 전압 V_{101}을 더하여 얻어지는 반도체 소자(101)의 제 2 단자의 전위와, 전위 VSS에 순방향 전압 V_{102}를 더하여 얻어지는 반도체 소자(102)의 제 2 단자의 전위가 증폭 회로(105)에 공급되어 있다. 증폭 회로(105)로서, 예를 들어, 차동 증폭 회로(differential amplifier circuit) 등을 사용할 수 있다.

[0024] 또한, 순방향 전압 V_{102}에는 반도체 소자(102)의 온도 이외에, 정전류 회로(104)로부터 공급되는 순방향 전류 I_{102}의 값의 온도에 따른 변동이나, 정전류 회로(104)를 구성하는 트랜지스터의 전기적 특성의 편차 등이 정보로서 포함되어 있다. 또한, 순방향 전압 V_{101}에는 반도체 소자(101)의 온도의 정보는 포함되어 있지 않다고 생각되지만, 정전류 회로(103)로부터 공급되는 순방향 전류 I_{101}의 값의 온도에 따른 변동이나, 정전류 회로(103)를 구성하는 트랜지스터의 전기적 특성의 편차 등이 정보로서 포함되어 있다. 따라서, 정전류 회로(103)와 정전류 회로(104)의 온도 특성이나 트랜지스터의 전기적 특성 등에 차이가 없는 것으로 가정하면, 증폭 회로(105)에서 순방향 전압 V_{101}과 순방향 전압 V_{102}의 차분의 전압을 증폭하여 얻어지는 전압 Vout는 정전류 회로(103)와 정전류 회로(104)의 온도 특성이나 트랜지스터의 전기적 특성 등의 차이가 상쇄되어 있다. 그러므로, 본 발명의 일 형태에 따른 온도 센서 회로(100)에서는 정전류 회로(104)로부터 반도체 소자(102)에 공급되는 전류값의 온도에 따른 변동이나, 정전류 회로(104)를 구성하는 트랜지스터의 전기적 특성의 편차 등, 반도체 소자(102)의 순방향 전압 V_{102}에 영향을 미치는 요소이며 검출 대상의 온도 이외의 요소가 측정값 전압 Vout에 미치는 영향을 배제하여, 검출 대상의 더 정확한 온도 정보를 얻을 수 있다.

[0025] 또한, 반도체 소자(101)에 흘리는 순방향 전류 I_{101}과 반도체 소자(102)에 흘리는 순방향 전류 I_{102}를 반드시 같은 값으로 할 필요는 없다. 다만, 순방향 전류 I_{101}과 순방향 전류 I_{102}를 같은 정도의 값으로 함으로써, 정전류 회로(103)와 정전류 회로(104)의 온도 특성이나 트랜지스터의 전기적 특성의 차이 등을 더 정확하게 상쇄할 수 있다.

[0026] 다음에, 도 1에 도시한 온도 센서 회로(100)의 더 구체적인 구성의 일례를 도 2a를 사용하여 설명한다.

[0027] 도 2a에 도시한 온도 센서 회로(100)에서는 반도체 소자(101)로서 트랜지스터(101t)를 사용하고, 반도체 소자(102)로서 트랜지스터(102t)를 사용한다. 구체적으로는 트랜지스터(101t)는 소스 단자 및 드레인 단자 중 하나가 전위 VSS가 공급되는 노드에 접속되어 있고, 소스 단자 및 드레인 단자 중 다른 하나 및 게이트 전극이 정전류 회로(103)에 접속되어 있다. 그리고, 소스 단자 및 드레인 단자 중 상기 다른 하나의 전위 및 게이트 전극의 전위가 증폭 회로(105)에 공급된다. 또한, 트랜지스터(102t)는 소스 단자 및 드레인 단자 중 하나가 전위 VSS가 공급되는 노드에 접속되어 있고, 소스 단자 및 드레인 단자 중 다른 하나 및 게이트 전극이 정전류 회로(104)에 접속되어 있다. 그리고, 소스 단자 및 드레인 단자 중 상기 다른 하나의 전위 및 게이트 전극의 전위가 증폭 회로(105)에 공급된다.

[0028] 또한, 그 외에도 온도 센서 회로(100)는 필요에 따라, 트랜지스터, 다이오드, 저항 소자, 인덕턴스 등의 회로 소자를 추가로 가져도 좋다.

[0029] 또한, 본 명세서에서 트랜지스터의 소스 단자란, 활성층으로서의 기능을 갖는 반도체막의 일부인 소스 영역, 또는 활성층으로서의 기능을 갖는 반도체막에 접속된 소스 전극을 뜻한다. 이와 마찬가지로, 본 명세서에서 트랜지스터의 드레인 단자란, 활성층으로서의 기능을 갖는 반도체막의 일부인 드레인 영역, 또는 활성층으로서의 기능을 갖는 반도체막에 접속된 드레인 전극을 뜻한다.

[0030] 또한, 트랜지스터가 갖는 소스 단자 및 드레인 단자는 트랜지스터의 채널형 및 소스 단자와 드레인 단자에 공급되는 전위의 고저(高低)에 따라 그 호칭이 서로 바뀐다. 일반적으로 n채널형 트랜지스터에서는, 소스 단자 및 드레인 단자 중 낮은 전위가 공급되는 쪽이 소스 단자라고 불리고, 높은 전위가 공급되는 쪽이 드레인 단자라고 불린다. 또한 p채널형 트랜지스터에서는, 소스 단자 및 드레인 단자 중 낮은 전위가 공급되는 쪽이 드레인 단자라고 불리고, 높은 전위가 공급되는 쪽이 소스 단자라고 불린다. 본 명세서에서는, 편의상 소스 단자 및 드레인 단자가 고정되어 있는 것으로 가정하여 트랜지스터의 접속 관계를 설명하는 경우가 있지만, 실제로는 상기 전위의 관계에 따라 소스 단자 및 드레인 단자의 호칭이 서로 바뀐다.

[0031] 그리고, 트랜지스터(101t)는 산화물 반도체가 활성층에 사용되고, 트랜지스터(102t)는 산화물 반도체보다 온도 특성이 큰 반도체가 활성층에 사용된다.

[0032] 도 2b에 트랜지스터(101t)의 단면 구조의 일례를 도시하였다. 도 2b에 있어서, 트랜지스터(101t)는 절연 표면을 갖는 기판(120) 위에 활성층으로서 기능하는 반도체막(121)과, 반도체막(121) 위의 소스 전극(122) 및 드레인 전극(123)과, 반도체막(121), 소스 전극(122), 및 드레인 전극(123) 위의 게이트 절연막(124)과, 소스 전극(122)과 드레인 전극(123) 사이에서 반도체막(121)과 중첩되도록 게이트 절연막(124) 위에 위치하는 게이트 전극(125)을 갖는다.

[0033] 또한, 트랜지스터(101t) 위에는 절연막(126)이 제공되어 있으며, 게이트 절연막(124) 및 절연막(126)에 형성된 개구부에서 게이트 전극(125) 및 드레인 전극(123)에 접속되는 도전막(127)이 절연막(126) 위에 제공되어 있다.

[0034] 도 2b에 도시한 트랜지스터(101t)에서는 반도체막(121) 중 소스 전극(122)과 드레인 전극(123) 사이의 게이트 전극(125)과 중첩되는 영역이 채널 형성 영역(121c)에 상당한다. 또한, 반도체막(121) 중 소스 전극(122)과 중첩되는 영역이 소스 영역(121s)에 상당하고, 반도체막(121) 중 드레인 전극(123)과 중첩되는 영역이 드레인 영역(121d)에 상당한다.

[0035] 본 발명의 일 형태에서는, 반도체막(121) 중 적어도 채널 형성 영역(121c)에 산화물 반도체가 함유되어 있으면 좋지만, 반도체막(121) 전체에 산화물 반도체가 함유되어 있어도 좋다.

[0036] 다음에, 산화물 반도체막을 활성층으로서 사용한 트랜지스터와 단결정 실리콘막을 활성층으로서 사용한 트랜지스터에 있어서, 온도를 변화시켰을 때의 게이트 전압 Vg에 대한 드레인 전류 Id의 실측값에 관해서 설명한다. 여기서 게이트 전압 Vg란, 소스 전극의 전위를 기준으로 하였을 때의 게이트 전극의 전압을 뜻한다.

[0037] 또한, 측정은 드레인 전압 Vd를 0.1V로 하고, 게이트 전압 Vg를 -3V 내지 +3V의 범위로 하여 수행하였다. 여기서 드레인 전압 Vd란, 소스 전극의 전위를 기준으로 하였을 때의 드레인 전극의 전압을 뜻한다. 또한, 기판 온도가 -40℃, -25℃, 25℃, 85℃, 125℃, 150℃인 경우에 대해서 측정하였다.

[0038] 도 10a에 산화물 반도체막을 활성층으로서 사용한 트랜지스터(OS FET)의 게이트 전압 Vg와 드레인 전류 Id의 관계를 기판 온도마다 정리한 그래프를 도시하였다. 측정에 사용한 OS FET는 In-Ga-Zn계 산화물 반도체를 활성층에 사용하고, 채널 길이가 10nm, 채널 폭이 10nm, 비유전율이 4.1인 게이트 절연막의 막 두께가 20nm이었다.

[0039] 또한, 도 10b에 단결정 실리콘막을 활성층으로서 사용한 트랜지스터(Si FET)의 게이트 전압 Vg와 드레인 전류 Id의 관계를 기판 온도마다 정리한 그래프를 도시하였다. 측정에 사용한 Si FET는 n채널형이고, 채널 길이가 1.5nm, 채널 폭이 20nm, 비유전율이 4.1인 게이트 절연막의 막 두께가 20nm이었다.

[0040] 도 10a 및 도 10b에서는 기판 온도가 -40℃, -25℃, 25℃, 85℃, 125℃, 150℃의 순서로 높아짐에 따라, 화살표로 도시한 바와 같이, 게이트 전압 Vg에 대한 드레인 전류 Id의 값에 변화가 나타났다. 그러나, 도 10a 및 도 10b로부터 Si FET는 OS FET에 비해 기판 온도가 높을수록 S값이 커지며, 시프트 값의 변화가 큰 것을 알았다. 또한 시프트 값이란, 드레인 전류 Id가 10^{-12}A일 때의 게이트 전압 Vg의 값에 상당한다. 그리고, OS FET는 Si FET에 비해 온 상태의 게이트 전압 Vg가 문턱 전압에 가까울수록 드레인 전류 Id의 온도 변화가 작은 것을 알았

다.

[0041] 도 11a에, 기판 온도가 25℃일 때의 시프트 값을 기준으로 하여 기판 온도에 대한 상기 OS FET와 Si FET의 시프트 값의 변화량을 도시하였다. 도 11a의 결과를 보아도 OS FET가 Si FET보다 시프트 값의 온도 변화가 작은 것을 알 수 있다.

[0042] 또한 도 11b에, 기판 온도가 25℃일 때의 S값을 기준으로 하여 기판 온도에 대한 상기 OS FET와 Si FET의 S값의 변화량을 도시하였다. 도 11b의 결과를 보아도 OS FET가 Si FET보다 S값의 온도 변화가 작은 것을 알 수 있다.

[0043] 트랜지스터(101t)의 예로부터 알 수 있듯이, 산화물 반도체를 채널 형성 영역에 포함하는 트랜지스터는 드레인 전류의 온도 특성이 작다. 따라서, 산화물 반도체를 채널 형성 영역에 함유한 트랜지스터를 도 1 및 도 2a에 도시한 반도체 소자(101)에 사용함으로써, 검출 대상의 정확한 온도 정보를 얻을 수 있다.

[0044] 또한, 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 또한, 상기 산화물 반도체를 사용한 트랜지스터의 전기적 특성의 편차를 감소시키기 위한 스테빌라이저(stabilizer)로서, 상술한 것에 추가하여 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다. 또한, 스테빌라이저로서 지르코늄(Zr)을 갖는 것이 바람직하다.

[0045] 또한, 그 외의 스테빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 한 종류 또는 복수 종류를 함유하여도 좋다.

[0046] 예를 들어, 산화물 반도체로서 산화 인듐, 산화 갈륨, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

[0047] 여기서, 예를 들어, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 함유한 산화물을 뜻하며, In과 Ga와 Zn의 비율은 특별히 제한하지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소를 함유하여도 좋다. In-Ga-Zn계 산화물은 무전계 상태일 때의 저항이 충분히 높아 오프 전류를 충분히 작게 할 수 있으며 이동도도 높다.

[0048] 예를 들어, 원자수비가 In:Ga:Zn=1:1:1(=1/3:1/3:1/3) 또는 In:Ga:Zn=2:2:1(=2/5:2/5:1/5)인 In-Ga-Zn계 산화물이나 이것과 근방의 조성을 갖는 산화물을 사용할 수 있다. 또는, 원자수비가 In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2) 또는 In:Sn:Zn=2:1:5(=1/4:1/8:5/8)인 In-Sn-Zn계 산화물이나 이것과 근방의 조성을 갖는 산화물을 사용하면 좋다.

[0049] 예를 들어, In-Sn-Zn계 산화물은 높은 이동도를 비교적 용이하게 얻을 수 있다. 그러나, In-Ga-Zn계 산화물의 경우에도, 벌크 내의 결함 밀도를 저감시킴으로써 이동도를 향상시킬 수 있다.

[0050] 또한, 산화물 반도체 중에서도 In-Ga-Zn계 산화물, In-Sn-Zn계 산화물 등은 스퍼터링법이나 습식법에 의해 전기적 특성이 우수한 트랜지스터를 제작할 수 있으며, 양산성이 우수하다는 장점이 있다. 또한, 상기 산화물 반도체 In-Ga-Zn계 산화물은 실온에서도 형성할 수 있기 때문에, 유리 기판 위, 또는 실리콘을 사용한 집적 회로 위에 전기적 특성이 우수한 트랜지스터를 제작할 수 있다. 또한, 기판의 대형화에도 대응할 수 있다.

[0051] 이하에서는, 산화물 반도체막의 구조에 대하여 설명한다.

[0052] 산화물 반도체막은 단결정 산화물 반도체막 및 비단결정 산화물 반도체막으로 대별된다. 비단결정 산화물 반도체막이란, 비정질 산화물 반도체막, 미결정 산화물 반도체막, 다결정 산화물 반도체막, CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막 등을 말한다.

[0053] 비정질 산화물 반도체막은 막 내의 원자 배열이 불규칙하고, 결정 성분을 갖지 않는 산화물 반도체막이다. 미소 영역에서도 결정부를 갖지 않고, 막 전체가 완전한 비정질 구조인 산화물 반도체막이 전형이다.

[0054] 미결정 산화물 반도체막은 예를 들어 1nm 이상 10nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을

포함한다. 따라서, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 원자 배열의 규칙성이 높다. 그러므로, 미결정 산화물 반도체막은 비정질 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징을 갖는다.

[0055] CAAC-OS막은 복수의 결정부를 갖는 산화물 반도체막의 하나이며, 결정부의 대부분은 하나의 변이 100nm 미만인 입방체 내에 들어가는 사이즈이다. 따라서, CAAC-OS막에 포함되는 결정부는 하나의 변이 10nm 미만, 5nm 미만, 또는 3nm 미만인 입방체 내에 들어가는 사이즈인 경우도 포함된다. CAAC-OS막은 미결정 산화물 반도체막보다 결함 준위 밀도가 낮다는 특징을 갖는다. 이하에서는, CAAC-OS막에 대하여 자세히 설명한다.

[0056] CAAC-OS막을 투과형 전자 현미경(TEM: Transmission Electron Microscope)에 의하여 관찰하면, 결정부와 결정부의 명확한 경계, 즉 결정 입계(그레인 바운더리라고도 함)는 확인되지 않는다. 따라서, CAAC-OS막은 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.

[0057] 본 명세서에 있어서, "평행"이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 그 범주에 포함된다. 또한, "수직"이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 그 범주에 포함된다.

[0058] CAAC-OS막을 시료면에 대략 평행한 방향으로부터 TEM에 의하여 관찰(단면 TEM 관찰)하면, 결정부에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각층은 CAAC-OS막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS막의 상면의 요철을 반영한 형상이며, CAAC-OS막의 피형성면 또는 상면에 평행하게 배열된다.

[0059] 한편, CAAC-OS막을 시료면에 대략 수직인 방향으로부터 TEM에 의하여 관찰(평면 TEM 관찰)하면, 결정부에서 금속 원자가 삼각형 또는 육각형으로 배열되어 있는 것을 확인할 수 있다. 그러나, 상이한 결정부간에서 금속 원자의 배열에는 규칙성이 보이지 않는다.

[0060] 단면 TEM 관찰 및 평면 TEM 관찰로부터, CAAC-OS막의 결정부는 배향성을 갖는 것을 알 수 있다.

[0061] CAAC-OS막에 대하여 X선 회절(XRD: X-Ray Diffraction) 장치를 사용하여 구조 해석을 수행하면, 예를 들어 $InGaZnO_4$의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 회절각(2θ)의 피크가 31° 근방에 나타나는 경우가 있다. 이 피크는, $InGaZnO_4$의 결정의 (009)면에 귀속되기 때문에, CAAC-OS막의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향하는 것을 확인할 수 있다.

[0062] 한편, CAAC-OS막에 대하여 c축에 대략 수직인 방향으로부터 X선을 입사시키는 in-plane법에 의한 해석에서는, 2θ의 피크가 56° 근방에 나타나는 경우가 있다. 이 피크는 $InGaZnO_4$의 결정의 (110)면에 귀속된다. $InGaZnO_4$의 단결정 산화물 반도체막의 경우에는, 2θ를 56° 근방에 고정하여, 시료면의 법선 벡터를 축(φ축)으로 하여 시료를 회전시키면서 분석(φ 스캔)을 수행하면, (110)면과 등가인 결정면에 귀속되는 6개의 피크가 관찰된다. 한편, CAAC-OS막의 경우에는, 2θ를 56° 근방에 고정하여 φ 스캔을 수행하여도 명료한 피크가 나타나지 않는다.

[0063] 상술한 것으로부터, CAAC-OS막에 있어서는, 상이한 결정부간에서 a축 및 b축의 배향이 불규칙하지만, c축 배향성을 갖고, 또 c축이 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향하는 것을 알 수 있다. 따라서, 상술한 단면 TEM 관찰로 확인된 층상으로 배열된 금속 원자의 각층은, 결정의 ab면에 평행한 면이다.

[0064] 또한, 결정부는 CAAC-OS막을 형성하였을 때 또는 가열 처리 등의 결정화 처리를 수행하였을 때에 형성된다. 상술한 바와 같이, 결정의 c축은 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행한 방향으로 배향한다. 따라서, 예를 들어 CAAC-OS막의 형상을 에칭 등에 의하여 변화시킨 경우, 결정의 c축이 CAAC-OS막의 피형성면 또는 상면의 법선 벡터에 평행하게 배향하지 않을 수도 있다.

[0065] 또한, CAAC-OS막 내의 결정화도가 균일하지 않아도 좋다. 예를 들어, CAAC-OS막의 결정부가 CAAC-OS막의 상면 근방으로부터의 결정 성장에 의하여 형성되는 경우에는, 상면 근방의 영역은 피형성면 근방의 영역보다 결정화도가 높게 되는 경우가 있다. 또한, CAAC-OS막에 불순물을 첨가하는 경우에는, 불순물이 첨가된 영역의 결정화도가 변화되어, 부분적으로 결정화도가 상이한 영역이 형성될 수도 있다.

[0066] 또한, $InGaZnO_4$의 결정을 갖는 CAAC-OS막의 out-of-plane법에 의한 해석에서는, 2θ가 31° 근방인 피크에 더하여, 2θ가 36° 근방인 피크도 나타나는 경우가 있다. 2θ가 36° 근방인 피크는 $ZnGa_2O_4$의 결정의 (311)면에 귀속되기 때문에, $InGaZnO_4$의 결정을 갖는 CAAC-OS막 내의 일부에 $ZnGa_2O_4$의 결정이 포함되는 것을 뜻한다.

CAAC-OS막은 2θ의 피크가 31° 근방에 나타나고, 2θ의 피크가 36° 근방에 나타나지 않는 것이 바람직하다.

[0067] CAAC-OS막을 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성의 변동이 작다. 따라서, 상기 트랜지스터는 신뢰성이 높다.

[0068] 또한, 산화물 반도체막은 예를 들어, 비정질 산화물 반도체막, 미결정 산화물 반도체막, CAAC-OS막 중 2종류 이상을 갖는 적층막이라도 좋다.

[0069] CAAC-OS막은 예를 들어, 다결정인 금속 산화물 타깃을 사용하여 스퍼터링법에 의해 형성한다. 상기 타깃에 이온이 충돌되면, 타깃에 포함되는 결정 영역이 a-b면으로부터 벽개(劈開)되어 a-b면에 평행한 면을 갖는 평판 형상, 또는 펠릿(pellet) 형상의 스퍼터링 입자로서 박리될 수 있다. 이 경우, 상기 평판 형상의 스퍼터링 입자가 결정 상태를 유지한 채 기판에 도달함으로써 CAAC-OS막을 형성할 수 있다.

[0070] 또한, CAAC-OS막을 형성하기 위해서 다음 조건을 적용하는 것이 바람직하다.

[0071] 막을 형성할 때의 불순물 혼입을 저감시킴으로써, 불순물로 인하여 결정 상태가 흐트러지는 것을 억제할 수 있다. 예를 들어, 성막실 내에 존재하는 불순물 농도(수소, 물, 이산화탄소, 및 질소 등)를 저감시키면 좋다. 또한, 성막 가스 중의 불순물 농도를 저감시키면 좋다. 구체적으로는, 이슬점이 -80℃ 이하, 바람직하게는 -100℃ 이하인 성막 가스를 이용한다.

[0072] 또한, 막을 형성할 때의 기판 가열 온도를 높임으로써, 스퍼터링 입자가 기판에 도달한 후에 스퍼터링 입자의 마이그레이션(migration)이 일어난다. 구체적으로는, 기판 가열 온도를 100℃ 이상 740℃ 이하, 바람직하게는 200℃ 이상 500℃ 이하로 하여 막을 형성한다. 막을 형성할 때의 기판 가열 온도를 높임으로써, 평판 형상의 스퍼터링 입자가 기판에 도달한 경우, 기판 위에서 마이그레이션이 일어나 스퍼터링 입자의 평평한 면이 기판에 부착된다.

[0073] 또한, 성막 가스 중의 산소 비율을 높이고 전력을 최적화함으로써, 막을 형성할 때의 플라즈마로 인한 손상을 경감시키면 바람직하다. 성막 가스 중의 산소 비율은 30vol% 이상, 바람직하게는 100vol%로 한다.

[0074] 이하에서는 타깃의 일례로서, In-Ga-Zn계 산화물 타깃에 대하여 제시한다.

[0075] InO_X 분말, GaO_Y 분말 및 ZnO_Z 분말을 소정의 mol수비로 혼합하여, 가압 처리를 수행한 후, 1000℃ 이상 1500℃ 이하의 온도로 열처리함으로써 다결정인 In-Ga-Zn계 산화물 타깃을 제작한다. 또한, X, Y, 및 Z는 임의의 양수이다. 여기서, 소정의 mol수비는 예를 들어, InO_X 분말, GaO_Y 분말, 및 ZnO_Z 분말이 2:2:1, 8:4:3, 3:1:1, 1:1:1, 4:2:3, 또는 3:1:2이다. 또한, 분말의 종류, 및 그 혼합하는 mol수비는 제작하는 타깃에 따라 적절히 변경하면 좋다.

[0076] 또한, 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에, 불순물이다. 알칼리 토금속도 산화물 반도체를 구성하는 원소가 아닌 경우에는 불순물이 된다. 특히, 알칼리 금속 중 Na는 산화물 반도체막에 접촉하는 절연막이 산화물인 경우에 상기 절연막 중에 확산되어 Na^+가 된다. 또한, Na는 산화물 반도체막 내에 있어서, 산화물 반도체를 구성하는 금속과 산소의 결합을 분단시키거나, 또는 그 결합 중에 들어간다. 결과적으로, 예를 들어, 문턱 전압이 음 방향으로 이동함에 따른 노멀리 온(normally-on)화, 이동도의 저하 등, 트랜지스터의 전기적 특성이 열화하며, 특성의 편차도 생긴다. 구체적으로, 이차 이온 질량 분석법에 의한 Na 농도의 측정값은 $5\times10^{16}/cm^3$ 이하, 바람직하게는 $1\times10^{16}/cm^3$ 이하, 더 바람직하게는 $1\times10^{15}/cm^3$ 이하로 하면 좋다. 마찬가지로 Li 농도의 측정값은 $5\times10^{15}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하로 하면 좋다. 이와 마찬가지로, K 농도의 측정값은 $5\times10^{15}/cm^3$ 이하, 바람직하게는 $1\times10^{15}/cm^3$ 이하로 하면 좋다.

[0077] 또한, 도 2b에는 트랜지스터(101t)가 하나의 게이트 전극(125)에 대응한 하나의 채널 형성 영역(121c)을 갖는, 즉 싱글 게이트 구조인 예를 도시하였다. 그러나, 트랜지스터(101t)는 전기적으로 접속된 복수의 게이트 전극을 가짐으로써, 하나의 활성층에 복수의 채널 형성 영역을 갖는 멀티 게이트 구조이어도 좋다.

[0078] 또한, 트랜지스터(101t)는 게이트 전극을 적어도 활성층의 한쪽에 가지고 있으면 좋지만, 활성층을 사이에 끼우도록 존재하는 한 쌍의 게이트 전극을 가지고 있어도 좋다. 활성층을 사이에 끼우도록 존재하는 한 쌍의 게이트 전극을 트랜지스터가 가지고 있는 경우에는, 한쪽 게이트 전극에는 스위칭을 제어하기 위한 신호가 공급되고, 다른 쪽 게이트 전극은 전기적으로 절연된 플로팅 상태나 전위가 다른 곳으로부터 공급되는 상태이어도 좋다. 후자의 경우에는 한 쌍의 전극에 같은 전위가 공급되어도 좋고, 다른 쪽 게이트 전극에만 접지 전위

등의 고정 전위가 공급되어도 좋다. 다른 쪽 게이트 전극에 공급되는 전위를 제어함으로써, 트랜지스터(101t)의 문턱 전압을 제어할 수 있다.

[0079] 또한, 본 명세서에서 '접속'이란, 전기적인 접속을 뜻하며, 전류, 전압, 또는 전위가 공급 가능, 또는 전송 가능한 상태에 상당한다. 따라서, '접속되어 있는 상태'란, 반드시 직접 접속되어 있는 상태를 가리키는 것은 아니며, 전류, 전압, 또는 전위가 공급 가능, 또는 전송 가능하도록, 저항 소자, 다이오드, 트랜지스터, 용량 소자 등의 회로 소자를 통하여 간접적으로 접속되어 있는 상태도 그 범주에 포함한다.

[0080] 다음에, 도 3에 본 발명의 일 형태에 따른 온도 센서 회로의 다른 구성의 일례를 도시하였다. 도 3에 도시한 온도 센서 회로(100)는 도 1에 도시한 온도 센서 회로(100)와 마찬가지로, 반도체 소자(101), 반도체 소자(102), 정전류 회로(103), 정전류 회로(104), 증폭 회로(105)를 갖는다. 또한, 도 3에 도시한 온도 센서 회로(100)는 ADC(아날로그 디지털 변환 회로; 106), 연산 회로(107), 및 LUT(룩업 테이블; 108)를 갖는다.

[0081] 증폭 회로(105)로부터 출력되는 출력 전압 Vout는 검출 대상의 온도가 시간의 경과에 따라 연속적으로 변화됨에 맞추어, 그 값이 변화된다. ADC(106)는 상기 출력 전압 Vout의 값을 소정의 기간에 취득하여 유지하는 기능, 즉 샘플링하는 기능을 갖는다. 그리고, ADC(106)는 샘플링된 출력 전압 Vout의 값을 아날로그로부터 디지털로 변환시키는 기능을 갖는다.

[0082] LUT(108)에는 ADC(106)에서 디지털로 변환된 전압 Vout의 값과 검출 대상의 온도 정보를 연관시킨 데이터의 집합체가 보존되어 있다. 연산 회로(107)는 LUT(108)에 보존되어 있는 상기 데이터를 참조하며 디지털로 변환된 전압 Vout의 값을 사용하여 온도 센서 회로(100)의 후단에 위치하는 회로 또는 장치의 규격에 맞추어 검출 대상의 온도 정보를 포함하는 신호를 연산 처리에 의해 생성하는 기능을 갖는다. 상기 신호의 전압은 출력 단자(109)로부터 출력된다.

[0083] 또한, 본 발명의 일 형태에 따른 온도 센서 회로(100)는 연산 회로(107)의 연산 처리에 사용되는 그 외의 데이터를 기억하기 위한 기억 장치나, 연산 처리의 과정에서 일시적으로 데이터를 기억하기 위한 완충 기억 장치 등을 추가로 가져도 좋다.

[0084] 또한, 본 발명의 일 형태에 따른 온도 센서 회로(100)는 전압 Vout에 신호 처리를 수행하는 회로를 추가로 가져도 좋다. 상기 회로로서, 예를 들어 필터 회로, 선형화 회로(linearization circuit) 등을 가져도 좋다. 필터 회로는 전압 Vout에 포함되는 노이즈를 제거하는 기능을 갖는다. 선형화 회로는 전압 Vout의 값과 검출 대상의 물리량의 관계가 직선이 되도록 전압 Vout를 보정하는 기능을 갖는다.

[0085] 또한, 본 발명의 일 형태에 따른 온도 센서 회로(100)는 온도 특성의 차이, 또는 트랜지스터의 전기적 특성의 차이 등에 의해 생기는, 정전류 회로(103)와 정전류 회로(104)로부터 출력되는 전류값의 차이를 보정하기 위한 기능을 갖는 전류 설정 회로를 가져도 좋다.

[0086] 다음에, 정전류 회로(103) 및 정전류 회로(104)의 구체적인 구성의 예에 대해서 설명한다. 도 5a 및 도 5b에 정전류 회로(103)의 구성의 예를 도시하였다. 또한, 도 5a 및 도 5b에는 정전류 회로(103)의 구성의 예를 도시하였지만, 정전류 회로(104)의 구성도 정전류 회로(103)와 같은 구성을 가져도 좋다.

[0087] 도 5a에 도시한 정전류 회로(103)는 n채널형 트랜지스터(140)를 갖는다. 트랜지스터(140)는 소스 단자 및 드레인 단자 중 하나가 전위 VDD가 공급되는 노드에 접속되어 있고, 소스 단자 및 드레인 단자 중 다른 하나 및 게이트 전극이 반도체 소자(101)의 제 2 단자에 접속되어 있다.

[0088] 또한, 도 5b에 도시한 정전류 회로(103)는 n채널형 트랜지스터(140) 및 저항 소자(141)를 갖는다. 트랜지스터(140)는 소스 단자 및 드레인 단자 중 하나가 전위 VDD가 공급되는 노드에 접속되어 있고, 소스 단자 및 드레인 단자 중 다른 하나 및 게이트 전극이 저항 소자(141)의 한쪽 단자에 접속되어 있다. 저항 소자(141)의 다른 쪽 단자는 반도체 소자(101)의 제 2 단자에 접속되어 있다.

[0089] 도 4에는 본 발명의 일 형태에 따른 온도 센서 회로의 다른 구성의 일례를 도시하였다. 도 4에 도시한 온도 센서 회로(100)는 도 1에 도시한 온도 센서 회로(100)와 마찬가지로 반도체 소자(101), 반도체 소자(102), 증폭 회로(105)를 갖는다. 또한, 도 4에 도시한 온도 센서 회로(100)는 정전압 회로(201), 정전압 회로(202), 부하(203), 부하(204), 전압원(213)을 추가로 갖는다.

[0090] 정전압 회로(201)는 반도체 소자(101)의 제 2 단자와 전위 VDD가 공급되는 노드 사이에서 접속되어 있다. 정전압 회로(202)는 반도체 소자(102)의 제 2 단자와 전위 VDD가 공급되는 노드 사이에서 접속되어 있다.

[0091] 구체적으로는 정전압 회로(201)는 n채널형 트랜지스터(205), 차동 증폭 회로(207)를 갖는다. 부하(203)는 high 레벨의 전위 VDD가 공급되는 노드와, 트랜지스터(205)의 소스 단자 및 드레인 단자 중 하나 사이에서 접속되어 있다. 반도체 소자(101)의 제 2 단자는 트랜지스터(205)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있고, 반도체 소자(101)의 제 1 단자는 low 레벨의 전위 VSS가 공급되는 노드에 접속되어 있다. 차동 증폭 회로(207)는 반전 입력 단자(－)가 반도체 소자(101)의 제 2 단자에 접속되어 있고, 비반전 입력 단자(＋)가 전압원(213)에 접속되어 있고, 출력 단자가 트랜지스터(205)의 게이트 전극에 접속되어 있다.

[0092] 상기 구성을 갖는 정전압 회로(201)에 의해, 반도체 소자(101)의 제 1 단자와 제 2 단자 사이에는 전압원(213)으로부터 출력되는 전압과 거의 같은 크기의 전압이 공급된다. 그리고, 반도체 소자(101)에 흐르는 전류가 트랜지스터(205)를 통하여 부하(203)에 흐름으로써, 부하(203)의 단자간에 전압이 생긴다. 부하(203)의 단자간에 생기는 상기 전압은 반도체 소자(101)에 흐르는 전류값이 반영되어 있다.

[0093] 또한, 구체적으로는 정전압 회로(202)는 n채널형 트랜지스터(206), 차동 증폭 회로(208)를 갖는다. 부하(204)는 high 레벨의 전위 VDD가 공급되는 노드와, 트랜지스터(206)의 소스 단자 및 드레인 단자 중 하나 사이에서 접속되어 있다. 반도체 소자(102)의 제 2 단자는 트랜지스터(206)의 소스 단자 및 드레인 단자 중 다른 하나에 접속되어 있고, 반도체 소자(102)의 제 1 단자는 low 레벨의 전위 VSS가 공급되는 노드에 접속되어 있다. 차동 증폭 회로(208)는 반전 입력 단자(－)가 반도체 소자(102)의 제 2 단자에 접속되어 있고, 비반전 입력 단자(＋)가 전압원(213)에 접속되어 있고, 출력 단자가 트랜지스터(206)의 게이트 전극에 접속되어 있다.

[0094] 상기 구성을 갖는 정전압 회로(202)에 의해, 반도체 소자(102)의 제 1 단자와 제 2 단자 사이에는 전압원(213)으로부터 출력되는 전압과 거의 같은 크기의 전압이 공급된다. 그리고, 반도체 소자(102)에 흐르는 전류가 트랜지스터(206)를 통하여 부하(204)에 흐름으로써, 부하(204)의 단자간에 전압이 생긴다. 부하(204)의 단자간에 생기는 상기 전압은 반도체 소자(102)에 흐르는 전류값이 반영되어 있다.

[0095] 그리고, 증폭 회로(105)는 부하(203)의 단자간에 생기는 전압과, 부하(204)의 단자간에 생기는 전압의 차분을 증폭하여, 증폭 회로(105)의 출력 단자(110)로부터 전압 Vout로서 증폭된 전압의 차분을 출력하는 기능을 갖는다. 구체적으로는 도 4에 도시한 온도 센서 회로(100)에서는 부하(203)의 단자간에 생기는 전압을 전위 VDD에서 뺌으로써 얻어지는 전위, 및 부하(204)의 단자간에 생기는 전압을 전위 VDD에서 뺌으로써 얻어지는 전위가 증폭 회로(105)에 공급된다.

[0096] 또한, 부하(204)의 단자간에 생기는 전압에는 반도체 소자(102)의 온도 이외에 정전압 회로(202)로부터 공급되는 전압값의 온도에 따른 변동이나, 정전압 회로(202)를 구성하는 트랜지스터의 전기적 특성의 편차 등이 정보로서 포함되어 있다. 또한, 부하(203)의 단자간에 생기는 전압에는 반도체 소자(101)의 온도 정보는 포함되어 있지 않은 것으로 생각되지만, 정전압 회로(201)로부터 공급되는 전압값의 온도에 따른 변동이나, 정전압 회로(201)를 구성하는 트랜지스터의 전기적 특성의 편차 등이 정보로서 포함되어 있다. 따라서, 정전압 회로(201)와 정전압 회로(202)의 온도 특성이나 트랜지스터의 전기적 특성 등에 차이가 없는 것으로 가정하면, 증폭 회로(105)에서 부하(203)의 단자간에 생기는 전압과 부하(204)의 단자간에 생기는 전압의 차분의 전압을 증폭하여 얻어지는 전압 Vout는 정전압 회로(201)와 정전압 회로(202)의 온도 특성이나 트랜지스터의 전기적 특성 등의 차이가 상쇄되어 있다. 그러므로, 본 발명의 일 형태에 따른 온도 센서 회로(100)에서는 정전압 회로(202)로부터 반도체 소자(102)에 공급되는 전압값의 온도에 따른 변동이나, 정전압 회로(202)를 구성하는 트랜지스터의 전기적 특성의 편차 등, 부하(204)의 단자간에 생기는 전압에 영향을 미치는 요소이며 검출 대상의 온도 이외의 요소가 측정값 전압 Vout에 미치는 영향을 배제하여, 검출 대상의 더 정확한 온도 정보를 얻을 수 있다.

[0097] 또한, 반도체 소자(101)에 공급하는 전압과 반도체 소자(102)에 공급하는 전압을 반드시 같은 값으로 할 필요는 없다. 다만, 상기 전압을 같은 정도의 값으로 함으로써, 정전압 회로(201)와 정전압 회로(202)의 온도 특성이나 트랜지스터의 전기적 특성의 차이 등을 더 정확하게 상쇄할 수 있다.

[0098] 또한, 부하(203) 또는 부하(204)로서, 예를 들어, 저항 소자 등을 사용할 수 있다. 또한, 전압원(213)으로서, 예를 들어 제너 다이오드 등을 사용할 수 있다.

[0099] 또한, 본 발명의 일 형태에 따른 온도 센서 회로(100)는 도 4에 도시한 바와 같이 전압원(213)을 반드시 그 구성 요소에 포함할 필요는 없으며, 전압원(213)은 온도 센서 회로(100)의 외부에 제공되어 있어도 좋다.

[0100] 또한, 도 4에 도시한 온도 센서 회로(100)는 도 3에 도시한 온도 센서 회로(100)가 갖는 ADC(106), 연산 회로(107), 및 LUT(108)를 추가로 가져도 좋다. 또한, 필터 회로, 선형화 회로 등을 가져도 좋다.

[0101] (실시형태 2)

[0102] 본 발명의 일 형태에 따른 반도체 장치(300)의 구성의 일례를 도 6에 블록도로서 도시하였다. 도 6에 도시한 반도체 장치(300)는 온도 센서 회로(100), 신호 처리 회로(301), 및 출력 장치(302)를 갖는다. 도 6에서는 도 1에 도시한 온도 센서 회로(100)를 갖는 반도체 장치의 구성의 예를 도시하였지만, 본 발명의 일 형태에 따른 반도체 장치는 도 2a, 도 3, 또는 도 4에 도시한 온도 센서 회로(100)를 가져도 좋다.

[0103] 온도 센서 회로(100)로부터 출력된 센서 신호는 신호 처리 회로(301)에 공급된다. 신호 처리 회로(301)는 센서 신호를 이용하여 출력 장치(302)의 동작을 제어하기 위한 신호를 생성한다. 구체적으로는 상기 신호로서, 상기 센서 신호에 포함되는 온도 정보를 출력 장치(302)에 출력하기 위한 신호, 또는 상기 센서 신호에 정보로서 포함되는 온도 정보에 따라 출력 장치(302)의 동작을 변경하기 위한 신호 등을 들 수 있다.

[0104] 출력 장치(302)의 구체적인 예로서, 표시 장치, 프린터, 플로터(plotter), 음성 출력 장치 등을 들 수 있다. 예를 들어, 출력 장치(302)로서 표시 장치를 사용하는 경우에, 상기 표시 장치에 상기 온도 정보를 표시시킬 수 있다. 또는 출력 장치(302)로서 표시 장치를 사용하는 경우에, 상기 표시 장치의 휘도 또는 콘트라스트가 상기 온도에 따라 변화되는 것을 방지하기 위해서, 온도 정보를 사용하여 표시 장치의 휘도 또는 콘트라스트를 조정할 수 있다.

[0105] 도 7을 사용하여 본 발명의 일 형태에 따른 반도체 장치(300)의 구체적인 구성의 일례에 대해서 설명한다.

[0106] 액정 표시 장치에서는 액정층에 사용되는 액정 재료의 광학 특성, 구체적으로는 인가 전압에 대한 투과율의 특성이 온도에 따라 변화되는 경우가 있다. 도 7에 도시한 반도체 장치(300)에서는 온도 센서 회로(100)에서 검출 대상인 액정층의 온도를 측정하여, 출력 장치(302)인 액정 표시 장치에서 액정 소자에 인가하는 전압을 상기 온도에 맞추어 조정함으로써, 온도 변화에 기인하는 콘트라스트의 변화를 억제할 수 있다.

[0107] 구체적으로는 도 7에 도시한 반도체 장치(300)는 도 6에 도시한 반도체 장치(300)와 마찬가지로 온도 센서 회로(100), 신호 처리 회로(301), 및 출력 장치(302)를 갖는다. 그리고, 도 7에서는 출력 장치(302)가 컨트롤러(310)와 패널(311)을 갖는다. 또한, 패널(311)은 각 화소에 액정 소자(313)를 갖는 화소부(312)와, 화소부(312)의 동작을 제어하는 구동 회로(314) 및 구동 회로(315)를 갖는다. 액정 소자(313)는 화상 신호에 의해 전위가 제어되는 화소 전극과, 소정의 기준 전위가 공급되는 공통 전극과, 화소 전극과 공통 전극에 의해 전압이 인가되는 액정층을 갖는다.

[0108] 신호 처리 회로(301)에는 온도 센서 회로(100)로부터 액정 소자(313)의 온도 정보를 포함한 센서 신호가 입력된다. 신호 처리 회로(301)는 상기 온도 정보를 포함한 센서 신호에 따라, 액정 소자(313)의 투과율을 조정하기 위한 신호를 생성한다. 출력 장치(302)에서는 액정 소자(313)의 투과율을 조정하기 위한 상기 신호에 따라, 컨트롤러(310)가 공통 전극에 공급되는 기준 전위를 조정하는 등 액정 소자(313)에 인가하는 전압을 조정한다.

[0109] 또한, 컨트롤러(310)는 화상 신호(316)에 신호 처리를 수행하여, 구동 회로(314) 또는 구동 회로(315)에 상기 화상 신호를 공급하는 기능이나, 구동 회로(314) 및 구동 회로(315)의 동작을 제어하기 위한 구동 신호를 생성하여, 구동 회로(314) 및 구동 회로(315)에 공급하는 기능을 갖는다.

[0110] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0111] (실시형태 3)

[0112] 다음에, 산화물 반도체를 활성층에 사용한 트랜지스터의 구조의 예에 대해서 설명한다.

[0113] 도 8a에 도시한 트랜지스터(601)는 채널 에치 구조의 하부 게이트(bottom-gate)형 트랜지스터이다.

[0114] 트랜지스터(601)는 절연 표면 위에 형성된 게이트 전극(602)과, 게이트 전극(602) 위의 게이트 절연막(603)과, 게이트 절연막(603) 위에서 게이트 전극(602)과 중첩되어 있는, 활성층으로서 기능하는 산화물 반도체막(604)과, 산화물 반도체막(604) 위에 형성된 도전막(605), 도전막(606)을 갖는다. 또한, 트랜지스터(601)는 산화물 반도체막(604), 도전막(605), 및 도전막(606) 위에 형성된 절연막(607)을 그 구성 요소에 포함하여도 좋다.

[0115] 도 8a에 도시한 트랜지스터(601)는 산화물 반도체막(604)과 중첩되는 위치에서 절연막(607) 위에 형성된 게이트 전극을 더 가져도 좋다.

[0116] 도 8b에 도시한 트랜지스터(611)는 채널 보호 구조의 하부 게이트형 트랜지스터이다.

[0117] 트랜지스터(611)는 절연 표면 위에 형성된 게이트 전극(612)과, 게이트 전극(612) 위의 게이트 절연막(613)과, 게이트 절연막(613) 위에서 게이트 전극(612)과 중첩되어 있는, 활성층으로서 기능하는 산화물 반도체막(614)과, 산화물 반도체막(614) 위에 형성된 채널 보호막(618)과, 산화물 반도체막(614) 위에 형성된 도전막(615), 도전막(616)을 갖는다. 또한, 트랜지스터(611)는 채널 보호막(618), 도전막(615), 및 도전막(616) 위에 형성된 절연막(617)을 그 구성 요소에 포함하여도 좋다.

[0118] 도 8b에 도시한 트랜지스터(611)는 산화물 반도체막(614)과 중첩되는 위치에서 절연막(617) 위에 형성된 게이트 전극을 더 가져도 좋다.

[0119] 채널 보호막(618)을 제공함으로써, 산화물 반도체막(614)의 채널 형성 영역이 되는 부분이, 이후의 공정에서 에칭될 때 플라즈마나 에칭제에 기인하여 막 감소 등의 손상을 받는 것을 방지할 수 있다. 따라서, 트랜지스터(611)의 신뢰성을 향상시킬 수 있다.

[0120] 도 8c에 도시한 트랜지스터(621)는 보텀 콘택트 구조의 하부 게이트형 트랜지스터이다.

[0121] 트랜지스터(621)는 절연 표면 위에 형성된 게이트 전극(622)과, 게이트 전극(622) 위의 게이트 절연막(623)과, 게이트 절연막(623) 위의 도전막(625), 도전막(626)과, 게이트 절연막(623) 위에서 게이트 전극(622)과 중첩되며 도전막(625), 도전막(626) 위에 형성된, 활성층으로서 기능하는 산화물 반도체막(624)을 갖는다. 또한, 트랜지스터(621)는 도전막(625), 도전막(626), 및 산화물 반도체막(624) 위에 형성된 절연막(627)을 그 구성 요소에 포함하여도 좋다.

[0122] 도 8c에 도시한 트랜지스터(621)는 산화물 반도체막(624)과 중첩되는 위치에서 절연막(627) 위에 형성된 게이트 전극을 더 가져도 좋다.

[0123] 도 8d에 도시한 트랜지스터(641)는 보텀 콘택트 구조의 상부 게이트형 트랜지스터이다.

[0124] 트랜지스터(641)는 절연 표면 위에 형성된 도전막(645) 및 도전막(646)과, 도전막(645) 및 도전막(646) 위에 있으며 활성층으로서 기능하는 산화물 반도체막(644)과, 산화물 반도체막(644), 도전막(645), 및 도전막(646) 위에 형성된 게이트 절연막(643)과, 게이트 절연막(643) 위에서 산화물 반도체막(644)과 중첩되는 게이트 전극(642)을 갖는다. 또한, 트랜지스터(641)는 게이트 전극(642) 위에 형성된 절연막(647)을 구성 요소로 더 포함하여도 좋다.

[0125] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

[0126] (실시형태 4)

[0127] 도 9에 본 발명의 일 형태에 따른 온도 센서 회로의 단면 구조의 일부를 일례로서 도시하였다. 또한, 도 9는 도 2a에 도시한 온도 센서 회로(100)가 갖는 트랜지스터(101t)와, 도 5a에 도시한 정전류 회로(103)가 갖는 트랜지스터(140)가 적층된 경우를 도시한 것이다.

[0128] 또한, 본 실시형태에서는 트랜지스터(140)가 단결정 실리콘 기판에 형성되고, 산화물 반도체를 활성층에 사용한 트랜지스터(101t)가 트랜지스터(140) 위에 형성되어 있는 경우를 예시한다. 트랜지스터(140)는 비정질, 미결정, 다결정, 또는 단결정인 실리콘 또는 게르마늄 등의 박막 반도체를 활성층에 사용하여도 좋다.

[0129] 또한 박막 실리콘을 사용하여 트랜지스터(140)를 형성하는 경우에, 플라즈마 CVD법 등의 기상 성장법 또는 스퍼터링법으로 제작된 비정질 실리콘, 비정질 실리콘을 레이저 어닐링 등의 처리에 의하여 결정화시킨 다결정 실리콘, 단결정 실리콘 웨이퍼에 수소 이온 등을 주입하여 표층부를 박리한 단결정 실리콘 등을 사용할 수 있다.

[0130] 도 9에서는 반도체 기판(400)에 n채널형 트랜지스터(140)가 형성되어 있다.

[0131] 반도체 기판(400)은 예를 들어, n형 또는 p형 도전성을 갖는 단결정 실리콘 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, GaP 기판, GaInAsP 기판, ZnSe 기판 등) 등을 사용할 수 있다. 도 9는 n형 도전성을 갖는 단결정 실리콘 기판을 사용한 예를 도시한 것이다.

[0132] 또한, 트랜지스터(140)는 소자 분리용 절연막(401)에 의하여, 트랜지스터 등의 다른 반도체 소자와 전기적으로 분리되어 있다. 소자 분리용 절연막(401)의 형성에는 선택 산화법(LOCOS법: Local Oxidation of Silicon법) 또는 트렌치 분리법 등을 이용할 수 있다.

[0133] n채널형인 트랜지스터(140)가 형성되는 영역에는 p형 도전성을 부여하는 불순물 원소를 선택적으로 도입함으로써, p웰(402)을 형성한다. 또한, p형 도전성을 갖는 반도체 기판을 사용하여 p채널형 트랜지스터를 형성하는

경우에는 p채널형 트랜지스터가 형성되는 영역에는 n형 도전성을 부여하는 불순물 원소를 선택적으로 도입함으로써, n웰이라고 불리는 영역을 형성한다.

[0134] 구체적으로 트랜지스터(140)는 반도체 기판(400)에 형성된, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(403) 및 불순물 영역(404)과, 게이트 전극(405)과, 반도체 기판(400)과 게이트 전극(405) 사이에 제공된 게이트 절연막(406)을 갖는다. 게이트 전극(405)은 게이트 절연막(406)을 사이에 끼워 불순물 영역(403)과 불순물 영역(404) 사이에 형성되는 채널 형성 영역과 중첩된다.

[0135] 트랜지스터(140) 위에는 절연막(409)이 제공되어 있다. 절연막(409) 위에는 개구부가 형성되어 있으며, 상기 개구부에 불순물 영역(403), 불순물 영역(404), 및 게이트 전극(405)에 각각 접촉하는 배선(410) 내지 배선(412)이 형성되어 있다.

[0136] 그리고, 배선(410) 및 배선(412)은 절연막(409) 위에 형성된 배선(415)에 접속되어 있고, 배선(411)은 절연막(409) 위에 형성된 배선(416)에 접속되어 있다.

[0137] 배선(415) 및 배선(416) 위에는 절연막(420)이 형성되어 있다. 절연막(420)에는 개구부가 형성되어 있고, 상기 개구부에는 배선(415)에 접속된 배선(421)이 형성되어 있다.

[0138] 그리고, 도 9에서는 절연막(420) 위에 트랜지스터(101t)가 형성되어 있다.

[0139] 트랜지스터(101t)는 절연막(420) 위에, 산화물 반도체를 포함하는 반도체막(430)과, 반도체막(430) 위의 소스 전극 또는 드레인 전극으로서 기능하는 도전막(432) 및 도전막(433)과, 반도체막(430), 도전막(432) 및 도전막(433) 위의 게이트 절연막(431)과, 도전막(432)과 도전막(433) 사이에서 게이트 절연막(431)을 끼워서 반도체막(430)과 중첩된 게이트 전극(434)을 갖는다.

[0140] 그리고, 도전막(433)은 배선(421)에 접촉하고 있다.

[0141] 트랜지스터(101t) 위에는 절연막(441)이 제공되어 있다. 절연막(441) 및 게이트 절연막(431)에는 개구부가 형성되어 있으며, 상기 개구부에서 도전막(432)에 접촉하는 도전막(442)과, 상기 개구부에서 게이트 전극(434) 및 도전막(433)에 접촉하는 도전막(443)과, 상기 개구부에서 도전막(433)에 접촉하는 도전막(444)이 절연막(441) 위에 제공되어 있다.

[0142] 또한, 절연막(441), 도전막(442) 내지 도전막(444) 위에는 절연막(445)이 제공되어 있다. 절연막(445)에는 개구부가 형성되어 있으며, 개구부에서 도전막(442)에 접촉하는 도전막(446)과, 개구부에서 도전막(444)에 접촉하는 도전막(447)이 절연막(445) 위에 제공되어 있다. 도전막(446) 및 도전막(447)은 이후에 증폭 회로의 입력 단자 또는 전원에 접속시키기 위해서 그 표면의 평탄성이 높은 것이 바람직하다. 따라서, 도전성을 갖는 입자가 분산된 수지는 도전막(446) 및 도전막(447)의 재료로서 적합하다. 다만, 수지는 땜납과의 밀착성이 부족하기 때문에, 땜납과의 밀착성이 높은 도전 재료로 형성된 도전막(448)을 도전막(446)에 접촉하도록 제공하고, 땜납과의 밀착성이 높은 도전 재료로 형성된 도전막(449)을 도전막(447)에 접촉하도록 제공한다.

[0143] 본 실시형태는 다른 실시형태와 적절히 조합하여 실시할 수 있다.

부호의 설명

[0144] 100: 온도 센서 회로

101: 반도체 소자

101t: 트랜지스터

102: 반도체 소자

102t: 트랜지스터

103: 정전류 회로

104: 정전류 회로

105: 증폭 회로

106: ADC

107: 연산 회로

108: LUT

109: 출력 단자

110: 출력 단자

120: 기판

121: 반도체막

121c: 채널 형성 영역

121d: 드레인 영역

121s: 소스 영역

122: 소스 전극

123: 드레인 전극

124: 게이트 절연막

125: 게이트 전극

126: 절연막

127: 도전막

140: 트랜지스터

141: 저항 소자

201: 정전압 회로

202: 정전압 회로

203: 부하

204: 부하

205: 트랜지스터

206: 트랜지스터

207: 차동 증폭 회로

208: 차동 증폭 회로

213: 전압원

300: 반도체 장치

301: 신호 처리 회로

302: 출력 장치

310: 컨트롤러

311: 패널

312: 화소부

313: 액정 소자

314: 구동 회로

315: 구동 회로

316: 화상 신호

400: 반도체 기판

401: 소자 분리용 절연막

402: p웰

403: 불순물 영역

404: 불순물 영역

405: 게이트 전극

406: 게이트 절연막

409: 절연막

410: 배선

411: 배선

412: 배선

415: 배선

416: 배선

420: 절연막

421: 배선

430: 반도체막

431: 게이트 절연막

432: 도전막

433: 도전막

434: 게이트 전극

441: 절연막

442: 도전막

443: 도전막

444: 도전막

445: 절연막

446: 도전막

447: 도전막

448: 도전막

449: 도전막

601: 트랜지스터

602: 게이트 전극

603: 게이트 절연막

604: 산화물 반도체막

605: 도전막

606: 도전막

607: 절연막

611: 트랜지스터

612: 게이트 전극

613: 게이트 절연막

614: 산화물 반도체막

615: 도전막

616: 도전막

617: 절연막

618: 채널 보호막

621: 트랜지스터

622: 게이트 전극

623: 게이트 절연막

624: 산화물 반도체막

625: 도전막

626: 도전막

627: 절연막

641: 트랜지스터

642: 게이트 전극

643: 게이트 절연막

644: 산화물 반도체막

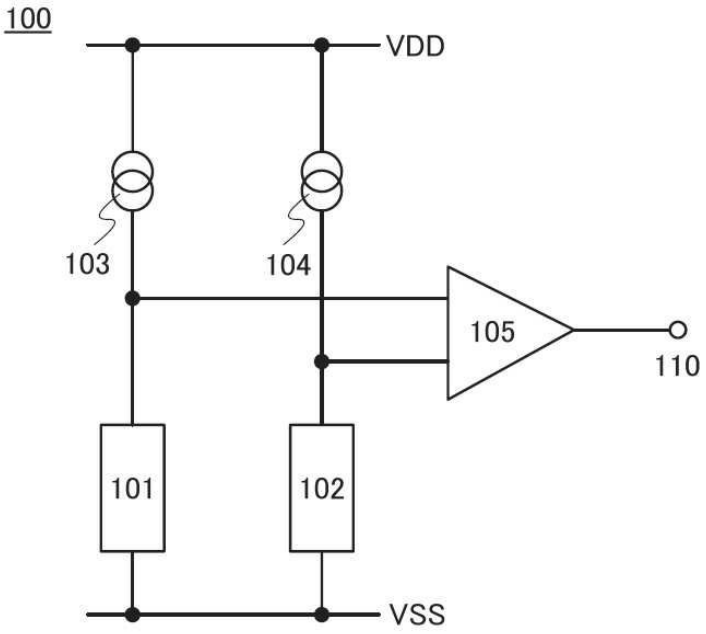
645: 도전막

646: 도전막

647: 절연막

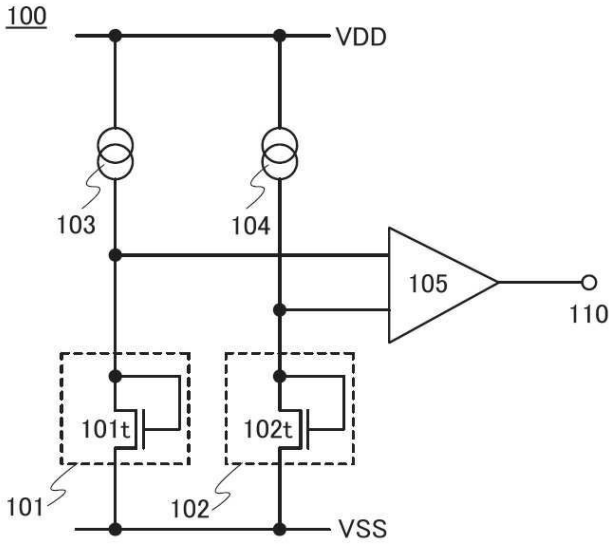
도면

도면1

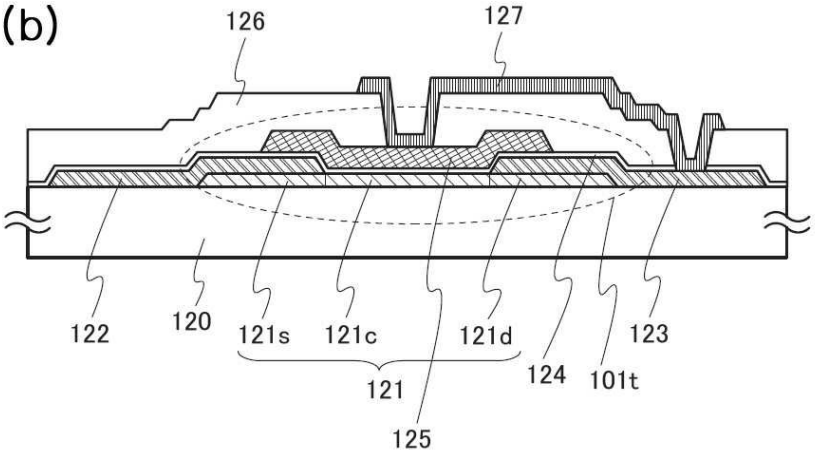


도면2

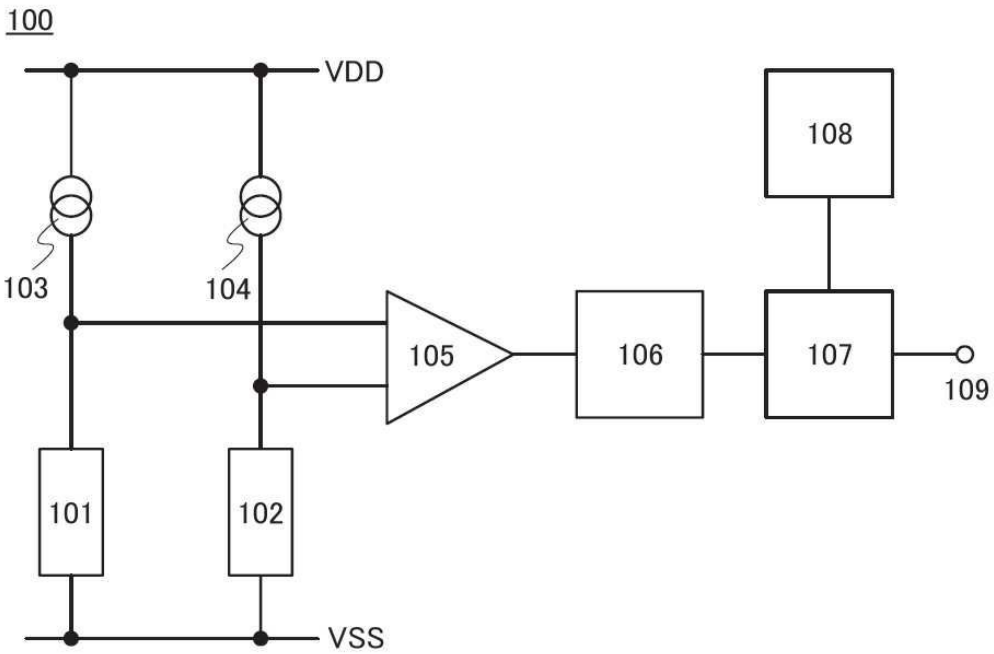
(a)


100
VDD
103
104
105
110
101t
102t
101
102
VSS

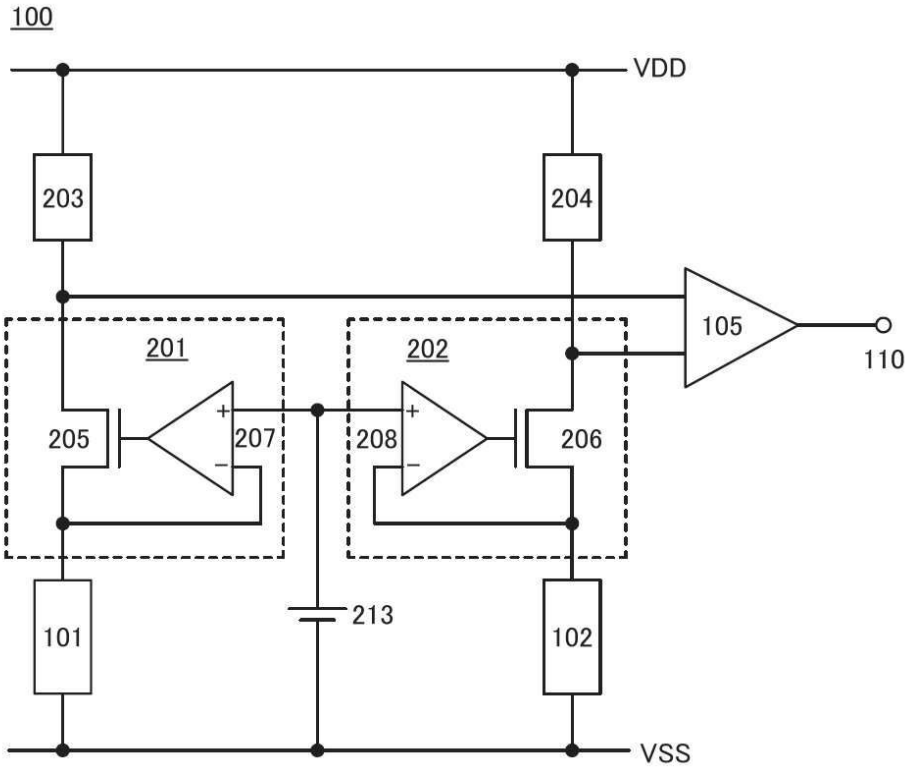
(b)


126
127
122
120
121s
121c
121d
123
121
124
101t
125

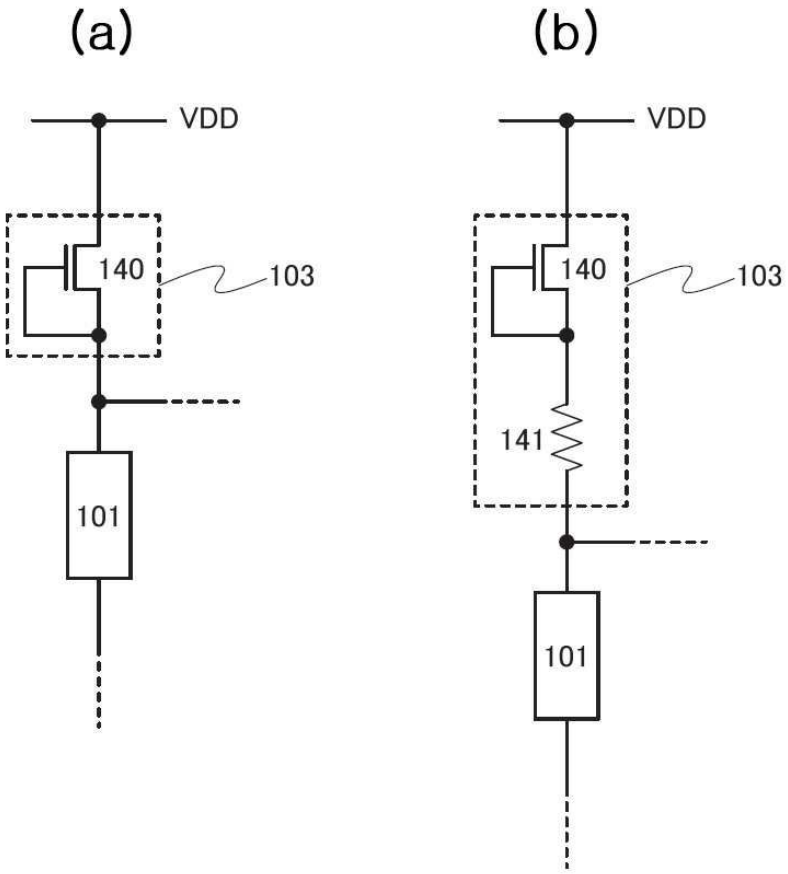
도면3


100
VDD
108
103
104
105
106
107
109
101
102
VSS

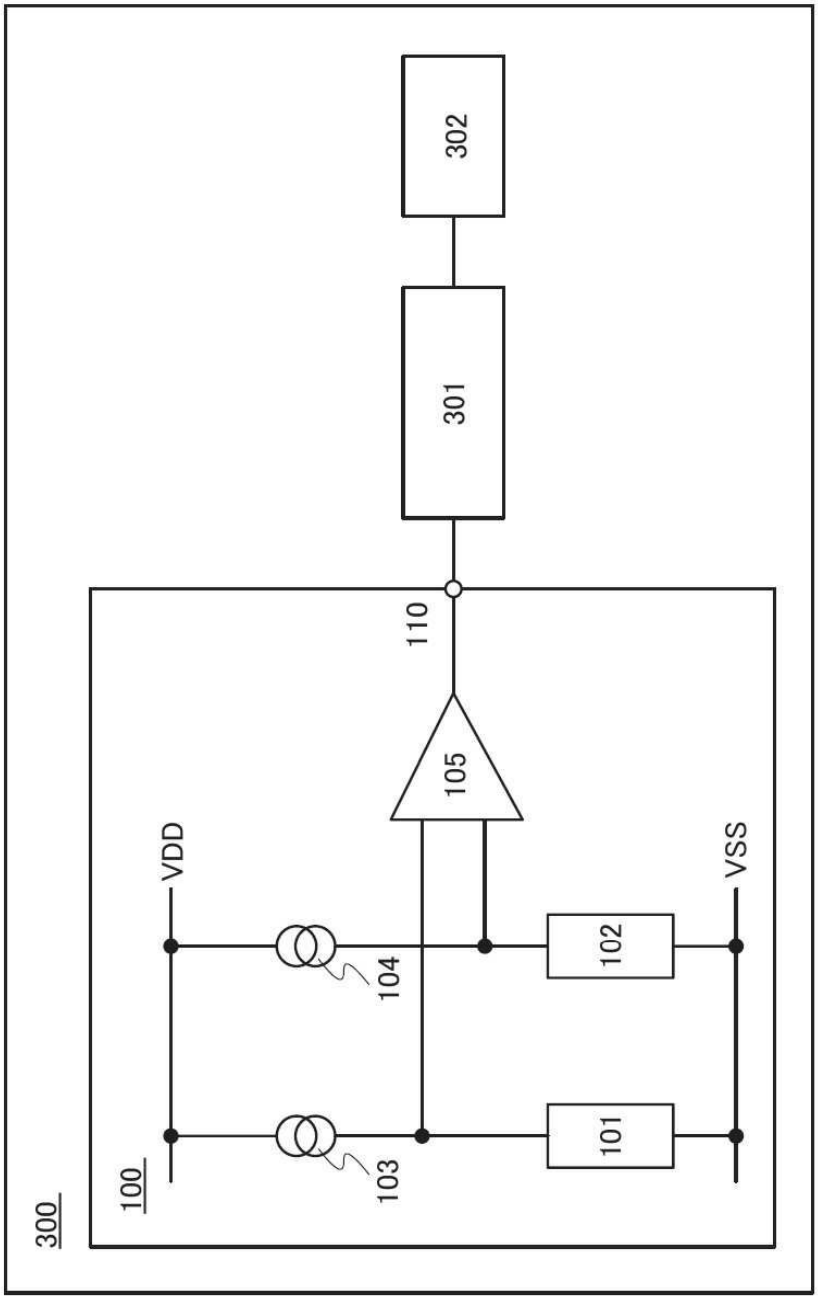
도면4


100
VDD
203
204
105
110
201
202
205
207
208
206
213
101
102
VSS

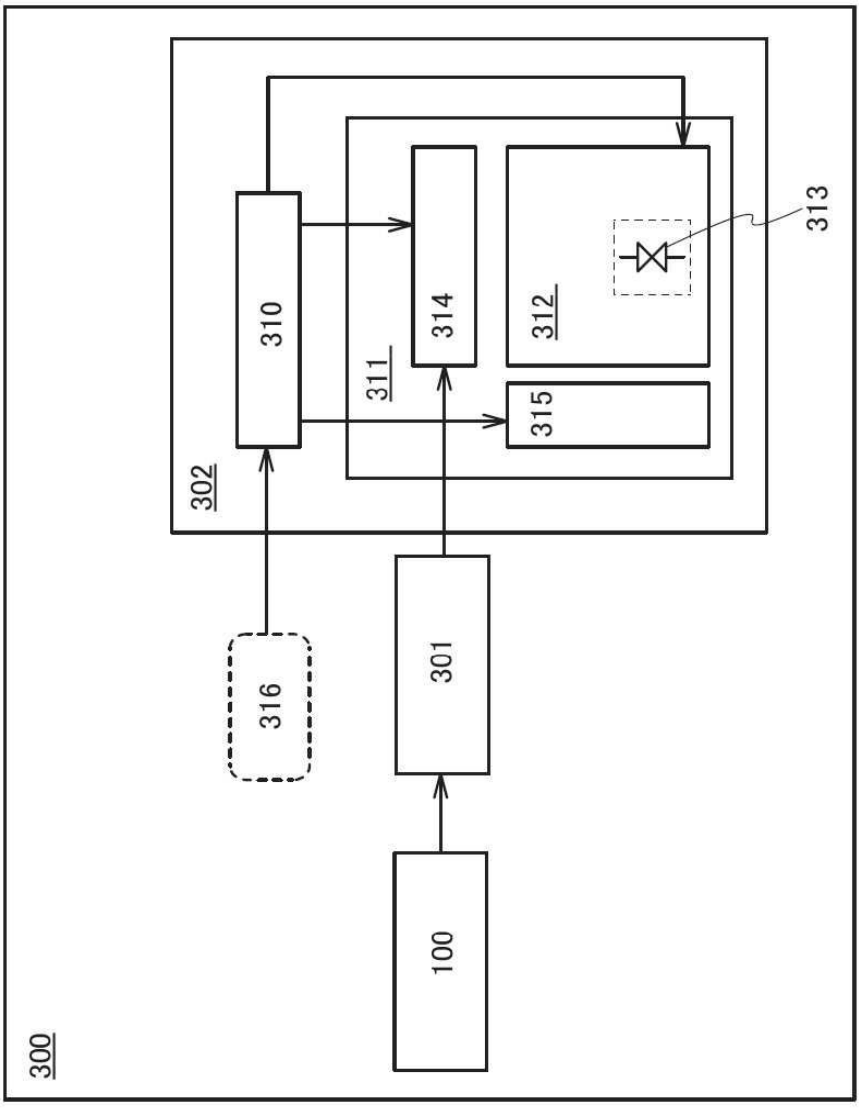
도면5



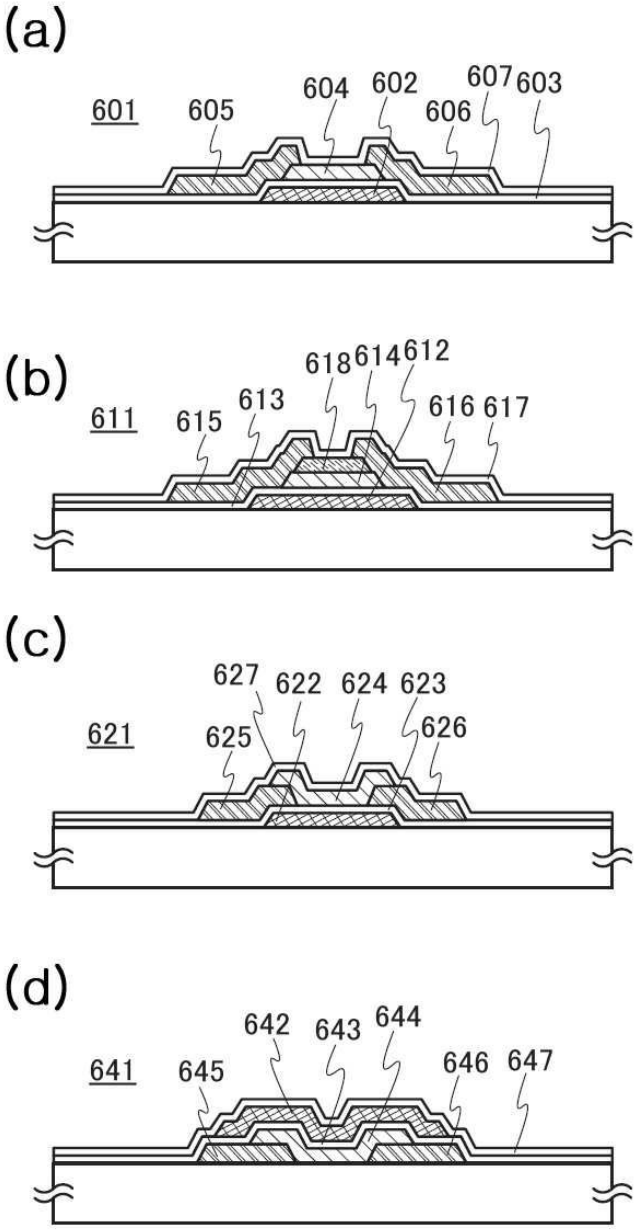
도면6



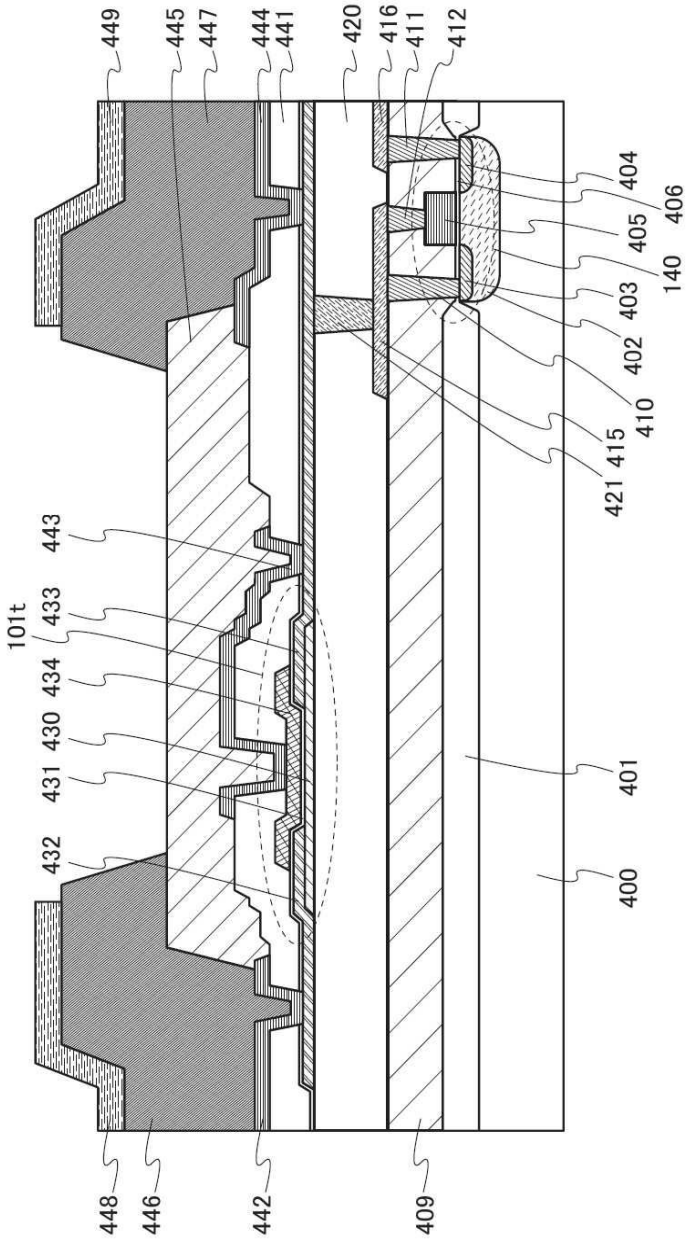
도면7



도면8

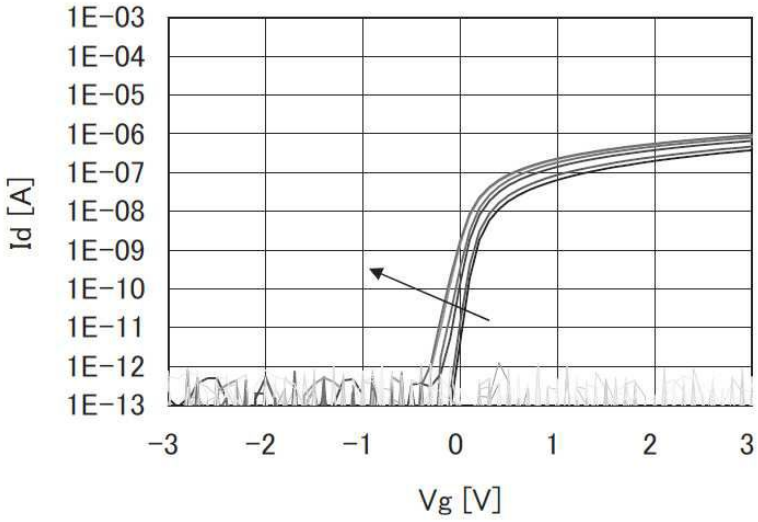

(a)
601
605
604
602
606
607
603
(b)
611
615
613
618
614
612
616
617
(c)
621
625
627
622
624
623
626
(d)
641
645
642
643
644
646
647

도면9

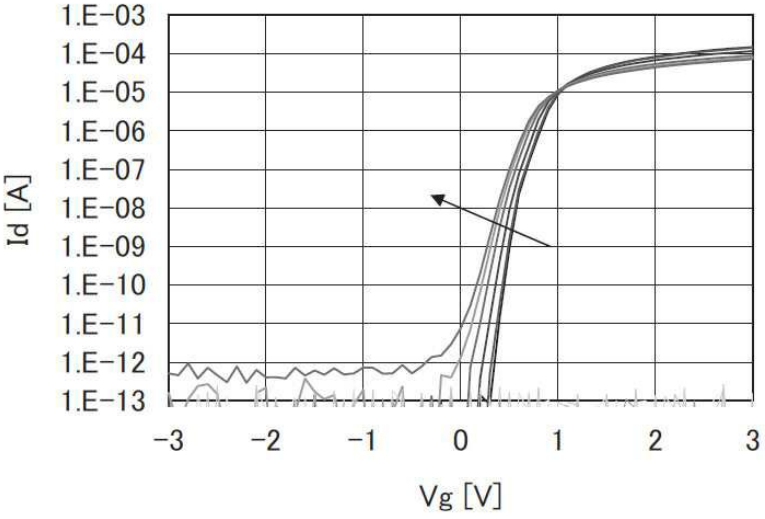

449
445
447
444
441
420
416
411
412
404
406
405
140
403
402
410
415
421
443
101t
433
434
430
431
432
401
400
448
446
442
409

도면10

(a)

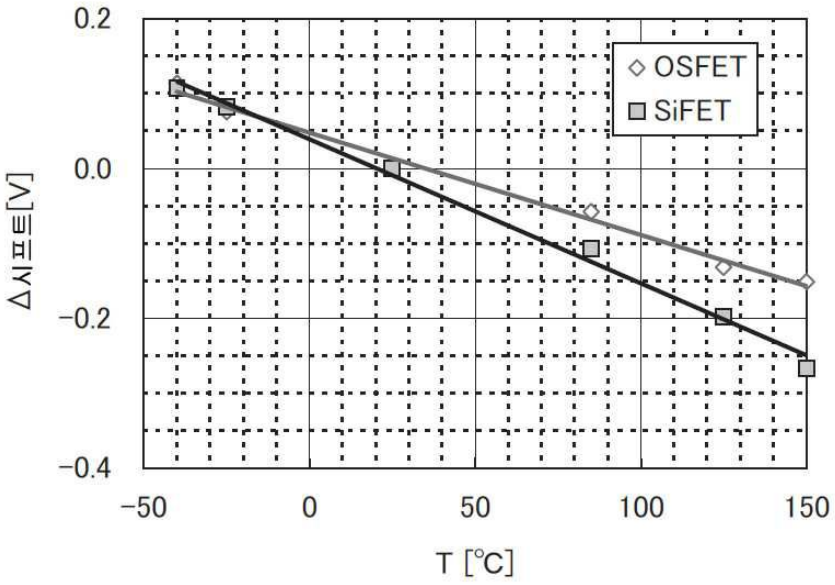

1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
1E-13
Id [A]
-3
-2
-1
0
1
2
3
Vg [V]

(b)

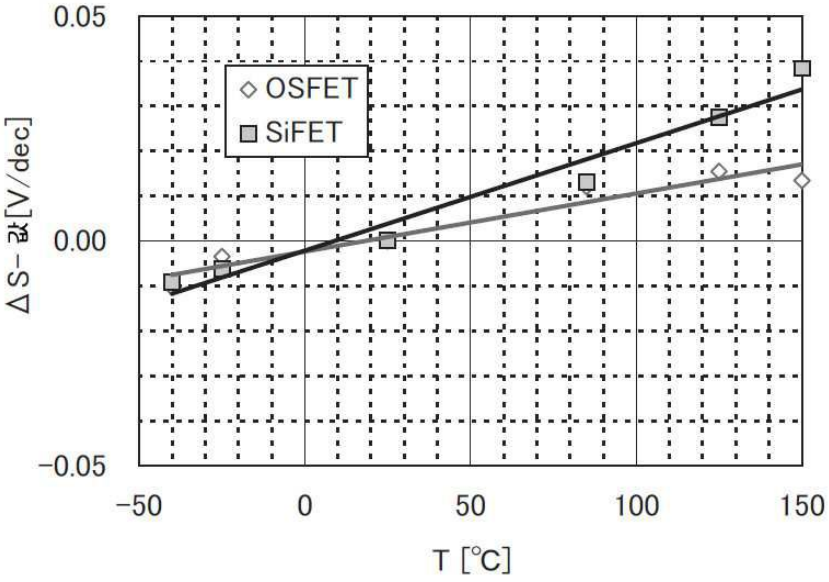

1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
Id [A]
-3
-2
-1
0
1
2
3
Vg [V]

도면11

(a)


0.2
0.0
−0.2
−0.4
ΔVshift[V]
−50
0
50
100
150
T [°C]
OSFET
SiFET

(b)


0.05
0.00
−0.05
ΔS−값[V/dec]
−50
0
50
100
150
T [°C]
OSFET
SiFET