



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I452831 B

(45)公告日：中華民國 103 (2014) 年 09 月 11 日

(21)申請案號：100138954

(22)申請日：中華民國 100 (2011) 年 10 月 26 日

(51)Int. Cl. : **H03K19/003 (2006.01)**(71)申請人：登豐微電子股份有限公司(中華民國)GREEN SOLUTION TECHNOLOGY CO.,LTD.  
(TW)

新北市汐止區工建路 366 號 6 樓

(72)發明人：彭科 PENG, KE (CN)；李立民 LEE, LI MIN (TW)；余仲哲 YU, CHUNG CHE  
(TW)；徐猷松 SHIU, SHIAN SUNG (TW)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 6469575B2

Trescases, O.; Ng, J.C.W., "Variable output, soft-switching DC/DC converter for VLSI dynamic voltage scaling power supply applications," Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual , vol.6, no., pp.4149,4155 Vol.6, 20-25 June 2004.

Wan-Rone Liou; Mei-Ling Yeh; Yueh Lung Kuo, "A High Efficiency Dual-Mode Buck Converter IC For Portable Applications," Power Electronics, IEEE Transactions on , vol.23, no.2, pp.667,677, March 2008.

Guo-Ming Sung; Sheng-Kai Peng; Yen-Tang Chang, "A white LED backlight driving IC with 3-bit dimming controller," Quality Electronic Design (ASQED), 2011 3rd Asia Symposium on , vol., no., pp.79,84, 19-20 July 2011.

Meyer, E.; Zhiliang Zhang; Yan-Fei Liu, "An Optimal Control Method for Buck Converters Using a Practical Capacitor Charge Balance Technique," Power Electronics, IEEE Transactions on , vol.23, no. 4, pp.1802,1812, July 2008.

審查人員：鄭凱旭

申請專利範圍項數：11 項 圖式數：6 共 0 頁

(54)名稱

具有輸出保護之驅動電路及其驅動保護電路

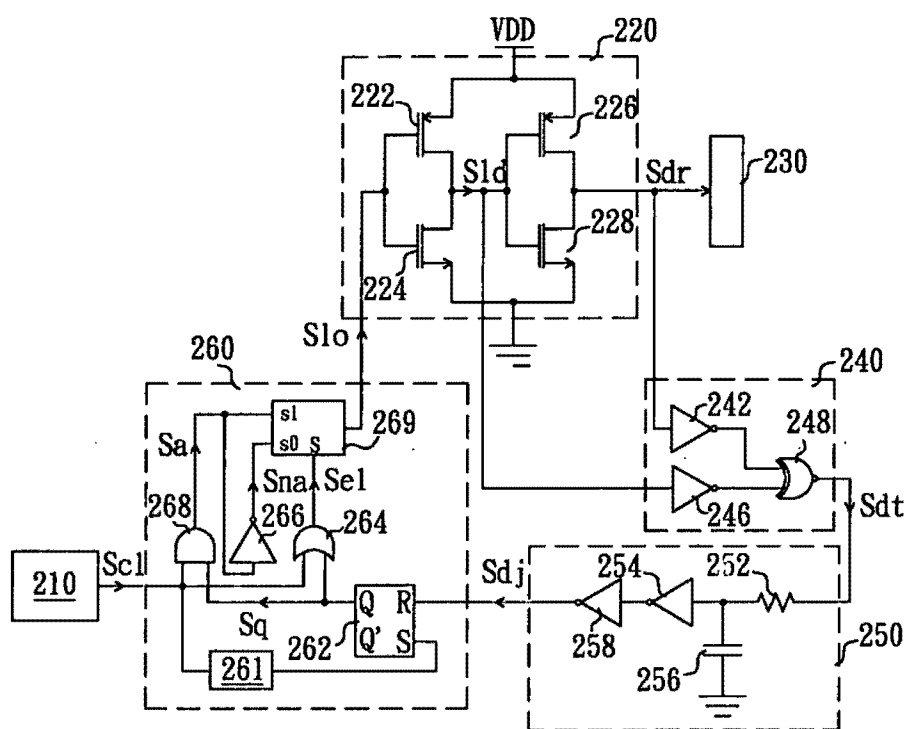
DRIVING CIRCUIT WITH OUTPUT PROTECTION AND DRIVING PROTECTION CIRCUIT  
APPLYING TO THE SAME

(57)摘要

本發明提供了一種驅動保護電路，用以保護一驅動電路，而驅動電路根據一控制訊號位於一第一邏輯准位或一第二邏輯准位對應控制一驅動訊號之准位以驅動一負載。驅動保護電路包含一驅動訊號偵測電路、一延遲判斷電路以及一邏輯控制電路。驅動訊號偵測電路偵測驅動訊號之准位並產

生一負載異常訊號以對應負載是否異常。延遲判斷電路耦接驅動訊號偵測電路，並產生一第一訊號以對應於是否負載異常且持續產生超過一預定時間長度時。邏輯控制電路耦接延遲判斷電路及驅動電路，根據第一訊號決定是否調整驅動訊號之准位。其中，當控制訊號位於第一邏輯准位、負載異常且持續產生超過預定時間長度，邏輯控制電路將驅動訊號之准位調整成對應控制訊號位於第二邏輯准位之准位。

A driving protection circuit, adopted to protect a driving circuit, is disclosed. The driving circuit controls a level of a driving signal corresponding to that a control signal is at first logic level or a second logic level for driving a load. The driving protection circuit includes a driving signal detection circuit, a delay judgment circuit and a logic control circuit. The driving signal detection circuit generates a load fault signal in response to that a load is abnormal. The delay judgment circuit is coupled to the driving signal detection circuit and generates a first signal in response to that the load is abnormal for a predetermined time period. The logic control circuit is coupled to the delay judgment circuit and the driving circuit and determined whether to modulate the level of the driving signal according to the first signal. Wherein, when the control signal is at the first logic level and the load is abnormal for the predetermined time period, the logic control signal modulates the level of the driving signal to be a level corresponding to that the control signal is at the second logic level.



第三圖

- 210 . . . 控制電路
- 220 . . . 驅動級電路
- 222、226 . . . P型  
金氧半場效電晶體
- 224、228 . . . N型  
金氧半場效電晶體
- 230 . . . 負載
- 240 . . . 驅動訊號偵  
測電路
- 242、246 . . . 反相  
器
- 248 . . . 反互斥閘
- 250 . . . 延遲判斷電  
路
- 252 . . . 電阻
- 254、258、
- 266 . . . 反相器
- 256 . . . 延遲電容
- 260 . . . 邏輯控制電  
路
- 261 . . . 上下緣偵測  
電路
- 262 . . . RS正反器
- 264 . . . 或閘

268 . . . 及開

269 . . . 多工器

VDD . . . 電源

Sdj . . . 第一訊號

Sld . . . 第二訊號

Sdt . . . 負載異常訊號

Cv . . . 電容電壓

R . . . 重設端

S . . . 設定端

Sdr . . . 驅動訊號

Scl . . . 控制訊號

Slo . . . 邏輯控制訊號

Sq . . . 第三訊號

Sel . . . 選擇訊號

s1 . . . 第一選擇輸入端

Sa . . . 第四訊號

s0 . . . 第二選擇輸入端

Sna . . . 第五訊號

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100138954

※申請日： 100.10.26

※IPC 分類： H03k 19/003

(2006.01)

## 一、發明名稱：(中文/英文)

具有輸出保護之驅動電路及其驅動保護電路

DRIVING CIRCUIT WITH OUTPUT PROTECTION AND  
DRIVING PROTECTION CIRCUIT APPLYING TO THE  
SAME

## 二、中文發明摘要：

本發明提供了一種驅動保護電路，用以保護一驅動電路，而驅動電路根據一控制訊號位於一第一邏輯准位或一第二邏輯准位對應控制一驅動訊號之准位以驅動一負載。驅動保護電路包含一驅動訊號偵測電路、一延遲判斷電路以及一邏輯控制電路。驅動訊號偵測電路偵測驅動訊號之准位並產生一負載異常訊號以對應負載是否異常。延遲判斷電路耦接驅動訊號偵測電路，並產生一第一訊號以對應於是否負載異常且持續產生超過一預定時間長度時。邏輯控制電路耦接延遲判斷電路及驅動電路，根據第一訊號決定是否調整驅動訊號之准位。其中，當控制訊號位於第一邏輯准位、負載異常且持續產生超過預定時間長度，邏輯控制電路將驅動訊號之准位調整成對應控制訊號位於第二邏輯准位之准位。

## 三、英文發明摘要：

A driving protection circuit, adopted to protect a driving circuit, is disclosed. The driving circuit controls a level of a driving signal corresponding to that a control signal is at first logic level or a second logic level for driving a load. The driving protection circuit includes

a driving signal detection circuit, a delay judgment circuit and a logic control circuit. The driving signal detection circuit generates a load fault signal in response to that a load is abnormal. The delay judgment circuit is coupled to the driving signal detection circuit and generates a first signal in response to that the load is abnormal for a predetermined time period. The logic control circuit is coupled to the delay judgment circuit and the driving circuit and determined whether to modulate the level of the driving signal according to the first signal. Wherein, when the control signal is at the first logic level and the load is abnormal for the predetermined time period, the logic control signal modulates the level of the driving signal to be a level corresponding to that the control signal is at the second logic level.

四、指定代表圖：

(一)本案指定代表圖為：第 ( 三 ) 圖。

(二)本代表圖之元件符號簡單說明：

控制電路 210

驅動級電路 220

P 型金氧半場效電晶體 222、226

N 型金氧半場效電晶體 224、228

負載 230

驅動訊號偵測電路 240

反相器 242、246

反互斥閘 248

延遲判斷電路 250

電阻 252

反相器 254、258、266

延遲電容 256

邏輯控制電路 260

上下緣偵測電路 261

RS 正反器 262

或閘 264

及閘 268

多工器 269

電源 VDD

第一訊號 Sdj

第二訊號 Sld

負載異常訊號 Sdt

電容電壓 Cv

重設端 R

設定端 S

驅動訊號 Sdr

控制訊號 Scl

邏輯控制訊號 Slo  
第三訊號 Sq  
選擇訊號 Sel  
第一選擇輸入端 s1  
第四訊號 Sa  
第二選擇輸入端 s0  
第五訊號 Sna

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種驅動電路及其驅動保護電路，尤指一種具有輸出保護功能之驅動電路及其驅動保護電路。

### 【先前技術】

請參見第一圖，為傳統的驅動電路之電路示意圖。驅動電路包含一時鐘訊號發生器 10 和一個驅動級電路 20，用以驅動一負載 30。時鐘訊號發生器 10 產生原始驅動訊號  $S_c$ ，再經過驅動級電路 20 增強驅動能力後輸出一驅動訊號  $S_{dr}$  驅動負載 30。在正常操作時，驅動訊號  $S_{dr}$  的波形應該與原始驅動訊號  $S_c$  的波形一致。但是，當負載 30 出現短路或超載時，驅動訊號  $S_{dr}$  可能被負載 30 強行拉低或者拉高，從而導致驅動級電路 20 所提供的電流  $I_c$  或者電流  $I_{dc}$  過大而將驅動級電路 20 燒毀。

### 【發明內容】

鑑於先前技術中的驅動電路，會因負載短路或超載而有燒毀之可能，本發明提供了驅動保護電路，偵測驅動電路所輸出的驅動訊號之准位，當判斷驅動訊號准位異常時，驅動保護電路使驅動電路停止輸出訊號，以避免驅動電路因此輸出過大的功率而燒毀。

為達上述目的，本發明提供了一種驅動保護電路，用以保護一驅動電路，而驅動電路根據一控制訊號位於一第一邏輯准位或一第二邏輯准位對應控制一驅動訊號之准位以驅動一負載。驅動保護電路包含一驅動訊號偵測電路、一延遲判斷電路以及一邏輯控制電路。驅動訊號偵測電路偵測驅動訊號之准位並產生一負載異常訊號以對應負載是否異常。延遲判斷電路耦接驅動訊號偵測電路，並產生一第一訊號以對應於是否負載異常且持續產生超過一預定時間長度。邏輯控制電路耦接延遲判



斷電路及驅動電路，根據第一訊號決定是否調整驅動訊號之准位。其中，當控制訊號位於第一邏輯准位、負載異常且持續產生超過預定時間長度，邏輯控制電路將驅動訊號之准位調整成對應控制訊號位於第二邏輯准位之准位。

本發明也提供了一種具有輸出保護之驅動電路，包含一控制電路、一驅動級電路以及一驅動保護電路。控制電路產生一控制訊號且控制訊號具有一第一邏輯准位及一第二邏輯准位。驅動級電路，對應控制訊號之邏輯准位產生一驅動訊號以驅動一負載。驅動保護電路耦接控制電路及驅動級電路，並執行下述至少其中之一之操作：a.控制訊號於第一邏輯准位時，判斷驅動訊號是否低於一第一預定准位持續超過一預定時間長度，若是則使驅動級電路將驅動訊號之准位調整成對應控制訊號於第二邏輯准位時之准位；以及 b.控制訊號於第二邏輯准位時，判斷驅動訊號是否高於一第二預定准位持續超過一預定時間長度，若是則使驅動級電路將驅動訊號之准位調整成對應控制訊號於第二邏輯准位時之准位。

以上的概述與接下來的詳細說明皆為示範性質，是為了進一步說明本發明的申請專利範圍。而有關本發明的其他目的與優點，將在後續的說明與圖示加以闡述。

#### 【實施方式】

請參見第二圖，為根據本發明之一第一較佳實施例之驅動電路之電路方塊圖。驅動電路包含一控制電路 110、一驅動級電路 120 以及一驅動保護電路 100，用以產生一驅動訊號 Sdr 以驅動一負載 130。控制電路 110 產生一控制訊號 Scl 且控制訊號具有一第一邏輯准位及一第二邏輯准位，例如：邏輯准位"1"及"0"。驅動保護電路 100 根據控制訊號 Scl 及驅動訊號 Sdr 來判斷驅動電路操作是否正常。在正常操作時，驅動保護電路 100 根據控制訊號 Scl 來產生邏輯控制訊號 Slo，使驅動級電路 120 對應控制訊號 Scl 之邏輯准位產生驅動訊號 Sdr，

例如：當控制訊號 Scl 位於第一邏輯准位時，驅動訊號 Sdr 為高准位；而當控制訊號 Scl 位於第二邏輯准位時，驅動訊號 Sdr 為低准位。

然而，當負載 130 與一電源（未繪出）之間發生短路，使驅動訊號 Sdr 於控制訊號 Scl 位於第二邏輯准位時為異常之高准位；或者當負載 130 與接地之間發生短路或負載 130 超載，使驅動訊號 Sdr 於控制訊號 Scl 位於第一邏輯准位時，為異常之低准位。當驅動保護電路 100 判斷出上述異常情況且持續超過一預定時間時，驅動保護電路 100 根據控制訊號 Scl 的邏輯准位情況來產生邏輯控制訊號 Slo 至驅動級電路 120，使驅動級電路 120 改變驅動訊號 Sdr 之准位，以避免異常情況持續產生。說明如下：

當控制訊號 Scl 於第一邏輯准位時，而驅動訊號 Sdr 低於一第一預定准位持續超過一預定時間長度，代表可能發生對地短路或超載，驅動級電路 120 將驅動訊號 Sdr 的准位改變為對應控制訊號 Scl 於第二邏輯准位的低准位，以避免為驅動訊號 Sdr 的准位拉高而持續提供過大之能量而毀損之風險。當控制訊號 Scl 於第二邏輯准位時，而驅動訊號 Sdr 高於一第二預定准位持續超過一預定時間長度，代表可能發生對電源短路，驅動級電路 120 將驅動訊號 Sdr 的准位改變為對應控制訊號 Scl 於第一邏輯准位的高准位，以避免為降低驅動訊號 Sdr 的准位而持續提供過大之能量而毀損之風險。如上所述，預定時間長度的設定可以根據驅動級電路 120 的最大承受電流或／及最大功耗來決定，以避免驅動級電路因耐流或散熱能力的不足而毀損。另外，預定時間長度的設定同時可避免一些雜訊或電路操作的暫態所造成的誤判。

本發明之驅動保護電路可根據實際應用環境，對上述兩種異常狀態之一或全部提供偵測及保護之功能而達到保護驅動電路之作用。

接著請參見第三圖，為實現第二圖所示實施例之驅動電路之電路示意圖。驅動電路包含一控制電路 210、一驅動級電路 220 以及一驅動保護電路，用以產生一驅動訊號 Sdr 以驅動一負載 230，其中驅動保護電路包含一驅動訊號偵測電路 240、一延遲判斷電路 250 以及一邏輯控制電路 260。驅動電路可以應用至一般常見切換式電源供應器中的切換控制器，例如：脈衝寬度調變控制器（Pulse Width Modulation Controller）、脈衝頻率調變控制器（Pulse Frequency Modulation Controller）、固定導通時間控制器（Constant On time Controller）、固定截止時間控制器（Constant Off time Controller）等，使上述控制器驅動內建或外部的電晶體開關時，避免電晶體開關的操作異常導致控制器的毀損。

在本實施例，驅動級電路 220 包含 P 型金氧半場效電晶體 222、226 以及 N 型金氧半場效電晶體 224、228。P 型金氧半場效電晶體 222 及 N 型金氧半場效電晶體 224 串聯於一電源 VDD 及接地之間以組成一第一驅動單元，而 P 型金氧半場效電晶體 226 及 N 型金氧半場效電晶體 228 也串聯於電源 VDD 及接地之間以組成一第二驅動單元。P 型金氧半場效電晶體 222 及 N 型金氧半場效電晶體 224 的閘極耦接邏輯控制電路 260 所輸出之邏輯控制訊號 Slo。P 型金氧半場效電晶體 222 及 N 型金氧半場效電晶體 224 的连接點耦接 P 型金氧半場效電晶體 226 及 N 型金氧半場效電晶體 228 的閘極。邏輯控制訊號 Slo 控制 P 型金氧半場效電晶體 222 及 N 型金氧半場效電晶體 224 之一被導通而另一被截止，以於其中连接點產生一第二訊號 Sld。而第二訊號 Sld 控制 P 型金氧半場效電晶體 226 及 N 型金氧半場效電晶體 228 之一被導通而另一被截止，以產生驅動訊號 Sdr。在正常操作下，驅動訊號 Sdr 的波形大致上與控制訊號 Scl 相同，而與第二訊號 Sld 大致上反相。

驅動訊號偵測電路 240 包含兩反相器 242、246 以及一反

互斥閘 (XNOR Gate) 248，以偵測驅動訊號 Sdr 之准位以產生一負載異常訊號 Sdt。反相器 246 之輸入端接收第二訊號 Sld，而輸出端耦接反互斥閘 248 之輸入端。反相器 242 之輸入端接收驅動訊號 Sdr，而輸出端耦接反互斥閘 248 之輸入端。驅動訊號偵測電路 240 透過反相器 242、246 的邏輯判斷准位可判斷第二訊號 Sld 及驅動訊號 Sdr 是否處於正常操作時的准位。在正常操作時，第二訊號 Sld 與驅動訊號 Sdr 反相，故反互斥閘 248 輸出低准位之負載異常訊號 Sdt。然而在異常狀況時，驅動訊號 Sdr 無法被完全拉到高准位或低准位，而使反相器 242 的輸出訊號的邏輯與反相器 246 的輸出訊號同為高准位或低准位，而使反互斥閘 248 產生高准位之負載異常訊號 Sdt。

延遲判斷電路 250 包含一電阻 252、一延遲電容 256 以及反相器 254、258，用以判斷負載異常訊號 Sdt 在代表異常之高准位是否持續超過一預定時間長度，並據此對應產生一第一訊號 Sdj。在正常操作時，驅動訊號偵測電路 240 產生低准位之負載異常訊號 Sdt，故反相器 254 也輸出低准位之第一訊號 Sdj。在異常狀況時，驅動訊號偵測電路 240 產生高准位之負載異常訊號 Sdt，透過電阻 252 對延遲電容 256 充電，使電容電壓 Cv 上升。若負載異常訊號 Sdt 的高准位為雜訊或電路操作的暫態（例如：金氧半場效電晶體的寄生電容造成第二訊號 Sld 及驅動訊號 Sdr 的上升及下降有時間延遲）時，則持續時間不會超過預定時間長度，使負載異常訊號 Sdt 再度轉為低准位。當負載異常訊號 Sdt 持續於高准位超過預定時間長度時，延遲電容 256 的電容電壓 Cv 將超過反相器 254 的邏輯判斷准位而輸出高准位之第一訊號 Sdj。

邏輯控制電路 260 耦接控制電路 210、延遲判斷電路 250 及驅動級電路 220，包含一上下緣偵測電路 261、一 RS 正反器 262、一或閘 264、一反相器 266、一及閘 268 以及一多工

器 269，於接收到高准位的第一訊號  $S_{dj}$ （即代表負載 230 異常且持續超過預定時間）時，調整驅動級電路 220 所輸出的驅動訊號之准位，以避免電路異常之情況持續發生而毀損電路。

為更清楚瞭解本實施例之電路操作，請同時參見第四圖，為第三圖所示實施例的訊號波形圖。RS 正反器 262 之重設端 R 耦接延遲判斷電路 250 中的反相器 254 之輸出端，設定端 S 耦接上下緣偵測電路 261。上下緣偵測電路 261 耦接控制電路 210，於偵測到控制訊號  $S_{cl}$  的上升緣及下降緣時，均產生一脈衝訊號至 RS 正反器 262 的設定端 S，使 RS 正反器 262 於輸出端 Q 重新輸出高准位之第三訊號  $S_q$ 。在時間點  $t_1$  之前，驅動電路操作正常，故第一訊號  $S_{dj}$  為低准位，此時 RS 正反器 262 於輸出端 Q 輸出高准位之第三訊號  $S_q$ 。或閘 264 接收第三訊號  $S_q$  及控制訊號  $S_{cl}$ ，以據此產生一選擇訊號  $S_{el}$ 。此時由於第三訊號  $S_q$  為高准位，故或閘 264 輸出高准位之選擇訊號  $S_{el}$ ，使多工器 269 將一第一選擇輸入端  $s_1$  所接收的訊號作為邏輯控制訊號  $S_{lo}$  輸出。及閘 268 接收第三訊號  $S_q$  及控制訊號  $S_{cl}$ ，以據此產生一第四訊號  $S_a$  至多工器 269 的第一選擇輸入端  $s_1$ 。由於第三訊號  $S_q$  為高准位，第四訊號  $S_a$  與控制訊號  $S_{cl}$  一致，而且第四訊號  $S_a$  也與邏輯控制訊號  $S_{lo}$  一致，也就是說，此時，驅動級電路 220 為等於根據控制訊號  $S_{cl}$  來產生驅動訊號  $S_{dr}$ 。

然而，當負載 230 出現對地短路或超載之情況，若控制訊號  $S_{cl}$  的邏輯准位為高准位，驅動訊號  $S_{dr}$  應該也為高准位。請參見第四圖，負載 230 出現對地短路或超載之情況而使驅動訊號  $S_{dr}$  被下拉而於時間點  $t_1$  低於反相器 242 之邏輯判斷准位。因此，造成反相器 242、246 同時輸出高准位之訊號，使反互斥閘 248 產生高准位之負載異常訊號  $S_{dt}$ 。經預定時間長度後，電容電壓  $C_v$  超過反相器 254 之邏輯判斷准位，延遲判斷電路 250 因而於時間點  $t_2$  產生高准位之第一訊號  $S_{dj}$ 。此時

第一訊號  $S_{dj}$  觸使 RS 正反器 262 產生低准位之第三訊號  $S_q$ 。由於在時間點  $t_3$  之前，控制訊號  $S_{cl}$  的邏輯准位為高准位，或閘 264 輸出高准位之選擇訊號  $S_{el}$  而使多工器 269 仍選擇第四訊號  $S_a$  輸出。時間點  $t_2$ - $t_3$ ，及閘 268 所產生的第四訊號  $S_a$  轉為低准位，使驅動級電路 220 將驅動訊號  $S_{dr}$  的准位拉低，以避免驅動級電路 220 持續高功率輸出。此時，由於邏輯輸出訊號  $S_{lo}$  轉為低准位後，反相器 242、246 輸出相反之准位，使驅動訊號偵測電路 240 輸出低准位之負載異常訊號  $S_{dt}$ 。此時，延遲電容 256 開始放電，延遲判斷電路 250 輸出低准位之第一訊號  $S_{dj}$ 。在時間點  $t_3$ ，控制訊號  $S_{cl}$  轉為低准位之邏輯准位，觸發上下緣偵測電路 261 產生脈衝訊號使 RS 正反器 622 於輸出端 Q 再度輸出高准位之第三訊號  $S_q$ 。因此，時間點  $t_3$  到時間點  $t_4$  的時間範圍內，也就是控制訊號  $S_{cl}$  的邏輯准位為低准位時，或閘 264 輸出仍高准位之選擇訊號  $S_{el}$ ，使多工器 269 仍以控制訊號  $S_{cl}$  作為邏輯控制訊號  $S_{lo}$ 。時間點  $t_5$ 、 $t_6$  時，負載 230 出現對地短路或超載之情況仍未解除，故重複時間點  $t_1$ 、 $t_2$  的運作。

時間點  $t_6$  到時間點  $t_7$ ，驅動電路短暫恢復正常。但於時間點  $t_7$  開始，負載 230 出現對電源短路之情況。若控制訊號  $S_{cl}$  的邏輯准位為低准位，驅動訊號  $S_{dr}$  應該為低准位，但被上拉致使反相器 242、246 同時輸出低准位之訊號，使反互斥閘 248 產生高准位之負載異常訊號  $S_{dt}$ 。經預定時間長度後，電容電壓  $C_v$  超過反相器 254 之邏輯判斷准位，延遲判斷電路 250 因而於時間點  $t_8$  產生高准位之第一訊號  $S_{dj}$ 。此時高准位之第一訊號  $S_{dj}$  觸使 RS 正反器 262 產生低准位之第三訊號  $S_q$ 。由於在時間點  $t_9$  之前，控制訊號  $S_{cl}$  的邏輯准位為低准位，或閘 264 輸出低准位之選擇訊號  $S_{el}$  而使多工器 269 改選擇第二選擇輸入端  $s_0$  所接收的訊號作為邏輯控制訊號  $S_{lo}$ 。反相器 266 的輸入端耦接及閘 268 的輸出端，而反相器 266 的輸出端耦接多工器 269 的第二選擇輸入端  $s_0$ 。此時，控制訊號  $S_{cl}$  的

邏輯准位為低准位而第三訊號  $S_q$  也為低准位，故反相器 266 輸出高准位之一第五訊號  $S_{na}$ ，使多工器 269 輸出的邏輯控制訊號  $S_{lo}$  仍為高准位，以避免驅動級電路 220 持續高功率輸出。此時，由於邏輯輸出訊號  $S_{lo}$  為高准位可避免異常狀態之發生，因此反相器 242、246 輸出相反之准位，使驅動訊號偵測電路 240 輸出低准位之負載異常訊號  $S_{dt}$ 。此時，延遲電容 256 開始放電，延遲判斷電路 250 也輸出低准位之第一訊號  $S_{dj}$ 。在時間點  $t_9$ ，控制訊號  $S_{cl}$  轉為邏輯准位為高准位，觸發上下緣偵測電路 261 產生脈衝訊號重設 RS 正反器 262，使第三訊號  $S_q$  轉為高准位。因此，時間點  $t_9$  到時間點  $t_{10}$  的時間範圍內，也就是控制訊號  $S_{cl}$  的邏輯准位為高准位時，或閘 264 輸出高准位之選擇訊號  $S_{el}$ ，使多工器 269 改選擇第一選擇輸入端  $s_1$  所接收的訊號作為邏輯控制訊號  $S_{lo}$ ，即驅動訊號  $S_{dr}$  仍維持高准位。時間點  $t_{10}$ 、 $t_{11}$  時，負載 230 出現對電源短路之情況仍未解除，故重複時間點  $t_7$ 、 $t_8$  的運作。

因此，本發明之驅動電路會根據發生異常時的控制訊號  $S_{cl}$  之邏輯准位，對應調整此時的驅動訊號  $S_{dr}$  之准位。也就是說，於控制訊號  $S_{cl}$  於高准位之邏輯准位時，發生電路異常使驅動訊號  $S_{dr}$  過低持續超過預定時間長度時，則使驅動級電路 220 將驅動訊號  $S_{dr}$  之准位調整成對應控制訊號  $S_{cl}$  於低准位之邏輯准位。於控制訊號  $S_{cl}$  於低准位之邏輯准位時，發生電路異常使驅動訊號  $S_{dr}$  過高持續超過預定時間長度時，則使驅動級電路 220 將驅動訊號  $S_{dr}$  之准位調整成對應控制訊號  $S_{cl}$  於高准位之邏輯准位。而且，本發明之驅動電路會隨控制訊號  $S_{cl}$  之邏輯准位變化，重新偵測驅動電路的異常狀態是否解除。於異常狀態解除後，驅動電路則可恢復正常操作。

另外，電容性負載具有電容特性，例如：金氧半場效電晶體，在驅動或者切換驅動狀態的開始瞬間，會有極大的電流峰值，而驅動訊號也無法立即被提升。因此，傳統的偵測方式，

例如：偵測負載流經的電流等方式並無法正確地判斷出電容性負載的驅動是否異常。本發明之精神係利用偵測驅動訊號的准位並設定一延遲時間，透過判斷電壓變化率以判斷驅動電路的操作是否異常。這樣的判斷方式尤其適合負載為電容性負載時。

本發明也可僅對對電源短路或對地短路、超載之單向驅動異常來進行保護，以避免部分負載，例如：金氧半場效電晶體因雙向保護反而出現驅動錯誤之情況。請參見第五圖，為根據本發明之一第二較佳實施例之驅動電路之電路示意圖。相較於第三圖所示之實施例，第五圖之實施例的主要差異點為將驅動訊號偵測電路 240 及延遲判斷電路 250 中的反相器改為比較器，以配合電路實際操作設定適當的判斷准位。而在本實施例，負載 330 為金氧半場效電晶體，故本實施例針對金氧半場效電晶體最常發生的對地短路或超載進行偵測與保護。說明如下。

驅動訊號偵測電路 340 包含兩比較器 342、346 以及一反及閘 348，以偵測驅動訊號 Sdr 之准位以決定一負載異常訊號 Sdt 之准位。比較器 342 之反相輸入端接收驅動訊號 Sdr，非反相輸入端接收一第一參考電壓  $V_{th1}$ ，而輸出端耦接反及閘 348。比較器 346 之反相輸入端接收第二訊號 Sld，非反相輸入端接收一第二參考電壓  $V_{th2}$ ，而輸出端耦接反及閘 348。在正常操作時，第二訊號 Sld 與驅動訊號 Sdr 反相，故反及閘 348 輸出高准位負載異常訊號 Sdt，在本實施例，高准位代表負載 330 正常。然而在負載 330 發生對地短路或超載時，雖然第二訊號 Sld 為低准位而比較器 346 輸出高准位訊號，但驅動訊號 Sdr 無法被完全拉到高准位而低於第一參考電壓  $V_{th1}$ ，而使比較器 342 也輸出高准位訊號。此時，反及閘 348 輸出代表負載 330 異常的低准位負載異常訊號 Sdt。

延遲判斷電路 350 包含一計時單元及一重設開關 354，用



以判斷負載異常訊號 Sdt 是否持續產生超過一預定時間長度，其中計時單元包含一電流源 352、一延遲電容 356 以及一比較器 358。當負載異常訊號 Sdt 是否持續產生超過一預定時間長度時，延遲判斷電路 350 產生一第一訊號 Sdj。比較器 358 之反相輸入端耦接延遲電容 356，非反相輸入端接收一第三參考電壓 Vth3，並據此產生一第一訊號 Sdj。在正常操作時，反及閘 348 輸出高准位負載異常訊號 Sdt，使重設開關 354 維持導通，延遲電容 356 的電容電壓 Vc 低於第三參考電壓 Vth3，輸出高准位之第一訊號 Sdj。在異常狀況時，驅動訊號偵測電路 340 產生低准位之負載異常訊號 Sdt，以截止重設開關 354，電流源 352 開始對延遲電容 356 充電使電容電壓 Cv 上升。當延遲電容 356 持續充電超過預定時間長度時，延遲電容 356 的電容電壓 Cv 超過第三參考電壓 Vth3 而使第一訊號 Sdj 轉為低准位。

邏輯控制電路 360 耦接控制電路 210、延遲判斷電路 350 及驅動級電路 220，包含一 RS 正反器 362 以及一及閘 364。RS 正反器 362 之重設端 R 接收第一訊號 Sdj，設定端 S 接收控制訊號 Scl，反相輸出端 Q' 耦接及閘 364 之輸入端。及閘 364 也接收控制訊號 Scl，以根據 RS 正反器 362 的輸出及控制訊號 Scl 而產生邏輯判斷訊號 Slo。邏輯控制電路 360 於接收到代表負載異常且超過預定時間長度之低准位的第一訊號 Sdj 時，在控制訊號 Scl 的邏輯准位為高准位時，輸出低准位之邏輯判斷訊號 Slo，使驅動訊號 Sdr 維持低准位，以避免電路異常之情況持續發生而毀損電路。而當控制訊號 Scl 轉為低准位之邏輯准位時，RS 正反器 362 將恢復輸出高准位訊號，使驅動訊號偵測電路 340 得以重新偵測負載是否異常。

在上述兩實施例中，驅動訊號偵測電路偵測驅動級電路的第一驅動單元及驅動訊號 Sdr 來判斷負載是否異常。實際上，驅動訊號偵測電路也可直接偵測驅動訊號 Sdr 及控制訊號 Scl

來進行上述判斷。請參見第六圖，為根據本發明之一第三較佳實施例之驅動電路之電路示意圖。相較第三圖所示之實施例，本實施例將驅動訊號偵測電路 240 改為包含一互斥閘 (XOR Gate) 442 之驅動訊號偵測電路 440。在正常操作時，控制訊號 Scl 及驅動訊號 Sdr 應該同為高准位或低准位。然而當異常情況，控制訊號 Scl 及驅動訊號 Sdr 將為准位將一高一低，使互斥閘 442 輸出代表負載異常之高准位負載異常訊號 Sdt。延遲判斷電路 250 以及邏輯控制電路 260 之電路操作與第三圖所示實施例相同，在此不再重複敘述。

上述的實施例都以判斷負載異常的情況解除時，恢復正常操作為例來說明。然而實際應用時，負載異常的情況或許是負載已損毀而無法恢復。在邏輯控制電路可以增加一計數電路，計數收到第一訊號 Sdj 的次數，並於計數到固定次數（例如：36 次）後停止驅動級電路再輸出驅動訊號 Sdr 直至驅動電路被重啟為止，以避免不斷地嘗試重新驅動負載下可能帶來的其他電路問題。

如上所述，本發明完全符合專利三要件：新穎性、進步性和產業上的利用性。本發明在上文中已以較佳實施例揭露，然熟習本項技術者應理解的是，該實施例僅用於描繪本發明，而不應解讀為限制本發明之範圍。應注意的是，舉凡與該實施例等效之變化與置換，均應設為涵蓋於本發明之範疇內。因此，本發明之保護範圍當以下文之申請專利範圍所界定者為準。

#### 【圖式簡單說明】

第一圖為傳統的驅動電路之電路示意圖。

第二圖為根據本發明之一第一較佳實施例之驅動電路之電路方塊圖。

第三圖為實現第二圖所示實施例之驅動電路之電路示意圖。

第四圖為第三圖所示實施例的訊號波形圖。

第五圖為根據本發明之一第二較佳實施例之驅動電路之電路示意圖。

第六圖為根據本發明之一第三較佳實施例之驅動電路之電路示意圖。

【主要元件符號說明】

先前技術：

時鐘訊號發生器 10

個驅動級電路 20

負載 30

原始驅動訊號  $S_c$

驅動訊號  $S_{dr}$

電流  $I_c$ 、 $I_{dc}$

本發明：

驅動保護電路 100

控制電路 110、210

驅動級電路 120、220

P型金氧半場效電晶體 222、226

N型金氧半場效電晶體 224、228

負載 130、230、330

驅動訊號偵測電路 240、340、440

反相器 242、246

反互斥閘 248

延遲判斷電路 250、350

電阻 252

反相器 254、258、266

延遲電容 256、356

邏輯控制電路 260、360

上下緣偵測電路 261

RS 正反器 262、362  
或閘 264  
及閘 268  
多工器 269  
比較器 342、346、358  
反及閘 348  
電流源 352  
重設開關 354  
及閘 364  
互斥閘 442  
電源 VDD  
控制訊號 Scl  
邏輯控制訊號 Slo  
驅動訊號 Sdr  
第一訊號 Sdj  
第二訊號 Sld  
負載異常訊號 Sdt  
電容電壓 Cv  
重設端 R  
設定端 S  
輸出端 Q  
反相輸出端 Q'  
時間點 t1~t11  
第三訊號 Sq  
選擇訊號 Sel  
第一選擇輸入端 s1  
第四訊號 Sa  
第二選擇輸入端 s0  
第五訊號 Sna  
第一參考電壓 Vth1

第二參考電壓  $V_{th2}$

第三參考電壓  $V_{th3}$

## 七、申請專利範圍：

1. 一種驅動保護電路，用以保護一驅動電路，其中該驅動電路根據一控制訊號位於一第一邏輯准位或一第二邏輯准位對應控制一驅動訊號之准位以驅動一負載，該驅動保護電路包含：

一驅動訊號偵測電路，偵測該驅動訊號之准位並產生一負載異常訊號以對應該負載是否異常；

一延遲判斷電路，耦接該驅動訊號偵測電路，並產生一第一訊號以對應於是否該負載異常且持續產生超過一預定時間長度時；以及

一邏輯控制電路，耦接該延遲判斷電路及該驅動電路，根據該第一訊號決定是否調整該驅動訊號之准位；

其中，當該控制訊號位於該第一邏輯准位、該負載異常且持續產生超過該預定時間長度，該邏輯控制電路將該驅動訊號之准位調整成對應該控制訊號位於該第二邏輯准位之准位。

2. 如申請專利範圍第1項所述之驅動保護電路，其中該驅動訊號偵測電路於該驅動訊號之准位低於一第一預定准位時或該驅動訊號之准位高於一第二預定准位時判斷該負載為異常。

3. 如申請專利範圍第1項所述之驅動保護電路，其中該延遲判斷電路包含一計時單元，用以判斷該負載異常是否持續產生超過該預定時間長度，該計時單元於該控制訊號變換邏輯准位時被重設。

4. 如申請專利範圍第1項所述之驅動保護電路，其中該驅動電路包含一第一驅動單元及一第二驅動單元，該第一驅動單元根據該控制訊號產生一第二訊號，該第二驅動單元根據該第二訊號產生該驅動訊號，該延遲判斷電路根據該第二訊號之時序判斷該驅動訊號是否持續產生超過該預定時間長度。

5. 如申請專利範圍第 1 項至第 4 項其中之一所述之驅動保護電路，該驅動訊號偵測電路包含一反相器或一比較器，用以根據該驅動訊號之准位判斷該負載是否異常。

6. 如申請專利範圍第 1 項至第 4 項其中之一所述之驅動保護電路，其中該負載為一電晶體開關，該電晶體開關之一控制端耦接該驅動電路以根據該驅動訊號切換該電晶體開關之狀態。

7. 如申請專利範圍第 1 項至第 4 項其中之一所述之驅動保護電路，其中該邏輯控制電路計數該負載異常且持續產生超過該預定時間長度之次數，並於該次數達一預定次數後，控制該驅動電路停止產生該驅動訊號。

8. 一種具有輸出保護之驅動電路，包含：

一控制電路，產生一控制訊號且該控制訊號具有一第一邏輯准位及一第二邏輯准位；

一驅動級電路，對應該控制訊號之邏輯准位產生並控制一驅動訊號之准位以驅動一負載；以及

一驅動保護電路，耦接該控制電路及該驅動級電路，並執行下述至少其一之操作：

a. 該控制訊號於該第一邏輯准位時，判斷該驅動訊號是否低於一第一預定准位持續超過一預定時間長度，若是則使該驅動級電路將該驅動訊號之准位調整成對應該控制訊號於該第二邏輯准位時之准位；以及

b. 該控制訊號於該第二邏輯准位時，判斷該驅動訊號是否高於一第二預定准位持續超過一預定時間長度，若是則使該驅動級電路將該驅動訊號之准位調整成對應該控制訊號於該第一邏輯准位時之准位。

9. 如申請專利範圍第 8 項所述之具有輸出保護之驅動電路，其

中該驅動保護電路包含一計時單元，用以計數該驅動訊號持續低於該第一預定准位或高於該第二預定准位之一時間長度，該計時單元於該控制訊號變換邏輯准位時被重設。

10. 如申請專利範圍第 8 項所述之具有輸出保護之驅動電路，該驅動保護電路包含：

一驅動訊號偵測電路，偵測該驅動訊號之准位並產生一負載異常訊號以對應該負載是否異常；

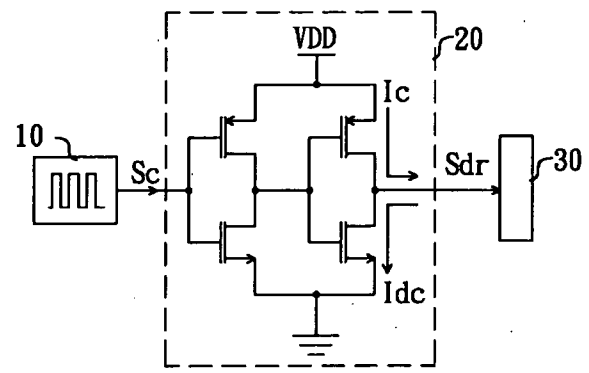
一延遲判斷電路，耦接該驅動訊號偵測電路，並產生一第一訊號以對應於是否該負載異常且持續產生超過一預定時間長度時；以及

一邏輯控制電路，耦接該延遲判斷電路及該驅動電路，根據該第一訊號決定是否調整該驅動訊號之准位。

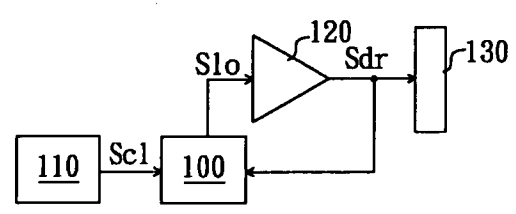
11. 如申請專利範圍第 8 項到第 10 項其中之一所述之具有輸出保護之驅動電路，其中該負載為一電容性負載。



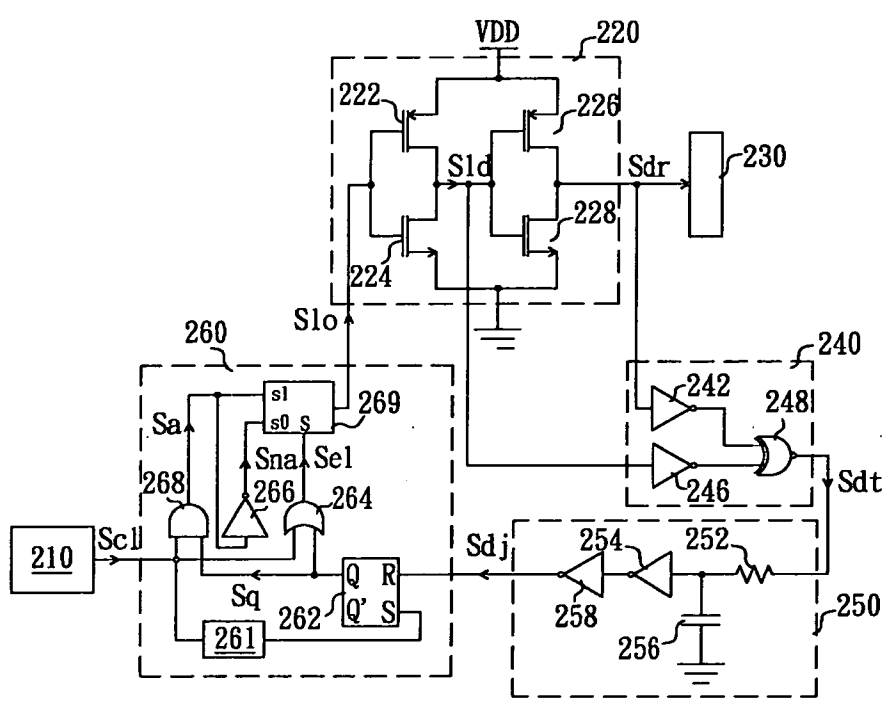
八、圖式：



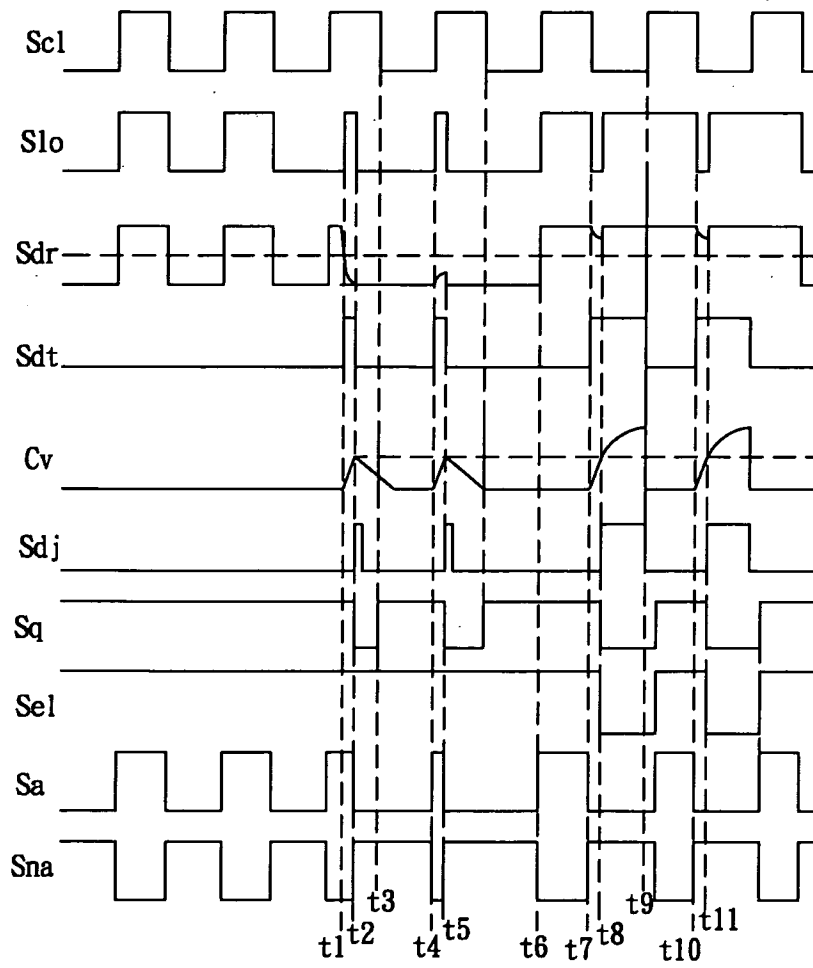
第一圖



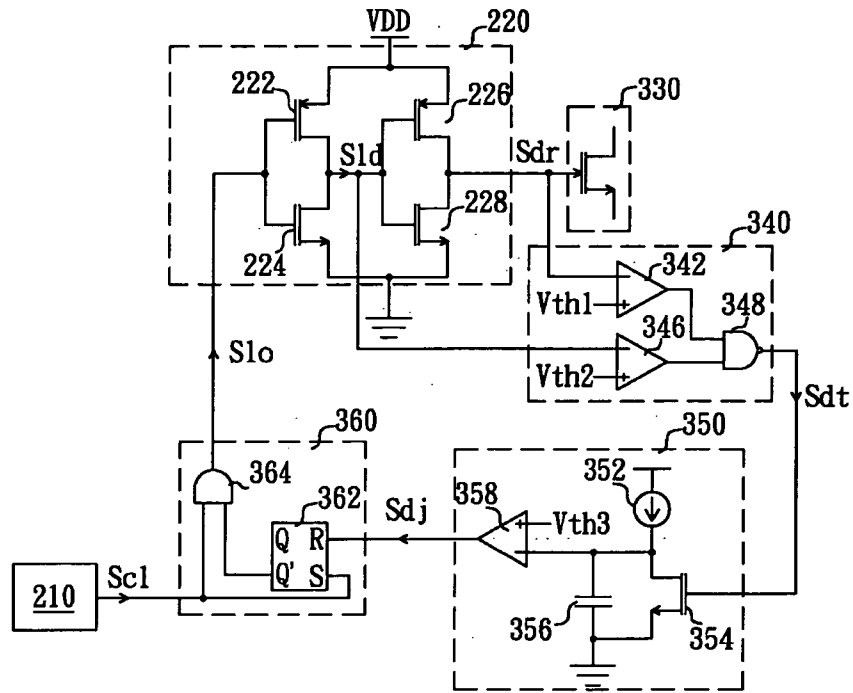
第二圖



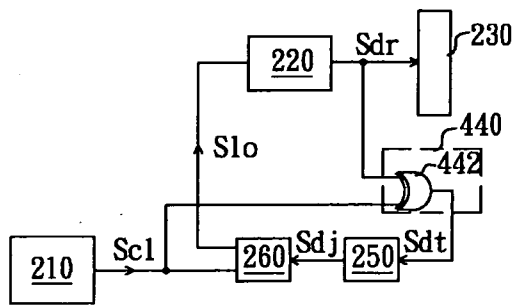
第三圖



第四圖



第五圖



第六圖