

# 公告本

301747

申請日期	85 年 6 月 3 日
案 號	85106608
類 別	G11C 1/26 Int. Cl <sup>5</sup>

A4  
C4

301747

(以上各欄由本局填註)

## 發明型 專利說明書

一、發明 名稱	中 文	電位差傳輸裝置和使用該裝置的半導體記憶裝置
	英 文	Potential difference transmission device and semiconductor memory device using the same
二、發明 創作人	姓 名	(1) 田中功 (2) 初田次康
	國 籍	(1) 日本                      (2) 日本 (1) 日本國大阪府交野市妙見坂六-二一-四〇四
	住、居所	(2) 日本國大阪府寢屋川市大字打上九一九-一一-A-三一二
三、申請人	姓 名 (名稱)	(1) 松下電器產業股份有限公司 松下電器產業株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國大阪府門真市大字門真一〇〇六番地
	代 表 人 姓 名	(1) 森下洋一

裝

訂

線

經濟部中央標準局員工消費合作社印製

301747

(由本局填寫)

承辦人代碼：	
大類：	
IPC分類：	

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

日本 1995年6月8日 7-141535 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

#### 1. 發明領域

本發明關於電位差傳輸裝置和使用電位差傳輸裝置之諸如靜態隨機存取記憶(SRAM)的半導體記憶裝置。詳言之，本發明關於應用管線技術的半導體記憶裝置。

#### 2. 相關技藝說明：

✓管線技術廣用於微處理器的邏輯LSI等以增加運作速度。例如，日本特許公報64-35794號描述管線技術用於記憶以實現可高速運作的記憶。此特許公報描述利用管線的隨機存取記憶，其中暫時儲存1位元資訊的閘鎖電路在位址解碼器與記憶格陣列之間。

上述組態中，記憶的所有信號振幅設定等於CMOS的全振幅。結果，閘鎖電路運作時間延長。所以，閘鎖電路嚴重阻礙周期時間降低。此外，若在從位址解碼器輸入到感測放大器輸出的期間使用閘鎖或暫存器來實現管線運作，則在記憶格陣列進行的處理(亦即從字線啟動到感測放大器輸出確認的處理)不能分成多個步驟。利用管線之記憶系統的記憶周期時間取決於需要最長處理時間之級的處理時間。各管線級的所需期間互相比較。結果，發現記憶格陣列的不可分割級在所有級中需要最長期間，因此決定總周期時間。因此，若記憶格陣列的該級不能以增大速度執行，則不能實現具有降低周期時間的管線RAM。

理想管線處理器在各機器周期將一指令解碼。為保持

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(2)

此速度，至少須以處理器的解碼率經由管線供應指令和資料。通常使用時脈使管線級同步。為在管線處理確保資料傳輸，時脈速度須適於最新傳輸路徑。包含管線記憶的系統中，記憶存取級是最長延遲路徑之一。因此，資料送自管線記憶的速度決定管線處理器系統的總速度。所以，為增進系統性能，改進管線記憶速度很重要。

### 發明概要

本發明的電位差傳輸裝置包含：儲存電荷的電容器元件，接到電容器元件一端的開關元件，將資料輸入端和地線之一電連接電容器元件一端；決定電容器元件另一端電位的電位決定電路。

依據本發明另一觀點，本發明的半導體記憶裝置包含：含有多對位元線、多條字線、多個記憶格的記憶格陣列；解碼位址資訊的解碼器，依據位址資訊啟動多條字線之一；將各對位元線設到預定充電電位的預充電電路；感測放大器；設在記憶格陣列與感測放大器之間的電位差傳輸電路，保持多對位元線中之一對位元線之間的電位差，將該對位元線之間的保持電位差傳到感測放大器，其中感測放大器放大電位差傳輸電路所傳之該對位元線之間的電位差，以輸出存入對應記憶格的資料。

本發明一實施例中，電位差傳輸電路所保持並傳輸之一對位元線之電位差的值等於或大於感測放大器的最小運作保證值  $V_{th}$ ，小於記憶格的電位差。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明(3)

本發明另一實施例中，電位差傳輸電路所保持並傳輸之一對位元線的電位差等於最小運作保證值  $V_{th}$ 。

本發明另一實施例中，電位差傳輸電路包含：儲存電荷的電容器元件；接到電容器元件一端的開關元件，將位元線和地線之一電連接電容器元件一端；決定電容器元件另一端電位的電位決定電路。

本發明另一實施例中，半導體記憶裝置另包含時序控制電路，產生界定開啓開關元件之時間的第一控制信號和界定電位決定電路決定電容器元件另一端電位之時間的第二控制信號，其中第一控制信號送到開關元件，而第二控制信號送到電位決定電路。

本發明另一實施例中，電位決定電路所決定的電容器元件另一端電位等於預充電電路所決定的預充電電位。

本發明另一實施例中，半導體記憶裝置執行包含多級的管線處理，電位差傳輸電路做為儲存多級之一輸出的管線暫存器。

本發明另一實施例中，電位差傳輸電路所保持並傳輸之一對位元線的電位差等於或大於感測放大器的最小運作保證值  $V_{th}$ ，小於記憶格的電位差。

本發明另一實施例中，電位差傳輸電路所保持並傳輸之一對位元線的電位差等於感測放大器的最小運作保證值  $V_{th}$ 。

本發明另一實施例中，多級包含：第一級，第二級包含從位址資訊輸入到位址資訊解碼；第二級，第二級包含

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(4)

從字線啓動到該對位元線的電位差發生；第三級，第三級包含從該對位元線的電位差傳輸到感測放大器的資料放大；外部輸出資料的第四級。

本發明的半導體記憶裝置包含插在記憶格陣列與感測放大器之間的電位差傳輸電路。電位差傳輸電路包含電容器元件和開關元件。電位差傳輸電路保持一對位元線之間的電位差，將保持的電位差傳到下一級管線處理。該對位元線的電位振幅可由電位差傳輸電路限制很小。結果，此周期所需的延遲時間降低。可降低需要最長處理時間之記憶格陣列的處理期間，藉以等化包含在管線處理之級的期間。結果，利用管線之記憶的總周期時間縮短。

說明本發明的效果。

依據本發明，歸因於上述組態，可將該對位元線之小振幅的電位差傳到下一級管線處理並保持小振幅。因此，可降低通常佔用記憶存取時間之可觀期間之記憶格陣列的處理時間。結果，記憶周期時間可顯著降低。

因此，本發明使下列優點變可能：(1)提供電位差傳輸裝置以實現能以低功率消耗高速操作的管線記憶系統；(2)提供利用此電位差傳輸裝置的半導體記憶裝置。

### 圖式簡述

✓圖 1 顯示本發明之半導體記憶裝置 200 的組態。

✓圖 2 是顯示輸入到時序控制電路 112 之信號與輸出自時序控制電路 112 之信號之關係的時序圖。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(5)

✓圖 3 是顯示半導體記憶裝置 2 0 0 之運作的時序圖。

✓圖 4 是詳示半導體記憶裝置 2 0 0 之讀取運作的時序圖。

✓圖 5 A 是顯示利用傳統管線之半導體記憶裝置之位元線 B L 之電位改變的時序圖；圖 5 B 是顯示本發明之半導體記憶裝置 2 0 0 之位元線 B L 之電位改變的時序圖。

✓圖 6 A 是顯示利用傳統管線之半導體記憶裝置之管線處理流程的時序圖；圖 6 B 是顯示本發明之半導體記憶裝置 2 0 0 之管線處理流程的時序圖。

### 較佳實施例說明

參照圖式由顯示例來說明本發明。

✓圖 1 顯示本發明之半導體記憶裝置 2 0 0 的組態。半導體記憶裝置 2 0 0 包含記憶格陣列 1 0 1。記憶格陣列 1 0 1 包含儲存資料的多個記憶格 1 0 0。記憶格 1 0 0 接到成對的位元線 B L 和 X B L 以分別輸出存入記憶格 1 0 0 的資料。記憶格 1 0 0 接到控制記憶格 1 0 0 之資料輸入/輸出的字線 W L。

半導體記憶裝置 2 0 0 另包含儲存位址的位址暫存器 1 0 2、解碼列位址資訊的列解碼器 1 0 3、儲存解碼資訊的解碼暫存器 1 0 4。解碼暫存器 1 0 4 接到列解碼器 1 0 3 的輸出端。

半導體記憶裝置 2 0 0 另包含電位差傳輸電路 1 0 9、感測放大器 1 1 0、反相器 1 1 1、輸出資料暫存器

### 五、發明說明 ( 6 )

1 1 5。該對位元線 B L 和 X B L 輸入到各電位差傳輸電路 1 0 9。電位差傳輸電路 1 0 9 的輸出接到放大該對位元線 B L 和 X B L 上之資料的感測放大器 1 1 0。感測放大器 1 1 0 的輸出接到做為輸出電路的反相器 1 1 1。反相器 1 1 1 的輸出接到儲存讀自記憶格 1 0 0 之資料的輸出資料暫存器 1 1 5。

✓ 半導體記憶裝置 2 0 0 另包含儲存寫入資料的寫入資料暫存器 1 1 3、將寫入資料寫到記憶格 1 0 0 的寫入電路 1 1 4、將成對位元線 B L 和 X B L 充電到預定預充電位準（此例中為電源電位  $V_{dd}$ ）的預充電電路 1 0 5、控制寫入電路 1 1 4、電位差傳輸電路 1 0 9、預充電電路 1 0 5、感測放大器 1 1 0 的時序控制電路 1 1 2。

電位差傳輸電路 1 0 9 保持一對位元線 B L 和 X B L 的電位差，再將保持的電位差傳到感測放大器 1 1 0。電位差傳輸電路 1 0 9 包含電容器區 1 0 7、電位決定電路 1 0 8、開關區 1 0 6。

電容器區 1 0 7 包含聚積電荷的電容器元件  $C_{t0}$  和  $C_{t1}$ （各有  $C_0$  電容）。

✓ 電位決定電路 1 0 8 設定將電容器區 1 0 7 接到感測放大器 1 1 0 之結點的電位。電位決定電路 1 0 8 包含 P 通道 M O S 電晶體（下文稱為 P M O S T r）1 0 8 a 和 1 0 8 b。

開關區 1 0 6 插在記憶格陣列 1 0 1 與電容器區 1 0 7 之間。開關區 1 0 6 包含開關  $S W_1$  和  $S W_2$ 。開

（請先閱讀背面之注意事項再填寫本頁）

訂

號



## 五、發明說明(7)

關  $S W_1$  將位元線  $B L$  或地線電連接電容器元件  $C_{t0}$  一端。開關  $S W_2$  將位元線  $X B L$  或地線電連接電容器元件  $C_{t1}$  一端。

時序控制電路 112 接收時脈信號、外部控制信號  $W E$ 、外部控制信號  $R E$ ，依據外部控制信號  $W E$  和  $R E$  產生與時脈信號同步的各種內部時序控制信號。

✓圖 2 顯示輸入到時序控制電路 112 之信號和輸出之信號的時序。

時序控制電路 112 將預充電致能信號  $P R B$  送到預充電電路 105。預充電致能信號  $P R B$  用來界定預充電電路 105 將該對位元線  $B L$  和  $X B L$  預充電的時間。

時序控制電路 112 將  $S W$  控制信號 ( $S W E$ ) 送到開關區 106。 $S W$  控制信號 ( $S W E$ ) 用來界定開關區 106 之開關  $S W_1$  和  $S W_2$  開啓的時間。若  $S W$  控制信號 ( $S W E$ ) 在高位準，則開關  $S W_1$  將位元線  $B L$  接到電容器元件  $C_{t0}$  一端，而開關  $S W_2$  將位元線  $X B L$  接到電容器元件  $C_{t1}$  一端。若  $S W$  控制信號 ( $S W E$ ) 在低位準，則開關  $S W_1$  將地線接到電容器元件  $C_{t0}$  一端，而開關  $S W_2$  將地線接到電容器元件  $C_{t1}$  一端。

時序控制電路 112 將致能信號  $P R D$  送到電位決定電路 108。致能信號  $P R D$  用來界定電位決定電路 108 決定電容器區 107 與感測放大器 110 之間之結點電位的時間。

時序控制電路 112 將感測放大器致能信號  $E N$  送到

(請先閱讀背面之注意事項再填寫本頁)

訂

改

### 五、發明說明( 8 )

感測放大器 1 1 0。感測放大器致能信號 E N 用來界定感測放大器 1 1 0 啓動的時間。

參照圖 3 和 4，說明有上述組態之半導體記憶裝置 2 0 0 的運作。圖 3 和 4 是半導體記憶裝置 2 0 0 的時序圖。圖 3 顯示運作時序，圖 4 詳示讀取運作中的運作時序。圖 3 和 4 中，相同時間代表相同時軸。本發明的此實施例中，說明對二個周期連續讀資料的情形。

本發明的半導體記憶裝置 2 0 0 中，所有對的位元線 B L 和 X B L 在時間 T。於初態預充電到預充電位準 ( $V_{dd}$ )。包含在開關區 1 0 6 的開關 S W<sub>1</sub> 和 S W<sub>2</sub> 接到記憶格陣列 1 0 1 之側。在各電容器元件 C<sub>t0</sub> 和 C<sub>t1</sub> 之間無電位差。

首先，說明存取開始位址代表位址 A<sub>1</sub> 的情形。在時間 T<sub>0</sub>，發出記憶區的存取指令。在時間 T<sub>1</sub>，依據存入位址暫存器 1 0 2 的位址資訊 A<sub>1</sub>，對應解碼資訊存入解碼暫存器 1 0 4。然後，在時間 T<sub>1</sub>，依據解碼暫存器 1 0 4 的輸出，啓動對應字線 W L，藉以讀取存入該對位元線

B L 和 X B L 上之記憶格 1 0 0 的資料。本發明的此實施例中，以“低”位準之資料存入記憶格 1 0 0 的情形為例。當資料開始被讀時，位元線 B L 在預充電狀態。從記憶格 1 0 0 讀資料，位元線 B L 的電位逐漸降到“低”位準。

在時間 T<sub>2</sub>，記憶系統移到下一管線級。此時，位元

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 ( 9 )

線 B L 的電位放電到位準 (  $V_{dd} - V_{do}$  )，將電容器元件  $C_{t0}$  二端的電位分別設在  $V_{dd}$  和 (  $V_{dd} - V_{do}$  )。因此，電荷  $Q = C_o * V_{do}$  產生在電容器元件  $C_{t0}$  二端。此時，由於位元線 X B L 的電位留在電源電位  $V_{dd}$ ，故電荷不發生在電容器元件  $C_{t1}$  二端。電位決定電路 108 的 P M O S T r 108 a 和 108 b 關閉，因而開關區 106 的開關  $S W_1$  和  $S W_2$  接地。結果，位元線 B L 之結點  $N_{A0}$  和位元線 X B L 之結點  $N_{B0}$  的電位設在地位準。由於保持在電容器元件  $C_{t0}$  二端的電荷  $Q$ ，故結點  $N_{A1}$  的電位  $V_x$  變成  $V_{do}$ ，由以下等式 1 計算：

✓ [ 等式 1 ]

$$V_x = Q / C = ( C_{t0} * V_{do} ) / C_{t0} = V_{do}$$

另一方面，因電荷以類似方式保持在未放電的位元線 X B L，故結點  $N_{B1}$  變成 0 V。

爲了方便，上文假設只有電容器元件  $C_{t0}$  和  $C_{t1}$  存在於該對位元線 B L 和 X B L 的理想狀態。若其它寄生電容存在，則應考慮寄生電容器。但此情形與上述情形的差異只在電荷也留在寄生電容器。若寄生電容器存在，則該對位元線 B L 和 X B L 的電位差由各電位差傳輸電路 109 傳到各感測放大器 110。

當感測放大器 110 啟動時，電位差傳輸電路 109

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(10)

所傳之該對位元線 B L 和 X B L 的電位差被感測放大器 1 1 0 放大以輸出資料。本發明的此實施例中，電容器元件之一端與另一端之間的位元線相對電位（結點  $N_{A0}$  和  $N_{B0}$  的電位差及結點  $N_{A1}$  和  $N_{B1}$  的電位差）以相反方式出現。因此，使用反相器 1 1 1 倒轉感測放大器 1 1 0 的輸出極性，令要存入輸出資料暫存器 1 1 5 之資料的極性與要存入記憶格 1 0 0 的資料相同。此時，在記憶格陣列 1 0 1 之側的該對位元線 B L 和 X B L 藉由各開關區 1 0 6 脫離電位差傳輸電路 1 0 9，容許由預充電電路 1 0 5 準備下一記憶存取要求。

✓當發生在該對位元線的電位差  $V_{d0}$  超過或等於此級之感測放大器 1 1 0 的最小運作保證值  $V_{th}$  時，以正常方式進行資料輸出。詳言之，只要此級之位元線的壓降超過或等於  $V_{th}$ ，則進行正常資料輸出。因此，在此級不需以 C M O S 的全振幅操作位元線。

✓圖 5 A 顯示利用傳統管線之半導體記憶裝置之位元線 B L 的電位改變。圖 5 A 中，時間  $T_1$  至時間  $T_2$  之間的期間對應於從字線啟動到感測放大器之資料放大的級。當位元線 B L 的電位到達預定電位（ $V_{dd} - V_{d0}$ ）時，控制感測放大器以開始放大運作。其後，此級持續，直到位元線 B L 的電位充分放電（例如，直到位元線 B L 的電位低於  $1/2 V_{dd}$ ），這是因為在此級結束須使感測放大器的輸出有效。

圖 5 B 顯示利用本發明之管線之半導體記憶裝置

（請先閱讀背面之注意事項再填寫本頁）

訂

後

### 五、發明說明(11)

200之位元線BL的電位改變。圖5B中，從時間 $T_1$ 至 $T_3$ 的期間對應於從字線啟動到感測放大器之資料放大的級。依據本發明，從字線啟動到資料放大的級分成二級：從字線啟動到該對位元線之電位差發生的級；從該對位元線之電位差傳輸到感測放大器之資料放大的級。這二級分別對應於下述第二級和第三級。

圖5B中，從時間 $T_1$ 到 $T_2$ 的期間對應於從字線啟動到該對位元線之電位差發生的級。在此級，當位元線BL的電位到達預定電位( $V_{da} - V_{d0}$ )時，電位差傳輸電路109保持電位差 $V_{d0}$ 。保持在電位差傳輸電路109的電位差 $V_{d0}$ 傳到感測放大器110以在下一級管線處理。電位差傳輸電路109做為儲存多級中之一級之輸出的管線暫存器。

設定電位差 $V_{d0}$ 等於或大於最小運作保證值 $V_{th}$ ，小於記憶格100的電位差(此例為 $V_{da}$ )。電位差 $V_{d0}$ 可大致等於感測放大器110的最小運作保證值 $V_{th}$ 。

圖5B中，從時間 $T_2$ 到 $T_3$ 的期間對應於從該對位元線之電位差傳輸到資料放大的級。當該對位元線BL和XBL的電位差到達預定電位差 $V_{d0}$ 時，控制感測放大器110開始放大運作。

從圖5A和5B的比較可知， $T_{c2}$ 小於 $T_{c1}$ ( $T_{c2} < T_{c1}$ )。  $T_{c2}$ 代表本發明之半導體記憶裝置200的記憶周期時間，而 $T_{c1}$ 代表利用傳統管線之半導體記憶

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 ( 12 )

裝置的記憶周期時間。

圖 6 A 顯示使用利用傳統管線之半導體記憶裝置來進行管線處理的流程。圖 6 B 顯示使用本發明之半導體記憶裝置 2 0 0 來進行管線處理的流程。

依此方式，依據半導體記憶裝置 2 0 0，記憶格陣列 1 0 1 的處理分成二級。結果，在記憶格陣列 1 0 1 所需的處理時間可顯著降低。相較於在利用管線之記憶系統各級的處理期間，在記憶格陣列 1 0 1 所進行的處理佔用相當長的時間，在許多情形的級中需要最長處理時間。依據半導體記憶裝置 2 0 0，由於需要最長處理時間之級的期間可縮短，故記憶周期時間  $T_c$  可減小。

再者，依據半導體記憶裝置 2 0 0，振幅小於 C M O S 全振幅的電位差傳到下一級。結果，功率消耗可降低。

依據本發明的此實施例，包含在管線處理之各級的期間要由以下組態縮短。位址暫存器 1 0 2 做為位址輸入區，而解碼暫存器 1 0 4 做為位址輸出區。位址解碼期間分為多級。此外，輸出資料暫存器供給感測放大器輸出區以決定外部輸出資料的級，藉以抑制在感測放大器輸出級的處理時間增加。

本發明的此實施例中，管線處理級定義如下。

第一級：位址輸入到解碼

第二級：字線啟動到位元線的資料讀取

第三級：電位差傳輸到感測放大器的資料放大

(請先閱讀背面之注意事項再填寫本頁)

訂

號

## 五、發明說明 ( 13 )

### 第四級：資料外部輸出

從位址輸入到資料輸出的期間（亦即記憶存取時間）等於 1.5 周期。在本發明的此實施例雖說明記憶周期時間的一半相位用於各級的情形，但依據各級的處理時間，記憶周期時間的整個相位可用於各級。依此方式，容易調整對各級分割的期間。

若記憶存取要求在時間  $T_2$  連續發出，則解碼暫存器 104 的輸出在時間  $T_3$  啟動對應於  $A_m$  的字線  $WL$ ，以讀取在該對位元線  $BL$  和  $XBL$  的資料，如同在先前存取要求的情形。在此情形，在時間  $T_2$ ，由於位元線  $BL$  和  $XBL$  完全脫離感測放大器 110 之側的電路，故該對位元線  $BL$  和  $XBL$  的電位差在感測放大器 110 側的電路放大並輸出，而容許記憶格陣列 101 之側的該對位元線  $BL$  和  $XBL$  回應不同存取要求。在時間  $T_3$ ，控制電路在感測放大器 110 側的電路開始該對位元線  $BL$  和  $XBL$  的預充電運作。然後，開關區 106 的開關  $SW_1$  和  $SW_2$  接到記憶格陣列 101 側的該對位元線  $BL$  和  $XBL$  以準備下一記憶存取。在時間  $T_4$  和  $T_5$ ，資料以前述位址  $A_1$  之讀取運作的相同方式傳到感測放大器運作級和資料外部輸出級。結果，輸出資料  $D_m$ 。因此，即使記憶存取要求連續發出如上述，資料也能以正常記憶存取時間輸出。

以上說明發出讀取記憶資料之要求的情形。當發出寫

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 ( 14 )

資料的要求時，寫入運作進行如下。寫入資料與位址輸入同時存入寫入資料暫存器 1 1 3。在時間  $T_5$ ，字線  $W L$  啓動，因而時序控制電路 1 1 2 將寫入電路 1 1 4 致能，資料同時寫到記憶格。到字線  $W L$  啓動的級與讀取運作相同。因此，不需進行特別控制。

電容器元件能以任何形式實現，只要有小電壓相依性。例如，此電容器元件可做成金屬線之間的平行平面電容。在此情形，傳統記憶製造中可實現電容器元件。

如上述，依據本實施例，將該對位元線之小振幅電位差傳到下一級管線處理的電位差傳輸電路插在記憶格陣列與放大存入記憶格之資料的感測放大器之間。在此級，信號傳輸不以  $C M O S$  全振幅進行。信號以小振幅傳輸，以從記憶格讀資料並傳到該對位元線。依此方式，記憶格陣列之處理時間的電路延遲時間降低。所以，需要管線記憶最長延遲時間之級的期間降低。結果，各級的延遲期間等化，藉以降低周期時間。

如上述，依據本發明，可實現相較於傳統記憶系統所需者可顯著降低周期時間之低功率消耗的半導體記憶裝置。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線



## 四、中文發明摘要(發明之名稱：)

電位差傳輸裝置和使用該裝置的半  
導體記憶裝置

半導體記憶裝置 200 包含：記憶格陣列 101，含有多對位元線 (BL, XBL)、多對字線 WL、多個記憶格 100；解碼器 104，將位址資訊解碼，依據位址資訊啓動一條字線 WL；預充電電路 105，將各對位元線 (BL, XBL) 設爲預定預充電電位；感測放大器 110；電位差傳輸電路 109，設在記憶格陣列 101 與感測放大器 110 之間。電位差傳輸電路 109 保持多對位元線 (BL, XBL) 中之各對位元線之間的電位差  $V_{d0}$ ，將該對位元線之間的保持電位差  $V_{d0}$  傳到各感測放大器 110。感測放大器 110 放大電位差傳輸電路 109 所傳之該對位元線之間的電位差  $V_{d0}$ ，以輸出存入對應記憶格的資料。

## 英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種電位差傳輸裝置，包括：

儲存電荷的電容器元件；

接到電容器元件一端的開關元件，將資料輸入端和地線之一電連接電容器元件一端；

決定電容器元件另一端電位的電位決定電路。

2. 一種半導體記憶裝置，包括：

包含多對位元線、多條字線、多個記憶格的記憶格陣列；

解碼位址資訊的解碼器，依據位址資訊啟動多條字線之一；

將各對位元線設到預定預充電電位的預充電電路；

感測放大器；

設在記憶格陣列與感測放大器之間的電位差傳輸電路，保持多對位元線中之一對位元線之間的電位差，將該對位元線之間的保持電位差傳到感測放大器，

其中感測放大器放大電位差傳輸電路所傳之該對位元線之間的電位差，以輸出存入對應記憶格的資料。

3. 如申請專利範圍第2項的半導體記憶裝置，其中電位差傳輸電路所保持並傳輸之一對位元線之電位差的值等於或大於感測放大器的最小運作保證值  $V_{th}$ ，小於記憶格的電位差。

4. 如申請專利範圍第2項的半導體記憶裝置，其中電位差傳輸電路所保持並傳輸之一對位元線的電位差等於最小運作保證值  $V_{th}$ 。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

5. 如申請專利範圍第 2 項的半導體記憶裝置，其中電位差傳輸電路包含：

儲存電荷的電容器元件；

接到電容器元件一端的開關元件，將位元線和地線之一電連接電容器元件一端；

決定電容器元件另一端電位的電位決定電路。

6. 如申請專利範圍第 5 項的半導體記憶裝置，另包括時序控制電路，產生界定開啓開關元件之時間的第一控制信號和界定電位決定電路決定電容器元件另一端電位之時間的第二控制信號，其中第一控制信號送到開關元件，而第二控制信號送到電位決定電路。

7. 如申請專利範圍第 5 項的半導體記憶裝置，其中電位決定電路所決定的電容器元件另一端電位等於預充電電路所決定的預充電電位。

8. 如申請專利範圍第 2 項的半導體記憶裝置，其中半導體記憶裝置執行包含多級的管線處理，電位差傳輸電路做為儲存多級之一輸出的管線暫存器。

9. 如申請專利範圍第 8 項的半導體記憶裝置，其中電位差傳輸電路所保持並傳輸之一對位元線的電位差等於或大於感測放大器的最小運作保證值  $V_{th}$ ，小於記憶格的電位差。

10. 如申請專利範圍第 8 項的半導體記憶裝置，其中電位差傳輸電路所保持並傳輸之一對位元線的電位差等於感測放大器的最小運作保證值  $V_{th}$ 。

(請先閱讀背面之注意事項再填寫本頁)

訂

## 六、申請專利範圍

1. 如申請專利範圍第 8 項的半導體記憶裝置，其中多級包含：第一級，第一級包含從位址資訊輸入到位址資訊解碼；第二級，第二級包含從字線啓動到該對位元線的電位差發生；第三級，第三級包含從該對位元線的電位差傳輸到感測放大器的資料放大；外部輸出資料的第四級。

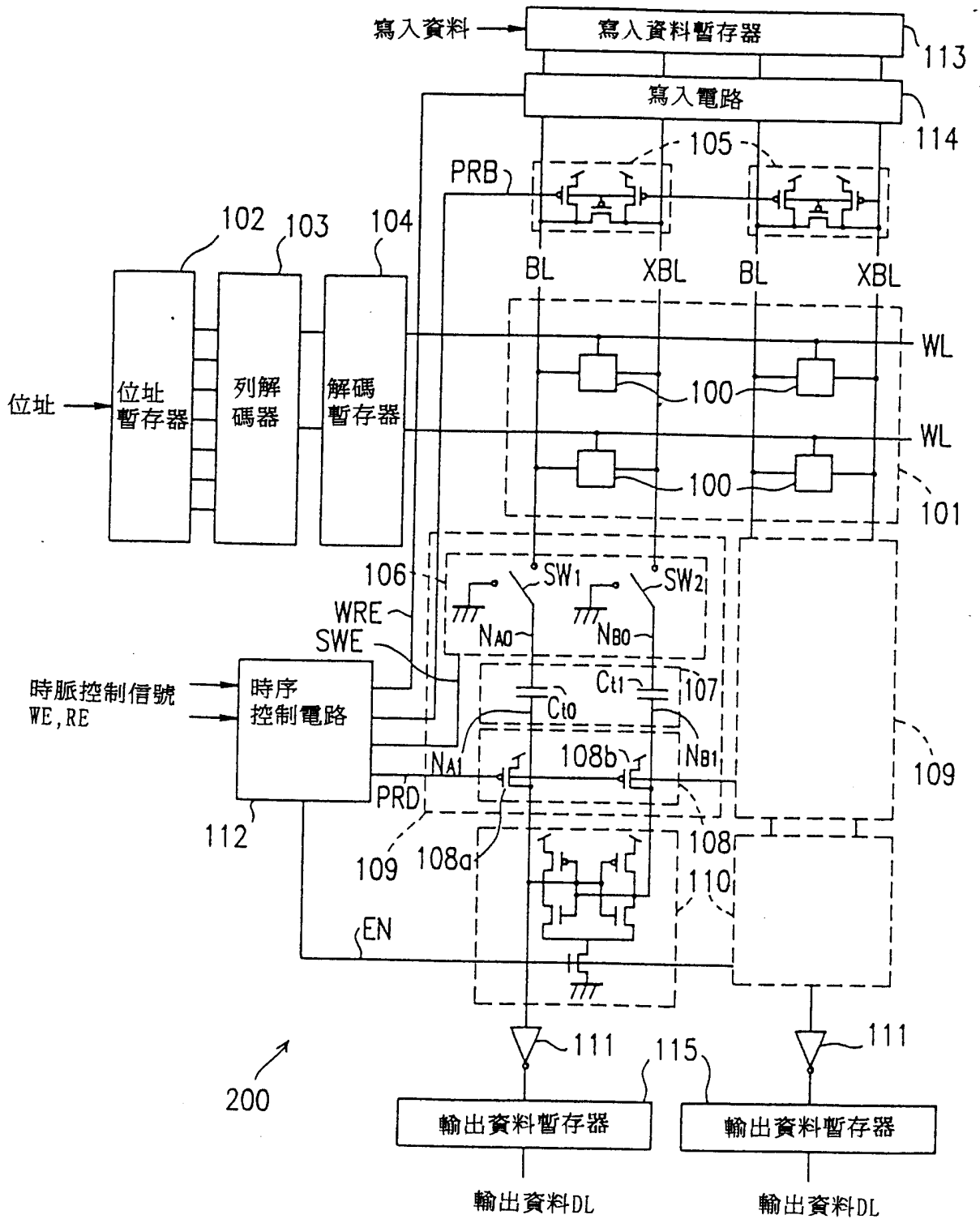
(請先閱讀背面之注意事項再填寫本頁)

訂

修正  
 本86年/月3/日  
 通究

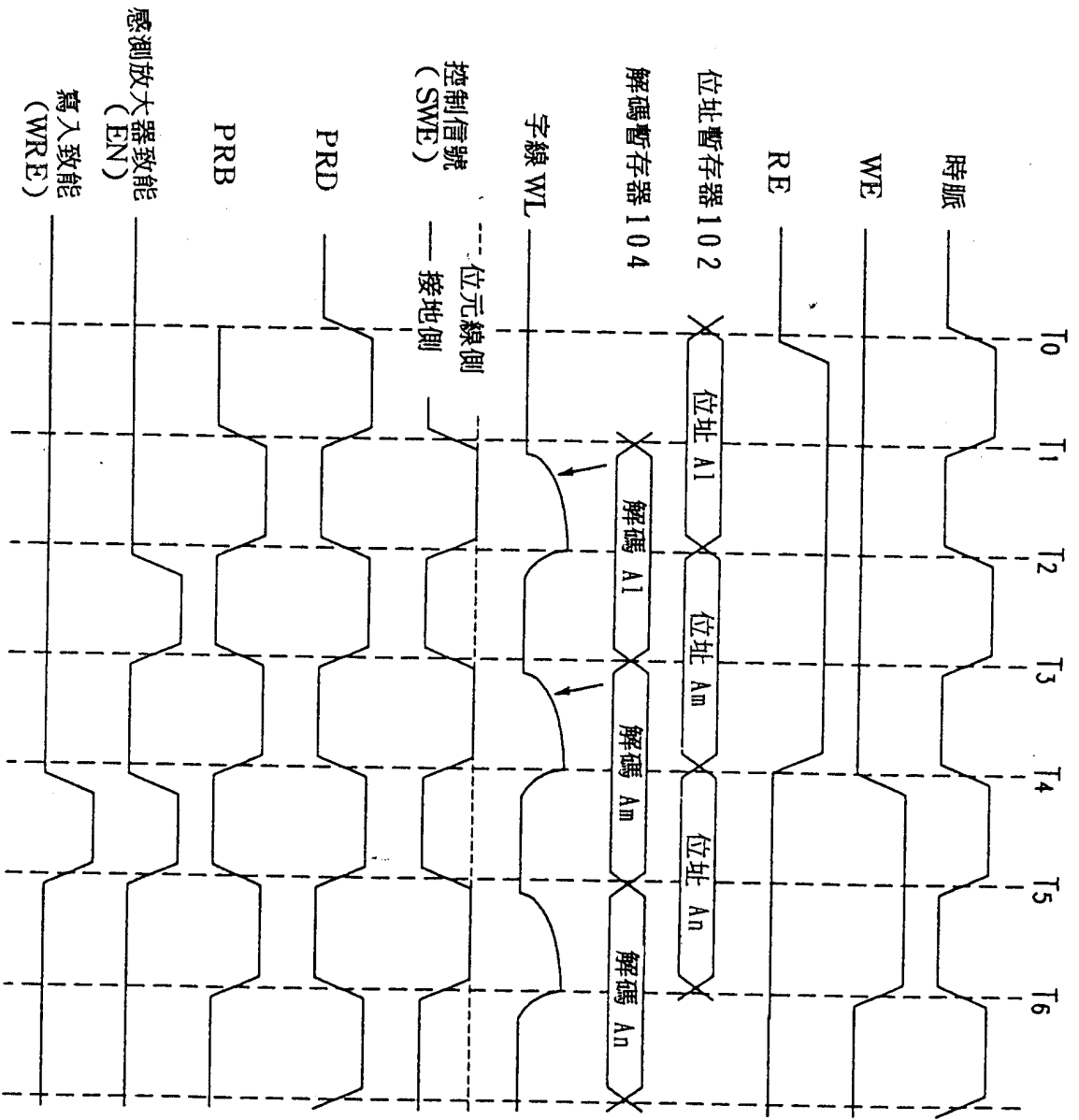
第85106608號專利案  
 圖式修正本

725547

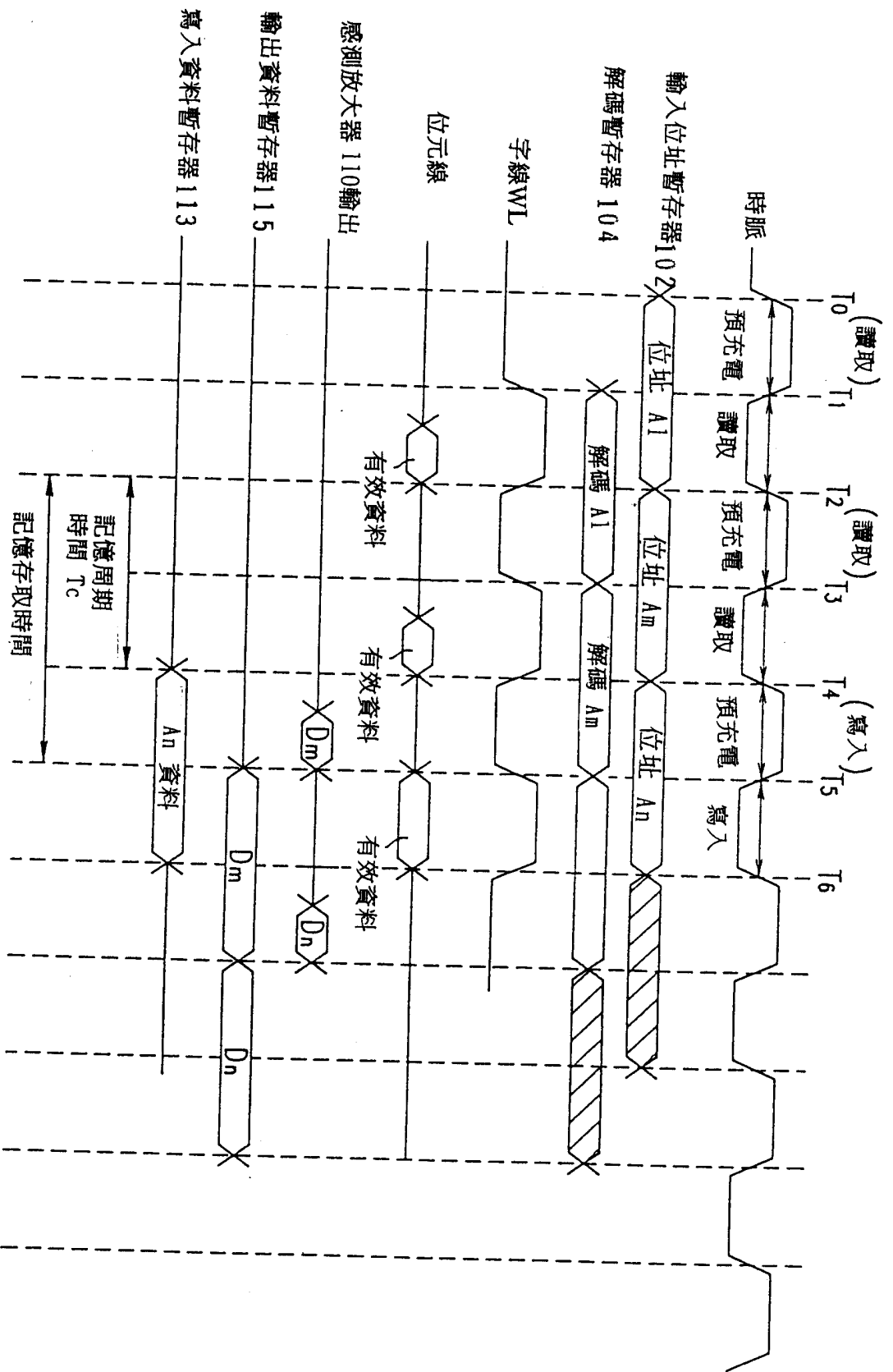


第 1 圖

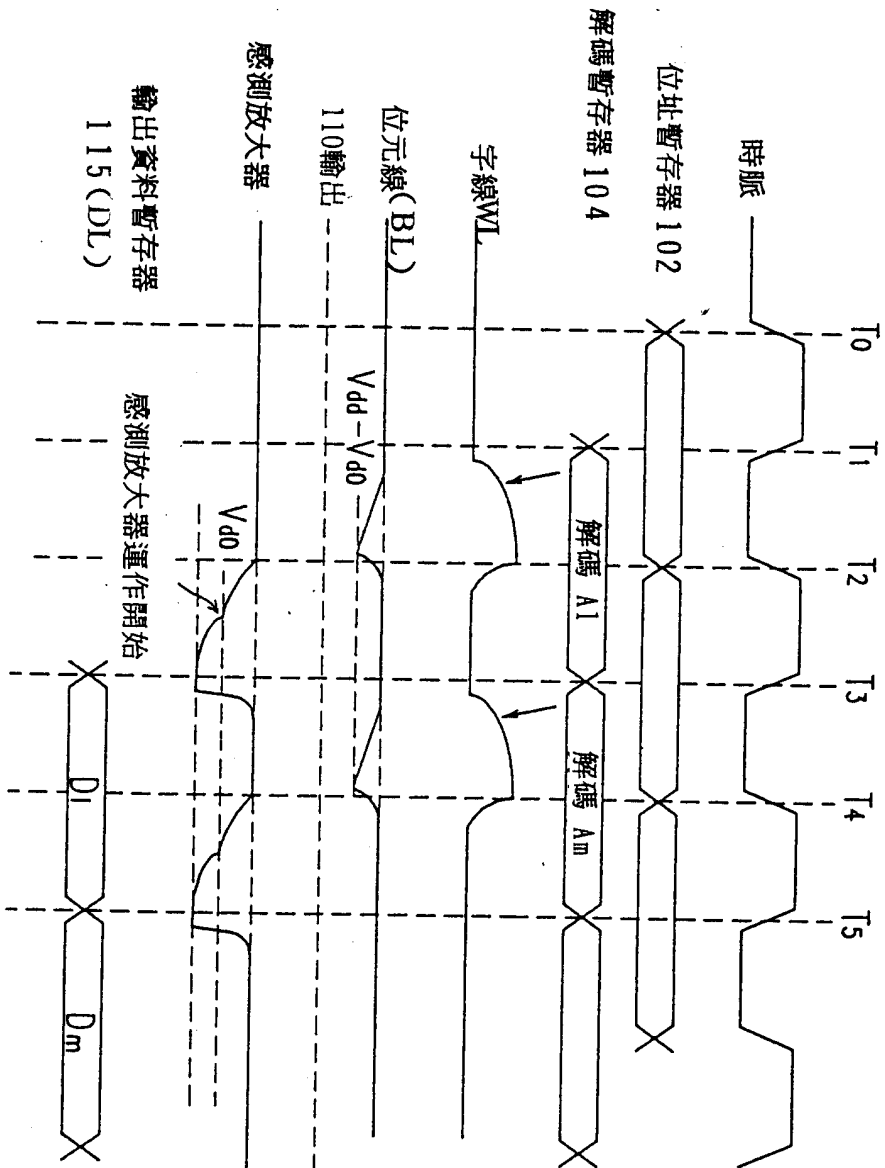
第 2 圖



第 3 圖



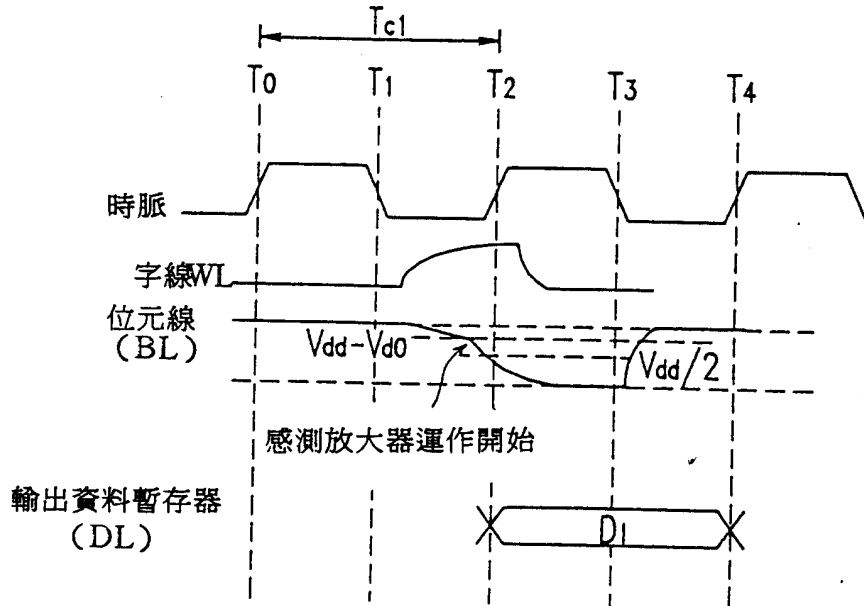
第 4 圖



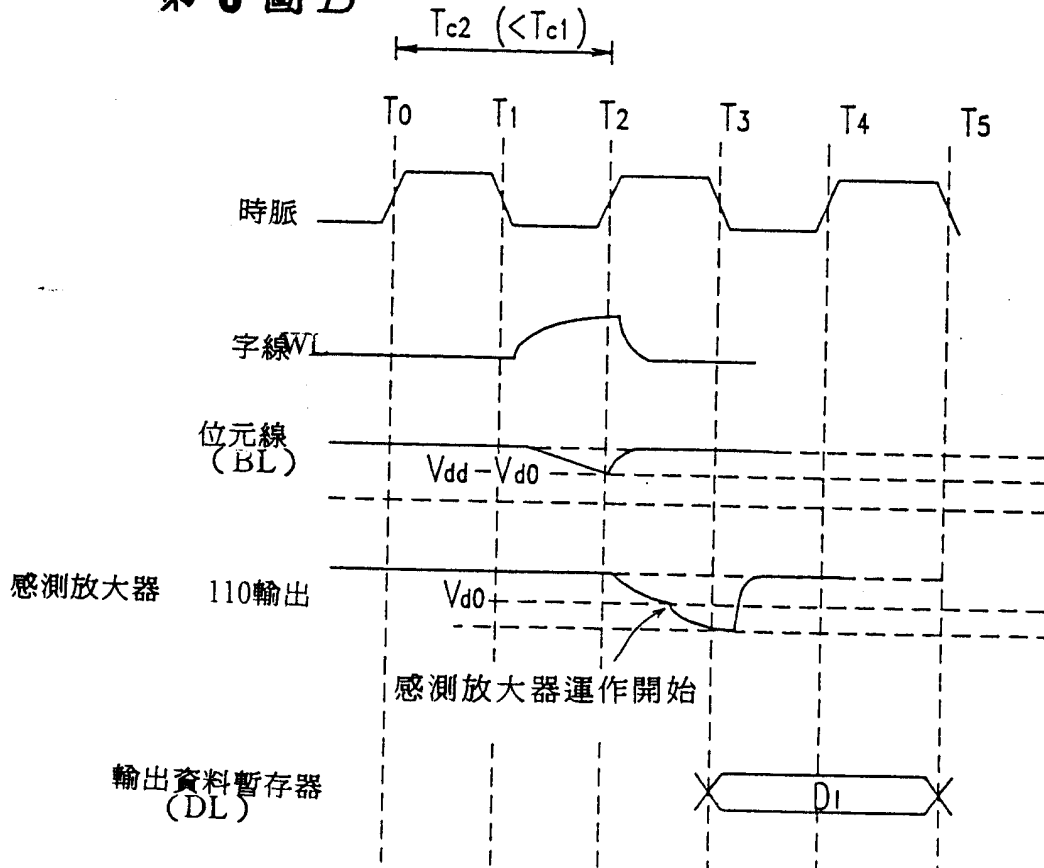
257797



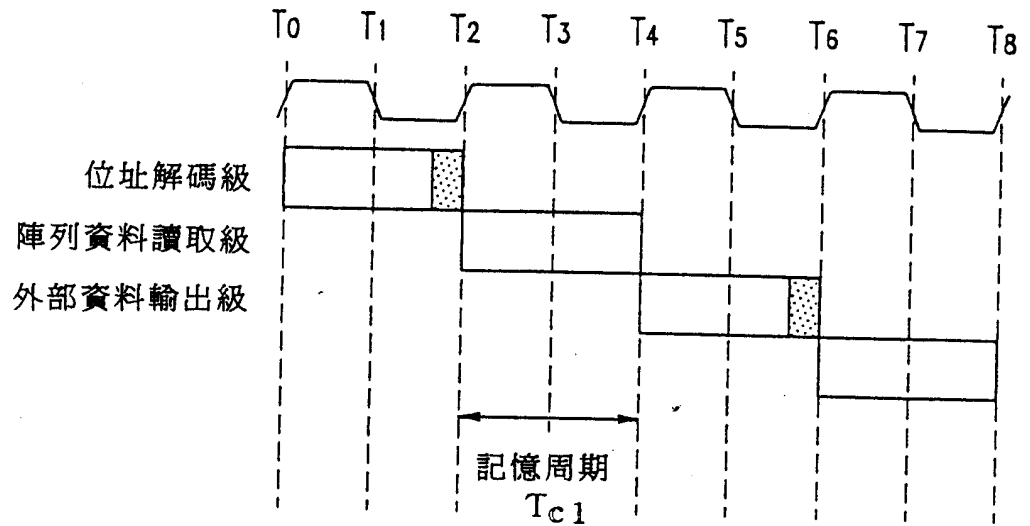
第 5 圖 A



第 5 圖 B



第 6 圖 A



第 6 圖 B

