



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년07월03일
(11) 등록번호 10-2679942
(24) 등록일자 2024년06월26일

(51) 국제특허분류(Int. Cl.)
H10N 70/00 (2024.01) H10N 50/01 (2023.01)
H10N 50/10 (2023.01) H10N 50/80 (2023.01)
H10N 50/85 (2023.01)
(52) CPC특허분류
H10N 70/021 (2024.05)
H10N 50/01 (2023.02)
(21) 출원번호 10-2016-0143485
(22) 출원일자 2016년10월31일
심사청구일자 2021년10월26일
(65) 공개번호 10-2018-0049331
(43) 공개일자 2018년05월11일
(56) 선행기술조사문헌
JP2014053571 A*
KR1020080108685 A*
KR1020160004744 A*
US20040259355 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
하가영
경기도 이천시 안흥로 67 갈산화성파크드림
103-1302
박기선
서울특별시 노원구 노원로22길 71 건영3차아파트
306동 301호
신종한
서울특별시 강동구 천호대로193길 37, 102동 100
8호 (길동, 길동우성아파트)
(74) 대리인
신성특허법인(유한)

전체 청구항 수 : 총 15 항

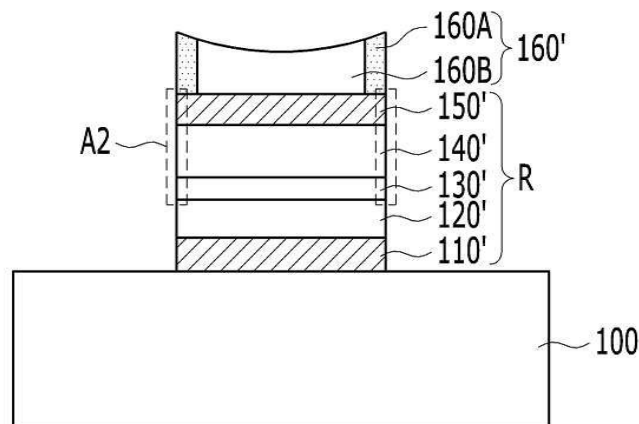
심사관 : 임창연

(54) 발명의 명칭 전자 장치 및 그 제조 방법

(57) 요약

전자 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 전자 장치의 제조 방법은, 기판 상에 피식각층을 형성하는 단계; 상기 피식각층 상에 탄소 함유 물질을 포함하는 초기 하드마스크 패턴을 형성하는 단계; 상기 초기 하드마스크 패턴의 표면부에 상기 탄소 함유 물질의 경도를 증가시키는 불순물을 도핑하여 하드마스크 패턴을 형성하는 단계; 및 상기 하드마스크 패턴을 식각 베리어로 상기 피식각층을 식각하는 단계를 포함할 수 있다.

대표도 - 도2c



(52) CPC특허분류

H10N 50/10 (2023.02)

H10N 50/80 (2023.02)

H10N 50/85 (2023.02)

H10N 70/8845 (2023.02)

명세서

청구범위

청구항 1

기판 상에 피식각층을 형성하는 단계;

상기 피식각층 상에 탄소 함유 물질을 증착하는 단계;

상기 탄소 함유 물질을 선택적으로 식각하여 초기 하드마스크 패턴을 형성하는 단계;

상기 초기 하드마스크 패턴의 형성 후, 상기 초기 하드마스크 패턴의 표면으로 상기 탄소 함유 물질의 경도를 증가시키는 불순물을 도핑하여 하드마스크 패턴을 형성하는 단계 - 상기 하드마스크 패턴은 상기 탄소 함유 물질 및 상기 불순물을 포함하는 표면부, 및 상기 탄소 함유 물질을 포함하고 상기 불순물을 포함하지 않으면서 상기 표면부보다 경도가 낮은 나머지부를 포함함. - ; 및

상기 하드마스크 패턴을 식각 베리어로 상기 피식각층을 식각하는 단계를 포함하는

전자 장치의 제조 방법.

청구항 2

제1 항에 있어서,

상기 탄소 함유 물질은, 비정질 탄소 또는 DLC(Diamond-Like Carbon)를 포함하는

전자 장치의 제조 방법.

청구항 3

제1 항에 있어서,

상기 불순물은, 실리콘(Si) 또는 보론(B)을 포함하는

전자 장치의 제조 방법.

청구항 4

제3 항에 있어서,

상기 표면부는, Si-C 본딩 또는 B-C 본딩을 포함하고,

상기 나머지부는, C-C 본딩 또는 C-H 본딩을 포함하는

전자 장치의 제조 방법.

청구항 5

제1 항에 있어서,

상기 하드마스크 패턴 형성 단계는,

상기 불순물을 포함하는 가스를 플로우하는 방식으로 수행되는

전자 장치의 제조 방법.

청구항 6

제1 항에 있어서,
상기 하드마스크 패턴 형성 단계는,
상기 불순물을 이온주입하는 방식으로 수행되는
전자 장치의 제조 방법.

청구항 7

제1 항에 있어서,
상기 피식각층 식각 단계 후에,
상기 하드마스크 패턴을 제거하는 단계를 더 포함하는
전자 장치의 제조 방법.

청구항 8

제7 항에 있어서,
상기 하드마스크 패턴 제거 단계는,
산소 스트립 공정을 포함하는
전자 장치의 제조 방법.

청구항 9

제7 항에 있어서,
상기 하드마스크 패턴 제거 단계는,
상기 하드마스크 패턴의 전부를 제거하는 단계를 포함하고,
상기 표면부의 부피는, 상기 표면부를 제외한 나머지부의 부피보다 작은
전자 장치의 제조 방법.

청구항 10

제1 항에 있어서,
상기 피식각층 식각 단계에서, 상기 표면부의 상부 손실에 의해 상기 표면부를 제외한 나머지부가 드러나고,
상기 피식각층 식각 단계 후에,
상기 드러난 상기 나머지부를 제거하는 단계를 더 포함하는
전자 장치의 제조 방법.

청구항 11

제10 항에 있어서,
상기 나머지부 제거 단계 후에,
잔류하는 상기 표면부를 식각 베리어로 상기 피식각층을 추가 식각하는 단계를 더 포함하는
전자 장치의 제조 방법.

청구항 12

제10 항에 있어서,
상기 표면부의 부피는, 상기 나머지부의 부피 이상인
전자 장치의 제조 방법.

청구항 13

제1 항에 있어서,
상기 피식각층은, 가변 저항 특성을 갖는 하나 이상의 물질층들을 포함하는
전자 장치의 제조 방법.

청구항 14

제13 항에 있어서,
상기 물질층들은, 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 상기 자유층과
상기 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 포함하는
전자 장치의 제조 방법.

청구항 15

제1 항에 있어서,
상기 하드마스크 패턴 형성 단계에서, 상기 하드마스크 패턴에 의해 드러나는 상기 피식각층의 적어도 일부로
상기 불순물이 도핑되는
전자 장치의 제조 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

배경 기술

[0003] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예들이 해결하려는 과제는, 가변 저항 소자의 특성 향상 및 공정 개선이 가능한 전자 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치의 제조 방법은, 기판 상에 피식각층을 형성하는 단계; 상기 피식각층 상에 탄소 함유 물질을 포함하는 초기 하드마스크 패턴을 형성하는 단계; 상기 초기 하드마스크 패턴의 표면부에 상기 탄소 함유 물질의 경도를 증가시키는 불순물을 도핑하여 하드마스크 패턴을 형성하는 단계; 및 상기 하드마스크 패턴을 식각 베리어로 상기 피식각층을 식각하는 단계를 포함할 수 있다.

[0008] 위 실시예에 있어서, 상기 탄소 함유 물질은, 비정질 탄소 또는 DLC(Diamond-Like Carbon)를 포함할 수 있다. 상기 불순물은, 실리콘(Si) 또는 보론(B)을 포함할 수 있다. 상기 표면부는, Si-C 본딩 또는 B-C 본딩을 포함하고, 상기 표면부를 제외한 나머지는, C-C 본딩 또는 C-H 본딩을 포함할 수 있다. 상기 하드마스크 패턴 형성 단계는, 상기 불순물을 포함하는 가스를 플로우하는 방식으로 수행될 수 있다. 상기 하드마스크 패턴 형성 단계는, 상기 불순물을 이온주입하는 방식으로 수행될 수 있다. 상기 피식각층 식각 단계 후에, 상기 하드마스크 패턴을 제거하는 단계를 더 포함할 수 있다. 상기 하드마스크 패턴 제거 단계는, 산소 스트립 공정을 포함할 수 있다. 상기 하드마스크 패턴 제거 단계는, 상기 하드마스크 패턴의 전부를 제거하는 단계를 포함하고, 상기 표면부의 부피는, 상기 표면부를 제외한 나머지의 부피보다 작을 수 있다. 상기 피식각층 식각 단계에서, 상기 표면부의 상부 손실에 의해 상기 표면부를 제외한 나머지가 드러나고, 상기 피식각층 식각 단계 후에, 상기 드러난 상기 나머지를 제거하는 단계를 더 포함할 수 있다. 상기 나머지 제거 단계 후에, 잔류하는 상기 표

면부를 식각 베리어로 상기 피식각층을 추가 식각하는 단계를 더 포함할 수 있다. 상기 표면부의 부피는, 상기 나머지부의 부피 이하일 수 있다. 상기 피식각층은, 가변 저항 특성을 갖는 하나 이상의 물질층들을 포함할 수 있다. 상기 물질층들은, 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 상기 자유층과 상기 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 포함할 수 있다. 상기 하드마스크 패턴 형성 단계에서, 상기 하드마스크 패턴에 의해 드러나는 상기 피식각층의 적어도 일부로 상기 불순물이 도핑될 수 있다.

[0009] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측면의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 수 있다.

[0010] 위 실시예에 있어서, 상기 일부 영역은, 상기 나머지 영역에 비하여 상대적으로 비정질일 수 있다. 상기 가변 저항 소자는, 변경 가능한 자화 방향을 갖는 자유층, 고정된 자화 방향을 갖는 고정층, 및 상기 자유층과 상기 고정층 사이에 개재되는 터널 베리어층을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물을 포함할 수 있다.

[0011] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입력력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0012] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0013] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0014] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.

[0015] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

발명의 효과

[0017] 상술한 본 발명의 실시예들에 의한 전자 장치에 의하면, 가변 저항 소자의 특성 향상이 가능하고 공정이 개선될 수 있다.

도면의 간단한 설명

- [0019] 도 1은 비교예의 전자 장치의 제조 방법 및 그 문제점을 설명하기 위한 단면도이다.
- 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 전자 장치 및 그 제조 방법을 설명하기 위한 단면도이다.
- 도 3a 내지 도 3e는 본 발명의 다른 일 실시예에 따른 전자 장치 및 그 제조 방법을 설명하기 위한 단면도이다.
- 도 4는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- 도 5는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- 도 6은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
- 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.
- 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0021] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.
- [0023] 본 발명의 실시예를 설명하기에 앞서, 실시예와의 대비를 위하여 비교예 및 그 문제점에 관하여 먼저 설명하기로 한다.
- [0024] 도 1은 비교예의 전자 장치의 제조 방법 및 그 문제점을 설명하기 위한 단면도이다.
- [0025] 도 1을 참조하면, 소정의 하부 구조물(미도시됨)이 형성된 기판(10) 상에는 소정 형상 예컨대, 기둥 형상을 갖도록 패터닝된 가변 저항 소자(R)가 형성될 수 있다.
- [0026] 가변 저항 소자(R)는 자신의 상단 및 하단을 통하여 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭함으로써 서로 다른 데이터를 저장할 수 있다. 본 비교예에서, 가변 저항 소자(R)는 변경 가능한 자화 방향을 갖는 자유층(12), 고정된 자화 방향을 갖는 고정층(14), 및 자유층(12)과 고정층(14) 사이에 개재되고 필요시 전자의 터널링을 허용하는 터널 배리어층(13)을 포함하는 MTJ(Magnetic Tunnel Junction) 구조물과, MTJ 구조물 아래 및 위에 각각 위치하는 하부 전극층(11) 및 상부 전극층(15)을 포함할 수 있다.
- [0027] 위와 같은 가변 저항 소자(R)는 하부 전극층(11), 자유층(12), 터널 배리어층(13), 고정층(14) 및 상부 전극층(15) 형성을 위한 물질층들을 기판(10) 상에 증착한 후, 이 물질층들 상에 하드마스크 패턴(16)을 형성하고 이 하드마스크 패턴(16)을 식각 베리어로 이 물질층들을 식각하는 방식으로 형성될 수 있다.
- [0028] 그런데, 전자 장치가 고집적화되고 가변 저항 소자(R)의 특성 향상을 위하여 가변 저항 소자(R)에 포함되는 층의 개수가 증가하는 데다가 MTJ 구조물은 상대적으로 식각이 어려운 물질을 포함하기 때문에, 가변 저항 소자(R) 형성을 위한 식각 공정이 어려운 문제가 있다. 특히, 가변 저항 소자(R) 형성을 위한 적절한 하드마스크 패턴(16)을 확보하기가 어렵다. 하드마스크 패턴(16)으로 주로 이용되는 금속 물질의 경우, 가변 저항 소자(R)의 MTJ 구조물과의 식각 선택비가 크지 않고 경도가 좋지 않으므로, 가변 저항 소자(R) 형성을 위한 식각시 손실이 크고 그에 따라 가변 저항 소자(R) 측벽의 수직 프로파일(vertical profile)을 확보하기 어렵다.
- [0029] 본 실시예에서는, 가변 저항 소자의 패터닝을 개선할 수 있는 새로운 하드마스크 패턴 및 이를 이용한 전자 장치의 제조 방법을 제공하고자 한다. 더 나아가, 위 가변 저항 소자와 같이 식각이 어려운 다양한 피식각층들을 식각할 수 있는 새로운 하드마스크 패턴 및 이를 이용한 전자 장치의 제조 방법을 제공하고자 한다.

- [0031] 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 전자 장치 및 그 제조 방법을 설명하기 위한 단면도이다.
- [0032] 도 2a를 참조하면, 소정의 하부 구조물(미도시됨)이 형성된 기판(100)이 제공될 수 있다. 여기서, 소정의 하부 구조물은, 가변 저항 소자 아래에서 이와 접촉하여 가변 저항 소자로 전류 또는 전압을 공급하기 위한 콘택 플러그, 콘택 플러그의 일단과 연결되어 가변 저항 소자로의 전류 또는 전압의 공급을 제어하는 스위칭 소자 등을 포함할 수 있다.
- [0033] 이어서, 기판(100) 상에 가변 저항 소자 형성을 위한 물질층들로서 예컨대, 하부 전극층(110), 자유층(120), 터널 배리어층(130), 고정층(140) 및 상부 전극층(150)을 형성할 수 있다. 여기서, 자유층(120)은 변경 가능한 자화 방향을 가짐으로써 서로 다른 데이터를 저장할 수 있는 층으로, 스토리지층(storage layer) 등으로도 불릴 수 있다. 고정층(140)은 고정된 자화 방향을 가짐으로써 자유층(120)의 자화 방향과 대비될 수 있는 층으로서, 기준층(reference layer) 등으로도 불릴 수 있다. 자유층(120) 및 고정층(140)은 강자성 물질을 포함하는 단일막 또는 다중막 구조를 가질 수 있다. 예컨대, 자유층(120) 및 고정층(140)은 Fe, Ni 또는 Co를 주성분으로 하는 합금 예컨대, Fe-Pt 합금, Fe-Pd 합금, Co-Pd 합금, Co-Pt 합금, Fe-Ni-Pt 합금, Co-Fe-Pt 합금, Co-Ni-Pt 합금, Fe-Pd 합금, Co-Fe-B 합금 등을 포함하거나, 또는, Co/Pt, Co/Pd 등의 적층 구조를 포함할 수 있다. 자유층(120) 및 고정층(140)의 자화 방향은 층 사이의 계면, 예컨대, 자유층(120)과 터널 배리어층(130) 사이의 계면에 대하여 수직인 방향과 실질적으로 평행할 수 있다. 즉, 자유층(120)의 자화 방향은 위에서 아래로 향하는 방향 및 아래에서 위로 향하는 방향 사이에서 가변될 수 있다. 고정층(140)의 자화 방향은, 위에서 아래로 향하는 방향으로 고정되거나, 또는, 아래에서 위로 향하는 방향으로 고정될 수 있다. 이러한 자유층(120)의 자화 방향의 변화는 스핀 전달 토크(spin transfer torque)에 의할 수 있다. 자유층(120) 및 고정층(140)의 상대적인 위치는 터널 배리어층(130)을 사이에 두고 뒤바뀔 수 있다. 예컨대, 본 실시예와 달리, 고정층(140)이 터널 배리어층(130) 아래에 위치하고, 자유층(120)이 터널 배리어층(130) 위에 위치할 수도 있다. 터널 배리어층(130)은 필요시 예컨대, 가변 저항 소자의 저항 상태를 변경시키는 데이터 쓰기 동작시 자유층(120)과 고정층(140)의 사이에서 전자의 터널링을 허용할 수 있다. 터널 배리어층(130)은 절연성의 산화물 예컨대, MgO, CaO, SrO, TiO, VO, NbO 등의 산화물을 포함할 수 있다. 자유층(120), 터널 배리어층(130) 및 고정층(140)은 MTJ 구조물을 형성할 수 있다. 하부 전극층(110)은 MTJ 구조물의 아래에서 MTJ 구조물과 기판(100)의 접촉을 제공하면서 MTJ 구조물의 특정 향상을 위한 다양한 기능을 수행할 수 있으며, 도전 물질을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 상부 전극층(150)은 MTJ 구조물의 위에서 MTJ 구조물과 그 상부에 위치하는 구성 요소(예를 들어, 도 2d의 도면부호 180 참조)의 접촉을 제공하면서 MTJ 구조물의 특정 향상을 위한 다양한 기능을 수행할 수 있으며, 도전 물질을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 나아가, 도시하지는 않았지만, 위에서 설명한 가변 저항 소자 형성을 위한 물질층들(110, 120, 130, 140, 150)에 더하여, MTJ 구조물의 특성이나 공정 과정을 개선하기 위한 다양한 용도를 갖는 층들(미도시됨)을 더 형성될 수도 있다.
- [0034] 이어서, 물질층들(110, 120, 130, 140, 150) 상에 물질층들(110, 120, 130, 140, 150)의 패터닝을 위한 초기 하드마스크 패턴(160)을 형성할 수 있다. 여기서, 초기 하드마스크 패턴(160)은 비정질 탄소, DLC(Diamond-Like Carbon) 등과 같은 탄소 함유 물질을 포함할 수 있다. 초기 하드마스크 패턴(160)은 물질층들(110, 120, 130, 140, 150) 상에 탄소 함유 물질을 증착한 후, 이 탄소 함유 물질을 선택적으로 식각하는 방식으로 형성될 수 있다. 탄소 함유 물질은 상대적으로 낮은 경도를 갖기 때문에, 탄소 함유 물질의 선택적 식각이 용이할 수 있다. 여기서, 탄소 함유 물질을 포함하는 초기 하드마스크 패턴(160)은 물질층들(110, 120, 130, 140, 150)의 식각에 충분한 경도를 갖지 않으므로, 이를 개선하기 위하여 후술하는 도 2b의 공정을 수행할 수 있다.
- [0035] 도 2b를 참조하면, 초기 하드마스크 패턴(160)의 표면 즉, 측벽 및 상면에 탄소 함유 물질의 경도를 증가시키는 불순물로서, 예컨대, 실리콘(Si) 또는 보론(B)을 도핑할 수 있다. 불순물의 도핑은, 실리콘 포함 가스 예컨대, SiH₄ 또는 보론 포함 가스 예컨대, B₂H₆ 가스를 플로우(flow)하는 방식으로 수행될 수 있다. 실리콘 포함 가스 또는 보론 포함 가스를 플로우시, 초기 하드마스크 패턴(160)의 표면에만 불순물이 함유되도록 플로우 시간을 상대적으로 짧게 조절하는 등 공정 조건을 조절할 수 있다. 또는, 불순물의 도핑은, 실리콘 또는 보론의 이온주입 공정으로 수행될 수 있다. 이온주입 공정시, 초기 하드마스크 패턴(160)의 표면에만 불순물이 함유되도록 이온주입 에너지를 상대적으로 약하게 조절하는 등 공정 조건을 조절할 수 있다.
- [0036] 본 공정 결과, 초기 하드마스크 패턴(160)의 표면부는 불순물이 함유된 탄소 함유 물질로 변형될 수 있다. 이 표면부를 이하, 도면부호 160A로 나타내기로 한다. 또한, 초기 하드마스크 패턴(160) 중 표면부(160A)를 제외한 나머지는 불순물이 주입되지 않고 탄소 함유 물질로 유지될 수 있다. 이 나머지를 이하, 도면부호 160B로 나타내기로 한다. 탄소 함유 물질을 포함하는 나머지부(160B) 및 나머지부(160B)보다 소정 불순물을 더 포함하는 표

면부(160A)를 최종 하드마스크 패턴(160')이라 하기로 한다. 최종 하드마스크 패턴(160')의 표면부(160A)는 나머지부(160B)에 비하여 더 큰 경도를 가질 수 있다. 이는, 탄소 함유 물질의 C-C 본딩 또는 C-H 본딩이 실리콘 또는 보론의 주입에 의하여 깨어지고, 그 결과, 표면부(160A)는 C-C 본딩 또는 C-H 본딩보다 큰 결합력을 갖는 Si-C 본딩 또는 B-C 본딩을 갖게 되기 때문이다. 표면부(160A)의 사이즈 및/또는 부피는 나머지부(160B)의 사이즈 및/또는 부피보다 작을 수 있다. 이는 후속 공정에서 최종 하드마스크 패턴(160')의 제거 공정을 용이하게 하기 위함이다. 참고로, 최종 하드마스크 패턴(160')은 절연성을 가지므로, 가변 저항 소자를 그 상부의 구성요소와 접속시키기 위해서는 제거될 필요가 있다.

[0037] 한편, 초기 하드마스크 패턴(160)에 불순물 도핑시, 이 불순물은 초기 하드마스크 패턴(160)에 의해 노출되는 물질층들(110, 120, 130, 140, 150) 내로도 소정 깊이로 도핑될 수 있다. 물질층들(110, 120, 130, 140, 150)의 불순물 도핑 영역은 공정 조건에 따라 다양한 깊이 및 폭을 가질 수 있다. 예컨대, 도면부호 A1으로 표시한 바와 같이, 불순물 도핑 영역의 내측벽은 최종 하드마스크 패턴(160')의 외측벽과 정렬될 수 있다. 또는, 도면부호 A2로 표시한 바와 같이, 불순물 도핑 영역의 내측벽은 최종 하드마스크 패턴(160')의 아래쪽으로 어느 정도 침투할 수도 있다. 설명의 편의상 도면부호 A1로 표시한 영역을 제1 불순물 도핑 영역이라 하고, 도면부호 A2로 표시한 영역을 제2 불순물 도핑 영역이라 하기로 한다. 물질층들(110, 120, 130, 140, 150)이 결정질 구조를 갖는 경우, 불순물의 도핑에 의하여 비정질로 변형될 수 있다. 다시 말하면, 물질층들(110, 120, 130, 140, 150) 중 제1 불순물 도핑 영역(A1) 또는 제2 불순물 도핑 영역(A2)은 나머지 영역에 비하여 상대적으로 비정질일 수 있다.

[0038] 도 2c를 참조하면, 최종 하드마스크 패턴(160')을 식각 베리어로 물질층들(110, 120, 130, 140, 150)을 식각하여 하부 전극(110'), 자유층 패턴(120'), 터널 베리어층 패턴(130'), 고정층 패턴(140') 및 상부 전극(150')이 적층된 가변 저항 소자(R)를 형성할 수 있다. 본 식각 공정은 IBE(Ion Beam Etching) 등과 같이 물리적 식각 방식으로 수행될 수 있다.

[0039] 여기서, 최종 하드마스크 패턴(160')의 표면부(160A)가 강한 경도를 갖기 때문에, 물질층들(110, 120, 130, 140, 150)의 식각 과정에서 표면부(160A)의 손실이 적을 수 있다. 특히, 표면부(160A)의 측벽 부분이 유지될 수 있으므로, 가변 저항 소자(R) 측벽의 수직 프로파일을 확보할 수 있다. 결과적으로, 가변 저항 소자(R)의 특성을 확보할 수 있다.

[0040] 본 식각 과정에서 표면부(160A)의 상면 부분은 손실되어 나머지부(160B)가 드러날 수도 있다.

[0041] 도 2b의 공정에서 제1 불순물 도핑 영역(A1)이 형성된 경우, 본 식각 과정에서 제1 불순물 도핑 영역(A1)은 완전히 제거될 수 있다. 반면, 도 2b의 공정에서 불순물이 최종 하드마스크 패턴(160')의 아래로 침투하여 제2 불순물 도핑 영역(A2)이 형성된 경우, 제2 불순물 도핑 영역(A2) 중 일부는 식각으로 제거되지 않고 잔류할 수 있다. 이 경우, 가변 저항 소자(R)의 측벽의 적어도 일부에 제2 불순물 도핑 영역(A2)이 포함될 수 있다. 가변 저항 소자(R)의 제2 불순물 도핑 영역(A2)은 가변 저항 소자(R)의 나머지 영역에 비하여 실리콘 또는 보론을 더 포함할 수 있고, 비정질 상태일 수 있다.

[0042] 도 2d를 참조하면, 잔류하는 최종 하드마스크 패턴(160')을 제거할 수 있다. 여기서, 탄소 함유 물질을 포함하는 나머지부(160B)는 산소 스트립 등의 공정에 의하여 쉽게 제거될 수 있다. 불순물이 도핑된 탄소 함유 물질을 포함하는 표면부(160A)는 산소 스트립 만으로는 제거가 어려울 수 있으나, 측벽 부분만 얇게 남아있기 때문에, 그 제거가 크게 어렵지 않다. 결과적으로, 최종 하드마스크 패턴(160')의 제거 공정이 용이할 수 있다.

[0043] 이어서, 가변 저항 소자(R)가 형성된 기판(100)을 덮는 층간 절연막(170)을 형성한 후, 층간 절연막(170)을 관통하여 가변 저항 소자(R)의 상단과 접속하는 콘택 플러그(180)를 형성할 수 있다. 콘택 플러그(180) 상에는 비트라인 등의 배선(미도시됨)이 형성되어 가변 저항 소자(R)의 상단으로 전류 또는 전압 공급이 가능할 수 있다.

[0044] 이상으로 설명한 공정에 의하여 도 2d와 같은 전자 장치가 제조될 수 있다.

[0045] 도 2d를 다시 참조하면, 본 발명의 일 실시예에 따른 전자 장치는, 기판(100) 상에 형성된 가변 저항 소자(R)를 포함할 수 있다.

[0046] 여기서, 일례로서, 가변 저항 소자(R)는 자유층 패턴(120'), 고정층 패턴(140') 및 이들 사이에 개재되는 터널 베리어층 패턴(130')을 포함하는 MTJ 구조물을 포함할 수 있다. 나아가, 가변 저항 소자(R)는 MTJ 구조물의 아래 및 위에 각각 위치하는 하부 전극(110') 및 상부 전극(150')을 더 포함할 수 있다. 더 나아가, 가변 저항 소자(R)는 MTJ 구조물의 특성을 향상시키는 등 다양한 용도를 갖는 하나 이상의 층을 더 포함할 수도 있다.

- [0047] 이러한 가변 저항 소자(R)에 있어서, 기관(100)에 형성되고 가변 저항 소자(R)의 하단과 접속하는 콘택 플러그(미도시됨) 및 가변 저항 소자(R) 상부의 콘택 플러그(180)를 통하여 가변 저항 소자(R)의 하단 및 상단에 인가되는 전압 또는 전류에 따라 자유층 패턴(120')의 자화 방향이 가변됨으로써 데이터를 저장할 수 있다. 자유층 패턴(120')과 고정층 패턴(140')의 자화 방향이 서로 평행한 경우, 가변 저항 소자(R)는 저저항 상태에 있을 수 있고, 예컨대, 데이터 '1'을 저장할 수 있다. 반대로, 자유층 패턴(120')과 고정층 패턴(140')의 자화 방향이 서로 반평행한 경우, 가변 저항 소자(R)는 고저항 상태에 있을 수 있고, 예컨대, 데이터 '0'을 저장할 수 있다.
- [0048] 이러한 가변 저항 소자(R)의 측벽의 적어도 일부는 제2 불순물 도핑 영역(A2)을 포함할 수 있다. 제2 불순물 도핑 영역(A2)은 나머지 영역에 비하여 실리콘 또는 보론을 더 포함할 수 있다. 또한, 제2 불순물 도핑 영역(A2)은 나머지 영역에 비하여 더 비정질일 수 있다.
- [0049] 이상으로 설명한 전자 장치의 제조 방법에 의하면 다음과 같은 이점이 있다.
- [0050] 우선, 최종 하드마스크 패턴(160')의 표면부(160A)의 경도가 증가하므로 물질층들(110, 120, 130, 140, 150)의 식각시 최종 하드마스크 패턴(160')이 식각 베리어로서 더 잘 기능할 수 있다. 특히, 표면부(160A) 중 측벽 부분이 유지되므로 수직 프로파일을 갖는 가변 저항 소자(R)를 획득할 수 있고, 그에 따라 가변 저항 소자(R)의 요구되는 특성을 확보할 수 있다.
- [0051] 또한, 최종 하드마스크 패턴(160')의 대부분을 탄소 함유 물질을 포함하는 나머지부(160B)가 차지하기 때문에, 최종 하드마스크 패턴(160')의 제거 공정이 용이할 수 있다.
- [0052] 나아가, 초기 하드마스크 패턴(160)은 낮은 경도를 갖는 탄소 함유 물질을 포함하므로, 그 패터닝 공정이 용이하다.
- [0053] 결과적으로, 본 실시예에 의하면 식각이 어려운 MTJ 구조물을 포함하는 가변 저항 소자를 용이하게 형성할 수 있고, 가변 저항 소자의 특성을 확보할 수 있으며, 기타 공정, 예컨대 하드마스크 패턴 형성 및 제거 공정이 용이할 수 있다.
- [0055] 한편, 위 전자 장치의 제조 방법에 있어서, MTJ 구조물을 포함하는 가변 저항 소자 대신 다른 가변 저항 소자 형성을 위한 하나 이상의 물질층들을 위 하드마스크 패턴을 이용하여 식각할 수도 있다. 다른 가변 저항 소자 형성을 위한 하나 이상의 물질층들은 예컨대, RRAM, PRAM, FRAM 등에 이용되는 물질층들일 수 있다. 예컨대, 다른 가변 저항 소자 형성을 위한 하나 이상의 물질층들은 전이 금속 산화물, 페로브스카이트계(perovskite-based) 물질 등을 포함하는 금속 산화물, 칼코게나이드계(chalcogenide-based) 물질 등을 포함하는 상변화 물질 또는 강유전 물질을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다.
- [0056] 더 나아가, 위 전자 장치의 제조 방법에 있어서, MTJ 구조물을 포함하는 가변 저항 소자 대신 식각이 어려운 어떠한 피식각층도 위 하드마스크 패턴을 이용하여 식각될 수 있다. 피식각층은, 다양한 도전 물질 및/또는 절연 물질을 포함할 수 있고, 단일막 구조 또는 다중막 구조를 가질 수 있다.
- [0057] 한편, 위 실시예에서 하드마스크 패턴의 표면부의 사이즈 및/또는 부피를 제어함으로써 의도적으로 하드마스크 패턴의 표면부를 남길 수 있다. 이 경우, 더 작은 사이즈의 가변 저항 소자 또는 피식각층 패턴을 형성하는 것이 가능할 수 있다. 이에 대해서는, 도 3a 내지 도 3e를 참조하여 예시적으로 설명하기로 한다.
- [0058] 도 3a 내지 도 3e는 본 발명의 다른 일 실시예에 따른 전자 장치 및 그 제조 방법을 설명하기 위한 단면도이다. 기술한 실시예와 실질적으로 동일한 부분에 대하여는 그 상세한 설명을 생략하기로 한다.
- [0059] 도 3a를 참조하면, 소정의 하부 구조물(미도시됨)이 형성된 기관(200)이 제공될 수 있다.
- [0060] 이어서, 기관(200) 상에 가변 저항 소자 형성을 위한 물질층들로서 예컨대, 하부 전극층(210), 자유층(220), 터널 베리어층(230), 고정층(240) 및 상부 전극층(250)을 형성할 수 있다.
- [0061] 이어서, 물질층들(210, 220, 230, 240, 250) 상에 물질층들(210, 220, 230, 240, 250)의 패터닝을 위한 초기 하드마스크 패턴(260)을 형성할 수 있다. 여기서, 초기 하드마스크 패턴(260)은 탄소 함유 물질을 포함할 수 있다.
- [0062] 도 3b를 참조하면, 초기 하드마스크 패턴(260)의 표면 즉, 측벽 및 상면에 탄소 함유 물질의 경도를 증가시키는 불순물로서, 예컨대, 실리콘(Si) 또는 보론(B)을 도핑할 수 있다. 불순물의 도핑은, 실리콘 포함 가스 또는 보론 포함 가스를 플로우하거나, 또는, 실리콘 또는 보론의 이온주입 공정으로 수행될 수 있다.

- [0063] 본 공정 결과, 초기 하드마스크 패턴(260)은 불순물이 함유된 탄소 함유 물질을 포함하는 표면부(260A) 및 표면부(260A)에 의해 상면 및 측벽이 둘러싸이고 표면부(260A)의 불순물을 함유하지 않는 나머지부(260B)를 포함하는 중간 하드마스크 패턴(260')으로 변형될 수 있다. 중간 하드마스크 패턴(260')의 표면부(260A)는 나머지부(260B)에 비하여 더 큰 경도를 가질 수 있다.
- [0064] 여기서, 전술한 실시예에 비하여 표면부(260A)의 사이즈 및/또는 부피가 더 증가할 수 있다. 예컨대, 표면부(260A)의 사이즈 및/또는 부피는 나머지부(260B) 이상일 수 있다. 이는 불순물 도핑 공정을 조절함으로써 가능할 수 있다. 예컨대, 전술한 실시예에 비하여 실리콘 포함 가스 또는 보론 포함 가스의 플로우 시간을 증가시킬 수 있다. 또는, 전술한 실시예에 비하여 실리콘 또는 보론의 이온주입 에너지를 증가시킬 수 있다.
- [0065] 도시하지는 않았으나, 본 불순물 도핑 공정시 이 불순물이 초기 하드마스크 패턴(260)에 의해 노출되는 물질층들(210, 220, 230, 240, 250) 내로도 주입될 수 있음은 물론이다.
- [0066] 도 3c를 참조하면, 중간 하드마스크 패턴(260')을 식각 베리어로 물질층들(210, 220, 230, 240, 250)을 식각하여 초기 하부 전극(210'), 초기 자유층 패턴(220'), 초기 터널 베리어층 패턴(230'), 초기 고정층 패턴(240') 및 초기 상부 전극(250')이 적층된 초기 가변 저항 소자(R)를 형성할 수 있다.
- [0067] 여기서, 중간 하드마스크 패턴(260')의 표면부(260A)가 강한 경도를 갖기 때문에, 초기 가변 저항 소자(R)의 패터닝이 용이하고 초기 가변 저항 소자(R) 측벽의 수직 프로파일을 확보할 수 있다.
- [0068] 본 식각 과정에서 표면부(260A)의 상면 부분은 손실되어 나머지부(260B)가 드러날 수도 있다.
- [0069] 도 3d를 참조하면, 잔류하는 중간 하드마스크 패턴(260') 중 나머지부(260B)를 제거할 수 있다. 나머지부(260B)는 산소 스트립 등의 공정에 의하여 제거될 수 있다. 이때, 측벽 부분이 잔류하는 표면부(260A)는 전술한 실시예에 비하여 상대적으로 큰 폭을 갖기 때문에, 나머지부(260B)의 제거시 제거되지 않고 잔류할 수 있다.
- [0070] 도 3e를 참조하면, 도 3d의 공정에서 잔류하는 표면부(260A)를 식각 베리어로 초기 가변 저항 소자(R)를 식각하여, 하부 전극(210''), 자유층 패턴(220''), 터널 베리어층 패턴(230''), 고정층 패턴(240'') 및 상부 전극(250'')이 적층된 가변 저항 소자(R')를 형성할 수 있다.
- [0071] 가변 저항 소자(R')는 초기 가변 저항 소자(R)에 비하여 더 작은 사이즈 및/또는 폭을 가질 수 있다. 즉, 전자 장치의 고집적화에 유리할 수 있다. 표면부(260A)는 여전히 강한 경도를 갖기 때문에, 가변 저항 소자(R')의 패터닝이 용이하고 가변 저항 소자(R') 측벽의 수직 프로파일을 확보할 수 있다.
- [0072] 이어서, 도시하지는 않았지만, 표면부(260A)를 제거할 수 있다. 표면부(260A)는 가변 저항 소자(R') 형성 과정에서 어느 정도 손실될 수 있으므로 제거가 용이할 수 있다.
- [0073] 이어서, 도시하지는 않았지만, 가변 저항 소자(R')가 형성된 기관(200)을 덮는 층간 절연막을 형성한 후, 층간 절연막을 관통하여 가변 저항 소자(R')의 상단과 접속하는 콘택 플러그 등을 형성할 수 있다.
- [0074] 본 실시예에서 가변 저항 소자(R')는 MTJ 구조물 대신 가변 저항 특성을 나타내는 다른 물질층을 포함하는 단일 막 또는 다중막으로 대체될 수 있다. 나아가, 가변 저항 소자(R')는 다양한 피식각층으로 대체될 수 있다.
- [0076] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 4 내지 도 8은 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.
- [0077] 도 4는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0078] 도 4를 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0079] 기억부(1010)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수

있다.

- [0080] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측면의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 수 있다. 이를 통해, 기억부(1010)의 공정 개선이 가능하고, 데이터 저장 특성 및 동작 특성이 향상될 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성 향상이 가능하다.
- [0081] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0082] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0083] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력될 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0085] 도 5는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0086] 도 5를 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1430)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0087] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0088] 기억부(1111)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0089] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측면의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 수 있다. 이를 통해 캐시 메모리부(1120)의 공정 개선이 가능하고 데이터 저장 특성 및 동작 특성이 향상될 수 있다. 결과적으로, 프로세서(1100)의 동작 특성 향상이 가능하다.

- [0090] 도 5에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.
- [0091] 버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.
- [0092] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.
- [0093] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.
- [0094] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.
- [0095] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.
- [0096] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드

(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

- [0097] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.
- [0098] 도 6은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
- [0099] 도 6을 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조 기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Portable Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Portable Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.
- [0100] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.
- [0101] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측벽의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 수 있다. 이를 통해, 주기억장치(1220)의 공정 개선이 가능하고 데이터 저장 특성 및 동작 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 향상이 가능하다.
- [0102] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.
- [0103] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측벽의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 있다. 이를 통해, 보조기억장치(1230)의 공정 개선이 가능하고, 데이터 저장 특성 및 동작 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 향상이 가능하다.
- [0104] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 7의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치

(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 7의 1300 참조)들을 포함할 수 있다.

[0105] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0107] 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0108] 도 7을 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0109] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0110] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.

[0111] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device

Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0112] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측벽의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 수 있다. 이를 통해, 임시 저장 장치(1340)의 데이터 저장 특성 및 동작 특성이 향상될 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 동작 특성 향상이 가능하다.

[0114] 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

[0115] 도 8을 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0116] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측벽의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 수 있다. 이를 통해, 메모리(1410)의 공정 개선이 가능하고, 데이터 저장 특성 및 동작 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 향상이 가능하다.

[0117] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0118] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.

[0119] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0120] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 버퍼 메모리(1440)는 기판; 및 상기 기판 상에 형성된 가변 저항 소자를 포함하고, 여기서, 상기 가변 저항 소자의 측벽의 적어도 일부 영역은, 나머지 영역에 비하여 실리콘 또는 보론을 더 함유할 수 있다. 이를 통해, 버퍼 메모리(1440)의 공정 개선이 가능하고, 데이터 저장 특성 및 동작 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 향상이 가능하다.

[0121] 더불어, 본 실시예의 버퍼 메모리(1440)는 휘발성인 특성을 가지는 SRAM(Static Random Access Memory),

DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 버퍼 메모리(1440)는 전술한 실시예의 반도체 장치를 포함하지 않고 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

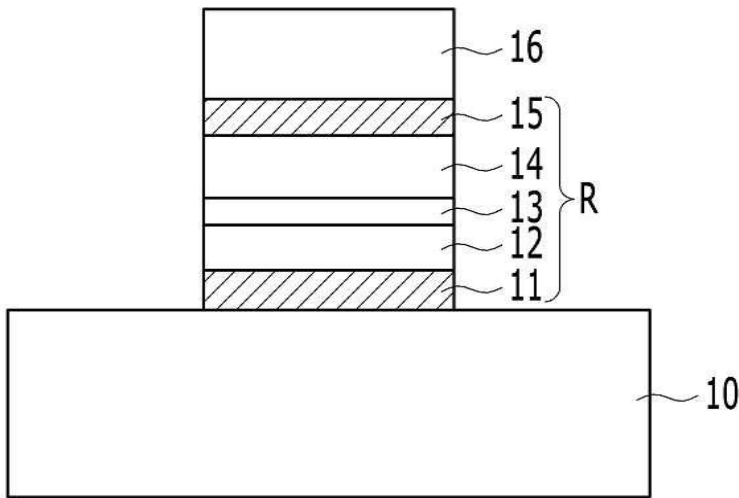
[0123] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자인 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

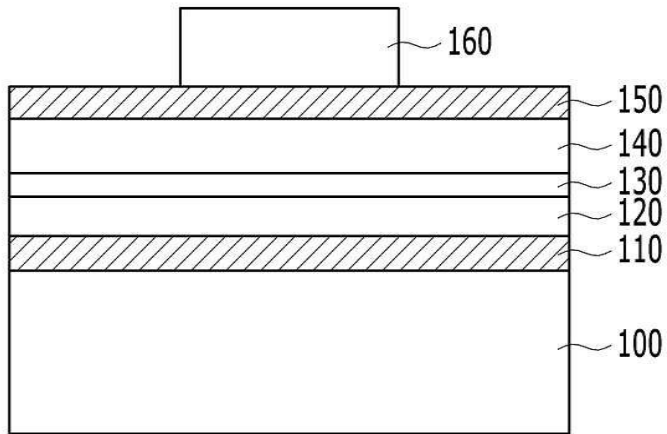
- [0125] 100: 기판
- 110: 하부 전극층
- 120: 자유층
- 130: 터널 베리어층
- 140: 고정층
- 150: 상부 전극층
- 160': 최종 하드마스크 패턴

도면

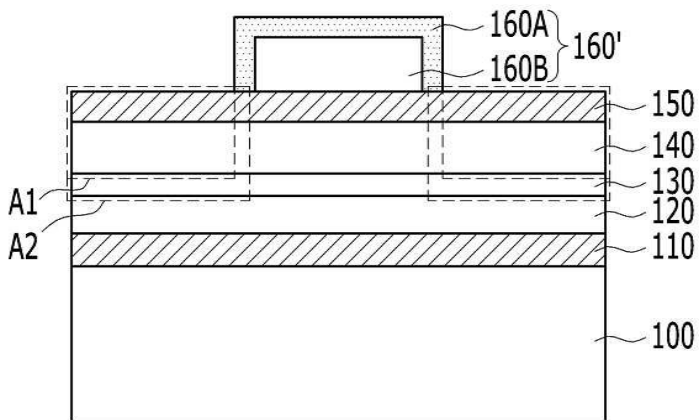
도면1



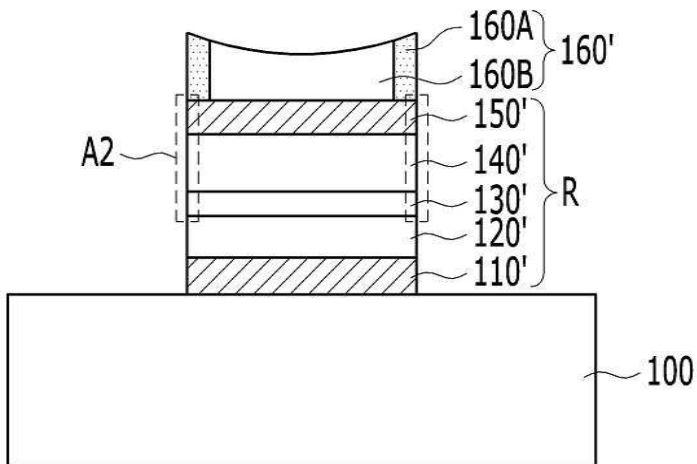
도면2a



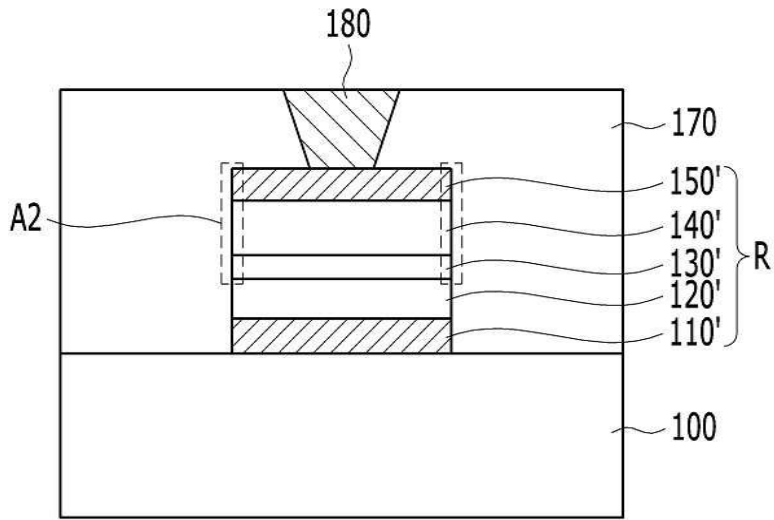
도면2b



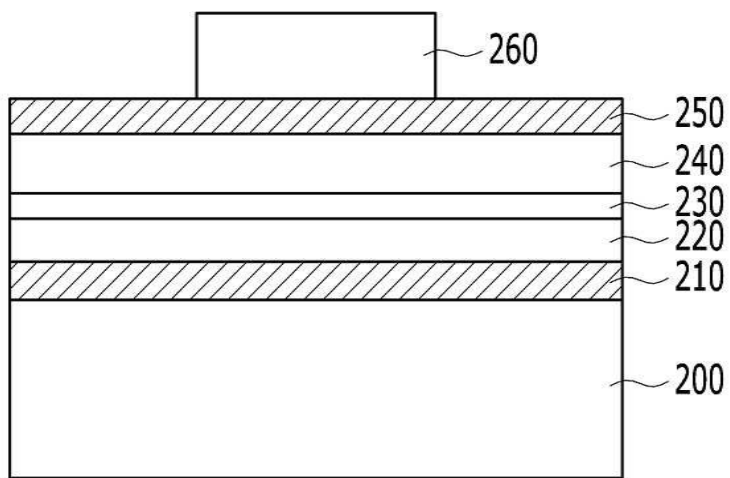
도면2c



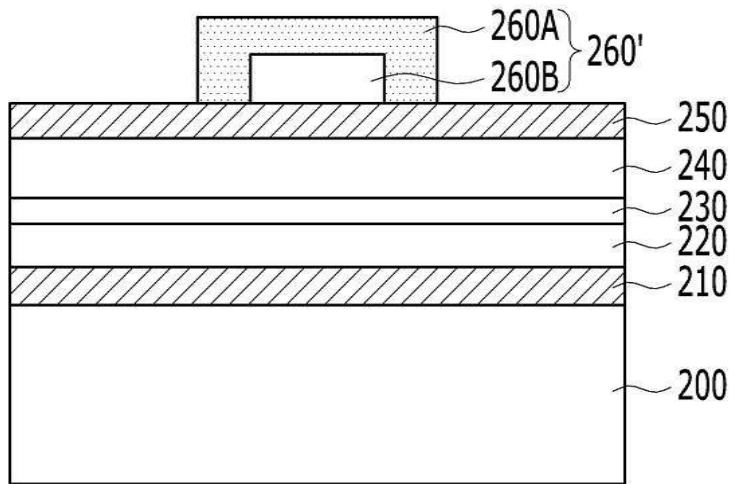
도면2d



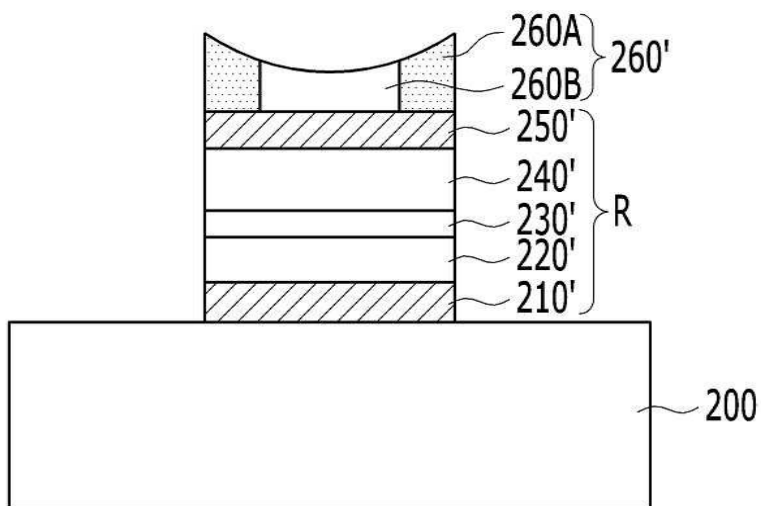
도면3a



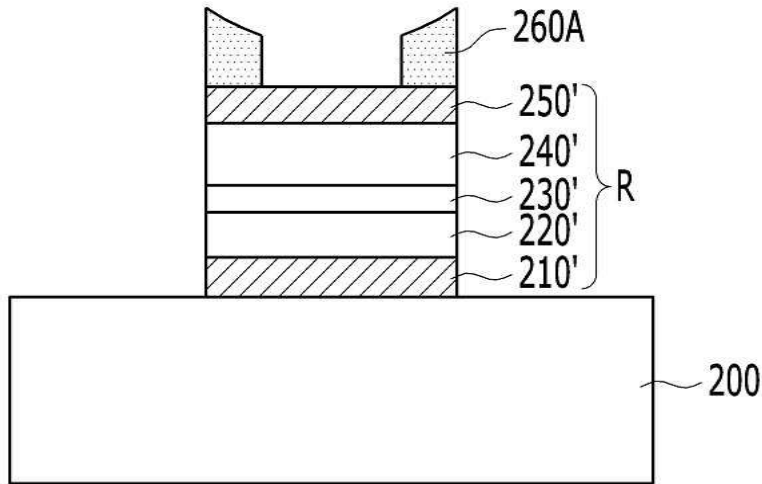
도면3b



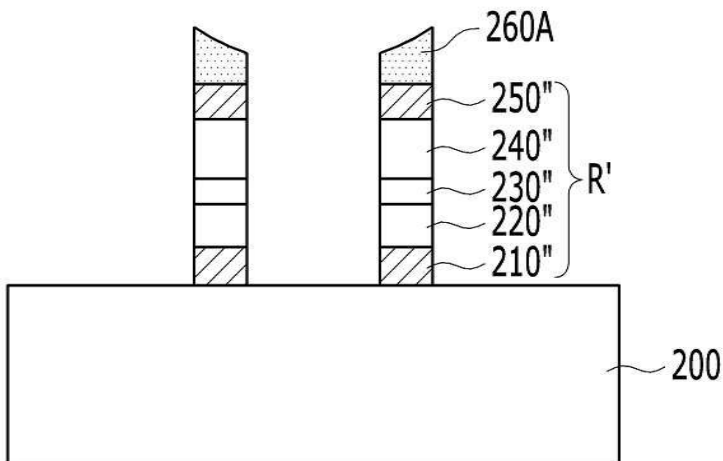
도면3c



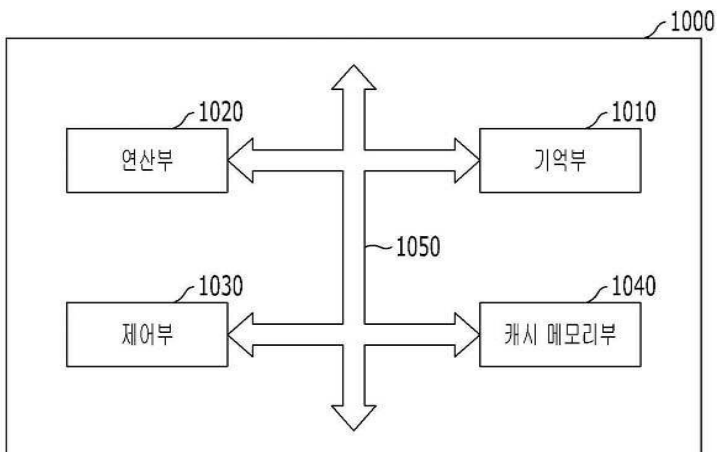
도면3d



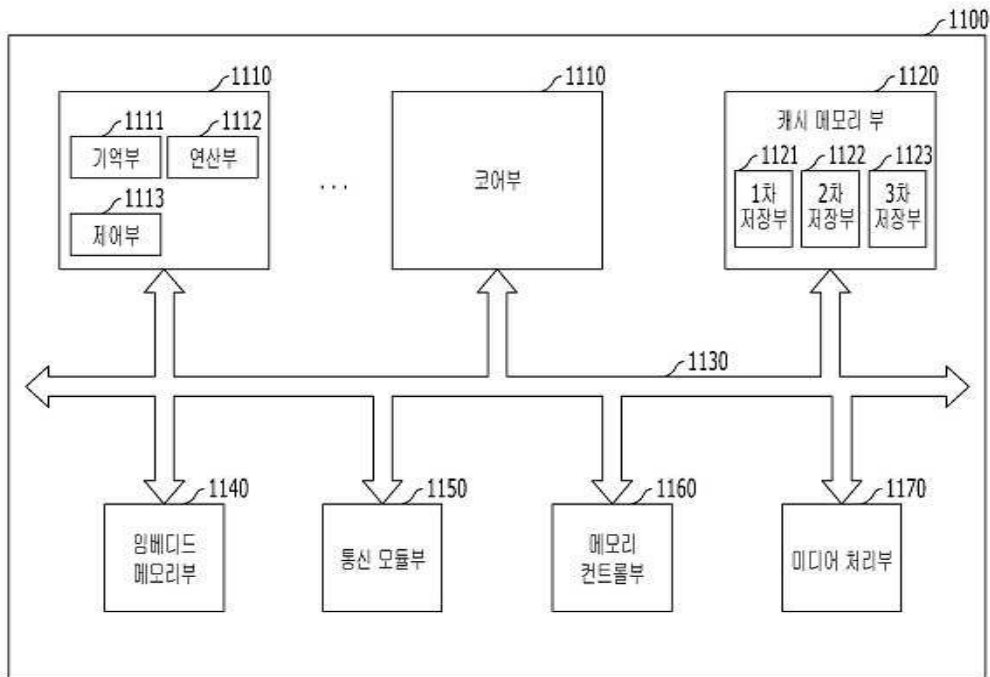
도면3e



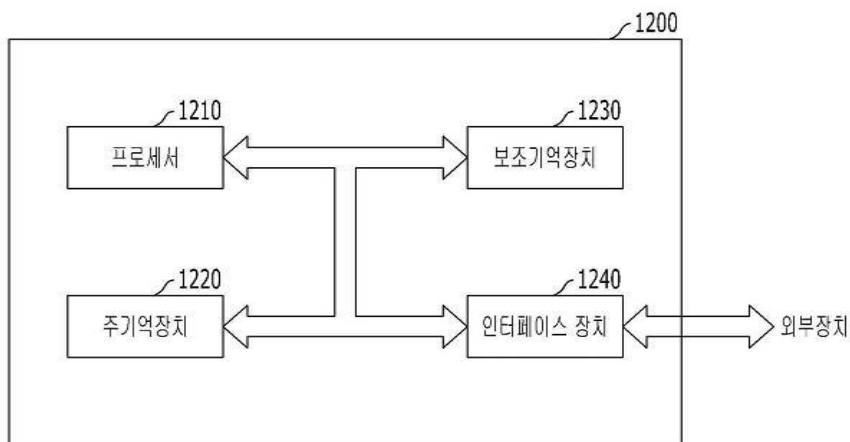
도면4



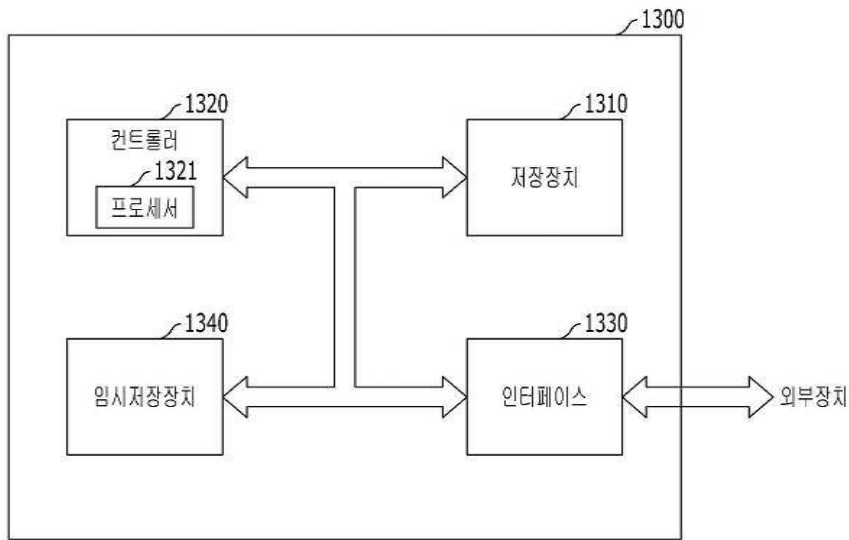
도면5



도면6



도면7



도면8

