

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-123765
(P2010-123765A)

(43) 公開日 平成22年6月3日(2010.6.3)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 B	4 G 1 4 6
C O 1 B 31/02 (2006.01)	C O 1 B 31/02 1 0 1 F	5 F 1 1 0

審査請求 未請求 請求項の数 15 O L (全 24 頁)

(21) 出願番号 特願2008-296271 (P2008-296271)
(22) 出願日 平成20年11月20日(2008.11.20)

(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(74) 代理人 100109313
弁理士 机 昌彦
(74) 代理人 100121290
弁理士 木村 明隆
(74) 代理人 100160554
弁理士 浅井 俊雄
(72) 発明者 本郷 廣生
東京都港区芝五丁目7番1号
日本電気株式会社内
Fターム(参考) 4G146 AA11 AD28 CB01

最終頁に続く

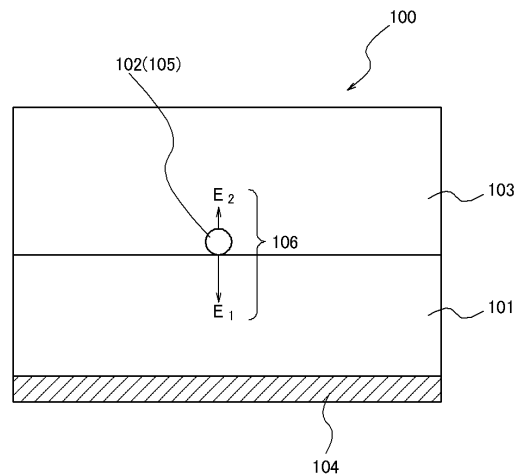
(54) 【発明の名称】 半導体装置、その製造方法及びその駆動方法

(57) 【要約】

【課題】カーボンナノチューブのような筒状形状半導体構造を導電層に用いた半導体装置では、電気特性におけるヒステリシスが大きく、ヒステリシスを低減することが困難である。

【解決手段】本発明の半導体装置は、第1の絶縁層と、第1の絶縁層に接する導電層と、導電層を被覆し第1の絶縁層と接する部分を有する第2の絶縁層と、第1の絶縁層の導電層と反対側の面と接する第1の電極とを有し、導電層は離散して配置された半導体構造物を含み、第1の電極から生じる電界の、導電層の第1の絶縁層と接する面における電界強度を E_1 、導電層の第2の絶縁層と接する面における電界強度を E_2 としたとき、 $E_1 > E_2$ 、かつ、 $E_2 = 0$ である関係を満たすように第1の絶縁層および第2の絶縁層が構成されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の絶縁層と、前記第 1 の絶縁層に接する導電層と、前記導電層を被覆し前記第 1 の絶縁層と接する部分を有する第 2 の絶縁層と、前記第 1 の絶縁層の前記導電層と反対側の面と接する第 1 の電極とを有し、前記導電層は離散して配置された半導体構造物を含み、前記第 1 の電極から生じる電界の、前記導電層の前記第 1 の絶縁層と接する面における電界強度を E_1 、前記導電層の前記第 2 の絶縁層と接する面における電界強度を E_2 としたとき、

$$E_1 > E_2、かつ、E_2 \geq 0$$

である関係を満たすように前記第 1 の絶縁層および前記第 2 の絶縁層が構成されていることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 に記載の半導体装置であって、

$$E_2 / E_1 \geq 0.6$$

である関係を満たすように前記第 1 の絶縁層および前記第 2 の絶縁層が構成されていることを特徴とする半導体装置。

【請求項 3】

前記第 2 の絶縁層と接し、前記導電層を挟んで前記第 1 の電極と対抗する位置に第 2 の電極をさらに備えたことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記第 1 の絶縁層の厚さを T_1 、誘電率を ϵ_1 とし、前記第 2 の絶縁層の厚さを T_2 、誘電率を ϵ_2 としたとき、

$$T_2 / (0.5 \times (\epsilon_1 + \epsilon_2)) < T_1 / \epsilon_1$$

である関係を満たすことを特徴とする請求項 3 に記載の半導体装置。

20

【請求項 5】

前記第 1 の電極と前記第 2 の電極との間に、前記導電層を含む第 1 の領域と、前記導電層を含まない第 2 の領域とを有することを特徴とする請求項 3 または 4 に記載の半導体装置。

【請求項 6】

前記導電層の一方の端部領域に第 3 の電極を、他方の端部領域に第 4 の電極を備え、前記第 2 の電極の電位が、前記第 3 の電極または前記第 4 の電極の一方の電位と略同電位であることを特徴とする請求項 3 から 5 のいずれか一項に記載の半導体装置。

30

【請求項 7】

前記半導体構造物が筒状形状であることを特徴とする請求項 1 から 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記第 1 の電極をゲート電極とし、前記第 2 の電極を補助電極とし、前記第 3 の電極または前記第 4 の電極の一方をソース電極、他方をドレイン電極とし、前記導電層を構成する前記半導体構造物をカーボンナノチューブとした電界効果トランジスタであることを特徴とする請求項 6 または 7 に記載の半導体装置。

40

【請求項 9】

前記第 1 の絶縁層の誘電率を ϵ_1 、前記第 2 の絶縁層の誘電率を ϵ_2 としたとき、

$$\epsilon_2 / \epsilon_1 \geq 5$$

である関係を満たすことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 10】

前記導電層の一方の端部領域に第 3 の電極を、他方の端部領域に第 4 の電極を備え、前記第 1 の電極をゲート電極とし、前記第 3 の電極または前記第 4 の電極の一方をソース電極、他方をドレイン電極とし、前記導電層を構成する前記半導体構造物をカーボンナノチューブとした電界効果トランジスタであることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

50

第1の絶縁層と、前記第1の絶縁層に接する導電層と、前記導電層を被覆し前記第1の絶縁層と接する部分を有する第2の絶縁層と、前記第1の絶縁層の前記導電層と反対側の面と接する第1の電極と、前記第2の絶縁層と接し、前記導電層を挟んで前記第1の電極と対抗する位置に配置された第2の電極とからなり、前記導電層は離散して配置された半導体構造物を含み、前記第1の絶縁層の厚さを T_1 、誘電率を ϵ_1 とし、前記第2の絶縁層の厚さを T_2 、誘電率を ϵ_2 としたとき、

$$T_2 / (0.5 \times (\epsilon_1 + \epsilon_2)) < T_1 / \epsilon_1$$

である関係を満たすことを特徴とする半導体装置。

【請求項12】

第1の絶縁層と、前記第1の絶縁層に接する導電層と、前記導電層を被覆し前記第1の絶縁層と接する部分を有する第2の絶縁層と、前記第1の絶縁層の前記導電層と反対側の面と接する第1の電極とからなり、前記導電層は離散して配置された半導体構造物を含み、前記第1の絶縁層の誘電率を ϵ_1 、前記第2の絶縁層の誘電率を ϵ_2 としたとき、

$$\epsilon_2 / \epsilon_1 > 5$$

である関係を満たすことを特徴とする半導体装置。

【請求項13】

第1の絶縁層の上に、半導体構造物を離散して配置した領域を含む導電層を前記第1の絶縁層に接して形成し、前記導電層を被覆し、その一部が前記第1の絶縁層と接するように第2の絶縁層を形成し、前記第1の絶縁層の前記導電層と反対側の面に第1の電極を形成し、前記導電層を挟んで前記第1の電極と対抗する位置に前記第2の絶縁層と接して第2の電極を形成することからなり、前記第1の絶縁層および前記第2の絶縁層は、前記第1の絶縁層の厚さを T_1 、誘電率を ϵ_1 とし、前記第2の絶縁層の厚さを T_2 、誘電率を ϵ_2 としたとき、

$$T_2 / (0.5 \times (\epsilon_1 + \epsilon_2)) < T_1 / \epsilon_1$$

である関係を満たすように形成することを特徴とする半導体装置の製造方法。

【請求項14】

前記導電層の一方の端部領域に第3の電極を形成し、他方の端部領域に第4の電極を形成し、前記第3の電極または前記第4の電極の一方と前記第2の電極とを略同電位となるように接続することを特徴とする請求項11に記載の半導体装置の製造方法。

【請求項15】

第1の絶縁層と、前記第1の絶縁層に接する導電層と、前記導電層を被覆し前記第1の絶縁層と接する部分を有する第2の絶縁層と、前記第1の絶縁層の前記導電層と反対側の面と接する第1の電極と、前記第2の絶縁層と接し、前記導電層を挟んで前記第1の電極と対抗する位置に配置された第2の電極と、前記導電層の一方の端部領域に配置された第3の電極と、前記導電層の他方の端部領域に配置された第4の電極とからなり、前記導電層は離散して配置された半導体構造物を含み、前記第1の電極から生じる電界の、前記導電層の前記第1の絶縁層と接する面における電界強度を E_1 、前記導電層の前記第2の絶縁層と接する面における電界強度を E_2 としたとき、 $E_1 > E_2$ 、かつ、 $E_2 > 0$ である関係を満たすように前記第1の絶縁層および前記第2の絶縁層が構成された半導体装置に対して、前記第1の電極に入力信号を印加し、前記第3の電極と前記第4の電極の間に駆動電圧を印加し、前記第2の電極の電位を、前記第3の電極または前記第4の電極の一方と略同電位とすることを特徴とする半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、その製造方法及びその駆動方法に係り、特にカーボンナノチューブ等の筒状形状半導体構造物を導電層に用いた電界効果トランジスタ、その製造方法及びその駆動方法に関する。

【背景技術】

【0002】

10

20

30

40

50

カーボンナノチューブ(以下、CNTと称する)は溶媒に分散させることが可能であることから、CNTを用いた半導体装置、例えばCNTをチャンネル層に用いた電界効果トランジスタ(以下、CNT-FETと称する)などの作製には、塗布・印刷などによる製造方法を用いることが出来る。このため、巨大な真空装置が不要となり製造コストを大幅に抑制できる。また、高温での処理が不要となることから、プラスチック基板などを使用することができ、フレキシブルな表示装置などの作製が可能となる。

【0003】

CNT-FETの一例が特許文献1に記載されている。図21に、特許文献1に記載されたCNT-FETの断面図を示す。ソース電極601とドレイン電極602の間のチャンネル部をCNT605で形成している。ゲート電極603とCNT605はゲート絶縁層606を介して容量(コンデンサー)を構成し、ゲート電極603の電圧によってチャンネル部の一部の電圧(あるいは電位、ポテンシャル)を変化させることができる。そしてチャンネル部の電位を変化させることにより、チャンネル部内の電荷濃度または電位障壁を変化させることができる。この結果、チャンネル部内の電流量をゲート電圧によって制御することが可能となる。これは、一般的なシリコンを用いた電界効果トランジスタと同じ動作原理である。

10

【0004】

チャンネル部は一本のCNTから構成される場合に限らず、複数のCNTから構成され、一本のCNTでソースとドレイン間が電氣的に接続されることがない場合もある。すなわちソースとドレイン間が直列に接続された複数のCNTによって電氣的に接続された構成となる場合もある。

20

【0005】

特許文献1に記載されたCNT-FETの製造方法では、まず(1)ゲート電極603として用いるシリコン基板を用意し、(2)シリコン基板の表面にゲート絶縁層606を形成し、(3)ゲート絶縁層606の表面にソース電極601とドレイン電極602を形成し、次に(4)ゲート絶縁層606の表面にチャンネル部となるCNT605を、CNTが有機溶媒中に分散した分散溶液を敵下することにより形成することとしている。

【0006】

一方、CNT-FETの電気特性には非常に大きなヒステリシスが生じることが知られている(例えば、非特許文献1参照)。これは、ある一定の電圧をドレイン電極に印加した状態で、ゲート電圧 V_G を往復して掃引した場合(例えば、 $+V_G^{max} - V_G^{max} + V_G^{max}$)に、往路と復路におけるドレイン電流の値が異なる現象である。

30

【0007】

関連するCNT-FETにおける典型的なヒステリシス特性を図22に示す。図中の矢印は、ゲート電圧を負側から正側に掃引した時のドレイン電流値が、逆向きに掃引した時のドレイン電流値よりも小さくなる向きをヒステリシスの向きとして示したものである。このヒステリシスが生じる現象は、シリコンを用いたMOSFETにおいては、一般的に絶縁層への電荷の注入によるものであると考えられている。CNT-FETの場合も同様に、電荷の注入によりヒステリシスが生じると考えられている(例えば、非特許文献1参照)。ここで本明細書では、ヒステリシスの幅を図22の図中に示したように、次のように定義して用いる。すなわち、ゲート電圧を負側から正側に掃引した時に、ドレイン電流の対数軸上の最大値と最小値の midpoint となる電流値をとる時のゲート電圧を V_T^1 とし、正側から負側に掃引した時に、同じ電流値をとる時のゲート電圧を V_T^2 とした時に、ヒステリシスの幅 h を $h = V_T^2 - V_T^1$ と定義する。

40

【0008】

ヒステリシスの幅は掃引するゲート電圧とともに増大することが知られている。例えば、ゲート電圧を $\pm V_G^{max}$ の範囲で掃引した場合、ヒステリシスの幅が V_G^{max} と同程度の大きさになる場合がある。

【0009】

このヒステリシスの存在はFETをスイッチング素子として動作させる場合に問題とな

50

る。すなわち、スイッチング素子としての on 状態と off 状態との境界となるゲート電圧（いわゆる閾値）が、ゲート電圧を $+V_{G^{max}} - V_{G^{max}}$ の方向に変化させた場合と、 $-V_{G^{max}} + V_{G^{max}}$ の方向に変化させた場合とで異なることになるからである。このような電気特性を有する関連する CNT-FET は、実際の製品として、例えば集積化した場合に、安定した動作を実現することが困難である。

【0010】

CNT-FET のヒステリシスを低減する試みがいくつか提案されている。例えば特許文献 1 では、高誘電率を有する材料をゲート絶縁層に用いた構造としている。また、シリコン酸化膜上にオクタデシルトリクロロシラン (octadecyltrichlorosilane) 処理を行うこととしているものもある（例えば、非特許文献 2 参照）。

10

【0011】

【特許文献 1】特開 2008-071898 号公報（段落「0022」、「0026」～「0032」、図 2）

【非特許文献 1】「アプライド フィジックス レターズ (APPLIED PHYSICS LETTERS)」、(米国)、2006 年、第 89 巻、p. 162108

【非特許文献 2】「アプライド フィジックス レターズ (APPLIED PHYSICS LETTERS)」、(米国)、2006 年、第 89 巻、p. 163123

【発明の開示】

【発明が解決しようとする課題】

【0012】

上述した特許文献 1 に記載された半導体装置においては、大気中に設置された場合にはヒステリシスを低減することができないという問題があった。また非特許文献 2 に記載された半導体装置においては、製品化する場合には何らかの被覆が必要であり、被覆をした場合に電気特性に及ぼす影響が不明であるという問題があった。

20

【0013】

本発明の目的は、上述した課題である半導体装置の電気特性におけるヒステリシスが大きく、ヒステリシスを低減することが困難である、という課題を解決する半導体装置、その製造方法及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0014】

本発明の半導体装置は、第 1 の絶縁層と、第 1 の絶縁層に接する導電層と、導電層を被覆し第 1 の絶縁層と接する部分を有する第 2 の絶縁層と、第 1 の絶縁層の導電層と反対側の面と接する第 1 の電極とを有し、導電層は離散して配置された半導体構造物を含み、第 1 の電極から生じる電界の、導電層の第 1 の絶縁層と接する面における電界強度を E_1 、導電層の第 2 の絶縁層と接する面における電界強度を E_2 としたとき、 $E_1 > E_2$ 、かつ、 $E_2 = 0$ である関係を満たすように第 1 の絶縁層および第 2 の絶縁層が構成されている。

30

【0015】

本発明の半導体装置の製造方法は、第 1 の絶縁層の上に、半導体構造物を離散して配置した領域を含む導電層を第 1 の絶縁層に接して形成し、導電層を被覆し、その一部が第 1 の絶縁層と接するように第 2 の絶縁層を形成し、第 1 の絶縁層の導電層と反対側の面に第 1 の電極を形成し、導電層を挟んで第 1 の電極と対抗する位置に第 2 の絶縁層と接して第 2 の電極を形成することからなり、第 1 の絶縁層および第 2 の絶縁層は、第 1 の絶縁層の厚さを T_1 、誘電率を ϵ_1 とし、第 2 の絶縁層の厚さを T_2 、誘電率を ϵ_2 としたとき、 $T_2 / (0.5 \times (\epsilon_1 + \epsilon_2)) < T_1 / \epsilon_1$ である関係を満たすように形成する。

40

【0016】

本発明の半導体装置の駆動方法は、第 1 の絶縁層と、第 1 の絶縁層に接する導電層と、導電層を被覆し第 1 の絶縁層と接する部分を有する第 2 の絶縁層と、第 1 の絶縁層の導電層と反対側の面と接する第 1 の電極と、第 2 の絶縁層と接し、導電層を挟んで第 1 の電極と対抗する位置に配置された第 2 の電極と、導電層の一方の端部領域に配置された第 3 の

50

電極と、導電層の他方の端部領域に配置された第４の電極とからなり、導電層は離散して配置された半導体構造物を含み、第１の電極から生じる電界の、導電層の第１の絶縁層と接する面における電界強度を E_1 、導電層の第２の絶縁層と接する面における電界強度を E_2 としたとき、 $E_1 > E_2$ 、かつ、 $E_2 = 0$ である関係を満たすように第１の絶縁層および第２の絶縁層が構成された半導体装置に対して、第１の電極に入力信号を印加し、第３の電極と第４の電極の間に駆動電圧を印加し、第２の電極の電位を、第３の電極または第４の電極の一方と略同電位とする。

【発明の効果】

【００１７】

本発明の半導体装置は、電気特性におけるヒステリシスを低減することができるという効果を有する。

10

【発明を実施するための最良の形態】

【００１８】

以下に、図面を参照しながら、本発明の実施形態について説明する。

【００１９】

〔第１の実施形態〕

図１は、本発明の第１の実施形態に係る半導体装置１００の断面図である。半導体装置１００は、第１の絶縁層１０１と、第１の絶縁層に接する導電層１０２と、導電層１０２を被覆し第１の絶縁層１０１と接する部分を有する第２の絶縁層１０３と、第１の絶縁層１０１の導電層１０２と反対側の面と接する第１の電極１０４とを有する。導電層１０２はキャリア（電子または正孔）の移動方向の少なくとも一部に半導体構造物を含んでいる。そして半導体構造物はキャリアの移動方向以外では互いに離散して配置されている。ここで、導電層１０２を構成する半導体構造物の全てが互いに離散して配置される必要はなく、一部の領域で半導体構造物が離散して配置された構成であればよい。さらに第１の絶縁層１０１および第２の絶縁層１０３は次の条件を満たすように構成されている。すなわち、第１の電極１０４から生じる電界１０６の、導電層１０２の第１の絶縁層１０１と接する面における電界強度を E_1 、導電層１０２の第２の絶縁層１０３と接する面における電界強度を E_2 としたとき、 $E_1 > E_2$ 、かつ、 $E_2 = 0$ である関係を満たすように構成されている。

20

【００２０】

このような構成をとることにより、離散して配置された半導体構造物を被覆する第２の絶縁層における電荷の捕獲を抑制することができるので、本実施形態による半導体装置の電気特性におけるヒステリシスを低減することができる。

30

【００２１】

次に、本実施形態に係る発明の効果について、さらに詳細に説明する。以下では、導電層を構成する半導体構造物の一例として、筒状形状の一種である円筒形状を有するカーボンナノチューブ（CNT）を用いた場合について説明する。なお半導体構造物としては、この他に、シリコンナノワイヤー、またはシリコン・ゲルマニウム（Si/Ge）、ガリウム砒素（GaAs）などの化合物半導体ナノワイヤー、および酸化亜鉛（ZnO）などの酸化物半導体なども用いることができる。また、半導体装置１００は、第１の電極１０４をゲート電極とし、導電層１０２の一方の端部領域に第３の電極としてソース電極を、他方の端部領域に第４の電極としてドレイン電極を備え、導電層を構成する半導体構造物をカーボンナノチューブ（CNT）１０５とした電界効果トランジスタ（CNT-FET）である場合について説明する。

40

【００２２】

まず、関連するCNT-FETにおいてヒステリシスの生じる機構を説明する。関連するCNT-FETにおいては、電荷がゲート絶縁層中（のトラップ）に捕獲され、その電荷による遮蔽電圧（ V_T ）によってチャンネルに印加される実効的なポテンシャル（ V_C ）がゲート電圧の値（ V_G ）と異なることによってヒステリシスが生じると考えられる。図２に、このときの各電圧の関係を模式的に示す。絶縁層中に捕獲された電荷による遮蔽電圧

50

(V_T)、チャンネルに印加される実効的なポテンシャル(V_C)、電圧の値(V_G)の関係は

$$V_C = V_G - V_T \quad (1)$$

となる。

【0023】

例えば、 V_G をゼロから $+V_G^{max}$ まで増加させると、CNTチャンネルからゲート絶縁層に向かって増大する電界によって、電荷(電子)がCNTチャンネルからトンネルして絶縁層に注入される。この注入された電荷量(数) n によって、遮蔽電圧

$$V_T = -en/C \quad (2)$$

が生じる。ここで、 e は単位電荷、 C はCNTチャンネルと絶縁層中のトラップとの間の容量である。

【0024】

ここで、 V_G を $+V_G^{max}$ まで増大させた後に、減少させる場合を考える。この場合、捕獲された電荷は、捕獲される時と同程度の大きさの逆向きの電界が与えられないと放出されない(ある時定数で自然に放出される確率はゼロではないが、放出には非常に時間を要する)。そのため、一度捕獲された電荷は、ある V_G の範囲で保持される。すなわち式(2)の V_T は保持されたままになる。このため、式(1)における V_C は V_G を変化させても、 V_T の分だけは変化しない。すなわち V_G で制御できない電圧が残ることになる。

【0025】

逆に、 V_G を $-V_G^{max}$ の方向まで減少させていく場合においても同様の状況となる。ただし、ある負の V_G 値において捕獲されていた電子が放出され、正孔が捕獲される点で異なる。そのため、式(2)の符号は正になるが、電子が捕獲される時と同様に式(2)の V_T は保持されたままになる。したがって、この場合も式(1)における V_C は V_G を変化させても、 V_T の分だけは変化しない。すなわち、負の V_G 領域においても、 V_G で制御できない電圧が残る。以上により、 V_G を $\pm V_G^{max}$ に掃引した時にヒステリシスが生じることになる。

【0026】

上述したように、電荷が捕獲されることによって遮蔽電圧 V_T が生じることが、ヒステリシスが生じる原因であることから、電荷が捕獲される確率を低減することによりヒステリシスを低減することができる。電荷が捕獲されるのは絶縁層を電荷がトンネルするためであるから、トンネル確率を低減させることが必要となる。トンネル確率はトンネルする障壁の高さと障壁の厚さに依存する。障壁の高さは材料の選択によって決定されるが、トンネルする障壁の厚さは障壁に印加される電界強度に依存し、電界強度が大きいほど障壁が薄くなりトンネル確率は増大する。したがって、CNTチャンネルに印加される電界強度を低下させることにより、ヒステリシスを低減することができる。

【0027】

ここで、デバイス構造におけるチャンネル層の電界強度について説明する。シリコン材料を用いたFETに適用される平行平板構造の場合、電界強度 E はゲート絶縁層の膜厚を T_G とすれば

$$E = V_G / T_G \quad (3)$$

となる。

【0028】

一方CNT-FETの場合、CNTは円筒状の半導体構造物であることから平行平板構造とは電界分布は大きく異なる。円筒構造の場合、円筒とゲート絶縁層界面での電界強度の近似値は、一般的な電磁気学理論から

$$E = V_G / (d/2 \times \ln(T_G - d/2) / (d/2)) \quad (4)$$

と求まる。ここで、 \ln は自然対数、 d は円筒の直径、 T_G は円筒からゲート電極までの距離(ゲート絶縁層の厚さに相当)である。

【0029】

式(3)(4)より、典型的なCNTの直径を 1nm 、ゲート絶縁層の厚さ T_G を 10

10

20

30

40

50

0 nmとすると、平行平板構造の場合に比べて円筒構造の場合には約40倍電界強度が強くなることわかる。

【0030】

図3は、このときの電界の様子を模式的に示したものである。図3(a)に示すように、円筒構造110の場合はゲート電極111からの電気力線112が円筒の周囲にすべて回り込むことができる。このため、例えば直径1 nmの円筒の周囲(約3.14 nm)にゲート電極からの電気力線が全て集中してしまう。すなわち、CNTのゲート電極111に対面しない面にかかる電界強度を E_2 とすると、 $E_2 = 0$ となるのが円筒構造の特徴である。

【0031】

それに対して平行平板構造120の場合は、図3(b)に示すように、電気力線122がゲート電極121と対向する電極(チャンネル層)の裏側に回り込むことはない。すなわち、対向する電極(チャンネル層)の裏面における電界強度を E_2 とすると、平行平板構造では必ず $E_2 = 0$ となる。つまり、平行平板構造では、どちらか一方の電極に電気力線が集中することはなく、電界強度は対向する二つの電極間距離にだけ依存する(式(3))。したがって、平行平板構造で記述されるシリコン材料を用いたMOSFETと比較して、円筒構造のCNT-FETではヒステリシスがより顕著に生じることとなる。

【0032】

上述したように、ヒステリシスが生じる原因となる電荷が絶縁層をトンネルする確率を低減させるためには、チャンネルにおける電界強度を低減させる必要がある。しかしCNTチャンネルにおける電界強度を低減させると、CNTチャンネルに誘起される電荷量も減少する。これは、CNT-FETにおけるドレイン電流も減少することを意味する。しかし、本実施形態によるCNT-FETは、CNTチャンネルのゲート電極側の面における電界強度 E_1 が、それと反対側の面(ゲート電極に対面しない面)における電界強度 E_2 よりも大きくなるように絶縁層が構成されている。したがって、CNTチャンネルに誘起される電荷の低減を避けながら、チャンネルと絶縁層との界面における電界強度を低減させることができる。すなわち、チャンネルのゲート電極側の界面での電界強度は維持したまま、ゲート電極とは反対側の面における電界強度を低減させることができる。これにより、ドレイン電流の減少を招くことなくヒステリシスを低減することができる。また、本実施形態によるCNT-FETでは、第1の絶縁層101および第2の絶縁層103としてFET構造のゲート絶縁層に慣用されているシリコン酸化膜、シリコン窒化膜などを使用することができ、特殊な被覆層を必要としないので、実際の製品に適用可能なデバイス構造でヒステリシスを低減することができる。

【0033】

次に、導電層(チャンネル)における電界強度について、さらに詳細に説明する。ヒステリシスの原因となるトンネル電流密度 J の大きさは、Fowler-Nordheim近似を用いて、

$$J = a E^2 \exp(-b/E) \quad (5)$$

と表すことができる。ここで a 、 b は定数、 E は電界強度である。 b の値は1~25 V/m程度である。ヒステリシスの原因となるトラップされた電荷数(式(2)中の n)は式(5)の注入電流 J の時間積分であるから、両者はほぼ比例する。ここで、トンネル電流密度が一桁以上低減していれば、絶縁層に捕獲された電荷がデバイス特性に及ぼす影響は無視することができる。CNTに均等に電界がかかっているときのCNT表面における電界強度を E_0 とし、そのときのトンネル電流密度を J_0 とすると、トンネル電柱密度の大きさが J_0 の10分の1以下となるためには、式(5)から、その時の電界強度 E^* が E_0 の約0.6倍以下であればよいことわかる。したがって、本実施形態によるCNT-FETにおいて、CNTのゲート電極側の絶縁層と接する面における電界強度を E_1 、反対側の絶縁層と接する面における電界強度を E_2 とすると、 E_2 は E_1 の0.6倍以下とすることが望ましい。

【0034】

10

20

30

40

50

〔第2の実施形態〕

次に、本発明の第2の実施形態について説明する。図4は、本発明の第2の実施形態に係る半導体装置200の断面図である。半導体装置200は、第1の絶縁層201と、第1の絶縁層に接する導電層202と、導電層202を被覆し第1の絶縁層201と接する部分を有する第2の絶縁層203と、第1の絶縁層201の導電層202と反対側の面と接する第1の電極204とからなる。導電層202は離散して配置された半導体構造物を含み、本実施形態では円筒形状の半導体構造物が図4の紙面に垂直な方向に配列された構造とした。円筒形状の半導体構造物としては、例えばカーボンナノチューブ(CNT)205を好適に用いることができる。ここで第1の絶縁層201および第2の絶縁層203は次の条件を満たすように構成されている。すなわち、第1の絶縁層201の誘電率を ϵ_1 、第2の絶縁層203の誘電率を ϵ_2 としたとき、 $\epsilon_2 / \epsilon_1 \geq 5$ である関係を満たすように構成されている。

10

【0035】

図5に、第1の絶縁層201の誘電率 ϵ_1 と第2の絶縁層203の誘電率 ϵ_2 との比 ϵ_2 / ϵ_1 の変化に対する、CNTにおける電界強度の比 E_2 / E_1 の変化を電磁気学理論から求めた結果を示す。ここで、 E_1 は、第1の電極204から生じる電界206の、CNT205の第1の絶縁層201と接する面における電界強度であり、 E_2 はCNTの第2の絶縁層203と接する面における電界強度である。この図から、 ϵ_2 / ϵ_1 の値を5より大きくすることによって、CNTにおける電界強度の比 E_2 / E_1 を0.6より小さくすることができることがわかる。このとき、式(5)より、ヒステリシスの原因となるトラップされた電荷数に比例するトンネル電流密度は一桁以上低減する。以上より、本実施形態による半導体装置200においては、第2の絶縁層に捕獲された電荷がデバイス特性に及ぼす影響を無視することができるので、ヒステリシスを低減することができる。

20

【0036】

図6に、本実施形態による、カーボンナノチューブ(CNT)205を導電層に用いた電界効果トランジスタ(CNT-FET)210の断面図を示す。ここで、CNT-FET210は、基板211の上に、第1の電極であるゲート電極212と、第1の絶縁層201と、導電層202であるCNT205と、第2の絶縁層203とを有し、さらに導電層202の一方の端部領域に第3の電極としてソース電極213を、他方の端部領域に第4の電極としてドレイン電極214を備える。図6では、ゲート電極212の長さがCNTチャンネル205の長さより短い場合について記載したが、これに限らず、CNTチャンネル205とソース・ドレイン電極の接合部を被覆するようにゲート電極212を配置することとしてもよい。すなわち、CNT-FETのゲート長とチャンネル長の長さ関係にかかわらず、ゲート絶縁層を介してゲート電極と対向する位置にCNTが配置された構成であれば、本発明による効果が得られる。

30

【0037】

図7は、図6のチャンネル部分の拡大図であり、ソース電極とドレイン電極を結ぶ直線(チャンネル長方向)と直交する面で切断した断面図である。図7では、CNTをソース電極とドレイン電極を結ぶ直線に直交する方向に互いに離間して複数形成した場合を示す。ここで、第1の絶縁層201であるゲート絶縁層には例えばシリコン酸化膜を用いることができる。この場合には、第2の絶縁層203としてシリコン酸化膜よりも高い誘電率を有するハフニウムオキサイド、ジルコニウムオキサイド、チタン酸バリウムなどを用いることによって、 $\epsilon_2 / \epsilon_1 \geq 5$ である関係を満たすように構成することができる。

40

【0038】

図7では、各CNTが整然と配列している場合を示したが、これに限らず、個々のCNTは乱雑に配置されている場合であっても、各CNTが連結されてチャンネル長方向に沿って延在している領域が存在すればよい。したがって、各CNTの向きや位置の制御が困難な形成方法、例えばスピコート、滴下、ディッピングなどの形成方法を用いることができる。

【0039】

50

〔第3の実施形態〕

次に、本発明の第3の実施形態について説明する。図8は、本発明の第3の実施形態に係る半導体装置300の断面図である。半導体装置300は、第1の絶縁層301と、第1の絶縁層に接する導電層302と、導電層302を被覆し第1の絶縁層301と接する部分を有する第2の絶縁層303と、第1の絶縁層301の導電層302と反対側の面と接する第1の電極304と、第2の絶縁層303と接し、導電層302を挟んで第1の電極304と対抗する位置に配置された第2の電極306とからなる。導電層302は離散して配置された半導体構造物を含み、本実施形態では円筒形状の半導体構造物が図8の紙面に垂直な方向に配列された構造とした。円筒形状の半導体構造物としては、例えばカーボンナノチューブ(CNT)305を好適に用いることができる。ここで第1の絶縁層301および第2の絶縁層303は次の条件を満たすように構成されている。すなわち、第1の絶縁層301の厚さを T_1 、誘電率を ϵ_1 とし、第2の絶縁層303の厚さを T_2 、誘電率を ϵ_2 としたとき、

$$T_2 / (0.5 \times (\epsilon_1 + \epsilon_2)) < T_1 / \epsilon_1$$

である関係を満たすように構成されている。

【0040】

図9(a)は、本実施形態による半導体装置300における電界の様子を模式的に示したものである。導電層としてのCNTチャンネル305を挟み、第1の電極であるゲート電極311と反対側に第2の電極として補助電極312が配置される。ここで、ゲート電極311からの電気力線313の一部は、CNTチャンネル305においてゲート電極311と対向する面の反対側に回り込むことなく、補助電極312によって終端される。これにより、CNTチャンネル305を挟んでゲート電極311の反対側に位置する第2の絶縁層とCNTチャンネル305との界面における電界強度を低減することができる。一方、ゲート電極311側に位置する第1の絶縁層とCNTチャンネル305との界面における電界強度はほとんど変化しない。したがって、CNTチャンネルに誘起される電荷量の顕著な低下を抑制しながら、第2の絶縁層とCNTチャンネル305との界面における電界強度を低減することができる。これにより、本実施形態による半導体装置によれば、ドレイン電流の減少を招くことなくヒステリシスを低減することができる。

【0041】

一方、平行平板構造で記述されるシリコン、ポリシリコン、またはアモルファスシリコンなどをチャンネル層に用いたFET構造においても、ゲート電極とは別に補助電極を用いた構造が知られている(例えば特開平5-343689号公報)。しかし、図9(b)に示すように、平行平板構造320において補助電極322を配置した構造としても、ゲート電極321と対向する面の反対側に配置された絶縁層とチャンネル層324との界面において、ゲート電極321による電界が変化することはない。なぜなら、ゲート電極321からの電気力線323は平板状のチャンネル層324を貫通することなく、必ずチャンネル層324で終端されるからである。

【0042】

以上より、本実施形態に係る発明によれば、平行平板構造の半導体装置では得られない効果、すなわち、導電層が離散して配置された半導体構造物を含み、導電層を挟んで第1の電極と対抗する位置に第2の電極をさらに備えた構成としたことによる特有の効果が得られる。

【0043】

次に、導電層(チャンネル)における電界強度について、さらに詳細に説明する。ゲート電極からの電界強度はゲート絶縁層の厚さと誘電率に依存する。したがって、ゲート電極からの電界強度に応じて補助電極を適切に配置することにより、ヒステリシスをさらに低減することができる。図8に示すように、CNTチャンネル305とゲート電極304との間の第1の絶縁層の厚さを T_1 、誘電率を ϵ_1 、CNTチャンネル305と第2の電極である補助電極306の間の第2の絶縁層の厚さを T_2 、誘電率を ϵ_2 とする。

【0044】

10

20

30

40

50

図10は、ゲート電極と反対側の第2の絶縁層の厚さ T_2 を第1の絶縁層の厚さ T_1 との比で表した場合の、CNTチャンネルと第2の絶縁層との界面における電界強度 E をプロットしたものである。電界強度 E は補助電極が存在しない場合の電界強度を E_0 として規格化してある。また補助電極の電位はゼロとした。

【0045】

図10より、第2の絶縁層の厚さ T_2 が大きい時、界面における電界強度は E_0 に漸近することがわかる。すなわち、補助電極が存在しない場合の電界強度に近づく。一方、 T_2 がゼロに近づくにつれて、電界強度 E もゼロに近づくことがわかる。したがって、 T_1 と T_2 の値によって、CNTチャンネルと第2の絶縁層との界面における電界強度 E を制御することができる。

【0046】

ここで、第1の実施形態で説明したように、絶縁層に捕獲された電荷がデバイス特性に及ぼす影響を無視できる程度にするためには、第2の絶縁層と接する面における電界強度 E は、補助電極が存在しない場合の電界強度 E_0 の0.6倍以下とすることが望ましい。

この時の T_2 / T_1 の大きさは、図10から

$$T_2 / T_1 < 1 \quad (6)$$

あるいは

$$T_2 < T_1 \quad (7)$$

となる。

【0047】

なお、平行平板構造の場合は、常に $E = 0$ であるから(図10中の点線)、絶縁層の厚さによって最適化を図ることはできない。

【0048】

式(6)(7)は、第1の絶縁層と第2の絶縁層が同じ材質から構成される場合を示すが、ゲート側の第1の絶縁層と補助電極側の第2の絶縁層が異なる材質から構成される場合であってもよい。この場合には、第1の絶縁層の誘電率を ϵ_1 、第2の絶縁層の誘電率を ϵ_2 とすると、

$$T_2 / (0.5 \times (\epsilon_1 + \epsilon_2)) < T_1 / \epsilon_1 \quad (8)$$

となる。補助電極へ向かう電気力線は誘電率がそれぞれ ϵ_1 と ϵ_2 である二種の絶縁層を通ることから、式(10)では、それらの平均値 $(\epsilon_1 + \epsilon_2) / 2$ を用いた。

【0049】

本実施形態による半導体装置においても、FET構造の絶縁層に慣用されているシリコン酸化膜、シリコン窒化膜などを第1の絶縁層および第2の絶縁層に使用することができ、特殊な被覆層を必要としないので、実際の製品に適用可能なデバイス構造でヒステリシスを低減することができる。

【0050】

〔第4の実施形態〕

次に、本発明の第4の実施形態について説明する。図11に、本実施形態による、カーボンナノチューブ(CNT)405を導電層に用いた電界効果トランジスタ(CNT-FET)400の断面図を示す。ここで、CNT-FET400は、ゲートとなる基板411の裏面に形成された第1の電極であるゲート電極412と、第1の絶縁層401と、導電層402であるCNT405と、第2の絶縁層である保護層403と、第2の電極である補助電極415を有し、さらに導電層402の一方の端部領域に第3の電極としてソース電極413を、他方の端部領域に第4の電極としてドレイン電極414を備える。

【0051】

基板411にはドーパされたシリコン基板を用いることができる。本実施形態では、ドーパントがアンチモンであり、抵抗率が約 $0.02 \cdot \text{cm}$ であるn型のシリコン基板を用いた。第1の絶縁層401として膜厚約 200 nm のシリコン窒化膜を形成した。ここで T_1 は約 200 nm 、 ϵ_1 は約 7.5 である。第1の絶縁層401の上にCNTチャンネル405を形成した。素子領域以外のCNTは除去され、隣接する素子間での電氣的な干

10

20

30

40

50

渉がないように配置される。本実施形態では、CNTの密度は約 $24 \mu\text{m}^{-2}$ とした。CNTチャンネル405の上部に保護層403として厚さ約100nmのSiO₂膜が形成されている。ここで、 T_2 は約100nm、 ϵ_2 は約3.9である。このような構成とすることにより、式(8)の左辺である $T_2 / (0.5 \times (\epsilon_1 + \epsilon_2))$ の値は約17.5、右辺である T_1 / ϵ_1 の値は約26.7となることから、式(8)が充足されることがわかる。

【0052】

CNTチャンネル405の上から、ソース電極413およびドレイン電極414を形成する。本実施形態では、電極間の長さ(チャンネル長)は約 $30 \mu\text{m}$ 、チャンネル幅は約 $300 \mu\text{m}$ とした。

10

【0053】

保護層403の上に補助電極415が配置される。本実施形態では、補助電極415のソース-ドレイン方向(チャンネル長の方向)の長さは約 $10 \mu\text{m}$ 、その垂直方向(チャンネル幅の方向)の幅は約 $350 \mu\text{m}$ 、厚さは約100nmとした。ここで、補助電極415はソース電極413と同電位にするのが望ましい。ソース電極413は接地電位等の基準電位に接続されるので、電気力線が確実に終端されるからである。

【0054】

図12に、補助電極415とソース電極413が同電位となる構成としたCNT-FET410の断面図を示す。図12から明らかなように、補助電極415がソース電極413上で接触するように構成されている。この場合、補助電極415とソース電極413のパターニングを同時に行い、両者を一体化して形成できるので、製造工程の増加を招くことなくCNT-FET410を形成することができる。

20

【0055】

図13は、図11のチャンネル部分の拡大図であり、ソース電極とドレイン電極を結ぶ直線と直交する面で切断した断面図である。図13では、CNTをソース電極とドレイン電極を結ぶ直線(チャンネル長の方向)に直交する方向に互いに離間して複数形成した場合を示す。このとき、第1の電極であるゲート電極412と第2の電極である補助電極415との間に、導電層であるCNT405を含む領域と、CNT405を含まない領域が形成される。このCNT405を含まない領域を含む構成とすることにより、CNT-FET400が平行平板構造となることを回避することができる。

30

【0056】

上記構成となる具体的な条件は、一般的な電磁気学理論により定まるポテンシャル分布から求まる。すなわち、単一のCNTを形成した場合には、CNTの直径 d とゲート絶縁層の厚さ T_1 との比が20以上であることが望ましい。すなわち

$$T_1 / d > 20 \quad (9)$$

となるとき、ポテンシャル分布は円筒形状を反映した分布が支配的となる。

【0057】

一方、複数のCNTが形成された構成の場合は、式(9)の条件に加えてCNT相互の平均距離 D がCNTの直径 d よりも十分大きいことが望ましい。すなわち

$$D / d > 30 \quad (10)$$

の条件を合わせて充足するときに、個々のCNTを取り巻くポテンシャル分布は、円筒形状を反映した分布が支配的となる。

40

【0058】

図14に、本実施形態によるCNT-FET400の電気特性を示す。横軸はゲート電圧、縦軸はドレイン電流である。図14(a)は補助電極が形成されていない場合の比較例であり、(b)は本実施形態により補助電極が形成され、開放状態(補助電極がいわゆるフロート電位)である場合、(c)はさらに補助電極をソース電極と同電位にした場合である。(a)の場合には、ヒステリシスの幅 h の平均値は3.22Vであったのに対し、(b)の場合には平均値は2.78V、(c)の場合には平均値は1.35Vとなり、本発明によりヒステリシス幅を顕著に低減することができた。なお、ヒステリシスの幅 h

50

は、背景技術で説明した定義により求めた。

【0059】

本実施形態によるCNT-FET400、410においては、CNTはp型あるいはn型にドーピングされたものであってもよい。また、ゲート電極412の材料には、金、白金、アルミニウム、チタン、ドーピングしたポリシリコン、銅、タンタル、タングステン、ニオブ、モリブデンなどを用いることができる。ソース電極413、ドレイン電極414には、金、白金、パラジウム、アルミニウム、チタン、ドーピングしたポリシリコン、マグネシウム、カルシウム、鉄、ニッケル、コバルトなどを用いることができる。マグネシウム、カルシウムなどの酸化しやすい材料は、その表面をアルミニウムなどの保護層で覆うことが望ましい。ソース電極およびドレイン電極に接するCNTがp型の場合は、金、白金、パラジウムなどを用いるとショットキー障壁が低くなるので、より望ましい。ソース電極およびドレイン電極に接するCNTがn型の場合は、アルミニウム、カルシウム、マグネシウムなどを用いるとショットキー障壁が低くなるので、より望ましい。

10

【0060】

CNT-FET400、410において、ソース電極およびドレイン電極の配置位置は、必ずしもゲート電極に対して対称でなくてもよい。ソース-ドレイン間の耐圧を高くする必要がある場合には、ゲート-ドレイン間の距離をゲート-ソース間の距離よりも大きく(長く)配置することが望ましい。例えば、ゲート-ドレイン間隔をゲート-ソース間隔の二倍にすることができる。

【0061】

本実施形態によるCNT-FET400、410においては、基板、CNTチャンネル、ソース電極およびドレイン電極の順に配置することとしたが、これに限らず、基板の上にソース電極およびドレイン電極を配置し、その上にCNTチャンネルを配置した構成としてもよい。すなわち、基板を下側とした時に、CNTチャンネルがソース電極およびドレイン電極の上側に位置する構成としても良い。この場合には、CNTチャンネル以外の構造をリソグラフィ技術などを用いて製造した後に、CNTチャンネルのみを印刷技術または塗布技術により形成することができるので、製造工程の簡略化、低コスト化を図ることができる。

20

【0062】

また、補助電極415をゲート電極として使い、基板411および裏面のゲート電極412を補助電極とし、補助電極としての基板411をソース電極413と同電位にすることにより、隣り合うトランジスタ同士でゲート電極を独立にすることができる。この構成により、同一の基板上で複数のトランジスタを動作させることができる。ただし、この場合にも、各絶縁層の膜厚が式(7)または(8)の関係を満たす必要がある。

30

【0063】

次に、本実施形態によるCNT-FET400の製造方法を説明する。図15は、CNT-FET400の製造方法を説明するための断面工程図である。

【0064】

まず、図15(a)に示すように、シリコン基板411の裏面にゲート電極412を蒸着により形成する。ゲート電極の材料として本実施形態では、Al(約50nm)/Au(約50nm)からなる積層構造を用いた。シリコン基板と接する面にAlを形成すると密着性が良くなるからである。シリコン基板411の表面側にはシリコン窒化膜401を約200nm形成した。成膜にプラズマCVD法を用いると良好な膜質が得られる。シリコン窒化膜401の上にスピコート法を用いてCNTを塗布し、CNTチャンネル405を形成する。このスピコート工程において、チャンネルを形成するCNTの密度を制御することができる。すなわち、スピコートによるCNTの密度はスピコートの総回数にほぼ比例するので、あらかじめスピコート一回当たりのCNT密度をAFM(原子間力顕微鏡: Atomic Force Microscope)を用いた観察から求めておくことにより制御することができる。このとき、CNT溶液の濃度によってスピコートの回数を数回から10回程度まで数段階に分けて準備し、AFM観察からCNT密度を計

40

50

測することとすれば、より正確に制御することができる。CNTの密度は基板表面の状態にも依存するが、例えば、濃度約3 ppmのCNTジクロロエタン溶液では、一回のスピンコートによってCNT密度が約1本/ μm^2 のCNT膜が形成される。本実施形態では、このジクロロエタン溶液を用いて24回の塗布（スピンコート）を繰り返した。

【0065】

CNTチャンネルの形成方法には、スピンコート法のほかに、インクジェット法、ディスペンサー（注射器）法、ディッピング（引き上げ法）法などがある。

【0066】

インクジェット法を用いる場合においてもスピンコート法と同様に、あらかじめ吐出量を測定し、微量の吐出量を吹き付けて形成したCNT膜をAFMで観察することにより密度を求めておく。この場合も異なる吐出量について測定しておくことで精度が向上する。AFM観察で一回の吐出によるCNT膜のCNT密度を測定し、吹き付けた範囲を光学顕微鏡または電子顕微鏡で計測することにより総CNT本数を算出する。この工程により一回の吐出時のCNT本数が求められる。以上より、吐出回数を調整することによって、所望のCNT密度のCNTチャンネルを形成することができる。

10

【0067】

ディスペンサー法を用いる場合にもインクジェットと同様に、一回の吐出量によるCNT本数をあらかじめ算出しておくことにより、CNT密度を制御することができる。

【0068】

また、ディッピング（引き上げ法）法を用いる場合も、一回の引き上げで基板に付着するCNT密度を同様に計測しておき、素子サイズ（面積）を乗じて一回の引き上げ毎のCNT本数を算出しておけばよい。

20

【0069】

次に図15（b）に示すように、CNTチャンネル405の上に厚さ約100 nmのSiO₂膜からなる保護層403を形成し、CNTチャンネル405の全面を被覆する。成膜には例えば熱CVD法を用いることができる。本実施形態では、窒素をキャリアガスとし、モノシランと酸素の混合ガスを用いた熱CVD法により、基板温度約400℃以下で成膜を行った。

【0070】

図15（c）に示す素子分離工程は、チャンネルとなる領域をフォトリソで覆い、それ以外の保護層403を例えば緩衝フッ化水素酸液などを用いて除去することにより行う。その後、チャンネル領域以外の領域に露出したCNT膜を、酸素アッシングなどにより除去する。

30

【0071】

次に図15（d）に示すように、ソース電極413、ドレイン電極414を形成するための窓開けを行なう。窓開けは、一般的ナリソグラフィを用いてパターンニングし、保護層403の上からコンタクト領域を形成することにより行う。

【0072】

続いて図15（e）に示すように、ソース電極413、ドレイン電極414を形成する。本実施形態では、厚さ約50 nmの金（Au）を蒸着することにより形成した。この電極形成には、リフトオフ法を用いることができる。すなわち、まずソース電極、ドレイン電極を形成する領域のレジストが除去されたレジストパターンをリソグラフィ法により形成する。その上に蒸着法など異方性の強い成膜法を用いて金（Au）を成膜する。その後、レジストを溶解する溶剤で不要な金（Au）をレジストと共に除去しパターンを形成する。

40

【0073】

最後に図15（f）に示すように、保護層403の上に補助電極415を形成することによりCNT-FET400が完成する。本実施形態では、厚さ約50 nmの金（Au）を蒸着し、リソグラフィ技術とリフトオフ法を用いてパターンニングすることにより補助電極415を形成した。

50

【 0 0 7 4 】

〔 第 5 の 実 施 形 態 〕

次に、本発明の第 5 の実施形態について説明する。図 1 6 に、本実施形態によるカーボンナノチューブ (CNT) 膜 5 0 5 を導電層に用いた電界効果トランジスタ (CNT-FET) 5 0 0 の断面図を示す。基本的な構造は第 4 の実施形態による CNT-FET 4 0 0 と同様である。本実施形態では、基板 5 1 1 として厚さ約 2 0 0 μm のポリ・エチレン・ナフタレート (PEN: polyethylene naphthalate) を用いた。CNT-FET 5 0 0 は、導電層 5 0 2 である CNT チャンネル 5 0 5、その両端に接して構成されたソース電極 5 1 3 およびドレイン電極 5 1 4、ソース電極とドレイン電極の間に延在する CNT チャンネル領域に形成されたゲート絶縁層 5 0 1、およびゲート絶縁層 5 0 1 に接して構成されたゲート電極 5 1 2 からなる。ここで、ソース電極とドレイン電極の間隔 (チャンネル長) は約 1 5 0 μm 、チャンネル幅は約 5 0 0 μm とした。

10

【 0 0 7 5 】

PEN 基板 5 1 1 上に厚さ約 1 μm の銀 (Ag) からなるゲート電極 5 1 2 を形成し、その上にゲート絶縁層 5 0 1 として、熱 CVD 法で形成した厚さ約 0 . 5 μm のパリレン (ポリパラキシリレン) 膜を形成した。ゲート電極 5 1 2 のチャンネル長方向に沿った長さは約 1 0 0 μm とした。

【 0 0 7 6 】

ゲート絶縁層 5 0 1 の上に CNT チャンネル 5 0 5 を形成する。ソース電極 5 1 3 およびドレイン電極 5 1 4 には厚さ約 0 . 5 μm の銀を用いた。ソース電極とドレイン電極の間隔は約 3 0 0 μm とした。ソース電極端 (またはドレイン電極端) とゲート電極 5 1 2 との間の距離は約 1 0 μm である。

20

【 0 0 7 7 】

CNT チャンネル 5 0 5 の上に、第 2 の絶縁膜である保護層 5 0 3 として厚さ約 0 . 2 μm のパリレン膜を形成する。保護層 5 0 3 は補助電極 5 1 5 と CNT チャンネル 5 0 5 との絶縁を保つとともに、水分や空気中の酸素などによるトランジスタ特性の変化を防止する効果がある。保護層 5 0 3 の上に補助電極 5 1 5 として厚さ約 0 . 5 μm の銀 (Ag) を形成する。

【 0 0 7 8 】

ここで、CNT は p 型または n 型にドーピングしたものであってもよい。また、図 1 7 に示すように、ソース領域またはドレイン領域と CNT チャンネルが接触する部分 (それぞれ領域 1、2 という)、およびゲート絶縁層 5 0 1 を介してゲート電極 5 1 2 と対向する領域を含む CNT チャンネルの部分 (領域 3 という) を相補的にドーピングすることとしてもよい。例えば、領域 1、2 は p 型と、領域 3 は n 型とすることができる。相補的にドーピングされたチャンネル構成とすることによって、ゲート電圧が印加されない時にドレイン電流をゼロにすることができる。すなわち MOS-FET におけるいわゆるデプレッション型の動作が実現できる。

30

【 0 0 7 9 】

図 1 8 に、補助電極 5 1 5 とソース電極 5 1 3 が同電位となる構成とした CNT-FET 5 1 0 の断面図を示す。図 1 8 から明らかなように、補助電極 5 1 5 がソース電極 5 1 3 上で接触するように構成されている。このような構成は製造工程時において、ソース電極 5 1 3 の上面が露出するように保護層 5 0 3 に窓部を開口することによって形成することができる。また、ゲート電極 5 1 2 と補助電極 5 1 5 の形状に関し、ソース-ドレイン方向 (チャンネル長方向) の長さが等しいか、または補助電極 5 1 5 の方を長く形成することが望ましい。同様に補助電極 5 1 5 のチャンネル幅方向の長さ、つまり幅もゲート電極 5 1 2 の幅と等しいか、大きい方が望ましい。これは、ゲート電極 5 1 2 からの電気力線を確実に終端させるためである。

40

【 0 0 8 0 】

上記実施形態では基板側にゲート電極を設けた構成を示したが、これに限らず、基板側に補助電極を設けた構成とすることもできる。図 1 9 に、基板 5 2 1 側に補助電極 5 2 5

50

を設け、補助電極 5 2 5 とソース電極 5 2 3 が同電位となる構成とした CNT - FET 5 2 0 の断面図を示す。図 1 9 に示すように、CNT - FET 5 2 0 は補助電極 5 2 5 がソース電極 5 2 3 の下まで延伸しており、保護層 5 0 3 が開口部を有する構成となっている。すなわち、ソース電極 5 2 3 の基板 5 2 1 側の保護層 5 0 3 の一部が除去された構造であり、ソース電極 5 2 3 と補助電極 5 2 5 が直接接触している。この場合、ソース電極 5 2 3 の厚さは、保護層 5 0 3 の段差を乗り越えるために保護層 5 0 3 の厚さよりも厚くすることが望ましい。ソース電極 5 2 3 の厚さとしては、例えば保護層 5 0 3 の 3 倍以上であれば段切れによる断線は回避できる。また、図 1 9 に示すように、基板 5 2 1 の上に基板絶縁層 5 2 6 を形成し、基板 5 2 1 を保護することとしてもよい。

【 0 0 8 1 】

本実施形態による CNT - FET 5 0 0、5 1 0、5 2 0 においては、基板としてシリコン基板、ガラス基板、絶縁層で保護されたステンレス鋼などを用いてもよい。

【 0 0 8 2 】

また、ゲート絶縁層としてシリコン酸化膜、シリコン窒化膜、アルミ酸化膜、またはチタン酸化物、ハフニア（ハフニウム酸化物）、ジルコニア（ジルコニウム酸化物）などの高誘電率材料などを用いることができる。また、ポリイミド、フォトレジスト、PMMA などのアクリル樹脂、ポリカーボネートなど有機材料膜を用いることとしてもよい。

【 0 0 8 3 】

次に、本実施形態による CNT - FET 5 0 0 の製造方法を説明する。図 2 0 は、CNT - FET 5 0 0 の製造方法を説明するための断面工程図である。

【 0 0 8 4 】

まず図 2 0 (a) に示すように、PEN 基板 5 1 1 上にゲート電極 5 1 2 を形成する。本実施形態ではゲート電極材料は銀 (Ag) とし、銀ペーストインクを用いてディスペンサーと注射器またはインクジェット印刷により形成した。ゲート電極パターンを形成後に、銀粒子間に含まれる添加物を除去するため、大気中において約 1 8 0 °C で加熱処理を行った。これに限らず、スパッタ（または蒸着）法を用いてゲート電極材料を基板 5 1 1 上の全面に成膜した後にリソグラフィ法を用いてパターン形成し、ウェットエッチングによりゲート電極 5 1 2 を形成することとしてもよい。このとき、ゲート電極材料としてアルミニウムを用いれば、一般的なエッチャント、例えばリン酸、硝酸、酢酸、水からなる混合液を使用することができる。また、光リソグラフィで用いるポジレジストのアルカリ現像液もエッチャントとして使用できる。なお、銀 (Ag) も一般に用いられるエッチャントでエッチングできるので、ウェットエッチングによっても電極パターンを形成することができる。

【 0 0 8 5 】

次に図 2 0 (b) に示すように、ゲート絶縁層 5 0 1 としてパリレン膜を約 0 . 5 μ m の厚さで成膜した。成膜にはジパラキシリレンモノマーを原料とした蒸着法を用いた。これに限らず、シリコン窒化膜をスパッタ法により形成することとしてもよい。例えば、スパッタ条件としてターゲット材料は窒化シリコンとし、プラズマガスにアルゴンガスを用い、圧力は約 2 パスカルとして、膜厚が約 0 . 5 μ m のシリコン窒化膜を形成することとしてもよい。また、ポリイミドを滴下または塗布することによりゲート絶縁層 5 0 1 を形成することとしてもよい。この場合も膜厚は約 0 . 5 μ m とすることができる。

【 0 0 8 6 】

次に図 2 0 (c) に示すように、CNT 膜 5 0 5 を形成する。本実施形態では、ディスペンサーと注射器を用いてチャンネル部分にのみ CNT 溶液を滴下し、その後乾燥する方法により形成した。溶媒にはジクロロエタンを用い、重量比で約 1 ~ 1 0 0 p p m 程度の濃度に調整した。ディスペンサーと注射器を用いて、この CNT 溶液を約 4 0 マイクロリットル滴下した後に、自然乾燥させた。基板の表面状態に応じて CNT 膜における CNT の密度は異なるが、1 ~ 5 回の滴下工程で、約 1 本 / μ m² 程度の密度となった。滴下工程の回数によって、CNT 膜における CNT の密度を調整することができる。CNT 溶液の作製は、水に界面活性剤と共に CNT を混入し、攪拌・超音波処理により分散させるこ

10

20

30

40

50

ととしてもよい。また、インクジェット印刷機で印刷することによりCNT膜を形成することもできる。これらのような局所的に滴下する形成方法を用いた場合は、チャンネル領域以外の不要となるCNT膜を除去する工程が不要となる。

【0087】

CNT膜505の形成方法はこれに限らず、スピンコート法で形成することとしてもよい。まずCNTをジクロロエタン溶媒中に分散し、重量比で約 10^{-6} 程度の濃度に調整する。スピンコートは、基板の上に希釈超音波分散したCNT溶液を約40マイクロリットル滴下した後に、例えば基板を約800rpmで約10秒間回転させることにより行う。基板の表面状態に応じてCNTの密度は異なるが、4~5回のスピンコート工程で、約0.6本/ μm^2 程度のCNT密度になる。スピンコート工程の回数によって、CNTの密度を調整することができる。隣接する素子との分離を図るため、基板全面に塗布されたCNT膜のうち、チャンネル領域となる部分以外の不要なCNT膜を除去する。このCNT膜を部分的に除去する工程には、通常のリソグラフィ法を用いることができる。すなわち、アッシング時のマスクとしてシリコン窒化膜またはシリコン酸化膜をスパッタ法で形成し、光リソグラフィ法によりパターン形成し、ドライエッチングでチャンネル部分以外のシリコン窒化膜を除去する。その後、酸素アッシングによりCNT膜を除去する。

10

【0088】

CNT膜を部分的に除去する工程には、リフトオフ法を用いてもよい。すなわち、チャンネルとなる部分のレジストのみが除去されたレジストパターンをリソグラフィ法で形成し、その後にCNT膜をスピンコートにより塗布する。その後、チャンネル領域以外の不要なCNT膜を、レジスト溶剤でレジストと共に除去することとしてもよい。

20

【0089】

さらに、CNT溶液に基板を浸した後に引き上げ、乾燥することによりCNT膜を形成することとしてもよい。この場合も基板全面にCNT膜が付着するため、CNT膜を部分的に除去する工程が必要となる。

【0090】

その後、図20(d)に示すように、ソース電極513、ドレイン電極514を形成する。本実施形態では、電極材料は銀(Ag)とし、銀ペーストインクを用いてディスペンサーと注射器またはインクジェット印刷により形成した。電極パターンの形成後に銀粒子間に含まれる添加物を除去するため、大気中において約180℃で加熱処理を施した。この時の温度は、銀ペーストの架橋を促進するため、基板が耐え得る最も高い温度で行うのが望ましい。

30

【0091】

ソース電極、ドレイン電極の形成はこれに限らず、光リソグラフィ法によりフォトリソレジストをパターン状に形成し、蒸着法で金を成膜した後、リフトオフ法で不要な部分を除去することにより形成することとしてもよい。また、通常の高純度半導体装置の製造方法で一般的に使用されている技術を用いこともできる。例えば、電極材料となる金属をゲート絶縁層501の全面に成膜し、その後にリソグラフィ法を用いてパターン形成したレジスト膜をマスクとしてエッチングすることにより、ソース電極、ドレイン電極を形成することができる。

40

【0092】

なお、上述のCNT膜を形成する工程とソース電極、ドレイン電極を形成する工程の順番を入れ替えて、ソース電極およびドレイン電極上にCNT膜を形成することとしてもよい。

【0093】

次に、図20(e)に示すように、保護膜503を形成する。本実施形態では、保護膜503としてパリレン膜を用い、ジパラキシリレンモノマーを原料とした蒸着法により成膜した。これに限らず、スパッタ法を用いてシリコン窒化膜を成膜することとしてもよい。

【0094】

なお、ゲート絶縁層および保護膜の成膜には、上述した製造方法以外であっても、半導

50

体装置の製造工程で一般的に用いられている蒸着法、熱気相成長法、有機絶縁層を加熱・活性化し堆積する方法などを用いることができる。

【0095】

最後に、図20(f)に示すように、補助電極515を形成することにより本実施形態によるCNT-FET500が完成する。

【0096】

上述した本発明の各実施形態におけるFETのチャネルとゲート電極および補助電極の構造は、チャネル材料がCNTの場合に限定されるものではない。チャネルに筒状形状の半導体構造物として、例えばナノワイヤを用いた場合であっても、本発明の効果が得られる。

10

【0097】

本発明は上記実施形態に限定されることなく、特許請求の範囲に記載した発明の範囲内で、種々の変形が可能であり、それらも本発明の範囲内に含まれるものであることはいうまでもない。

【産業上の利用可能性】

【0098】

本発明による半導体装置は、特に、表示装置の駆動回路におけるトランジスタ、論理回路中の演算素子としてのトランジスタなどに適用できる。

【図面の簡単な説明】

【0099】

20

【図1】本発明の第1の実施形態に係る半導体装置の断面図

【図2】関連するCNT-FETにおける各電圧の関係を模式的に示した概略図

【図3】デバイス構造におけるチャネル層の電界の様子を模式的に示した概略図

【図4】本発明の第2の実施形態に係る半導体装置の断面図

【図5】絶縁層の誘電率の比とCNTにおける電界強度の比の関係を示す特性図

【図6】本発明の第2の実施形態に係るCNT-FETの断面図

【図7】図6のチャネル部分の拡大図

【図8】本発明の第3の実施形態に係る半導体装置の断面図

【図9】デバイス構造におけるチャネル層の電界の様子を模式的に示した概略図

【図10】絶縁層の厚さの比とCNTチャネル界面における電界強度との関係を示す特性図

30

【図11】本発明の第4の実施形態に係るCNT-FETの断面図

【図12】本発明の第4の実施形態に係る別のCNT-FETの断面図

【図13】図11のチャネル部分の拡大図

【図14】本発明の第4の実施形態に係るCNT-FETの電気特性を示す特性図

【図15】本発明の第4の実施形態に係るCNT-FETの製造方法を説明するための断面工程図

【図16】本発明の第5の実施形態に係るCNT-FETの断面図

【図17】本発明の第5の実施形態に係る別のCNT-FETの断面図

【図18】本発明の第5の実施形態に係るさらに別のCNT-FETの断面図

【図19】本発明の第5の実施形態に係る基板側に補助電極を設けたCNT-FETの断面図

40

【図20】本発明の第5の実施形態に係るCNT-FETの製造方法を説明するための断面工程図

【図21】本発明に関連するCNT-FETの断面図

【図22】本発明に関連するCNT-FETにおける典型的なヒステリシス特性を示す特性図

【符号の説明】

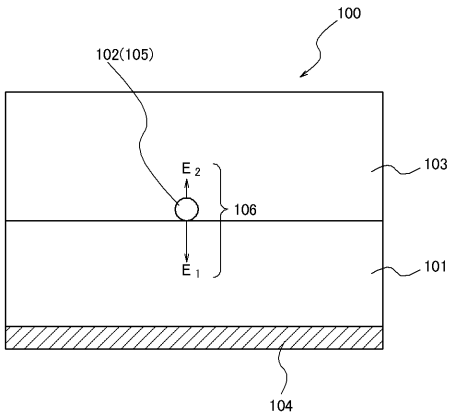
【0100】

100 本発明の第1の実施形態に係る半導体装置

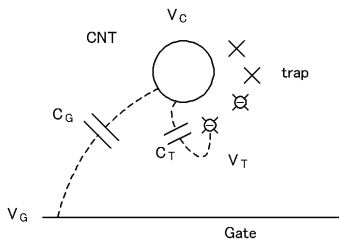
50

1 0 1、2 0 1、3 0 1、4 0 1	第 1 の絶縁層	
1 0 2、2 0 2、3 0 2、4 0 2、5 0 2	導電層	
1 0 3、2 0 3、3 0 3	第 2 の絶縁層	
1 0 4、2 0 4、3 0 4	第 1 の電極	
1 0 5、2 0 5、4 0 5、5 0 5、6 0 5	CNT (CNTチャネル、CNT膜)	
1 0 6、2 0 6	電界	
1 1 0	円筒構造	
1 1 1、1 2 1、2 1 2、3 1 1、3 2 1、4 1 2、5 1 2、5 2 2、6 0 3	ゲート電極	
1 1 2、1 2 2、3 1 3、3 2 3	電気力線	10
1 2 0、3 2 0	平行平板構造	
2 0 0	本発明の第 2 の実施形態に係る半導体装置	
2 1 0	本発明の第 2 の実施形態に係るCNT-FET	
2 1 1、4 1 1、5 1 1、5 2 1	基板	
2 1 3、4 1 3、5 1 3、5 2 3、6 0 1	ソース電極	
2 1 4、4 1 4、5 1 4、5 2 4、6 0 2	ドレイン電極	
3 0 0	本発明の第 3 の実施形態に係る半導体装置	
3 0 6	第 2 の電極	
3 1 2、3 2 2、4 1 5、5 1 5、5 2 5	補助電極	
3 2 4	チャネル層	20
4 0 0	本発明の第 4 の実施形態に係るCNT-FET	
4 0 3、5 0 3	保護層	
4 1 0	本発明の第 4 の実施形態に係る別のCNT-FET	
5 0 0	本発明の第 5 の実施形態に係るCNT-FET	
5 0 1、6 0 6	ゲート絶縁層	
5 1 0	本発明の第 5 の実施形態に係るさらに別のCNT-FET	
5 2 0	本発明の第 5 の実施形態に係る基板側に補助電極を設けたCNT-FET	
5 2 6	基板絶縁層	

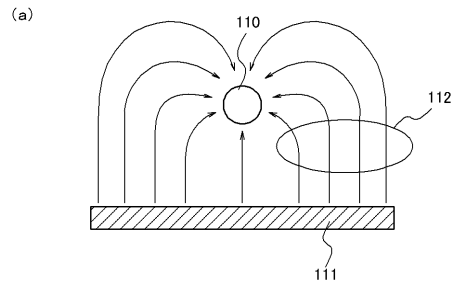
【 図 1 】



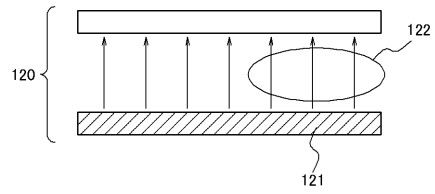
【 図 2 】



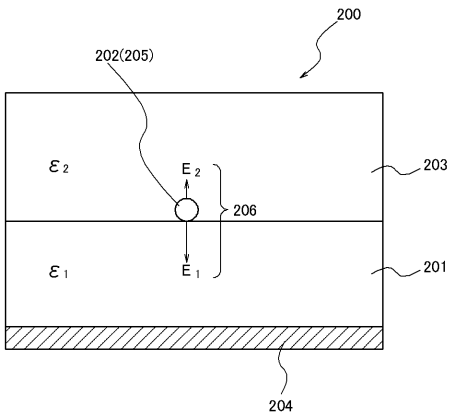
【 図 3 】



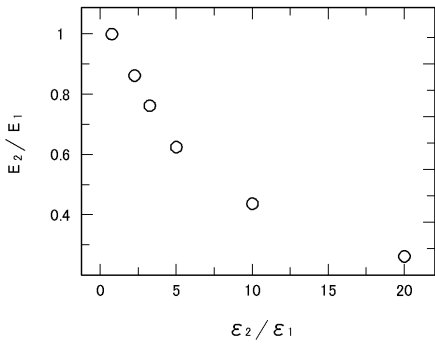
(b)



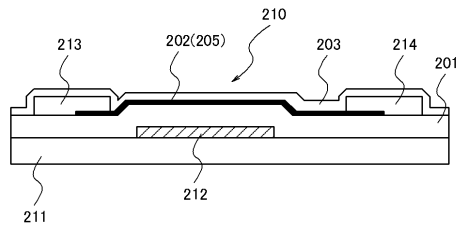
【 図 4 】



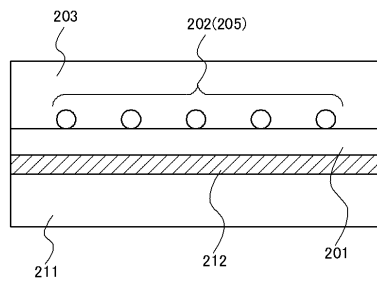
【 図 5 】



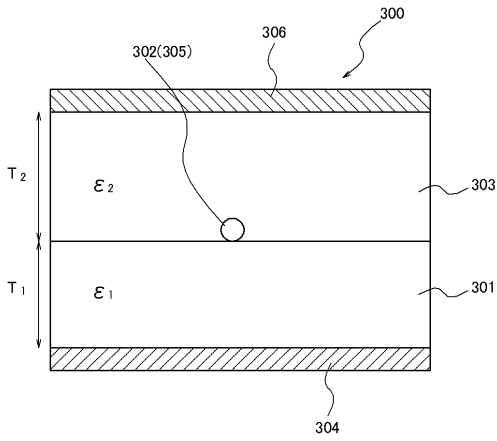
【 図 6 】



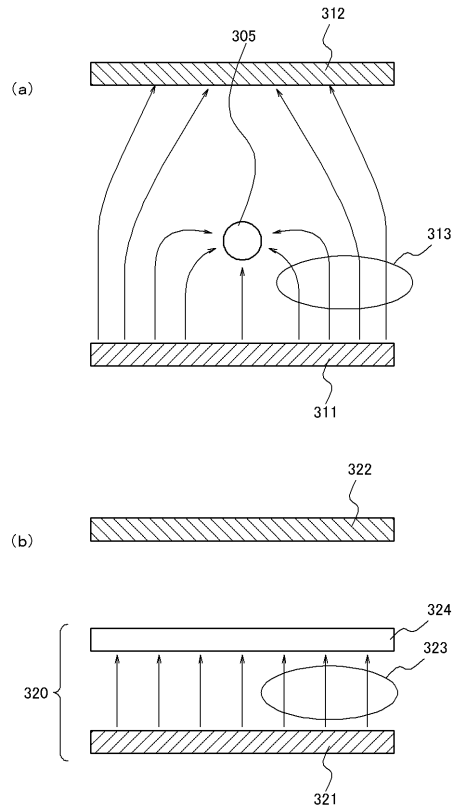
【 図 7 】



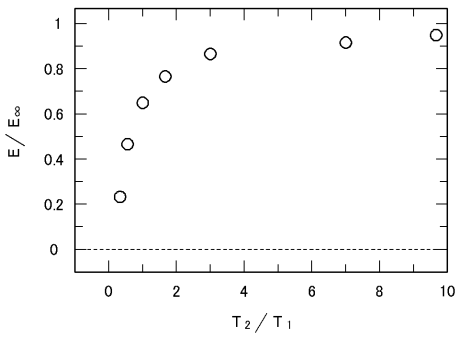
【 図 8 】



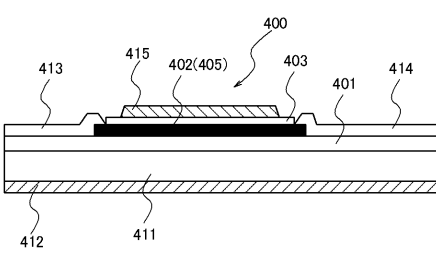
【 図 9 】



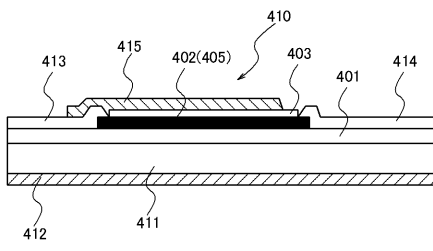
【 図 1 0 】



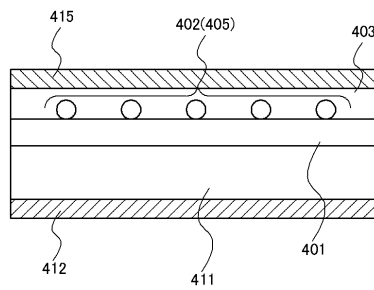
【 図 1 1 】



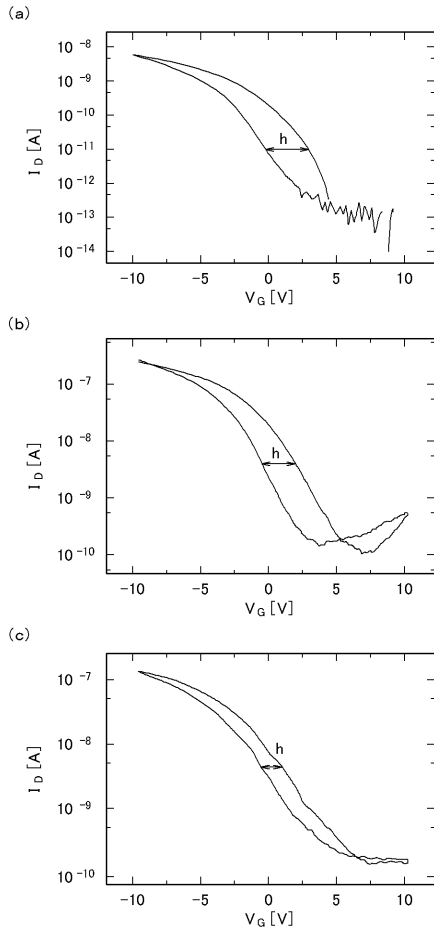
【 図 1 2 】



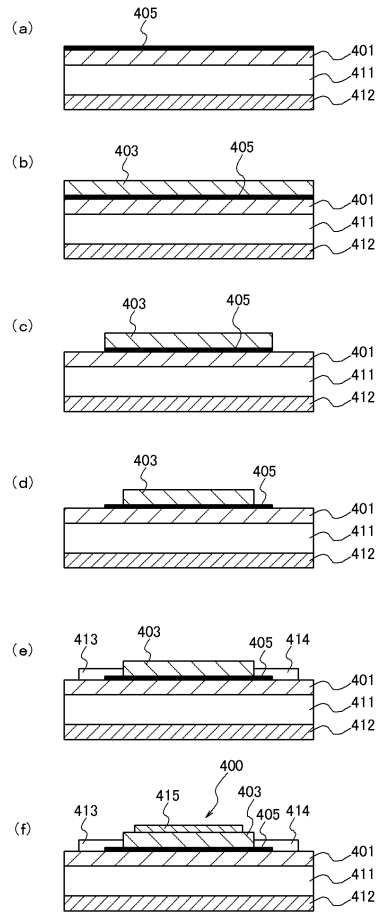
【 図 1 3 】



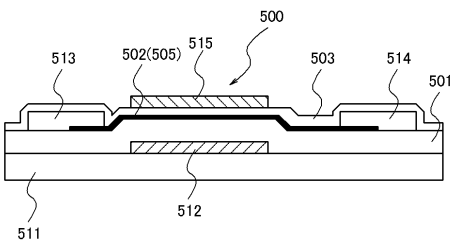
【 図 1 4 】



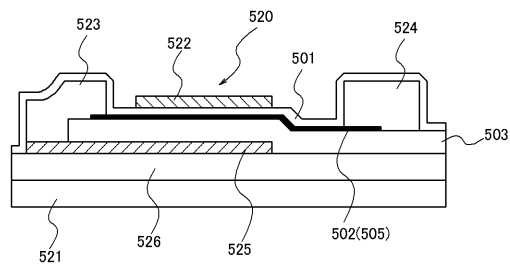
【 図 1 5 】



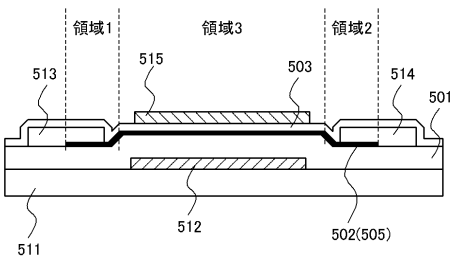
【 図 1 6 】



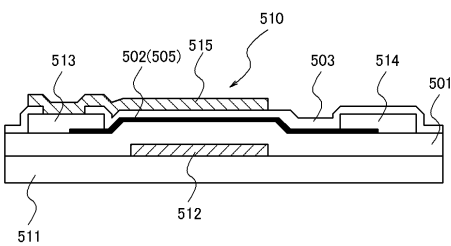
【 図 1 9 】



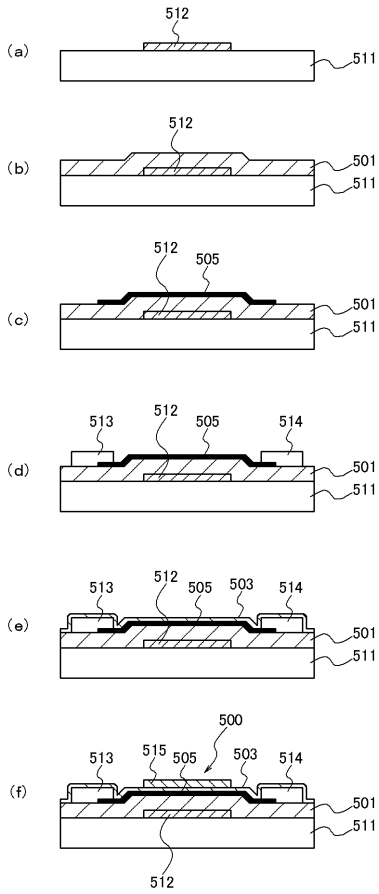
【 図 1 7 】



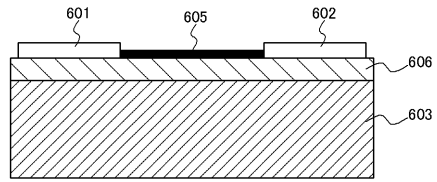
【 図 1 8 】



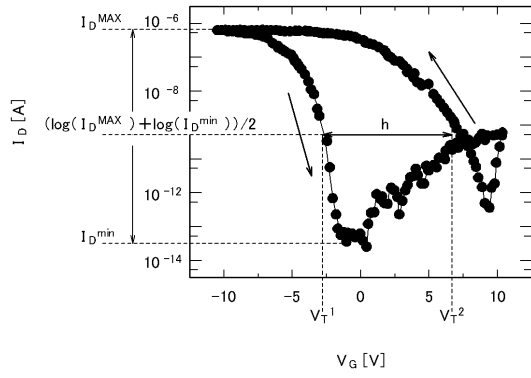
【 図 2 0 】



【 図 2 1 】



【 図 2 2 】



フロントページの続き

Fターム(参考) 5F110 AA14 AA26 BB02 CC07 DD01 DD02 DD05 DD06 EE02 EE03
EE04 EE09 EE14 EE30 EE42 EE43 EE44 FF01 FF02 FF03
FF05 FF27 FF28 FF29 FF30 GG01 GG02 GG04 GG13 GG15
GG28 GG29 GG42 HK02 HK03 HK04 HK09 HK14 HK32 HM12
NN04 NN23 NN27 NN28 NN35 QQ06 QQ14