

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4513770号
(P4513770)

(45) 発行日 平成22年7月28日(2010.7.28)

(24) 登録日 平成22年5月21日(2010.5.21)

(51) Int.Cl.		F I	
HO 1 L 25/07	(2006.01)	HO 1 L 25/04	C
HO 1 L 25/18	(2006.01)	HO 1 L 23/48	G
HO 1 L 23/48	(2006.01)		

請求項の数 6 (全 12 頁)

(21) 出願番号	特願2006-51851 (P2006-51851)	(73) 特許権者	000003218
(22) 出願日	平成18年2月28日 (2006.2.28)		株式会社豊田自動織機
(65) 公開番号	特開2007-234722 (P2007-234722A)		愛知県刈谷市豊田町2丁目1番地
(43) 公開日	平成19年9月13日 (2007.9.13)	(74) 代理人	100074099
審査請求日	平成20年3月28日 (2008.3.28)		弁理士 大菅 義之
		(72) 発明者	長瀬 俊昭
			愛知県刈谷市豊田町2丁目1番地 株式会
			社豊田自動織機内
		(72) 発明者	石川 純
			愛知県刈谷市豊田町2丁目1番地 株式会
			社豊田自動織機内
		(72) 発明者	大西 宏幸
			愛知県刈谷市豊田町2丁目1番地 株式会
			社豊田自動織機内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ベース基板と、

前記ベース基板に設けられる第1及び第2の半導体素子と、

前記第1の半導体素子に接続され、前記第1の半導体素子がオンすると、電流経路が互いに隣り合い、かつ、電流方向が互いに反対になるように前記ベース基板に設けられる第1の入力用外部端子及び第1の出力用外部端子と、

前記第2の半導体素子に接続され、前記第2の半導体素子がオンすると、電流経路が互いに隣り合い、かつ、電流方向が互いに反対になるように前記ベース基板に設けられる第2の入力用外部端子及び第2の出力用外部端子と、

を備え、

互いに接続される前記第1の出力用外部端子の端部と前記第2の入力用外部端子の端部とが隣り合うように配置され、電源の一方の電極に接続される前記第1の入力用外部端子の端部と前記電源の他方の電極に接続される前記第2の出力用外部端子の端部とが隣り合うように配置され、

前記第1の出力用外部端子の端部及び前記第2の入力用外部端子の端部が前記第1の半導体素子側に折り曲げられ、前記第1の入力用外部端子の端部及び前記第2の出力用外部端子の端部が前記第2の半導体素子側に折り曲げられ、前記第1の入力用外部端子の他方の端部及び前記第1の出力用外部端子の他方の端部が前記第1の半導体素子側に折り曲げられ、前記第2の入力用外部端子の他方の端部及び前記第2の出力用外部端子の他方の端

部が前記第 2 の半導体素子側に折り曲げられている、

ことを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であって、

前記第 1 の入力用外部端子の端部が前記第 2 の出力用外部端子の端部の両側に分岐される、

ことを特徴とする半導体装置。

【請求項 3】

請求項 2 に記載の半導体装置であって、

前記第 1 の出力用外部端子の端部が前記第 2 の入力用外部端子の端部の両側に分岐される、

ことを特徴とする半導体装置。

【請求項 4】

請求項 2 又は請求項 3 に記載の半導体装置であって、

前記第 2 の入力用外部端子の端部または前記第 2 の出力用外部端子の端部は、2 以上に分岐される、

ことを特徴とする半導体装置。

【請求項 5】

請求項 1 ~ 請求項 4 の何れか 1 項に記載の半導体装置であって、

前記第 1 の入力用外部端子の端部または前記第 2 の入力用外部端子の端部は、前記第 1 または第 2 の半導体素子に流れる電流に応じた大きさに形成される、

ことを特徴とする半導体装置。

【請求項 6】

請求項 2 に記載の半導体装置であって、

前記電源の一方の電極と前記第 1 の入力用外部端子の端部とを接続する板状の第 1 の配線は、前記第 1 の入力用外部端子との接続部が凹形状に形成されており、

前記電源の他方の電極と前記第 2 の出力用外部端子の端部とを接続する板状の第 2 の配線は、前記第 2 の出力用外部端子との接続部が凸形状に形成されている、

ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インバータ回路におけるアーム構成をつくるために用いられる半導体装置に関し、特に、半導体装置に備えられる半導体素子の外部端子構造に関する。

【背景技術】

【0002】

従来の半導体装置では、外部からの電流を半導体装置内の半導体素子に入力するための入力用外部端子と半導体素子から外部に電流を出力するための出力用外部端子とを、電流経路が互いに隣り合い、かつ、電流方向が互いに反対になるように配置して、各外部端子のそれぞれのインダクタンスを相互誘導作用により互いに打ち消し合わせて小さくするものがある（例えば、特許文献 1 参照）。

【0003】

図 5 は、このような半導体装置の一例を示す斜視図（図 5（a））、平面図（図 5（b））、及び側面図（図 5（c））である。なお、図 5 に示す半導体装置 50 が備える複数の半導体素子 51（ここでは一例として 3 つの半導体素子 51 を備える半導体装置 50 を説明する）のそれぞれのゲート電極は省略している。また、半導体素子 51 は、例えば、ダイオードが並列接続される MOSFET（Metal Oxide Semiconductor Field Effect Transistor）や IGBT（Insulated Gate Bipolar Transistor）などとする。

【0004】

10

20

30

40

50

図5(a)及び図5(b)に示すように、半導体装置50は、3つの半導体素子51がドレイン電極を兼ねたベース基板52上に並置されている。また、外部からの電流を半導体素子51に入力するためのドレイン電極端子53a、53b、53cは、それぞれ、側断面が逆L字型になっておりベース基板52側面に接続されている。また、ドレイン電極端子53a、53b、53cに接続されるベース基板52の側面部分は、ドレイン電極端子53a、53b、53cのそれぞれの形状に合わせて3等分に分割されている。また、電流を半導体素子51から出力するためのソース電極端子54は、ドレイン電極端子53a、53b、53cに合わせて3等分に分割されていると共にそれらの側断面がコの字型になっておりベース基板52上に絶縁板55を介して載置されている。また、3つの半導体素子51は、それぞれ、ソース電極端子54と平行になるように配置され、各半導体素子51のそれぞれのソース電極がボンディングワイヤ56によりソース電極端子54と接続されている。また、ドレイン電極端子53a、53b、53cとソース電極端子54は、互いに対向するように配置されている。このように構成される半導体装置50は、上述したように、ドレイン電極端子53a、53b、53cに流れる電流の方向とソース電極端子54に流れる電流の方向とを互いに反対にさせることができるので、ドレイン電極端子53a、53b、53cのインダクタンスとソース電極端子54のインダクタンスとを互いに打ち消し合わせて、半導体装置50の内部インダクタンスを小さくさせることができる。これにより、例えば、半導体装置50にかかるサージ電圧などを抑えることができる。

10

【0005】

20

ところで、この半導体装置50を用いて、図6に示すようなインバータ回路におけるアーム構成をつくる場合には、半導体装置50が2つ必要であり、その2つの半導体装置50を電氣的に接続するための配線やネジなどを少なくしてインバータ回路を大型化させないという要望がある。また、配線やネジなどを少なくしてインバータ回路を大型化させないようにする構成は、インバータ回路の組み付けコストの低減を図ることができる。

【0006】

そこで、インバータ回路を大型化させないようにするための構成の1つとして、例えば、インバータ回路におけるアーム構成をつくるための各半導体素子をベース基板に配置し、一方の半導体素子の出力用外部端子と他方の半導体素子の入力用外部端子とを隣り合わせてベース基板に設けることが考えられる(例えば、特許文献2参照)。

30

【0007】

このように構成することにより、2つの半導体素子を電氣的に接続するための配線を短くすることができるので、インバータ回路の大型化を抑えることができる。

【特許文献1】特開2000-91498号**【特許文献2】**特開2005-198443号**【発明の開示】****【発明が解決しようとする課題】****【0008】**

そして、このようなインバータ回路の大型化を抑えるための構成において、さらに、半導体装置の内部インダクタンスを小さくさせたいという要望もある。

40

そこで、本発明は、半導体装置を用いてつくるインバータ回路の大型化を抑えつつ、半導体装置の内部インダクタンスを小さくさせることが可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】**【0009】**

上記の課題を解決するために本発明では、以下のような構成を採用した。

すなわち、本発明の半導体装置は、ベース基板と、前記ベース基板に設けられる第1及び第2の半導体素子と、前記第1の半導体素子に接続され、前記第1の半導体素子がオンすると、電流経路が互いに隣り合い、かつ、電流方向が互いに反対になるように前記ベース基板に設けられる第1の入力用外部端子及び第1の出力用外部端子と、前記第2の半導

50

体素子に接続され、前記第2の半導体素子がオンすると、電流経路が互いに隣り合い、かつ、電流方向が互いに反対になるように前記ベース基板に設けられる第2の入力用外部端子及び第2の出力用外部端子とを備え、互いに接続される前記第1の出力用外部端子の端部と前記第2の入力用外部端子の端部とが隣り合うように配置され、電源の一方の電極に接続される前記第1の入力用外部端子の端部と前記電源の他方の電極に接続される前記第2の出力用外部端子の端部とが隣り合うように配置される。

【0010】

このように、第1の入力用外部端子及び第1の出力用外部端子が、電流経路が互いに隣り合い、かつ、電流方向が互いに反対になるように設けられ、第2の入力用外部端子及び第2の出力用外部端子が、電流経路が互いに隣り合い、かつ、電流方向が互いに反対になるように設けられているので、相互誘導作用により各外部端子のインダクタンスを小さくさせることができる。これにより、半導体装置の内部インダクタンスを小さくすることができる。

10

【0011】

また、第1の出力用外部端子の端部と第2の入力用外部端子の端部とが隣り合うように配置されているので、第1の出力用外部端子と第2の入力用外部端子とを接続するための配線を短くすることができ、半導体装置を用いてつくるインバータ回路の大型化を抑えることができる。

【0012】

また、第1の入力用外部端子の端部と第2の出力用外部端子の端部とが隣り合うように配置されているので、第1の入力用外部端子と電源の一方の電極とを接続するための配線長と第2の出力用外部端子と電源の他方の電極とを接続するための配線長を同じにすることができる。これにより、それらの配線の各インダクタンスがアンバランスになることを抑えることができるので、第1及び第2の半導体素子にそれぞれ流れる電流がアンバランスになることを抑えることができる。

20

【0013】

また、上記半導体装置は、前記第1の出力用外部端子の端部及び前記第2の入力用外部端子の端部が前記第1の半導体素子側に配置され、前記第1の入力用外部端子の端部及び前記第2の出力用外部端子が前記第2の半導体素子側に配置され、前記第1の入力用外部端子の他方の端部及び前記第1の出力用外部端子の他方の端部が前記第1の半導体素子側に配置され、前記第2の入力用外部端子の他方の端部及び前記第2の出力用外部端子の他方の端部が前記第2の半導体素子側に配置されてもよい。

30

【0014】

これにより、第1及び第2の半導体素子と各外部端子とをつなぐ配線（例えば、ボンディングワイヤなど）を短くすることができるので、半導体装置の内部インダクタンスを小さくすることができる。

【0015】

また、上記半導体装置は、前記第1の入力用外部端子の端部が前記第2の出力用外部端子の端部の両側に分岐されてもよい。

これにより、ベース基板に第1の半導体素子が複数並ぶ構成であっても、第1の半導体素子に入力される電流を分散させることができるので、各第1の半導体素子に流れるそれぞれの電流がアンバランスになることを抑えることができる。

40

【0016】

また、上記半導体装置は、前記第2の入力用外部端子の端部が前記第1の出力用外部端子の端部の両側に分岐されてもよい。

これにより、ベース基板に第2の半導体素子が複数並ぶ構成であっても、第2の半導体素子に流れる電流を分散させることができるので、各第2の半導体素子に流れるそれぞれの電流がアンバランスになることを抑えることができる。

【0017】

また、上記半導体装置は、前記第1の入力用外部端子の端部または前記第2の入力用外

50

部端子の端部が、前記第1または第2の半導体素子に流れる電流に応じた大きさに形成されてもよい。

【0018】

これにより、例えば、第1または第2の半導体素子に入力される電流が大きい場合でも対応することができる。

また、上記半導体装置は、前記第1の入力用外部端子の端部または前記第2の入力用外部端子の端部が、2以上に分岐されてもよい。

【0019】

これにより、例えば、第1または第2の半導体素子に入力される電流が大きい場合でも対応することができる。

【発明の効果】

【0020】

本発明によれば、半導体装置を用いてつくるインバータ回路の大型化を抑えつつ、半導体装置の内部インダクタンスを小さくさせることができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施形態を図面を用いて説明する。

図1(a)は、本発明の実施形態の半導体装置の平面図である。図1(b)は、A-A断面を示す図である。図1(c)は、B-B断面を示す図である。

【0022】

図1(a)～図1(c)に示すように、半導体装置1は、金属ベース2と回路パターン3とからなる金属コア絶縁基板4(ベース基板)と、インバータ回路におけるアーム構成の一方のスイッチング素子としての半導体素子(半導体チップ)5(第1の半導体素子)と、アーム構成の他方のスイッチング素子としての半導体素子6(第2の半導体素子)と、半導体素子5のドレイン電極端子7(第1の入力用外部端子)と、半導体素子5のソース電極端子8(第1の出力用外部端子)と、半導体素子6のドレイン電極端子9(第2の入力用外部端子)と、半導体素子6のソース電極端子10(第2の出力用外部端子)と、金属コア絶縁基板4と半導体素子5との間または金属コア絶縁基板4と半導体素子6との間に設けられるヒートスプレッド11と、半導体素子5や半導体素子6とヒートスプレッド11とを接続するためのはんだ12と、ドレイン電極端子7、ソース電極端子8、ドレイン電極端子9、及びソース電極端子10以外の部品(例えば、半導体素子5、6など)を覆うためのカバー13とを備えて構成されている。なお、図1(b)及び図1(c)では、カバー13を省略している。また、半導体素子5、6は、例えば、ダイオードが並列接続されるMOSFETやIGBTなどが考えられる。また、半導体素子5、6の下側構造は、銅などの金属板とセラミック回路基板とを用いて構成してもよい。

【0023】

ドレイン電極端子7の一方の端部は、カバー13の外部へと延在しカバー13の外部にて半導体素子6側に直角に折り曲げられている。また、ドレイン電極端子7の他方の端部は、カバー13の内部へと延在し回路パターン3上にて半導体素子5側に直角に折り曲げられており、回路パターン3を介して半導体素子5のドレイン電極に接続されている。なお、ドレイン電極端子7の他方の端部の幅は、金属コア絶縁基板4の幅Cとほぼ同じ大きさに形成されている。すなわち、ドレイン電極端子7は、図1(c)に示す断面ではS字型に形成されている。

【0024】

ソース電極端子8の一方の端部は、カバー13の外部へと延在しカバー13の外部にて半導体素子5側に直角に折り曲げられている。また、ソース電極端子8の他方の端部は、カバー13の内部へと延在しケース14上にて半導体素子5側に直角に折り曲げられており、ボンディングワイヤ15を介して半導体素子5のソース電極に接続されている。なお、ソース電極端子8の他方の端部の幅は、金属コア絶縁基板4の幅Cとほぼ同じ大きさに形成されている。すなわち、ソース電極端子8は、図1(c)に示す断面ではコの字型に

10

20

30

40

50

形成されている。

【0025】

ドレイン電極端子9の一方の端部は、カバー13の外部へと延在しカバー13の外部にて半導体素子5側に直角に折り曲げられている。また、ドレイン電極端子9の他方の端部は、カバー13の内部へと延在し回路パターン3上にて半導体素子6側に直角に折り曲げられており、回路パターン3を介して半導体素子6のドレイン電極に接続されている。なお、ドレイン電極端子9の他方の端部の幅は、金属コア絶縁基板4の幅Cとほぼ同じ大きさに形成されている。すなわち、ドレイン電極端子9は、図1(b)に示す断面では逆S字型に形成されている。

【0026】

ソース電極端子10の一方の端部は、カバー13の外部へと延在しカバー13の外部にて半導体素子6側に直角に折り曲げられている。また、ソース電極端子10の他方の端部は、カバー13の内部へと延在しケース14上にて半導体素子6側に直角に折り曲げられており、ボンディングワイヤ15を介して半導体素子6のソース電極に接続されている。なお、ソース電極端子10の他方の端部の幅は、金属コア絶縁基板4の幅Cとほぼ同じ大きさに形成されている。すなわち、ソース電極端子10は、図1(b)に示す断面では逆コの字型に形成されている。

【0027】

このように、各電極端子を配置することにより、ドレイン電極端子7とソース電極端子8とが隣り合うと共にドレイン電極端子9とソース電極端子10とが隣り合い、かつ、ドレイン電極端子7の端部とソース電極端子10の端部とが隣り合うと共にドレイン電極端子8の端部とソース電極端子9の端部とが隣り合う。

【0028】

次に、半導体素子5がオンしたときのドレイン電極端子7及びソース電極端子8に流れる電流、並びに、半導体素子6がオンしたときのドレイン電極端子9及びソース電極端子10に流れる電流について説明する。

【0029】

まず、半導体素子5がオンすると、外部からの電流がドレイン電極端子7及び回路パターン3を介して半導体素子5に流れ、半導体素子5からボンディングワイヤ15を介してソース電極端子8に流れて外部に出力される。このとき、半導体素子5に入出力される電流は、それぞれ、ドレイン電極端子7及びソース電極端子8により分散されるため、金属コア絶縁基板4の幅C方向に半導体素子5が複数並ぶ構成であっても、各半導体素子5に流れるそれぞれの電流がアンバランスになることを抑えることができる。

【0030】

また、半導体素子6がオンすると、外部からの電流がドレイン電極端子9及び回路パターン3を介して半導体素子6に流れ、半導体素子6からボンディングワイヤ15を介してソース電極端子10に流れて外部に出力される。このとき、半導体素子6に入出力される電流は、それぞれ、ドレイン電極端子9及びソース電極端子10により金属コア絶縁基板4の幅C方向に拡がるため、金属コア絶縁基板4の幅C方向に半導体素子6が複数並ぶ構成であっても、各半導体素子6に流れるそれぞれの電流がアンバランスになることを抑えることができる。

【0031】

このように、ドレイン電極端子7とソース電極端子8とを隣り合わせるように配置しているので、半導体素子5がオンしたときドレイン電極端子7とソース電極端子8にそれぞれ流れる電流の方向を互いに反対にさせることができ、相互誘導作用によりドレイン電極端子7及びソース電極端子8のそれぞれのインダクタンスを小さくすることができる。また、ドレイン電極端子9とソース電極端子10とを隣り合わせるように配置しているので、半導体素子6がオンしたときドレイン電極端子9とソース電極端子10にそれぞれ流れる電流の方向を互いに反対にさせることができ、相互誘導作用によりドレイン電極端子9及びソース電極端子10のそれぞれのインダクタンスを小さくすることができる。これに

10

20

30

40

50

より、半導体装置 1 の内部インダクタンスを小さくすることができる。

【 0 0 3 2 】

また、ソース電極端子 8 の端部とドレイン電極端子 9 の端部とを隣り合わせるように配置しているので、ソース電極端子 8 とドレイン電極端子 9 とを接続するための配線を短くすることができ、半導体装置 1 を用いてつくるインバータ回路の大型化を抑えることができる。

【 0 0 3 3 】

また、ドレイン電極端子 7 の端部とソース電極端子 1 0 の端部とを隣り合わせるように配置しているので、半導体装置 1 を用いてインバータ回路をつくる場合のそのインバータ回路の電源の一方の電極とドレイン電極端子 7 とを接続するための配線長と、電源の他方の電極とソース電極端子 1 0 とを接続するための配線長とを同じにすることができる。これにより、それらの配線の各インダクタンスがアンバランスになることを抑えることができるので、半導体素子 5、6 に流れるそれぞれの電流がアンバランスになることを抑えることができる。

【 0 0 3 4 】

図 2 は、半導体装置 1 を用いてインバータ回路をつくる場合のそのインバータ回路の一例を示す図である。なお、図 2 に示すインバータ回路におけるアーム構成はモータの 1 相分を示しており、このインバータ回路により駆動されるモータを 3 相モータとする場合、半導体装置 1 は 3 つ必要となる。

【 0 0 3 5 】

図 2 に示すインバータ回路 1 6 は、半導体装置 1 と、一端が電源 1 7 のプラス側電極と接続され他方端が電源 1 7 のマイナス側電極に接続されるコンデンサ 1 8 と、コンデンサ 1 8 の一方端とドレイン電極端子 7 とを接続するためのコンデンサ配線 1 9 と、コンデンサ 1 8 の他方端とソース電極端子 1 0 とを接続するためのコンデンサ配線 2 0 と、ソース電極端子 8 に接続されるモータ配線 2 1 と、ドレイン電極端子 9 とモータ配線 2 1 とを接続するためのモータ配線 2 2 と、モータ配線 2 1 及びモータ配線 2 2 の接続点とモータを構成するコイル（不図示）とを接続するためのモータ配線 2 3 とを備えて構成されている。

【 0 0 3 6 】

図 3 (a) は、半導体装置 1 に取り付けられる前のコンデンサ配線 1 9、2 0 を示す図である。図 3 (b) は、コンデンサ配線 1 9、2 0 が取り付けられた後の半導体装置 1 を示す図である。なお、図 3 (b) の矢印 D は、コンデンサ配線 1 9 に流れる電流の方向を示し、図 3 (b) の矢印 E は、コンデンサ配線 2 0 に流れる電流の方向を示している。また、コンデンサ配線 1 9、2 0 を取り付けするためのネジは省略している。

【 0 0 3 7 】

コンデンサ配線 1 9 は、板状の配線であって、2 箇所の間にてネジ止めによりドレイン電極端子 7 に接続される際にソース電極端子 1 0 と重ならないように端部中央が一部切り取られている。すなわち、コンデンサ配線 1 9 は、凹状に形成されている。

【 0 0 3 8 】

また、コンデンサ配線 2 0 も、同様に、板状の配線であって、端部中央の 1 箇所にてネジ止めによりソース電極端子 1 0 に接続される際にドレイン電極端子 7 と重ならないように 2 箇所の間が一部切り取られている。すなわち、コンデンサ配線 2 0 は、凸状に形成されている。

【 0 0 3 9 】

コンデンサ配線 1 9、2 0 の取り付けの順番としては、まず、コンデンサ配線 1 9 をドレイン電極端子 7 に接続した後、コンデンサ配線 2 0 をソース電極端子 1 0 に接続する。なお、コンデンサ配線 1 9、2 0 の間に絶縁部材などを設けてもよい。

【 0 0 4 0 】

これにより、コンデンサ配線 1 9、2 0 の互いの長さを合わせることができるので、各インダクタンスがアンバランスになることを抑えることができ、半導体素子 5、6 に流

10

20

30

40

50

れるそれぞれの電流がアンバランスになることを抑えることができる。

【0041】

図4(a)は、本発明の他の実施形態の半導体装置を示す図である。

図4(a)に示す半導体装置24は、半導体素子5、6に流れる電流が、図1に示す半導体装置1の半導体素子5、6に流れる電流よりも大きい場合の半導体装置を示しており、ドレイン電極端子9の端部及びソース電極端子10の端部を、それぞれ、図1(a)に示す半導体装置1のドレイン電極端子9の端子及びソース電極端子10の端部よりも大きく形成している。なお、ネジ止め用の孔25も1つ増やしている。

【0042】

このように、ドレイン電極端子9の端部及びソース電極端子10の端部をそれぞれ半導体素子5、6に流れる電流に応じた大きさに形成することにより、半導体素子5、6に流れる電流が大きい場合でも対応することができる。

【0043】

図4(b)は、本発明のさらに他の実施形態の半導体装置を示す図である。

図4(b)に示す半導体装置26は、図4(a)に示す半導体装置24のドレイン電極端子9の端部及びソース電極端子10の端部をそれぞれ2つに分岐し、各端部にそれぞれネジ止め用の孔25を1ずつ設けたものを示している。なお、ドレイン電極端子9の端部及びソース電極端子10の端部を3つ以上に分岐してもよい。

【0044】

このように構成しても、半導体素子5、6に流れる電流が大きい場合に対応することができる。

なお、上記実施形態では、ドレイン電極端子7の端部をソース電極端子10の端部の両側に分岐させ、ソース電極端子8の端部をドレイン電極端子9の端部の両側に分岐させる構成であるが、ソース電極端子10の端部をドレイン電極端子7の端部の両側に分岐させ、ドレイン電極端子9の端部をソース電極端子8の端部の両側に分岐させ、ドレイン電極端子7の半導体素子5と接続される端部及びソース電極端子8の半導体素子5と接続される端部のそれぞれの幅を金属コア絶縁基板4の幅Cとほぼ同じ幅となるように形成してもよい。このように構成することにより、半導体素子6に入出力される電流がドレイン電極端子9及びソース電極端子10により分散され、半導体素子5に入出力される電流がドレイン電極端子7及びソース電極端子8により拡がるので、金属コア絶縁基板4の幅C方向に半導体素子5、6が複数並ぶ構成であっても、各半導体素子5に流れるそれぞれの電流や各半導体素子6に流れるそれぞれの電流がアンバランスになることを抑えることができる。

【図面の簡単な説明】

【0045】

【図1】(a)は、本発明の実施形態の半導体装置の平面図である。(b)は、A-A断面を示す図である。(c)は、B-B断面を示す図である。

【図2】半導体装置を用いてインバータ回路をつくる場合のそのインバータ回路の一例を示す図である。

【図3】(a)は、半導体装置に取り付けられる前のコンデンサ配線を示す図である。(b)は、コンデンサ配線が取り付けられた後の半導体装置を示す図である。

【図4】(a)は、本発明の他の実施形態の半導体装置を示す図である。(b)は、本発明のさらに他の実施形態の半導体装置を示す図である。

【図5】(a)は、従来の半導体装置の斜視図である。(b)は、従来の半導体装置の平面図である。(c)は、従来の半導体装置の側面図である。

【図6】従来の半導体装置を用いてつくるインバータ回路におけるアーム構成を示す図である。

【符号の説明】

【0046】

1 半導体装置

10

20

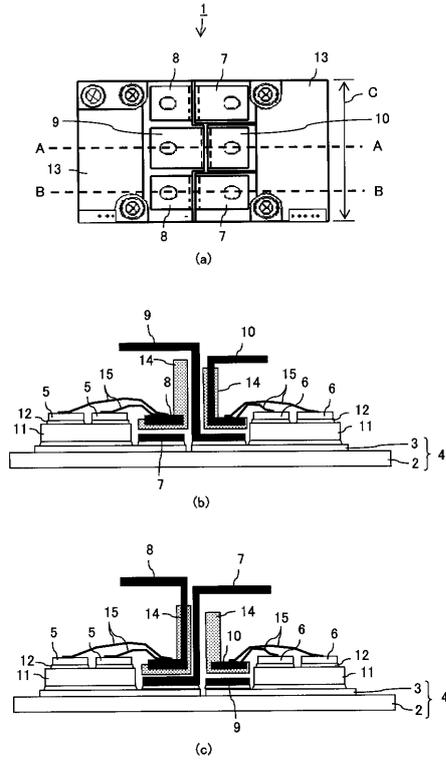
30

40

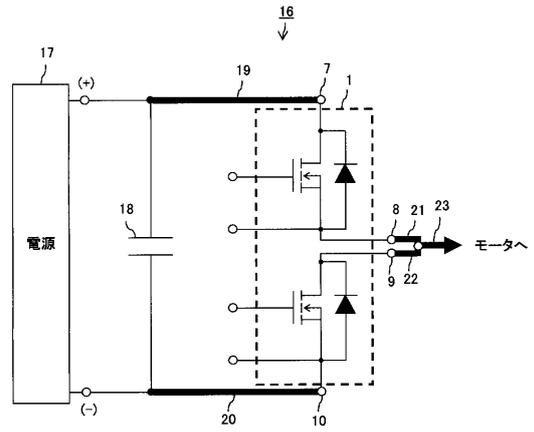
50

2	金属ベース	
3	回路パターン	
4	金属コア絶縁基板	
5	半導体素子	
6	半導体素子	
7	ドレイン電極端子	
8	ソース電極端子	
9	ドレイン電極端子	
10	ソース電極端子	
11	ヒートスプレッダ	10
12	はんだ	
13	カバー	
14	ケース	
15	ボンディングワイヤ	
16	インバータ回路	
17	電源	
18	コンデンサ	
19	コンデンサ配線	
20	コンデンサ配線	
21	モータ配線	20
22	モータ配線	
23	モータ配線	
24	半導体装置	
25	孔	
26	半導体装置	
50	半導体装置	
51	半導体素子	
52	ベース基板	
53 a	ドレイン電極端子	
53 b	ドレイン電極端子	30
53 c	ドレイン電極端子	
54	ソース電極端子	
55	絶縁板	
56	ボンディングワイヤ	

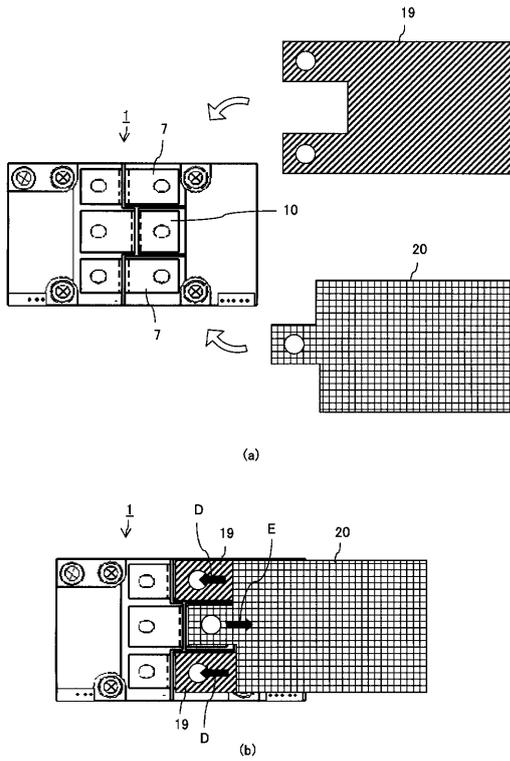
【図1】



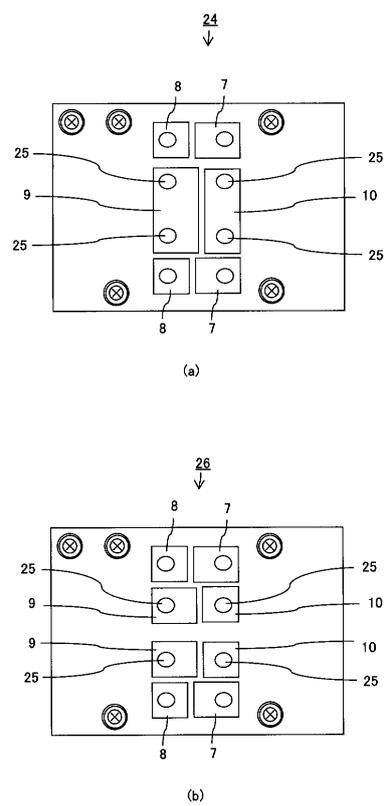
【図2】



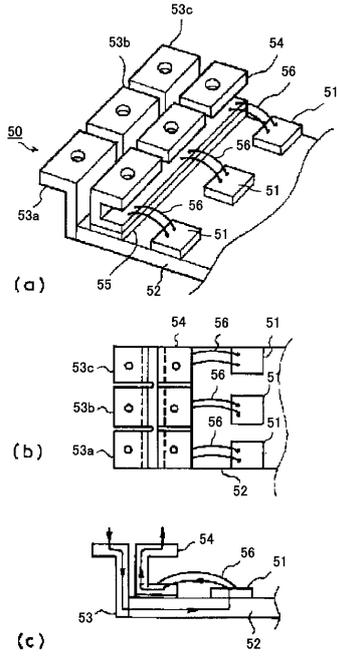
【図3】



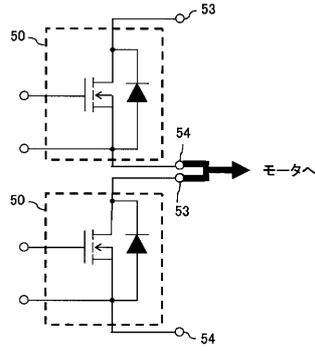
【図4】



【 図 5 】



【 図 6 】



フロントページの続き

審査官 酒井 英夫

(56)参考文献 特開2005-223141(JP,A)
特開2003-224243(JP,A)
特開2000-091498(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 25/00 - 25/18, 23/48 - 23/498