



(21) 申請案號：108119661

(22) 申請日：中華民國 104 (2015) 年 02 月 12 日

(51) Int. Cl. : *C23C16/40 (2006.01)*
 C23C16/505 (2006.01)
 H01L23/31 (2006.01)
 G11C11/15 (2006.01)

C23C16/455 (2006.01)
H01L23/29 (2006.01)
H01L21/8239(2006.01)

(30) 優先權：2014/02/21 美國

14/187,145

(71) 申請人：美商蘭姆研究公司 (美國) LAM RESEARCH CORPORATION (US)
美國(72) 發明人：史旺明內森 珊卡 SWAMINATHAN, SHANKAR (IN)；帕斯果 法蘭克 L
PASQUALE, FRANK L. (US)；拉芙依 艾里恩 LAVOIE, ADRIEN (US)

(74) 代理人：許峻榮

申請實體審查：有 申請專利範圍項數：1 項 圖式數：15 共 50 頁

(54) 名稱

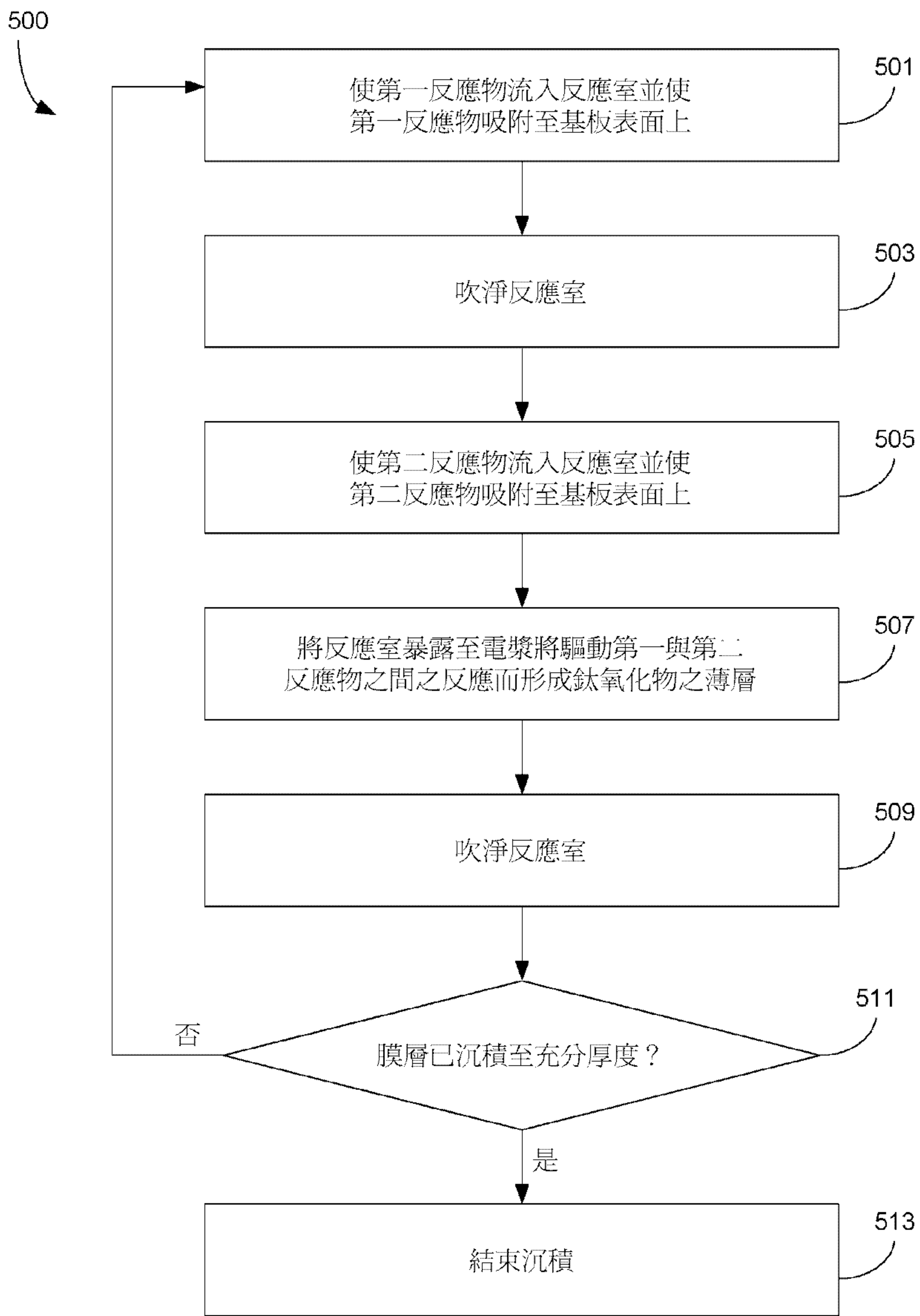
用於保形密封及隙填應用之電漿輔助原子層沉積鈦氧化物

(57) 摘要

文中的實施例係關於用以在 MRAM 與 PCRAM 應用中的記憶體疊層上方沉積密封層的方法與設備。密封層為以原子層沉積反應所沉積的一二氧化鈦(TiO₂)層。在某些實施例中，密封層可被沉積為一雙層，其中一惠電層形成於一保護層上。在某些實施例中，相鄰記憶體疊層之間間隙可被例如以原子層沉積反應或化學氣相沉積反應所形成的鈦氧化物填滿。

The embodiments herein relate to methods and apparatus for depositing an encapsulation layer over memory stacks in MRAM and PCRAM applications. The encapsulation layer is a titanium dioxide (TiO₂) layer deposited through an atomic layer deposition reaction. In some embodiments, the encapsulation layer may be deposited as a bilayer, with an electrically favorable layer formed atop a protective layer. In certain implementations, gaps between neighboring memory stacks may be filled with titanium oxide, for example through an atomic layer deposition reaction or a chemical vapor deposition reaction.

指定代表圖：



符號簡單說明：

501 . . . 使第一反應物流入反應室並使第一反應物吸附至基板表面上

503 . . . 吹淨反應室

505 . . . 使第二反應物流入反應室並使第二反應物吸附至基板表面上

507 . . . 將反應室暴露至電漿將驅動第一與第二反應物之間之反應而形成鈦氧化物之薄層

509 . . . 吹淨反應室

511 . . . 膜層已沉積至充分厚度？

513 . . . 結束沉積

圖 5



202003901

【發明摘要】

【中文發明名稱】用於保形密封及隙填應用之電漿輔助原子層沉積鈦氧化物

【英文發明名稱】 PLASMA ASSISTED ATOMIC LAYER DEPOSITION

TITANIUM OXIDE FOR CONFORMAL ENCAPSULATION AND GAPFILL APPLICATIONS

【中文】文中的實施例係關於用以在MRAM與PCRAM應用中的記憶體疊層上方沉積密封層的方法與設備。密封層為以原子層沉積反應所沉積的一二氧化鈦(TiO_2)層。在某些實施例中，密封層可被沉積為一雙層，其中一惠電層形成於一保護層上。在某些實施例中，相鄰記憶體疊層之間間隙可被例如以原子層沉積反應或化學氣相沉積反應所形成的鈦氧化物填滿。

【英文】 The embodiments herein relate to methods and apparatus for depositing an encapsulation layer over memory stacks in MRAM and PCRAM applications. The encapsulation layer is a titanium dioxide (TiO_2) layer deposited through an atomic layer deposition reaction. In some embodiments, the encapsulation layer may be deposited as a bilayer, with an electrically favorable layer formed atop a protective layer. In certain implementations, gaps between neighboring memory stacks may be filled with titanium oxide, for example through an atomic layer deposition reaction or a chemical vapor deposition reaction.

【指定代表圖】圖5

【代表圖之符號簡單說明】

501 使第一反應物流入反應室並使第一反應物吸附至基板表面上

503 吹淨反應室

505 使第二反應物流入反應室並使第二反應物吸附至基板表面上

507 將反應室暴露至電漿將驅動第一與第二反應物之間之反應而形成鈦氧化物之薄層

509 吹淨反應室

511 膜層已沉積至充分厚度？

513 結束沉積

【發明說明書】

【中文發明名稱】用於保形密封及隙填應用之電漿輔助原子層沉積鈦氧化物

【英文發明名稱】PLASMA ASSISTED ATOMIC LAYER DEPOSITION

TITANIUM OXIDE FOR CONFORMAL ENCAPSULATION AND GAPFILL APPLICATIONS

【技術領域】

【0001】 本發明係關於用於保形密封及隙填應用之電漿輔助原子層沉積鈦氧化物。

【先前技術】

【0002】 隨著計算裝置的興起與廣泛使用，記憶體應用變得愈來愈重要。記憶體裝置是一種儲存裝置，其能保留依需要而被存取及輸出的資訊或數據。市面上有幾種不同的記憶體裝置。動態隨機存取記憶體(DRAM)是一種隨機存取記憶體，其將每一位元的數據儲存在積體電路的一分離電容器中。電容器可被充電或放電而代表一個位元的兩個可能的值(傳統上為0與1)。DRAM已被使用了很長的一段時間。記憶體應用的最新發展包含例如磁性隨機存取記憶體(MRAM)與相變隨機存取記憶體(PCRAM)。

【0003】 一般而言，記憶體裝置包含複數個能編碼資訊的獨立記憶胞。這些獨立的記憶胞係彼此分離，故其在功能上是隔離的。這樣的隔離確保記憶胞彼此不干擾俾使記憶胞能以期望的方式作用。在某些情況中，記憶胞係外觀以

一密封層。相鄰之具有外襯之記憶胞之間間隙係被一隙填介電材料填滿。密封層以及經填滿的間隙具有隔離相鄰記憶胞的功能。

【發明內容】

【0004】 文中的某些實施例係關於在記憶體應用如MRAM與PCRAM中的記憶體疊層上沉積密封層的方法與設備。密封層為透過原子層沉積反應而沉積的一二氧化鈦(TiO_2)層。在某些實施例中，密封層可被沉積為一雙層，在此雙層中一惠電層(electrically favorable layer)被形成在一保護層上。在某些實施例中，相鄰記憶體疊層之間間隙可被例如以原子層沉積反應或化學氣相沉積反應所形成的鈦氧化物所填滿。

【0005】 在文中實施例的一態樣中，提供一種在半導體基板上之記憶體疊層上沉積二氧化鈦密封層的方法，其特徵在於包含下列步驟：(a)將一基板置於一反應室中，該基板上具有複數磁性隨機存取記憶體(MRAM)疊層或複數相變隨機存取記憶體(PCRAM)疊層；(b)使一含鈦反應物流入該反應室中並使該含鈦反應物吸附至該基板的一表面上；(c)使一含氧反應物流入該反應室中並使該含氧反應物吸附至該基板的該表面上；及(d)將該反應室暴露至一電漿以驅動該含鈦反應物與該含氧反應物之間的一表面反應，藉此在該複數MRAM疊層或該複數PCRAM疊層上方保形地沉積一二氧化鈦密封層。在一原子層沉積製程中，此步驟程序可重覆複數次反覆動作或複數循環。

【0006】 在某些實施例中，含氧反應物是一弱氧化劑或包含一弱氧化劑，如非元素氧(O_3 或 O_2)的氧化劑。在某些情況中，該含氧反應物係實質上不具有強氧化劑。

【0007】 在某些實施例中，重覆該方法以在該密封層上形成一第二密封層。兩密封層在不同的沉積條件下沉積並且/或具有不同的特性。在沉積該第二密封層期間，該含氧反應物可選自由下列者所構成的族群：氧氣、一氧化二氮、一氧化碳、一氧化氮、二氧化氮、二氧化碳、臭氧、氧化硫、二氧化硫、含氧之烴、水、過氧化氫、烷醇及上述者的組合。

【0008】 用以形成該密封層的製程條件可依應用而適當地變化。在某些情況中，將用以產生電漿之一RF功率維持在低於約125 W/沉積站且每一次反覆(如一原子層沉積製程的一循環)將該基板暴露至該電漿的時間約為0.5秒或更短。又例如，在沉積該第二密封層期間，將用以產生電漿之RF功率維持在高於約500 W/站且每一次反覆將該基板暴露至該電漿的時間約為0.5秒或更長。在使用該第二密封層的實施例中，在沉積該第二密封層期間，可將用以產生電漿之RF功率維持高於約500 W/站且每一次反覆將該基板暴露至該電漿的時間約為0.5秒或更長。在某些實施例中，在約250°C或更低的一溫度下進行該方法。

【0009】 在某些實施例中，該方法在沉積該二氧化鈦密封層後包含一額外步驟，此額外步驟涉及在相鄰之該MRAM疊層或該PCRAM疊層之間的複數間隙中沉積一介電材料。在某些情況中，沉積該密封層與沉積該介電材料於該些間隙中係於相同的反應室中進行而未移除該基板。該些間隙可被一二氧化鈦填滿且此二氧化鈦的反應與反應條件係與用以沉積該密封層的反應與反應條件相同，或者該些間隙可被一二氧化鈦填滿且此二氧化鈦的反應條件係不同於用以沉積該密封層的反應條件。在一第二替代方案中，可以較高的沉積速度填充該些間隙，此較高的沉積速度係高於用以沉積該密封層的沉積速度。

【0010】 在某些實施例中，該密封層具有介於約20-500Å的一厚度。在某些實施例中，該密封層為一氣密封(hermetic seal)。在某些實施例中，該密封層不會實質上或選擇性地氧化該MRAM疊層或該PCRAM疊層中的任何材料。在某些實施例中，該密封層在高達至少約 500°C的溫度不會實質上脫附氫。

【0011】 本發明之另一態樣提供一種在已部分製造完成的半導體基板上沉積材料的設備。此類設備的特徵在於下列特徵：(a)反應室；(b)一反應室入口，用以將氣相反應物導入該反應室；(c)一反應室出口，用以自該反應室移除材料；(d)一電漿產生器，用以將該反應室暴露至電漿；及(e)一控制器，用以進行包含下列者的步驟：(i)於該反應室中接收一基板，該基板上具有複數磁性隨機存取記憶體(MRAM)疊層或複數相變隨機存取記憶體(PCRAM)疊層；(ii)使一第一含鈦反應物流入該反應室中並使該第一含鈦反應物吸附至該基板的一表面上；(iii)使一第一含氧反應物流入該反應室中並使該第一含氧反應物吸附至該基板的該表面上；及(iv)利用該電漿產生器產生一第一電漿並將該反應室暴露至該第一電漿以驅動該第一含鈦反應物與該第一含氧反應物之間的一表面反應，藉此在該複數MRAM疊層或該複數PCRAM疊層上方保形地沉積一第一二氧化鈦密封層。

【0012】 在某些實施例中，該控制器更用以：(v)使一第二含鈦反應物流入該反應室中並使該第二含鈦反應物吸附至該基板的該表面上；(vi)使一第二含氧反應物流入該反應室中並使該第二含氧反應物吸附至該基板的該表面上；及(vii)利用該電漿產生器產生一第二電漿、並將該反應室暴露至該第二電漿以驅動該第二含鈦反應物與第二含氧反應物之間的一表面反應，藉此在該第一二氧化鈦密封層上保形地沉積一第二二氧化鈦密封層。在某些實施例中，該第一二氧化鈦密封層的沉積條件係不同於該第二二氧化鈦密封層的沉積條件。在某些實

施例中，該第一含氧反應物包含一弱氧化劑而該第二含氧反應物包含 O_2 及/或 N_2O 。

【0013】 在一控制器配方中所配置的製程條件可隨著應用而適當地變化。例如，該控制器可用以在約125 W/站或更低的一RF功率下產生該第一電漿，且將該反應室暴露至該第一電漿、每次暴露約0.5秒或更短。該控制器更可用以在約500 W/站或更高的一RF功率下產生該第二電漿，且將該反應室暴露至該第二電漿、每次暴露約0.5秒或更長。

【0014】 下面將參考圖示說明此些與其他特徵。

【圖式簡單說明】

【0015】 圖1、2A與2B顯示一基本的磁穿隧界面結構。

【0016】 圖3顯示磁穿隧界面結構的一較複雜版本。

【0017】 圖4顯示相變記憶體疊層的一實例。

【0018】 圖5為在記憶體疊層上形成密封層之方法的流程圖。

【0019】 圖6顯示一雙層密封層。

【0020】 圖7顯示在數個記憶體疊層上方的一雙層密封層。

【0021】 圖8顯示具有記憶體疊層之基板的簡化橫剖面圖，其中記憶體疊層外襯有一密封層且記憶體疊層之間隙係被一隙填材料填滿。

【0022】 圖9顯示用以施行文中實施例之一反應室的一實例。

【0023】 圖10顯示可用以施行文中實施例的一多站設備。

【0024】 圖11顯示其上具有經保形沉積之一層鈦氧化物的基板。

【0025】 圖12之表顯示在圖11中所示之基板的同一位置處的薄膜厚度。

【0026】 圖13顯示一拉伸TEOS薄膜在其上具有鈦氧化物密封層及不具有鈦氧化物密封層時的應力變化。

【0027】 圖14之兩圖顯示鈦氧化物薄膜與矽氮化物薄膜之薄膜穩定性與氣體脫附。

【0028】 圖15顯示一基板，其襯有一層鈦氧化物且此層鈦氧化物亦填滿相鄰特徵部之間隙。

【實施方式】

【0029】 在本案中，「半導體晶圓」、「晶圓」、「基板」、「晶圓基板」及「部分製造完成之積體電路」等詞可互換使用。本領域中具有通常知識者當能瞭解，「部分製造完成之積體電路」可指於矽晶圓上進行之積體電路製造之眾多階段中之任何階段期間的矽晶圓。在半導體裝置業界中所用的晶圓或基板通常具有200 mm、或300 mm、或450 mm的直徑。然而，本發明並不限於此。工作件可具有各種形狀、尺寸與材料。除了半導體晶圓之外，可受惠於本發明之其他類型的工作件包含製造各種物品如印刷電路板等。

【0030】 文中所提供的流率以及功率位準係適合用於處理300 mm基板。熟知此項技藝者應瞭解，可針對其他尺寸的基板視需要調整此些流率以及功率。此些參數可基於基板面積線性地縮放。例如300 mm晶圓所用之500 W/站的RF功率係相當於450 mm晶圓所用之1125 W/站的RF功率。又，300 mm晶圓用之1 mL/min的流率係相當於450 mm晶圓用之2.25 mL/min的流率。

【0031】 在下面的敘述中，列舉許多特定細節以提供對本發明實施例的全盤瞭解。可在缺乏一些或全部此些特定細節的情況下實施文中實施例。在其他

情況中，不詳細說明習知之製程操作以免不必要地模糊文中實施例的焦點。雖然利用特定實施例來說明文中的實施例，但應瞭解，本發明不限於所揭露的實施例。

【0032】 記憶體晶片包含許多獨立的記憶胞。記憶胞儲存位元資訊(如1與0的形式)俾使此些位元資訊可依需要受到存取。為了儲存大量的資訊，記憶胞以彼此相近的方式堆積在積體電路上。為了使記憶胞在高密度下能適當地操作，必須使記憶胞彼此隔離。否則，記憶胞可能會彼此干擾且防礙裝置依期望運作。

【0033】 可使用一密封層協助記憶胞彼此隔離。密封層可以是以保形方式披覆記憶胞之一相對薄的襯層。密封層可由介電材料所製成。在許多情況中，使用矽系材料(如矽氧化物、矽氮化物或矽碳化物)作為密封層。在以密封層披覆記憶胞後，相鄰之經密封的記憶體胞之間會留有間隙。可以隙填材料填滿此些間隙。在各種情況中，隙填材料為同時具有隔離記憶胞之功能以及對裝置提供機械支撐功能的介電材料。常見的隙填材料包含矽系材料如矽氧化物、矽氮化物及矽碳化物。

【0034】 密封層要能有商業用途必須要滿足某些需求。在許多情況中，密封層必須要能在相對低的溫度（通常低於約250°C）下沉積。然而，密封層即便在較高的溫度（如上至約500°C）下應要維持穩定，以在製造期間耐受熱退火。又，密封層應具有高氣密性。換言之，密封層應為一良好的水氣阻障層。另一期望的特性為，密封層不應脫附氫。已證明矽系材料適合符合此些需求。然而，以原子層沉積(ALD)沉積的鈦氧化物可提供此些相同的特性且提供施行密封層、甚至隙填材料的一新技術。鈦氧化物具有極佳的保形性(如100%保形性)、

在室溫下即便薄到約30Å還具有氣密性、在高達至少約500°C的溫度下是穩定的且不會脫附氫。

【0035】 本發明實施例的一應用為磁性隨機存取記憶體(MRAM)。MRAM裝置藉著磁性儲存元件來儲存數據。MRAM是有利的，因為其允許密集的數據儲存、只需要相對低的能量且是非揮發性的(意即，就算裝置失去能量供給，數據仍受到保存)。

【0036】 MRAM裝置使用已知的磁性穿隧界面(MTJ)結構。一個MTJ包含被一薄絕緣層(有時亦被稱為穿隧阻障層)所分隔的兩鐵磁層。電流可藉著穿隧絕緣層而自一鐵磁層流至另一鐵磁層。兩鐵磁層中的一者具有固定的磁場。此層被稱為固定層或參考層。另一鐵磁層具有可藉著驅動電流而改變的一磁場。此鐵磁層被稱為自由層。取決於自由層的磁場方向，固定層與自由層的磁場可為相同方向或相反方向。當兩個磁場為對準/平行時，記憶胞係處於低電阻值狀態，代表「0」。當兩個磁場為相反方向/反平行時，記憶胞係處於高電阻值狀態，代表「1」。

【0037】 圖1顯示一磁穿隧界面100的一實例。第一鐵磁層101具有可變磁場，因此被視為是自由層101。第二鐵磁層105具有固定磁場，因此被視為是固定層。自由層101與固定層105係藉由絕緣阻障層103而彼此分隔，絕緣阻障層103例如可由AlO或MgO所製成。上電極與下電極(未顯示)可分別連接至自由層101與固定層105。

【0038】 圖2A顯示處於高電阻值反平行狀態之圖1的MTJ。圖2A中的箭頭代表磁場的方向。由於兩鐵磁層101與105具有方向相反的磁場，因此表現出反平行高電阻值狀態。在此狀態下的記憶胞代表「1」。圖2B顯示處於低電阻值平

行狀態之圖1之MTJ。如在圖2A中，箭頭代表磁性層101與105的磁場方向。此處，由於兩者的磁場在相同方向，所以記憶胞係處於低電阻值平行狀態，其代表「0」。

【0039】 鐵磁層可以單層提供或以複數獨立子層的疊層提供。圖3顯示形式更複雜之一磁穿隧接面300的一實例。MTJ 300包含由鎳鐵(NiFe)材料所形成的自由鐵磁層304。此自由鐵磁層304具有感應層的作用且係形成在晶種層306上。在此實例中，晶種層306係由鈹所形成。晶種層係直接形成在基板305上。自由鐵磁層304與釘扎鐵磁層308係被穿隧阻障層310所隔離。在此實例中，穿隧阻障層310係由鋁氧化物(AlO_x)所形成而釘扎鐵磁層308係由鈷鐵材料(CoFe)所形成。釘扎鐵磁層308形成釘扎結構312的一部分，其可以合成式反磁鐵(SAF)的形式提供。在美國專利US 7,072,209與US 8,535,954中更進一步地探討SAF及其他MRAM結構，將上述兩者的所有內容包含於此作為參考。

【0040】 釘扎鐵磁層308的磁場方向是固定的。此層的磁場方向是藉由第二鐵磁層314而維持在一固定狀態，在此實例中第二鐵磁層314可由鈷鐵或鎳鐵材料所製成。第二鐵磁層314與釘扎鐵磁層308係藉由非磁性間隔層316而彼此隔離。在此實例中，非磁性間隔層316係由一釘層所形成。非磁性間隔層316在釘扎結構312中的兩個鐵磁層308與314之間產生反鐵磁耦合。又，在此實例中反鐵磁釘扎層318係由銥錳(IrMn)材料所形成，且可被提供於第二鐵磁層314上方。反鐵磁釘扎層318作用以確定第二鐵磁層314之磁矩方向。一釘扎場被產生而固定釘扎鐵磁層308的磁矩。MTJ亦可包含蓋層320。

【0041】 雖然MRAM裝置可具有不同的結構，但基本的MRAM裝置通常包含作為固定/參考層的至少一磁性層、作為自由/感應層的至少一磁性層以及在兩磁性層之間作為穿隧阻障層的至少一膜層。

【0042】 本發明實施例的另一應用為相變隨機存取記憶體(PCRAM)。

PCRAM善用硫屬化物玻璃的獨特行為，硫屬化物玻璃是一種可在非晶態與結晶態之間轉換的材料。圖4顯示相變記憶體胞的橫剖面圖。相變記憶胞包含導電層410、下電極430、相變材料460、第二電極440及加熱元件450。下電極430係位於第一介電層420中，加熱元件450係位於第二介電層470中。相變記憶胞可形成在半導體基板上。

【0043】 相變材料460通常為一硫屬化物玻璃材料，但亦可使用在受到加熱或移除熱時能自結晶態轉變為非晶態或自非晶態轉變為結晶態的其他材料。由於非晶態之硫屬化物材料的電阻率係明顯高於結晶態者，因此相變材料可用以儲存數據。非晶的高電阻態係用以代表一個位元值(0或1)，結晶的低電阻態係用以代表另一位元值。

【0044】 導電層410可以是利用相變材料以寫入或讀取資訊的定址線如行線、列線、位元線或字元線。導電層可連接至外部定址電路。

【0045】 電極係由導電材料所製成。在圖4的實例中，下電極430為例如鎢插塞之一插塞。第一介電層420可以是一矽氧化物、矽氮化物或任何類型的電絕緣材料。第二介電材料470為電絕緣與熱絕緣的，且可由與介電層420相同或相異的材料製成。在某些實施例中，介電材料420及/或470可以是鈦氧化物。

【0046】 加熱元件450為回應流過相鄰電極(即下電極430之電流)而產生熱的材料。加熱元件450的電阻率比電極430的電阻率高，以自電流產生熱。在一操作中，電流或電壓脈衝被施加至加熱元件以產生熱。加熱元件所產生的熱會將相變材料加熱至高於其結晶溫度、但低於其熔融溫度的一溫度，以達到一結晶態(通常代表位元值1)。為了將相變材料變回其非晶態，加熱元件將相變材

料加熱至高於其熔點的溫度。接著將相變材料淬火至非晶態(通常代表位元值 0)。PCRAM裝置可以有不同的可能配置，但PCRAM裝置通常包含相變材料及兩導電電極之間的加熱材料。美國專利號第US 8,450,772與美國專利號第US 8,243,506中更進一步地探討了PCRAM結構，將上述兩者的所有內容包含於此作為參考。

【0047】 在MRAM與PCRAM應用中，每一記憶胞皆可用以編碼一個位元的資訊(如一個「0」或「1」)。記憶胞係以列與行的方式配置，且必須彼此隔離以避免記憶胞之間干擾。隔離相鄰記憶胞的一個方法是將其襯於密封層中。密封層能協助避免相鄰記憶胞之間的干擾且亦能保護記憶胞不受環境的損害、如避免水氣穿透記憶胞。

【0048】 為了被用於某些商業應用，密封層應該要符合各種標準。在許多的記憶體應用中，記憶體疊層(即形成記憶體胞的複數材料層)對於氧化非常地敏感。當記憶體疊層發生氧化時，疊層材料會退化並失去電及/或磁的完整性。是以，應在沉積過程中以避免記憶體疊層氧化的方式沉積密封層。又，考量在沉積密封層期間發生的極少量氧化，氧化不應在記憶體疊層的不同層之間以非均勻的方式發生。換言之，導致某些記憶體疊層材料氧化但其他疊層材料不氧化的沉積製程是不理想的。又，密封層應提供適當的保護以避免下方記憶體疊層材料在沉積後發生氧化。

【0049】 會影響記憶體疊層材料之氧化程度的一標準是沉積密封層的溫度。密封層通常是經由如原子層沉積之氣相技術所沉積，後續會更進一步地解釋之。對於某些記憶體應用而言，密封層應在低於約250°C的溫度下沉積。在較

高的溫度下，記憶體疊層中的材料會開始氧化，藉此損害記憶體疊層的品质與效能。

【0050】 會影響記憶體疊層材料之氧化程度的另一標準是密封層的氣密性。氣密性係指一材料阻擋水氣傳播的能力。密封層應具有充足的氣密性以避免水氣穿入記憶體疊層中。若水氣穿過密封層，水氣容易導致下方記憶體疊層材料的氧化，藉此損害記憶胞。上方膜層的氣密性可藉由下方拉伸TEOS薄膜因暴露至大氣環境所造成的應力降低來量測。如在實驗段落會更進一步說明的圖13中所示，在無氣密阻障層時，拉伸TEOS薄膜的應力會因為暴露至大氣環境而劇烈地減少。例如拉伸 $5\text{k}\text{\AA}$ 的TEOS薄膜在暴露至大氣環境約一個禮拜後，其應力會自 10^9 dynes/cm^2 降低至 -10^9 dynes/cm^2 – 降低超過100%。以氣密薄膜覆蓋拉伸TEOS薄膜在經過一個禮拜的暴露時間後，下方拉伸TEOS薄膜的應力變化會少於10%。

【0051】 在上至約 500°C 的溫度下，密封層亦應是穩定的。否則，密封層可能會在如熱退火期間的後續製程退化。相關的備註是，密封層不應脫附氫。否則，氫會貫穿記憶體疊層材料並使其退化。在MRAM的文義下，例如氫的脫附可能會影響自由鐵磁層的電阻式開關行為。在許多情況中，期望密封層以保形方式沉積以獲得良好的階梯覆蓋率。在本文敘述中，「階梯覆蓋率」被定義為兩個厚度的比值、即特徵部內部之材料厚度除以接近特徵部開口之材料厚度。在本文中，「特徵部內部」代表：特徵部的中間部分，其約位於特徵部沿著特徵部軸的中點，例如沿著自特徵部開口量測之特徵部深度介於約25%至75%距離處，或者在某些實施例中介於約40%至60%的距離處；或特徵部的末端部，其約位於沿著自特徵部開口量測之特徵部軸介於約75%至95%的距離處。「接近

特徵部開口」一詞代表位於開口邊緣或代表開口邊緣之其他元件之25%內、或更具體而言為10%內的特徵部上部。例如藉著在特徵部中間或接近底部填充較厚的厚度而在特徵部開口填充較薄的厚度，可獲得超過100%的階梯覆蓋率。

【0052】 密封層通常是經由化學氣相沉積 (CVD)或原子層沉積 (ALD)技術所沉積的矽系材料。ALD製程提供較佳的階梯覆蓋率但沉積較慢。CVD技術沉積較快但提供較差的階梯覆蓋率。相較於較傳統的CVD方法，脈衝電漿CVD技術已被用來改善階梯覆蓋率。然而，脈衝電漿CVD方法會導致將氫擴散至記憶體疊層中的低氣密性薄膜。

【0053】 CVD與電漿輔助化學氣相沉積(PECVD)有時為沉積密封層的方法選項。在一CVD反應中，將一或多種氣相反應物提供至反應室中，氣相反應物在反應室中被沉積至基板表面上之前會先在氣相中反應。當使用PECVD時，反應係受到電漿暴露所驅動。CVD反應的特徵在於氣相反應。

【0054】 CVD的一代替方案為ALD製程以及電漿輔助原子層沉積 (PEALD)製程。除非另外特別指出，否則在下面的敘述中ALD一詞意在包含PEALD且CVD一詞意在包含PECVD。ALD方法涉及直接發生在基板表面上之反應物氣體的循環性自我限制吸附以及反應。ALD製程可在高深寬比的特徵部中提供薄且保形性的介電薄膜。ALD方法已被發展用來沉積矽氧化物以及其他類型的薄膜。ALD所形成的薄膜極薄(如約一單層)；因此，可重覆多個ALD循環以適當地填滿間隙圖案。

【0055】 相對於使用經活化之氣相反應沉積薄膜的CVD製程，ALD製程使用表面媒介沉積反應一層接著一層地沉積薄膜。在ALD製程的一實例中，將具有眾多表面活性位置的基板表面暴露至第一薄膜前驅物(P1)的氣相分佈。P1

的某些分子可在基板表面上形成一濃縮相，此濃縮相包含化學吸附之物種以及物理吸附之P1分子。接著，排空反應室俾以移除氣相及物理吸附P1，故只留下化學吸附之物種。接著將第二薄膜前驅物(P2)導入反應室，俾使P2的某些分子吸附至基板表面。接著可再次排空反應室，這次移除未受束縛的P2。接著，提供至基板的能量(如熱能或電漿能)熱可活化P1與P2之已吸附分子間的表面反應，以形成一薄膜層。最後，排空反應室以移除反應副產物以及可能未反應的P1與P2，結束此 ALD循環。可包含額外的ALD循環以建立薄膜厚度。

【0056】 取決於前驅物給劑步驟的暴露時間以及前驅物的黏附係數，在一實例中，每一ALD循環可沉積介於約 0.5\AA - 3\AA 厚的一膜層。

【0057】 針對小特徵部尺寸，可取代CVD的一可行相關沉積技術為保形薄膜沉積(CFD)。一般而言，CFD不依賴在反應形成薄膜前完全地吹淨一或多種反應物。例如，當電漿(或其他活化能)擊發時，在氣相中可能存在著一或多種反應物。因此，在一例示性的CFD製程中可縮短或消除ALD製程中所述之製程步驟中的一或多者(如吹淨步驟)。在某些情況中，可連續地提供反應物。被連續提供的反應物通常是一種共反應物/輔助反應物(相對於主要反應物，例如能對最終薄膜貢獻矽的反應物，共反應物/輔助反應物則例如是含氧或含氮反應物)。即便是在CFD製程中，當反應室被暴露至電漿時，通常必須要使反應室中尚未吸附之主要反應物的量最少化。否則，可能會導致氣相CVD反應。能夠進行ALD製程的反應室通常亦能進行CFD製程，因此如本文所用，CFD製程被視為是一種ALD製程。

【0058】 密封層通常係由矽系材料所形成。然而，已發現經由PEALD技術所沉積的鈦氧化物能滿足上述對商用密封層所列舉的所有標準。尤其，鈦氧

化物薄膜顯示出優異的階梯覆蓋率(如約100%的階梯覆蓋率)、在高達至少約500°C的溫度仍穩定、且不會脫附氫。又，在許多方面能最少化沉積期間對下方磁性疊層材料的氧化損害。

【0059】 圖5顯示經由PEALD製程沉積鈦氧化物密封層之方法的一流程圖。方法500始於步驟501處，在此處使第一反應物流入反應室中並使其吸附至基板表面上。在一實例中，第一反應物包含四(二甲氨基)鈦(TDMATi, $[(CH_3)_2N]_4Ti$)。其他潛在的第一反應物包含例如二(第三丁基環戊二烯基)二氯化鈦(IV)($C_{18}H_{26}Cl_2Ti$)、四(二乙氨基)鈦($[(C_2H_5)_2N]_4Ti$)、四(乙基甲基氨基)鈦($[(CH_3C_2H_5)N]_4Ti$)、二異丙氧基二(2,2,6,6-四甲基-3,5-庚二酸)鈦($Ti[OCC(CH_3)_3CHCOC(CH_3)_3]_2(OC_3H_7)_2$)、異丙氧基鈦(IV)($Ti[OCH(CH_3)_2]_4$)及四氯化鈦($TiCl_4$)，但本發明的實施例不限於此。

【0060】 第一反應物可流入反應室的期間介於約0.1-5秒，例如約1秒。在反應物蒸發前量測到第一反應物可以介於約0.5-3 mL/min的流率流動，如介於約0.5-1 mL/min的流率。反應室中的溫度可介於約50-300°C。在各種情況中，反應溫度係低於約250°C。反應室中的壓力可能介於約1-10 Torr，如介於約2-4 Torr。

【0061】 方法繼續步驟503，在步驟503處吹淨反應室。吹淨可包含排空反應室及/或利用不包含欲被吹淨之物種的氣體掃除反應室。在此實例中，適合的掃除氣體為不包含第一反應物的氣體。吹淨期間可介於約0.1-25秒。當使用掃除氣體時，在吹淨期間的掃除氣體流率可介於約5-60 slm。吹淨的目的在於自反應室移除尚未吸附的第一反應物。

【0062】 接下來，在步驟505處，使第二反應物流入反應室中、並使第二反應物吸附至基板表面上。在一實例中，第二反應物包含二氧化碳(CO_2)。或者

或額外地，第二反應物可包含一氧化碳(CO)、一氧化氮(NO)、一氧化二氮(N₂O)、二氧化氮(NO₂)、氧氣(O₂)、臭氧(O₃)、氧化硫(SO)、二氧化硫(SO₂)、含氧之烴(C_xH_yO_z)、水(H₂O)、過氧化氫(H₂O₂)、烷醇(如甲醇、乙醇等)、上述者之混合物等。可供應第二反應物介於約0.1-5秒的時間，如介於約0.5-1秒。

【0063】 在步驟507處，將反應室暴露至電漿，以驅動第一與第二反應物在基板表面上的反應而形成鈦氧化物的薄層。每一反應循環可沉積約一單層材料。可使用各種類型的電漿驅動此反應，包含電容式電漿以及感應耦合式電漿。可使用不同類型的電漿產生器，包含RF、DC及微波電漿產生器。又，根據各種實施例，電漿可以是直接或遠端。當使用RF產生器時，用以驅動電漿形成之RF功率可介於約50-2500 W/站，如約625 W/站。在一單一反應室中可以有複數個站點。在一實施例中，單一反應室中有四個單獨的站點，但可使用額外或更少的站點。用以產生電漿的頻率可包含高頻(HF)及/或低頻(LF)分量。在某些實施例中，用以產生電漿的頻率可介於約13.56-40 MHz，如約13.56 MHz。電漿暴露的時間可介於約0.1-5秒，如介於約0.5-1秒。在某些實施例中，步驟505與507可部分同時地進行，俾以在產生電漿時將第二反應物供給至反應室。接下來，在步驟509處進行吹淨。此吹淨可以排空及/或掃除反應室的方式進行，以協助移除任何尚未吸附的物種及薄膜副產物。可重覆該方法以形成具有期望厚度的薄膜。是以，在步驟511中，將沉積薄膜的厚度與期望膜厚相比。若薄膜已達到足夠的厚度，在步驟513處結束沉積。另一方面，若沉積未達到足夠的厚度，可在步驟501處重覆本方法。在某些情況中，將密封層沉積至至少約20Å或至少約30Å的厚度。密封層可具有介於約20-500Å的厚度，如介於約30-100Å。在某些實施例中，密封層通常能以介於約0.6-1.1Å/循環的速度成長。

【0064】 在某些實施例中，需額外注意在沉積鈦氧化物密封層期間，使對下方記憶體疊層材料的任何氧化最少化。最少化下方材料之氧化的一方法是使用溫和的氧化反應物。在圖5的文義中，氧化反應物為第二反應物。溫和/弱氧化反應物的實例包含CO₂及含氧之烴。不算是溫和的氧化反應物之反應物的一實例為元素氧(O₂或O₃)。在沉積密封層期間，能最小化下方記憶體疊層材料之氧化的另一方法為使用溫和的電漿反應。這些溫和的電漿反應有時被稱為「軟著陸」條件。電漿反應的相對強硬取決於用以產生電漿的功率(較高的功率導致較強硬的電漿)及電漿暴露的時間(較長的電漿暴露則較強硬)。當期望電漿軟著陸時，可將RF功率維持在低於約125 W/站，如介於約50-125 W/站，且電漿暴露時間可約0.5秒或更短，如介於約0.1-0.5秒。

【0065】 最小化對基板之氧化損害的另一方法是沉積雙層之密封層。第一層可以是一保護層(有時亦被稱為第一密封層)，而第二層可以是一惠電層(electrically favorable layer)(有時亦被稱為第二密封層)。保護層可被直接沉積在記憶體疊層上，且可在溫和氧化條件下沉積例如以溫和氧化劑(如CO₂)及/或以電漿軟著陸(如在形成保護層期間，用以產生電漿之RF功率可約為125 W/站或更少，且電漿暴露可約為0.5秒或更短)進行沉積。在某些實施例中，惠電層的形成溫度係高於保護層的形成溫度。第一層避免或最小化疊層材料的氧化。然而，此保護層可能會具有較差的電特性。例如保護層可能因為前驅物不充分的氧化轉變而具有低崩潰電壓(BDV)與高漏電流。相較於惠電層，保護層可能具有較高碳含量及/或較高氫含量。這些相對高的碳及/或氫位準可能會導致保護層的不良電品質。

【0066】 為了補救保護層的不良電品質，將此層與一額外的惠電層整合至一雙層中。惠電層可被直接沉積至保護層上。由於保護層存在而屏蔽下方記憶體疊層材料不受氧化，可使用更激烈的氧化條件沉積惠電層而毋需擔心損傷下方材料。可利用較不溫和的氧化反應沉積惠電層。例如，可利用 O_2 、 N_2O 或其混合物沉積惠電層。可以相對強烈的電漿反應沉積惠電層。在此情況中，用以沉積惠電層的RF功率可至少約為500 W/站或至少約為625 W/站。在形成惠電層期間，單一ALD循環的電漿暴露時間可至少約為0.5秒，如至少約為1秒。

【0067】 當密封層被沉積為一雙層時，保護層應充分地厚，以保護下方材料不受氧化(意即該膜層必須夠厚以提供充分的氣密性)。又，保護層應夠厚以形成不具有小孔或其他形式之不完整包覆的聚結層。在某些實施例中，保護層具有至少約為20 Å的厚度。在某些實施例中，保護層可具有介於約20-500Å的厚度，如介於約30-100Å。

【0068】 圖6顯示被沉積至基板600上之記憶體疊層601上方的雙層密封層602。記憶體疊層被顯示為一單一方塊，但應瞭解，此疊層包含一起作用的複數獨立膜層。密封層602包含保護層604與惠電層605。

【0069】 以前並未使用鈦氧化物作為保護MRAM疊層與PCRAM疊層的保護密封層，部分因為在傳統鈦氧化物沉積期間所用之相對強烈的電漿反應以及疊層材料對氧化的敏感度。強烈的電漿反應會導致無法接受之下方疊層材料的高程度氧化。可使用較溫和的電漿反應 (RF功率、電漿暴露時間)，但會導致薄膜容易以薄片形式脫落或因為前驅物的存在而具有無法接受之高碳位準。然而，文中的各種方法能克服此些問題。在某些實施例中，使用溫和的氧化反應

物以避免疊層材料氧化。在其他實施例中，使用雙層方案以避免疊層氧化並同時確保密封層具有良好的電特性。

【0070】 圖7顯示其上沉積有複數記憶體疊層701的基板700。記憶體疊層701可以是例如MRAM或PCRAM疊層。疊層701受到雙層材料702的披覆。雙層包含一下保護層704與一上惠電層705。在某些實施例中，外觀的相鄰疊層之間間隙係被隙填材料填滿。

【0071】 在一群記憶體疊層受到一密封層外觀後，如圖7中所示，經密封的疊層係被間隙分離。例如，可以一CVD或ALD製程所形成的介電材料填滿此些間隙。在某些情況中，間隙係被如矽氧化物或矽氮化物的矽系材料所填滿。在其他情況中，間隙可被非矽系材料所填滿。可用以填滿間隙之非矽系材料的實例為鈦氧化物。在某些實施例中，密封層與隙填材料兩者皆為鈦氧化物。在一特定的實施例中，延長密封層沉積製程的期間，俾以ALD沉積的鈦氧化物填滿相鄰記憶體疊層之間的整個區域、而非僅外觀記憶體疊層。一般而言，密封層必須有高品質以適當地保護下方材料。相對地，隙填材料的品質與特性則有較多的彈性。

【0072】 當使用鈦氧化物同時外觀記憶體疊層並填滿疊層之間間隙時，可使用許多製程方法。在一情況中，在單一步驟中並在相同的沉積條件下進行製程的兩個部分(外觀疊層及填滿疊層之間間隙)。在此情況中，外觀疊層的材料與填充間隙的材料之間並無實質上的差異。在另一實施例中，在相同的條件下進行製程的兩個部分、但在沉積密封層與沉積隙填材料之間採取額外的製程步驟。在此兩個步驟之間可進行之製程的一實例為熱退火。在熱退火期間，可將基板加熱至一較高溫度，如至少約300°C、或至少約400°C、或至少約500°C。

【0073】 在某些其他的實施例中，密封層與隙填材料的每一者皆可以ALD製程沉積，但兩製程的沉積條件可能不同。例如，隙填材料可以較高沉積速度、較短吹淨時間等沉積。

【0074】 在某些實施例中，密封層與隙填材料可以不同類型的製程沉積。例如，密封層可以ALD製程沉積，而隙填材料可以CVD製程沉積，如脈衝電漿CVD製程。密封層與隙填材料的每一者皆可為鈦氧化物。如上所述，亦可使用其他材料作為隙填材料。例如，隙填材料可以是以脈衝電漿CVD製程沉積的SiN或SiC。

【0075】 圖8顯示記憶體裝置800之簡化橫剖面圖，記憶體裝置800在基板805上具有被一密封層802覆蓋之複數獨立的記憶體疊層801。經密封之記憶體疊層801之間隙係被隙填材料803填滿。如上所述，密封層802可以ALD製程自鈦氧化物所形成。隙填材料803可以是以ALD製程沉積之鈦氧化物、以CVD製程沉積之鈦氧化物、或其他介電材料。雖然隙填材料803被顯示成具有平坦的上部，但在此區域中所沉積之薄膜的形狀會取決於沉積條件與製程。在達到圖8中所示之狀態前，材料可能需要被平坦化。

【0076】 在某些實施例中，以ALD沉積之TiO₂可用來作為邏輯裝置之前段製程中的蓋層。記憶體密封層與FEOL應用層，例如DRAM中MIM電容器之高介電常數層(high-K layers)、3D NAND中多晶矽之間的層間層等需要類似的薄膜特性(保護以避免氧化、氣密性、薄膜穩定性等)。是以，以ALD沉積的TiO₂亦為此應用中有前景的材料。當使用TiO₂作為FEOL邏輯裝置中的蓋層時，通常涉及在具有電活性的裝置/閘極上方沉積TiO₂材料。例如，可利用密封層外觀覆蓋了金

屬氧化物半導體或電容器的每一閘極，以使閘極與相鄰的電晶圓隔離。在某些實施例中，這些密封層可為如文中所述之利用ALD沉積的鈦氧化物。

設備

【0077】 圖9顯示反應室製程站900之一實施例的概圖。為了簡化圖示，製程站900被顯示成具有用以維持低壓環境之一製程室體902的一獨立製程站。然而，應瞭解，在一共同的製程設備環境中可包含複數製程站900。例如，圖10顯示一多站製程設備之一實施例。又，當明白，在某些實施例中，可藉由一或多個電腦控制器以程式方式調整製程站900的一或多個硬體參數，這些硬體參數包含下面會詳細討論的硬體參數。

【0078】 製程站900係與反應物輸送系統901流體交流，反應物輸送系統901係用以將製程氣體輸送至配送噴淋頭906。反應物輸送系統901包含用以混合及/或調整欲輸送至噴淋頭906之製程氣體的混合容器904。一或多個混合容器入口閥920可控制製程氣體至混合容器904的導入。

【0079】 某些反應物在蒸發以及後續輸送至製程站之前可以液態儲存。圖9的實施例包含用以蒸發欲供給至混合容器904之液體反應物的蒸發點903。在某些實施例中，蒸發點903可以是一經加熱的蒸發器。在未採取適當控制時，自此類蒸發器所產生的飽和反應物蒸氣可在下游輸送管線中凝結。不匹配之氣體暴露至已凝結的反應物可能會產生小粒子。此些小粒子可阻塞管線、阻礙閥件操作、污染基板等。解決此些問題的某些方法涉及掃除及/或排空輸送管線，以移除剩餘的反應物。然而，掃除輸送管線可能會增加製程站循環時間、不利製程站產量。是以，在某些實施例中，可熱追蹤蒸發點903下游的輸送管線。在某些

實例中，亦可熱追蹤混合容器904。在一非限制性的實例中，蒸發點903下游的管線具有較高溫度的輪廓，自約100°C延伸至混合容器904處的約150°C。

【0080】 如所述，在某些實施例中，蒸發點903可以是一經加熱的注射器。液體注射器可將液體反應物的脈衝注射至混合容器上游的載氣流中。在一情況中，液體注射器可藉著瞬間使液體自較高壓力變為較低壓力來蒸發反應物。在另一實例中，液體注射器可將液體原子化為分散微滴，此些分散微滴接著在經加熱的輸送管線中蒸發。較小的液滴比較大的液滴更快蒸發，因此可降低液體注射與完成蒸發之間的延遲。較快蒸發可減少蒸發點903下游之管線的長度。在一情況中，液體注射器可直接架設至混合容器904。在另一情況中，液體注射器可直接架設至噴淋頭906。

【0081】 在某些實施例中，可提供蒸發點903上游的液流控制器，以控制蒸發及輸送至製程站900之液體的質量流量。例如，液流控制器(LFC)可包含位於LFC下游的一熱質量流量計(MFM)。接著可調整LFC的柱塞閥，以回應與MFM電交流之比例-積分-微分(PID)控制器所提供的反饋控制訊號。然而，利用反饋控制可能要花一秒或更久才能穩定液流。這可能會延長供應液態反應物劑量所用的時間。是以，在某些實施例中，LFC可動態地在反饋控制模式與直接控制模式之間切換。在某些實施例中，LFC可藉由使LFC與PID控制器的感測管失效來動態地自反饋控制模式切換至直接控制模式。

【0082】 噴淋頭906朝向基板912配送製程氣體。在圖9所示的實施例中，基板912係位於噴淋頭906下方且被顯示為座落於平臺908上。應瞭解，噴淋頭906可具有任何適合的形狀且可具有任何適合數目與配置的接口以將製程氣體配送至基板912。

【0083】 在某些實施例中，微體積907係位於噴淋頭906下方。在微體積中進行CFD製程會比在製程站的整個體積中進行CFD製程更能降低反應物暴露與掃除時間、更可降低轉換製程條件(如壓力、溫度等)的所需時間、可限制製程站機器人被暴露至製程氣體等。微體積尺寸的實例可包含但不限於介於0.1升至2升的體積。

【0084】 在某些實施例中，可舉升或降低平臺908以將基板912暴露至微體積907及/或改變微體積907的體積。例如，在一基板傳送階段中，可降低平臺908以將基板912載於平臺908上。在於基板上沉積的製程階段中，可舉升平臺908以將基板912置於微體積907中。在某些實施例中，微體積907可完全圍繞基板912以及平臺908的一部分，以於沉積製程期間產生一高流動阻抗區域。

【0085】 選擇性地，可在部分製程期間降低及/或舉升平臺908以調變微體積907內的製程壓力、反應物濃度等。在製程期間製程室體902被維持在一基礎壓力的一情況中，降低平臺908可使微體積907被排空。微體積之體積對製程室之體積的例示性比例可包含但不限於介於1：500至1：10。應明白，在某些實施例中，可藉由適合的電腦控制器以程式方式調整平臺高度。

【0086】 在另一情況中，調整平臺908的高度可變化電漿活化期間的電漿密度及/或沉積製程中所包含的處理循環。在完成製程階段時，可在另一基板傳送階段期間降低平臺908，以自平臺908移除基板912。

【0087】 雖然文中所述之例示性微體積變化係指高度可調整之平臺，但應瞭解，在某些實施例中，可調整噴淋頭906相對於平臺908的位置以變化微體積907的體積。又，應瞭解，在本發明的範疇內可藉由任何適當的機構來變化平臺908及/或噴淋頭906的垂直位置。在某些實施例中，平臺908可包含用以旋轉基板

912之位向的一旋轉軸。當明白，在某些實施例中，可藉由一或多個適合的電腦控制器以程式方式進行此些例示性調整的一或多者。

【0088】 回到圖9所示的實施例，噴淋頭906與平臺908係與用以對電漿供給能量的射頻(RF)電源914與匹配網路916電交流。在某些實施例中，可藉著控制製程站壓力、氣體濃度、RF電源、RF源頻率及電漿功率脈衝時點中的一或多者來控制電漿能量。例如，可在任何適當的功率下操作RF電源914與匹配網路916以產生具有期望之自由基物種組成的電漿。適當功率的實例已包含於上面段落。類似地，RF電源914可提供具有任何適當頻率的RF功率。在某些實施例中，RF電源914可用以彼此獨立地控制高頻與低頻RF電源。低頻RF頻率的實例可包含但不限於介於50 kHz至500 kHz的頻率。高頻RF頻率可包含但不限於介於1.8 MHz至2.45 GHz的頻率。應明白，可以離散或連續的方式調變任何適當的參數以提供表面反應用的電漿功率。在一非限制性的實例中，相較於連續供能的電漿，可間歇地脈衝電漿功率以降低對基板表面的離子轟擊。

【0089】 在某些實施例中，可藉由一或多個電漿監測器原位監測電漿。在一情況中，可藉由一或多個電壓、電流感測器(如VI探針)監測電漿功率。在另一情況中，可藉由一或多個光發射光譜感測器(OES)量測電漿密度及/或製程氣體濃度。在某些實施例中，可基於來自此類原位電漿監測器的量測，以程式方式調整一或多個電漿參數。例如，可在提供電漿功率之程式化控制的反饋迴路中使用OES感測器。應瞭解，在某些實施例中，可使用其他監測器監測電漿與其他製程特性。此類監測器可包含但不限於紅外線(IR)監測器、聲學監測器及壓力傳感器。

【0090】 在某些實施例中，可藉由輸入/輸出控制 (IOC) 序列指令控制電漿。在一實施例中，設定電漿活化步驟用之電漿反應的指令可被包含在製程配方的對應電漿活化配方階段中。在某些情況中，製程配方階段可依順序配置，故一製程階段的所有指令係與該製程階段同步執行。在某些實施例中，可將用以設定一或多個電漿參數的指令包含於一電漿配方階段之前的一配方階段中。例如，一第一配方階段可包含用以設定惰性氣體及/或反應物氣體之流率的指令、用以將電漿產生器設定至一功率設定點的指令以及第一配方階段用的時間延遲指令。一接續的第二配方階段可包含用以啟動電漿產生器的指令以及第二配方階段用的時間延遲指令。一第三配方階段可包含用以關閉電漿產生器的指令以及第三配方階段用的時間延遲指令。應明白，在本發明的範疇內此些配方階段可以任何適合的方式被更進一步地分割及/或重覆。

【0091】 在某些沉積製程中，電漿擊發數秒或更久等級的時間。在本文的某些實施例中，在製程循環內可施用更加短的電漿擊發。此些電漿擊發可50 ms至1秒等級的時間，例如0.25秒的特定例示性時間。此類短 RF 電漿擊發需要電漿的快速穩定。為了達到此目的，可配置電漿產生器俾使阻抗匹配被預設在一特定電壓但允許頻率浮動。傳統上，高頻電漿係於約13.56 MHz的RF頻率下產生。在本文所述的各種實施例中，允許頻率浮動至不同於此標準值的值。藉著允許頻率浮動但將阻抗匹配固定在一預設電壓，可更加快速地穩定電漿，當使用與ALD/CFD循環相關的極短電漿擊發時，此結果可能是重要的。

【0092】 在某些實施例中，平臺908可藉由加熱器910控制其溫度。又，在某些實施例中，製程站900的壓力控制可藉由蝶閥918來提供。如圖9的實施例所示，蝶閥918 壓抑下游真空泵浦(未顯示)所提供的真空。然而，在某些實施例中，

製程站900的壓力控制亦可藉由變化導入製程站900之一或多種氣體的流率來加以調整。

【0093】 製程站900的內部表面受到調節層950的披覆，調節層950可包含披覆下層膜及/或沉積前披覆層。可被調節層披覆之複數表面的實例包含製程室體902之壁、反應室頂板與地板、平臺908及噴淋頭906。雖然圖9顯示一基板912位於製程站900中，但在沉積一或多層調節層的期間，基板912並不存在。相反地，基板912係於沉積調節層之後，當製程站900已準備好用於在基板912上沉積薄膜時才導入製程站900中。

【0094】 如前所述，可將一或多個製程站包含在一多站製程設備中。圖10顯示具有入口加載互鎖機構1002與出口加載互鎖機構1004之多站製程設備1000之一實施例的概圖，入口加載互鎖機構1002與出口加載互鎖機構1004的其中之一或兩者可包含遠端電漿源。大氣壓力下的機器人1006係用以移動來自晶圓盒的複數晶圓，晶圓係經由艙1008藉由大氣接口1010而被載入入口加載互鎖機構1002中。機器人1006將晶圓放置到入口加載互鎖機構1002中的平臺1012上，大氣接口1010關閉，然後加載互鎖機構被泵抽。在入口加載互鎖機構1002包含遠端電漿源的情況下，晶圓在被導入製程室1014前可被曝露至加載互鎖機構中的遠端電漿處理。又，晶圓亦可在入口加載互鎖機構1002中受到加熱以例如移除水氣及被吸附的氣體。接下來，往製程室1014之腔室傳送接口1016開放，另一機器人(未顯示)將晶圓放置到反應器中被顯示為製程用之反應器中之第一站的平臺上。雖然圖10所示的實施例包含加載互鎖機構，但應瞭解，在某些實施例中，可將晶圓直接導入製程站中。

【0095】 所示之製程室1014包含四個製程站，這四個製程在圖10的實施例中被標號為1至4。每一站具有一經加熱的平臺(顯示於站1的1018處)以及複數氣體線入口。應瞭解，在某些實施例中，每一製程站可具有不同或複數的用途。例如，在某些實施例中，一製程站可在ALD模式、CFD模式與CVD處理模式之間切換。額外地或或者，在某些實施例中，製程室1014可包含一或多個匹配成對的ALD/CFD/CVD複數製程站。雖然所示的製程室1014包含四個站，但當瞭解，根據本發明的製程室可具有任何適當數目的站點。例如，在某些實施例中，一製程室可具有五或更多的站點，在其他的實施例中一製程室可具有三或更少的站點。

【0096】 圖10亦顯示在製程室1014中用以傳送晶圓之晶圓搬運系統1090的一實施例。在某些實施例中，晶圓搬運系統1090可在各種製程站點之間及/或在一製程站與加載互鎖機構之間傳送晶圓。應瞭解，可使用各種適合的晶圓搬運系統。非限制性的實例包含晶圓傳送盤與晶圓搬運機器人。圖10亦顯示用以控制製程設備1000之製程條件與硬體狀態之系統控制器1050的一實施例。系統控制器1050可包含一或多個記憶體裝置1056、一或多個大量儲存裝置1054及一或多個處理器1052。處理器1052可包含CPU或電腦、類比及/或數位輸入/輸出連接件、步進機馬達控制器板等。

【0097】 在某些實施例中，系統控制器1050控制製程設備1000的所有活動。系統控制器1050執行被儲存在大量儲存裝置1054中、被載入記憶體裝置1056中並在處理器1052上執行的系統控制軟體1058。系統控制軟體1058可包含用以控制下列的複數指令：時序、氣態與液態反應物的混合物、反應室及/或站點的壓力、反應室及/或站點的溫度、晶圓溫度、目標的功率位準、RF功率位準、RF

曝露時間、基板平臺、夾頭及/或支撐件的位置及製程設備1000所進行之特定製程的其他參數。此些程式化的製程可包含各種類型的製程，其包含但不限於：和沉積披覆下層膜相關的製程、和在基板上沉積薄膜相關的製程以及和清理反應室相關的製程。系統控制軟體1058可以任何適當的方式配置。例如，可撰寫各種製程設備元件的子程式或控制物件，以控制施行各種製程設備製程所需之製程設備元件的操作。可以任何適當的電腦可讀程式語言編碼系統控制軟體1058。

【0098】 在某些實施例中，系統控制軟體1058可包含用以控制上述各種參數的輸入/輸出(I/O)序列指令。例如，密封層沉積製程的每一階段可包含用以被系統控制器1050執行的一或多個指令。用以設定密封層沉積製程階段之製程條件的複數指令可被包含於對應的密封層沉積配方階段中。在某些實施例中，可依序配置複數配方階段，俾使一製程階段的所有指令係與該製程階段同時執行。

【0099】 在某些實施例中，可施行被儲存在與系統控制器1050相關之大量儲存裝置1054及/或記憶體裝置1056上的其他電腦軟體及/或程式。此目的用之程式或程式段落的實例包含基板定位程式、製程氣體控制程式、壓力控制程式、加熱器控制程式及電漿控制程式。

【0100】 基板定位程式可包含製程設備元件用的程式碼，此些程式碼係用以將基板載至平臺1018上、並控制基板與製程設備1000之其他部件之間的距離。定位程式可包含複數指令，此些指令係用以在必要時適當地將基板移入與移出反應室以沉積調節層、在基板上沉積薄膜以及清理反應室。此些指令包含用以確保在沉積調節層的期間內以及在清理製程的期間內，反應室中無基板存在的複數指令。

【0101】 製程氣體控制程式可包含用以控制氣體組成與流率、並選擇性地控制在沉積前流入一或多個製程站的氣體以穩定製程站中的壓力的程式碼。壓力控制程式可包含藉由調節例如製程站之排放系統中的節流閥、控制流入製程站的氣體流等而控制製程站中之壓力的程式碼。

【0102】 加熱器控制程式可包含用以控制流至用以加熱基板之加熱單元之電流的程式碼。或者或額外地，加熱器控制程式可控制輸送至基板之加熱傳輸氣體(如氬氣)的輸送。電漿控制程式可包含根據文中實施例設定一或多個製程站中的RF功率位準、頻率與曝露時間的程式碼。

【0103】 在某些實施例中，可具有與系統控制器1050相關的使用者介面。使用者介面可包含顯示螢幕、該設備及/或製程條件的圖形化軟體顯示及使用者輸入裝置，如指向裝置、鍵盤、觸控螢幕、麥克風等。

【0104】 在某些實施例中，系統控制器1050所調整的參數可與製程條件相關。非限制性實例包含製程氣體組成與流率、溫度、壓力、電漿條件(如RF偏壓功率位準與曝露時間)等。這些參數可以配方的形式提供予使用者，使用者可利用使用者介面來加以輸入這些參數。

【0105】 用以監測製程的訊號可來自各種製程設備感測器、並藉由系統控制器1050的類比及/或數位輸入連接件所提供。用以控制製程的訊號可在製程設備1000的類比與數位輸出連接件上輸出。可被監控之製程設備感測器的非限制性實例包含質量流量控制器、壓力感測器(如壓力計)、熱電偶等。適當程式化的反饋與控制演算法可與來自這些感測器的數據一起使用以維持製程條件。

【0106】 系統控制器1050可提供用以實施上述沉積製程的程式指令。程式指令可控制各種不同的製程參數，如DC功率位準、RF偏壓位準、壓力、溫度等。指令可根據文中的各種實施例控制參數以進行薄膜疊層的原位沉積。

【0107】 系統控制器通常包含一或多個記憶體裝置以及一或多個用以執行指令的處理器，俾使設備能施行根據本發明之方法。可使包含用以控制根據本發明之方法步驟之指令的機器可讀非暫態媒體和系統控制器耦合。

【0108】 上文中所述的各種硬體與方法實施例可與微影圖案化設備或製程一起使用，例如用以製造半導體裝置、顯示器、LEDs、光伏面板等的微影圖案化設備或製程。一般而言，雖然沒有必要，但此些設備/製程會在一共同的製造廠房中一起使用或進行。

【0109】 薄膜的微影圖案化通常包含下列步驟的部分者或全部，每一步驟可由許多可能的設備達成：(1)利用旋塗或噴塗設備將光阻施加至工作件上，如其上形成有氮化矽膜的基板上；(2)利用熱板、爐管或其他適合的固化設備固化光阻；(3)利用如晶圓步進機之一設備將光阻曝露至可見光或UV或X射線；(4)利用如濕式槽或噴塗顯影設備之一設備顯影光阻，以選擇性地移除光阻藉此將其圖案化；(5)利用一乾式或電漿輔助蝕刻設備，將光阻圖案轉移至下方膜層或工作件中；及(6)利用如RF或微波電漿光阻剝除設備之一設備移除光阻。在某些實施例中，在施加光阻之前可沉積可灰化的硬遮罩層(如非晶碳層)及另一適合的硬遮罩(如抗反射層)。

【0110】 當瞭解，文中所述的結構及/或方案皆具有例示性的本質，特定的實施例或實例不應被認為是限制性的，因為可對其作各種變化。文中所述的特定例行公事或方法可代表任何數目之處理策略中的一或多者。是以，所述的

各種動作可以所述的順序實施、以其他順序實施、同時實施或在某些情況下省略之。類似地，可改變上述處理的順序。

【0111】 本發明的標的包含各種方法、系統與結構的所有新穎與非顯而易見組合與次組合，以及文中所述的其他特徵、功能、動作及/或特性以及上述者的任何與所有等效物。

實驗

【0112】 實驗結果顯示，以ALD沉積的TiO₂對於被用來作為新興記憶體領域（如MRAM與PCRAM中的密封層）而言，是一具有前景的材料。鈦氧化物在無圖案負載效應(在空曠特徵部中所沉積的薄膜與緻密特徵部中所沉積的薄膜之間並無蝕刻輪廓差異)的情況下展現出優異的階梯覆蓋率、良好的氣密性以及在相關溫度下展現出良好的薄膜穩定性。

【0113】 圖11顯示具有一層TiO₂沉積於其上之基板的SEM影像。此處所示之基板為具有矽底層1101的測試晶圓。一層矽氧化物1102係沉積於矽層1101上。蝕刻矽氧化物層1102以形成凹陷的特徵部。先以經由低壓化學氣相沉積(LPCVD)製程所沉積的氮化物層1103外觀特徵部。然後在約150°C的溫度下，於氮化物層上沉積TiO₂。雖然在圖11中顯示了三個獨立的圖，但每一圖顯示了相同基板的相同部分。換言之，每一圖中的鈦氧化物薄膜係經由相同的製程沉積至相同的基板上。上圖顯示排列相對緻密之具有相對高深寬比(AR)的特徵部。中間的圖顯示排列較不緻密之具有較低深寬比之特徵部。下圖顯示平坦區域。在製程期間的一典型沉積製程中，一基板可包含具有不同深寬比及不同特徵部密度的各種特徵部。在沉積時的一個重要目標為，在基板上的特徵部內(為了良好的階梯覆蓋度)以及不同特徵部之間均勻地沉積薄膜。當基板包含緻密之具有

高深寬比的特徵部以及具有低深寬比之孤立特徵部時，在兩種類型的特徵部中均勻地沉積是一件極富挑戰性的任務。然而如圖11中所示，ALD沉積的鈦氧化物係以極均勻的方式沉積在兩種類型的特徵部中以及平坦區域中。

【0114】 圖12之表說明圖11之鈦氧化物的薄膜特性。薄膜厚度係於每一特徵部的上部、側壁及底部量測。階梯覆蓋率係藉著將側壁厚度除以上部厚度(S/T)所計算獲得並以百分比表示之。圖12的高AR列對應至圖11之上圖中所示之高深寬比特徵部。圖12的低AR列對應至圖11之中間的圖中所示之低深寬比特徵部。圖12的平坦列對應至圖11之下圖中所示之平坦區域。整個薄膜各處的薄膜厚度是實質上均勻的。高深寬比特徵部展現出約99.9%的階梯覆蓋率，而低深寬比特徵部展現出約99.1%的階梯覆蓋率。又，實質上無圖案負載效應。換言之，對所有的特徵部類型而言，薄膜厚度是極均勻的。在某些實施例中，鈦氧化物薄膜的階梯覆蓋率係介於約98-102%，例如介於約99-101%。

【0115】 圖13顯示一拉伸TEOS系矽氧化物薄膜在其上具有不同薄膜時的應力變化。薄膜係利用純N₂O電漿在約150°C的溫度下沉積。RF功率約為2.5 kW且壓力約為3.5 Torr。如上所述，當一拉伸TEOS裸膜被暴露至大氣時，其開始吸收水氣。當水氣進入拉伸TEOS薄膜時，拉伸TEOS薄膜的應力以可預測的方式變化。此應力變化係由圖13的控制組(t-TEOS)線顯示。然而，當拉伸TEOS薄膜具有充分有效的氣密蓋層避免其吸收水氣時，不會發生此應力變化(或發生至較輕微的程度)。測試四種不同厚度的TiO₂薄膜，其厚度介於約30-175Å。證明所有TiO₂薄膜皆具有充分的氣密性以避免拉伸TEOS薄膜層的應力變化。這意味著即便將厚度降至約30Å，TiO₂仍能提供良好的氣密以保護下方膜層。對於用以覆蓋

記憶體疊層的密封層而言，此氣密性是有利的，因為可避免水氣進入記憶體疊層並避免疊層材料氧化或以其他方式退化。

【0116】 圖14之兩圖顯示在不同溫度下某些薄膜的穩定性。利用純 N_2O 電漿、約2.5 kW的RF功率、在約3.5 Torr的壓力下形成此些薄膜。以熱色散光譜儀(TDS)產生數據。圖14的左圖係關於以文中所述之ALD製程沉積的 TiO_2 薄膜。圖14的右圖係關於以脈衝電漿CVD製程沉積的 SiN 薄膜。提供右圖以茲比較。以ALD沉積的 TiO_2 即便到高達至少約 $500^\circ C$ ，仍展現出極佳的薄膜穩定性。即便到上至此溫度實質上仍無 H_2 、 N_2 、 O_2 或 N_2O 自薄膜脫附。相對地， SiN 薄膜在約 $360^\circ C$ 起便展現實質的 H_2 脫附。雖然即便在低溫下 TiO_2 薄膜展現出某個位準的氫，但此氫位準係相當於來自反應室環境的基準位準。在許多樣本中皆可見到此相對低位準之氫，此相對低位準之氫並不意味著受到測試的薄膜中有任何改變。例如，在低溫處於 SiN 薄膜中可見到此相同的基準氫位準。此些結果暗示，以文中所述之ALD沉積的鈦氧化物在相關的操作溫度下是穩定的。在某些實施例中，密封層在上至約 $500^\circ C$ 的溫度下不會實質上脫附氫。文中所用之「不會實質上脫附氫」係指在相關的溫度下、經由TDS所觀察到的氫位準不會上升超過原環境位準的約25%。

【0117】 圖15顯示經由ALD製程沉積 TiO_2 以填滿特徵部之間之間隙的實例。在此實例中， TiO_2 同時外襯特徵部(如一密封層)並同時填滿特徵部之間間隙(如一隙填材料)。 TiO_2 係以極保形的方式沉積。此薄膜在平坦區域中稍微較厚，但此額外的厚度存在係因為在間隙被填滿後仍持續地以保形的方式沉積薄膜。平坦區域中的額外厚度並不代表如CVD沉積薄膜所展現的過度負擔。此些結果暗示，為了填滿相較特徵部/記憶體疊層之間間隙可增加鈦氧化物密封層

的厚度。雖然在側壁相接之處可能會觀察到縫隙，但此些縫隙相當地小且在已填滿的間隙中並無孔洞。在欲被填滿之間隙具有較小深寬比如約1：2.5或更小的深寬比(深度：寬度)時，此技術尤其有用。相較於較大深寬比的間隙，在此些小深寬比間隙中縫隙的存在是較不嚴重的問題。

【符號說明】

【0118】

- 100 磁穿隧接面
- 101 第一鐵磁層(自由層)
- 103 絕緣阻障層
- 105 第二鐵磁層(固定層)
- 300 磁穿隧接面
- 304 鐵磁層(自由層)
- 305 基板
- 306 晶種層
- 308 釘扎鐵磁層
- 310 穿隧阻障層
- 312 釘扎結構
- 314 第二鐵磁層
- 316 非磁性間隔層
- 318 反鐵磁釘扎層
- 320 蓋層
- 410 導電層

- 420 第一介電層
- 430 下電極
- 440 第二電極
- 450 加熱元件
- 460 相變材料
- 470 第二介電層
- 500 方法
- 501 使第一反應物流入反應室並使第一反應物吸附至基板表面上
- 503 吹淨反應室
- 505 使第二反應物流入反應室並使第二反應物吸附至基板表面上
- 507 將反應室暴露至電漿將驅動第一與第二反應物之間之反應而形成鈦氧化物之薄層
- 509 吹淨反應室
- 511 膜層已沉積至充分厚度？
- 513 結束沉積
- 600 基板
- 601 記憶體疊層
- 602 雙層密封層
- 604 保護層
- 605 惠電層
- 700 基板
- 701 記憶體疊層
- 702 雙層材料
- 704 保護層

- 705 惠電層
- 800 記憶體裝置
- 801 記憶體疊層
- 802 密封層
- 803 隙填材料
- 805 基板
- 900 製程站
- 901 反應物輸送系統
- 902 製程室體
- 903 蒸發點
- 904 混合容器
- 906 噴淋頭
- 907 微體積
- 908 平臺
- 910 加熱器
- 912 基板
- 914 電源
- 916 匹配網路
- 918 蝶閥
- 950 調節層
- 1000 多站製程設備
- 1002 入口加載互鎖機構
- 1004 出口加載互鎖機構
- 1006 機器人

- 1008 艙
- 1010 大氣接口
- 1014 製程室
- 1016 傳送接口
- 1018 平臺
- 1050 系統控制器
- 1052 處理器
- 1054 大量儲存裝置
- 1056 記憶體裝置
- 1058 系統控制軟體
- 1090 晶圓搬運系統
- 1101 矽底層
- 1102 矽氧化物
- 1103 氮化物層

【發明申請專利範圍】

【第1項】一種在半導體基板上之記憶體疊層上沉積二氧化鈦密封層的方法，包含：

接收一基板於一反應室中，該基板上具有複數磁性隨機存取記憶體(MRAM)疊層或複數相變隨機存取記憶體(PCRAM)疊層；

使一含鈦反應物流入該反應室中並使該含鈦反應物吸附至該基板的一表面上；

使一含氧反應物流入該反應室中並使該含氧反應物吸附至該基板的該表面上；及

將該反應室暴露至一電漿以驅動該含鈦反應物與該含氧反應物之間的一表面反應，藉此在該複數MRAM疊層或該複數PCRAM疊層上方保形地沉積一二氧化鈦密封層。

【發明圖式】

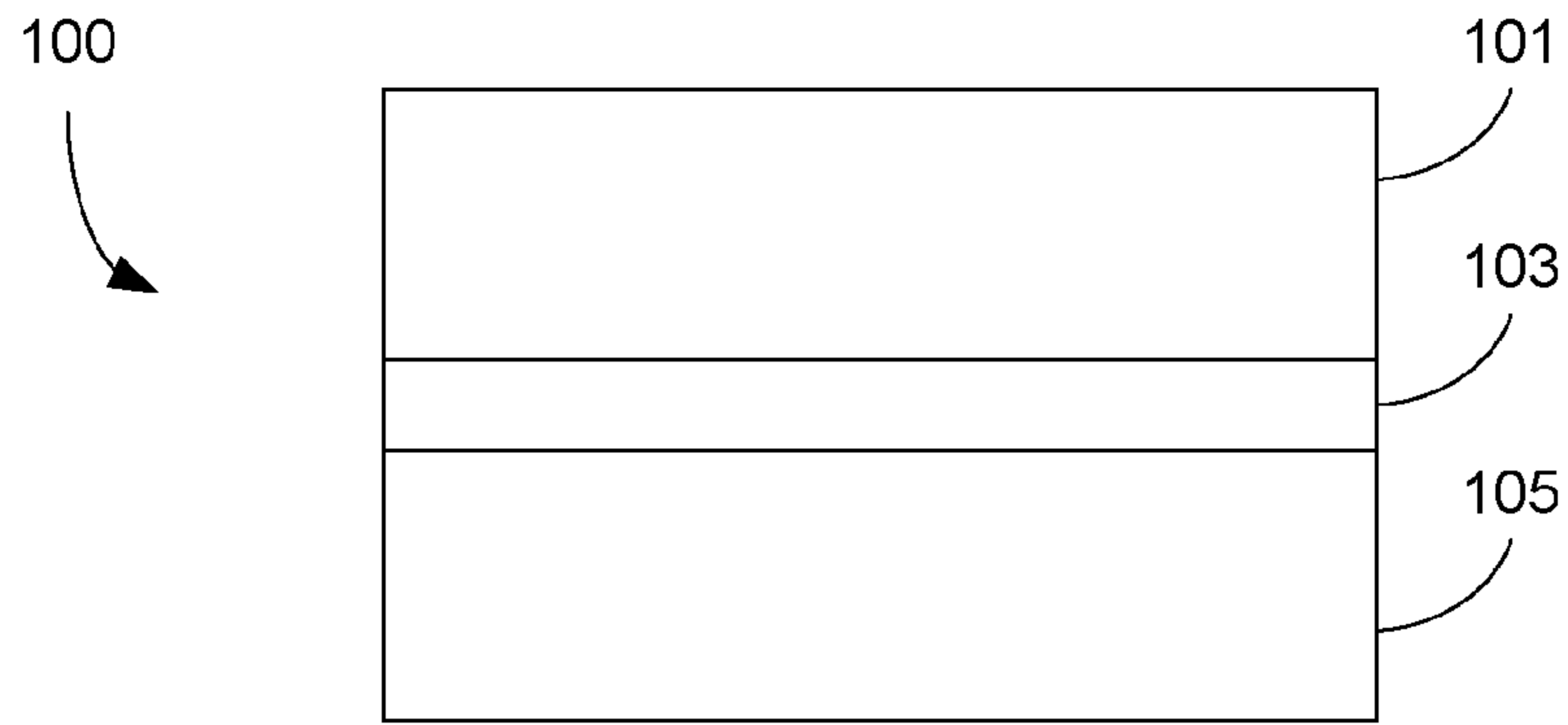


圖 1

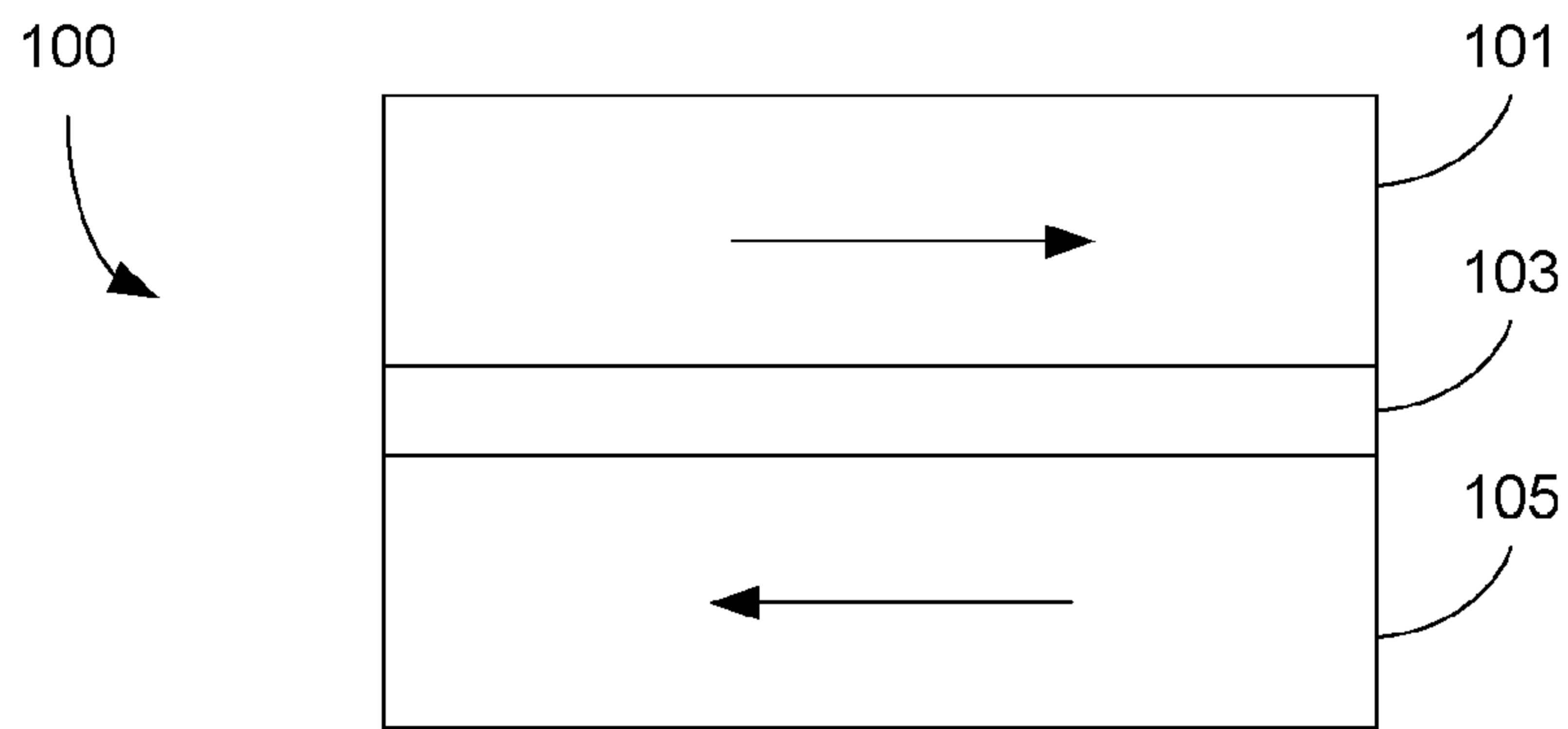


圖 2A

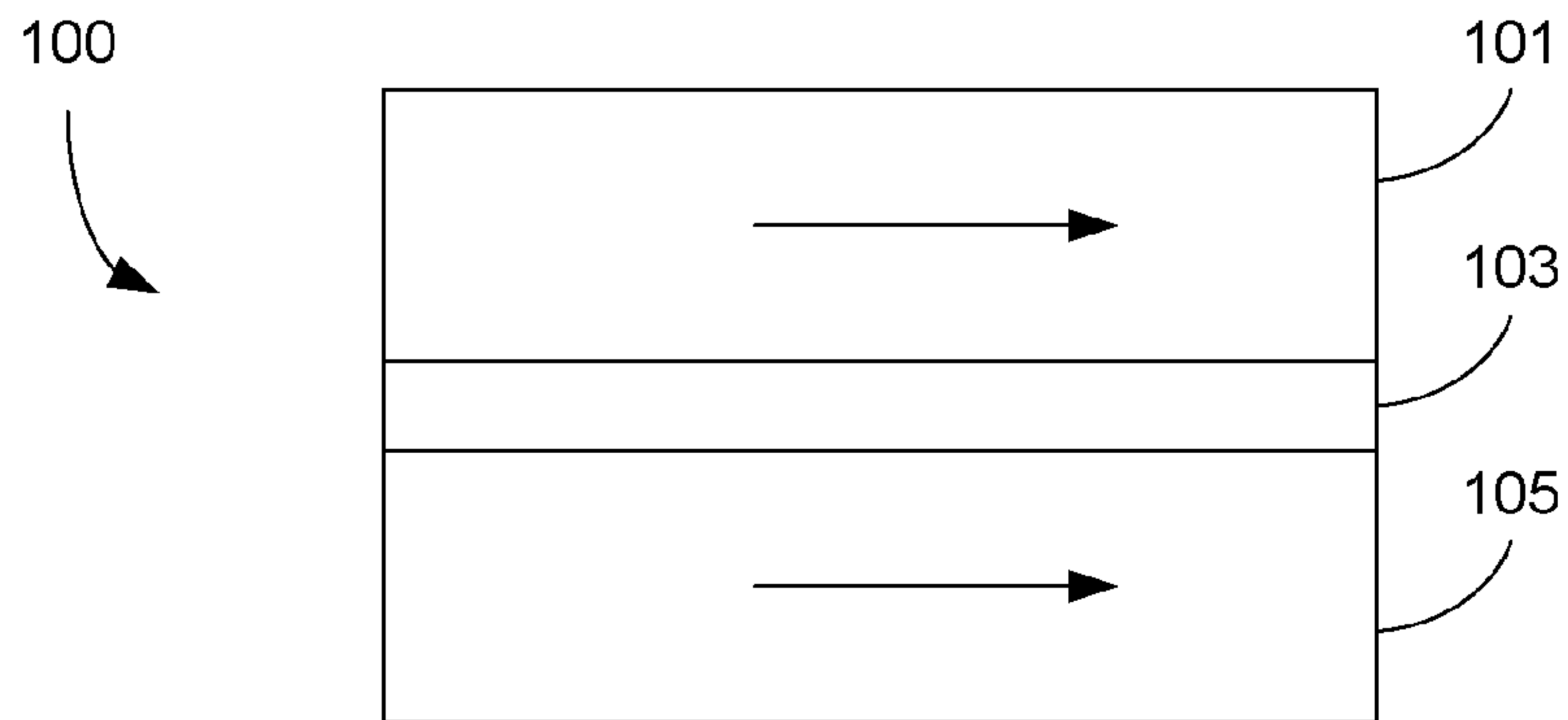


圖 2B



圖 3

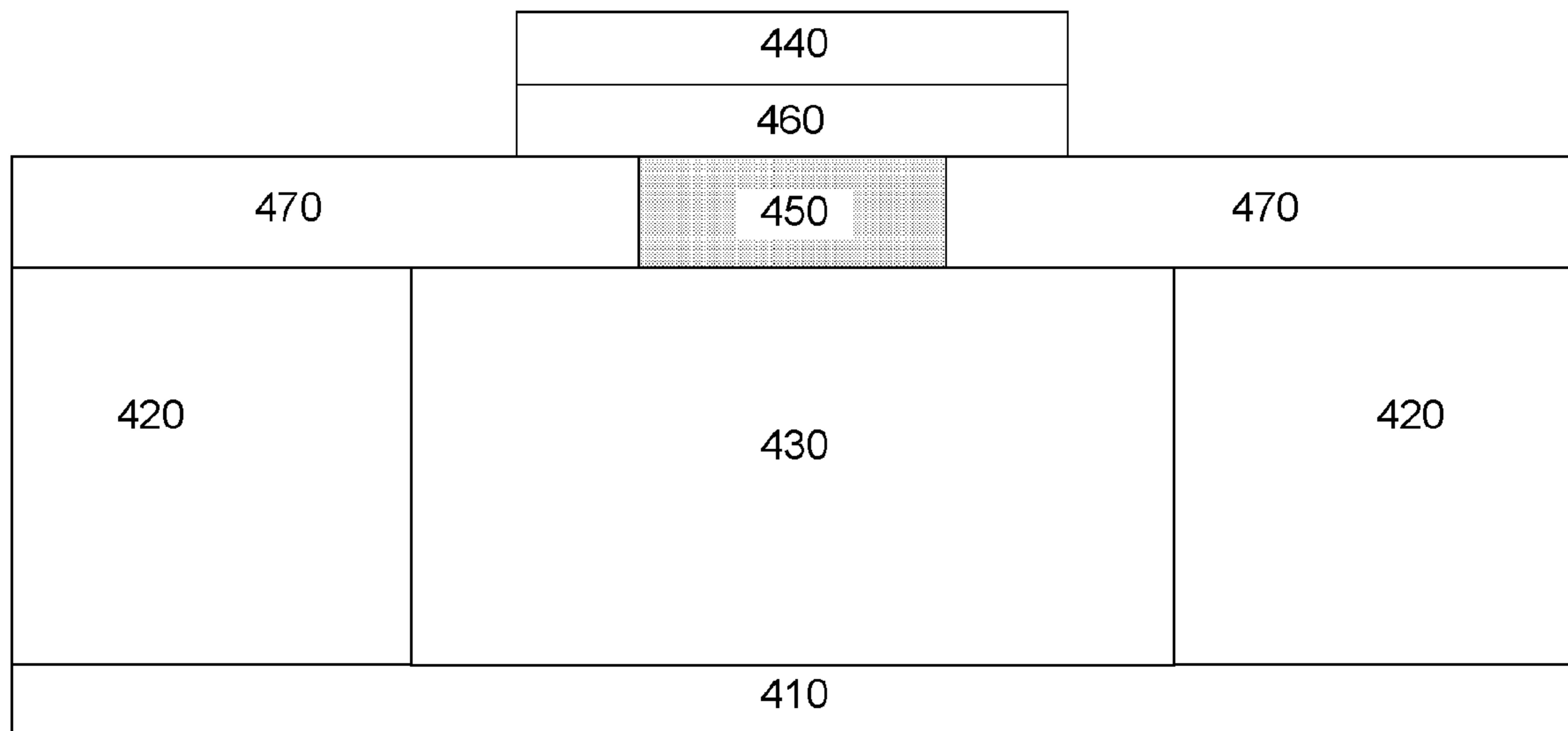


圖 4

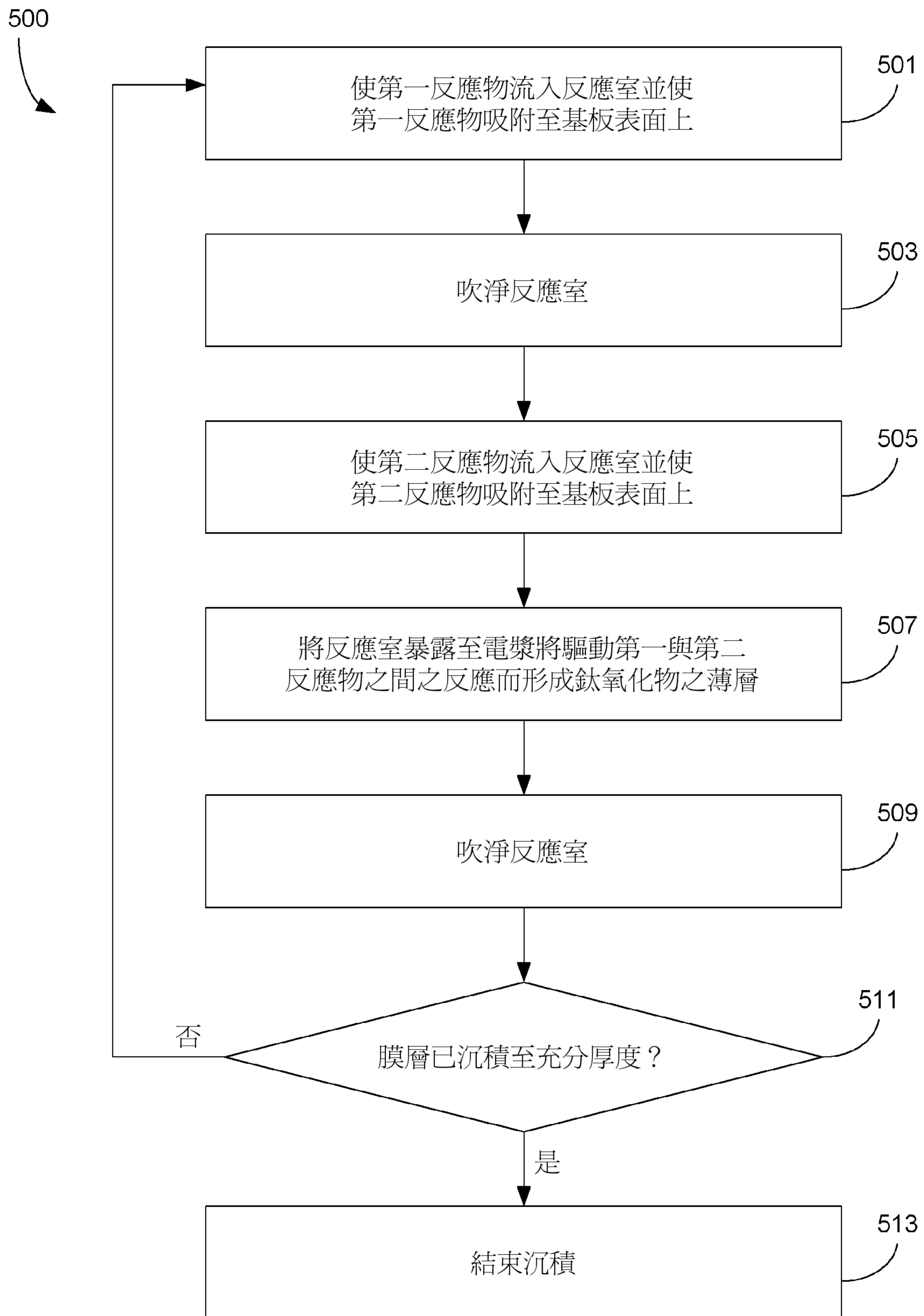


圖 5

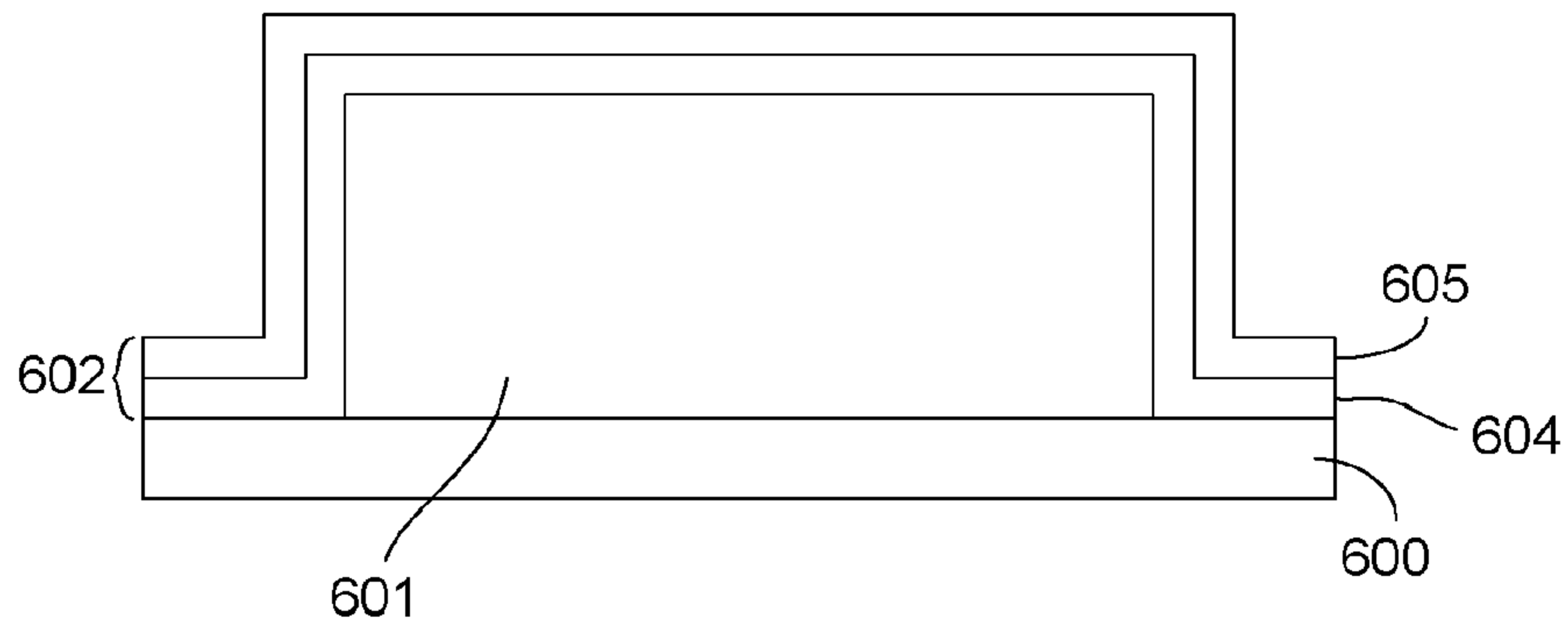


圖 6

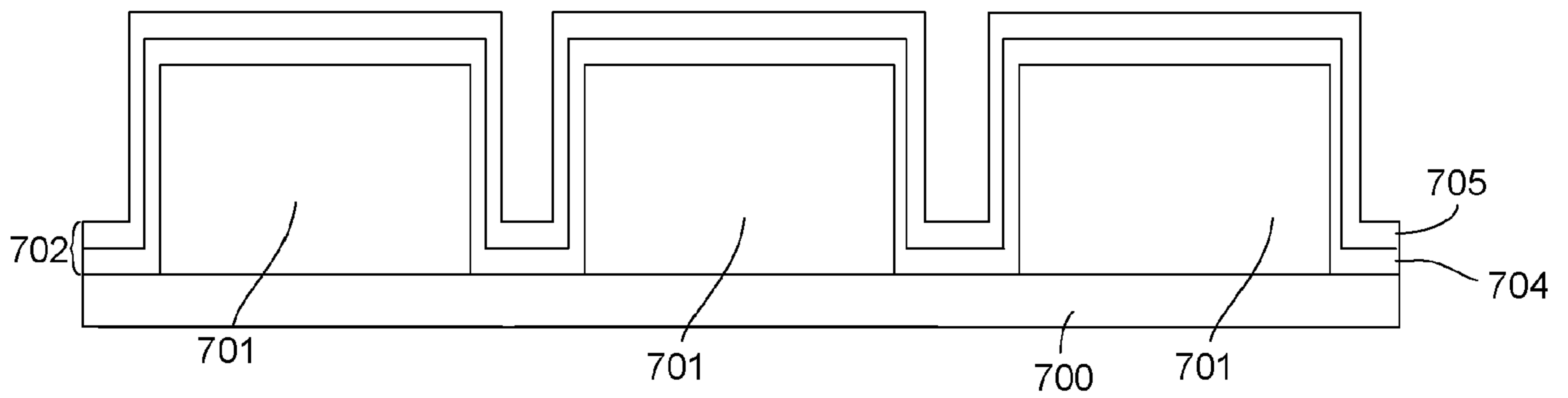


圖 7

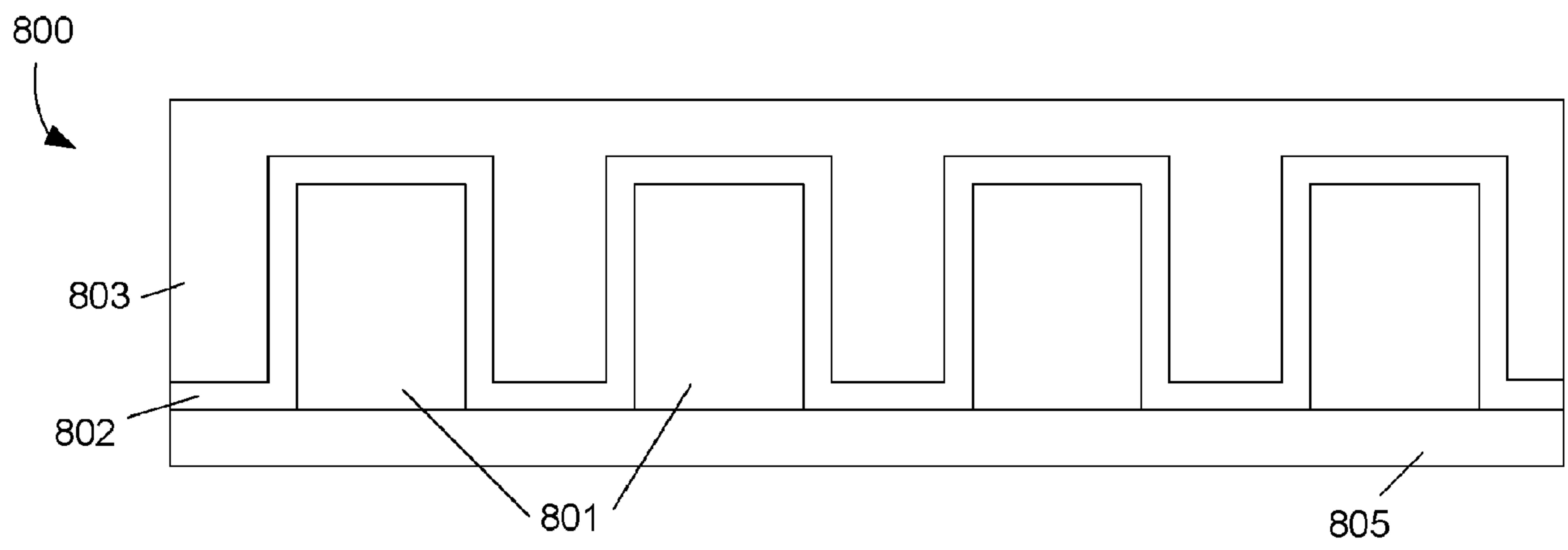


圖 8

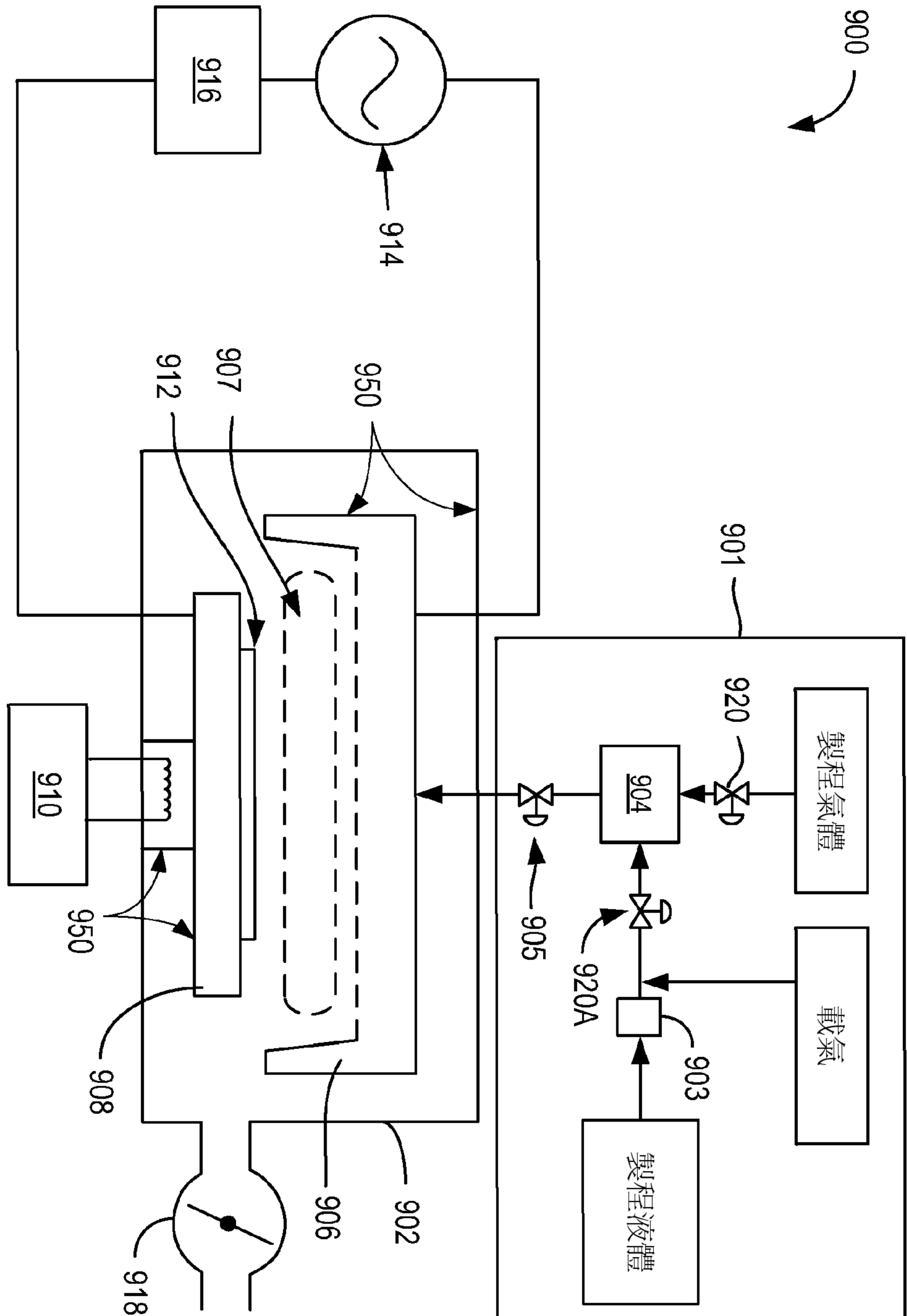


圖 9

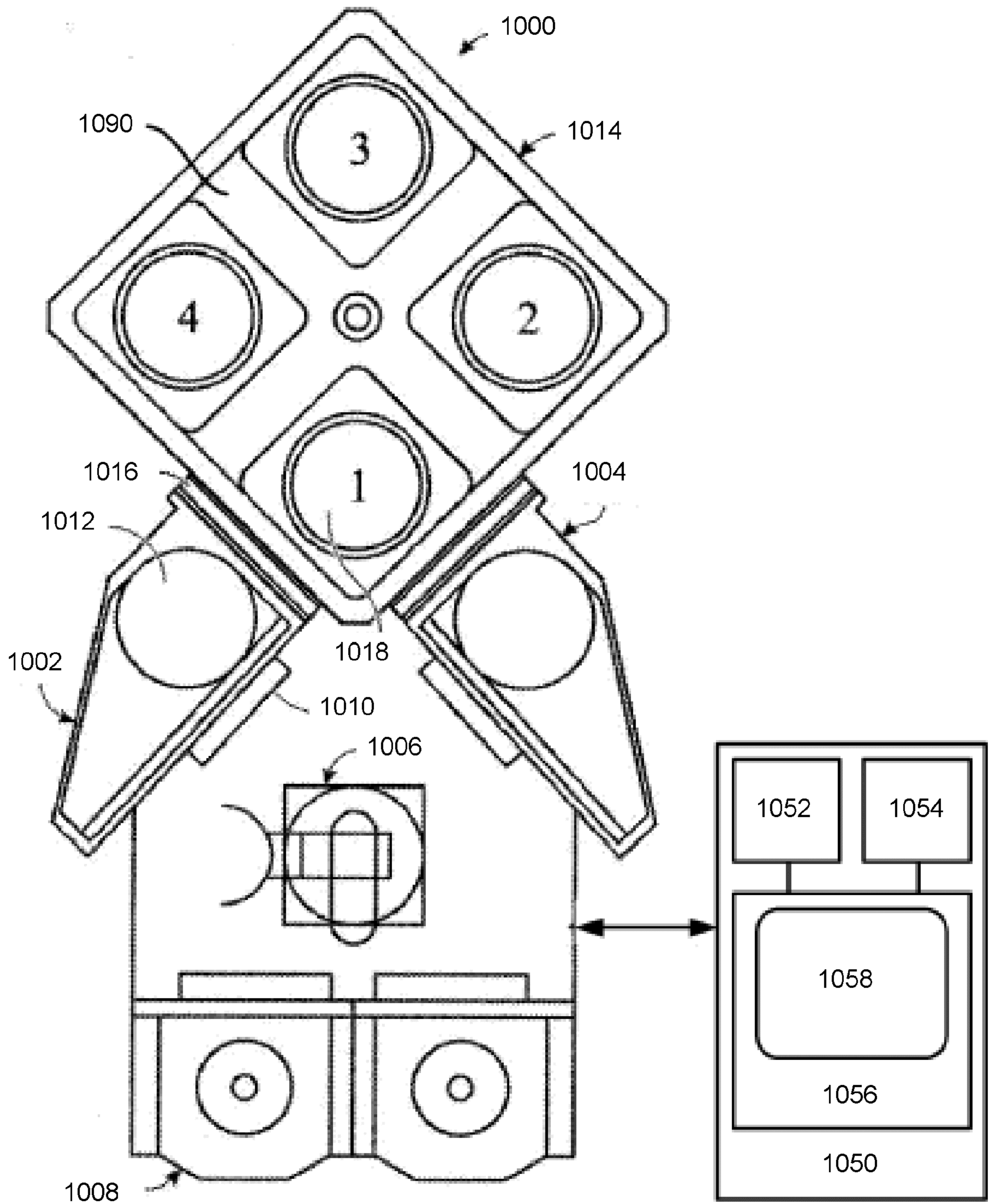


圖 10

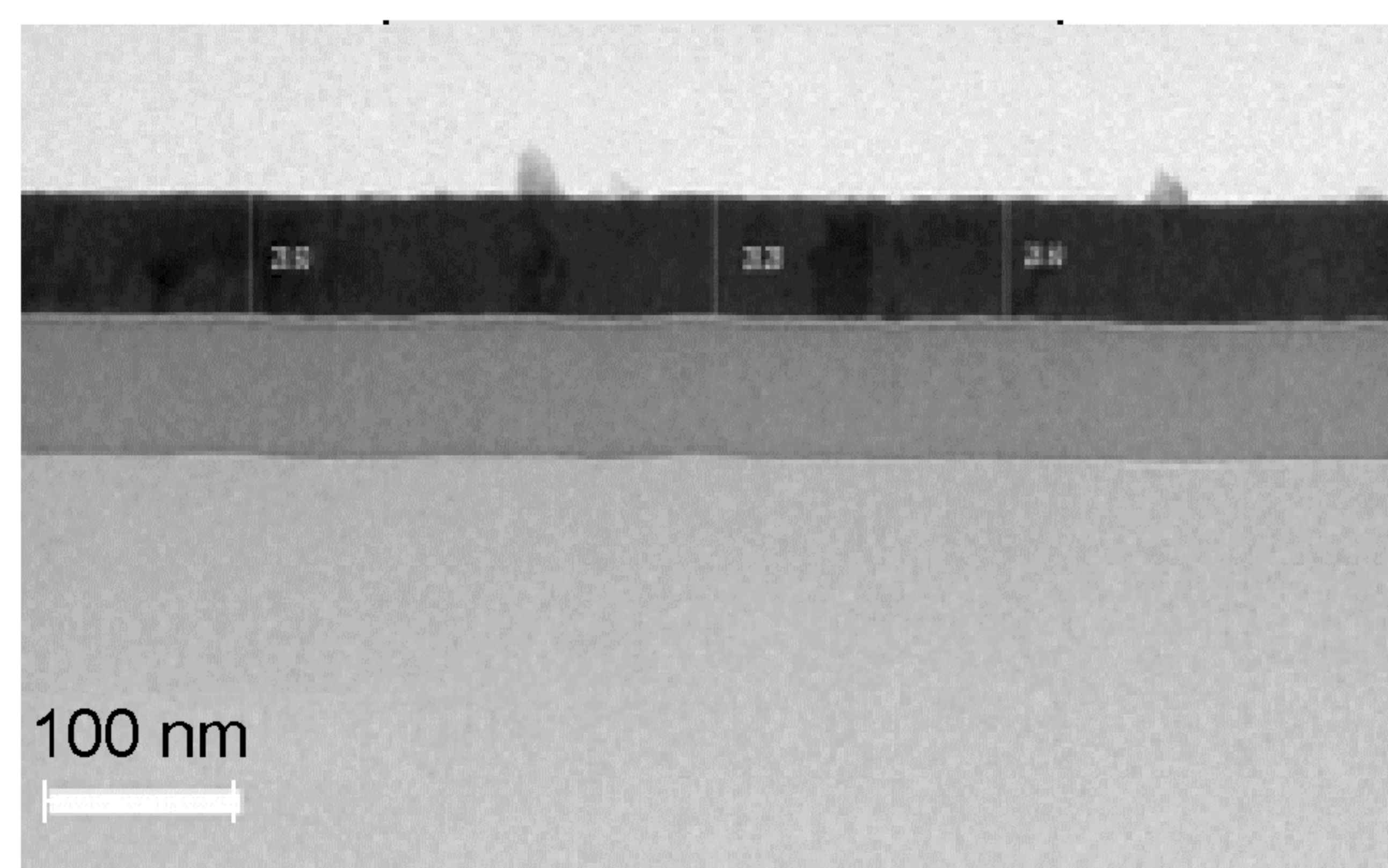
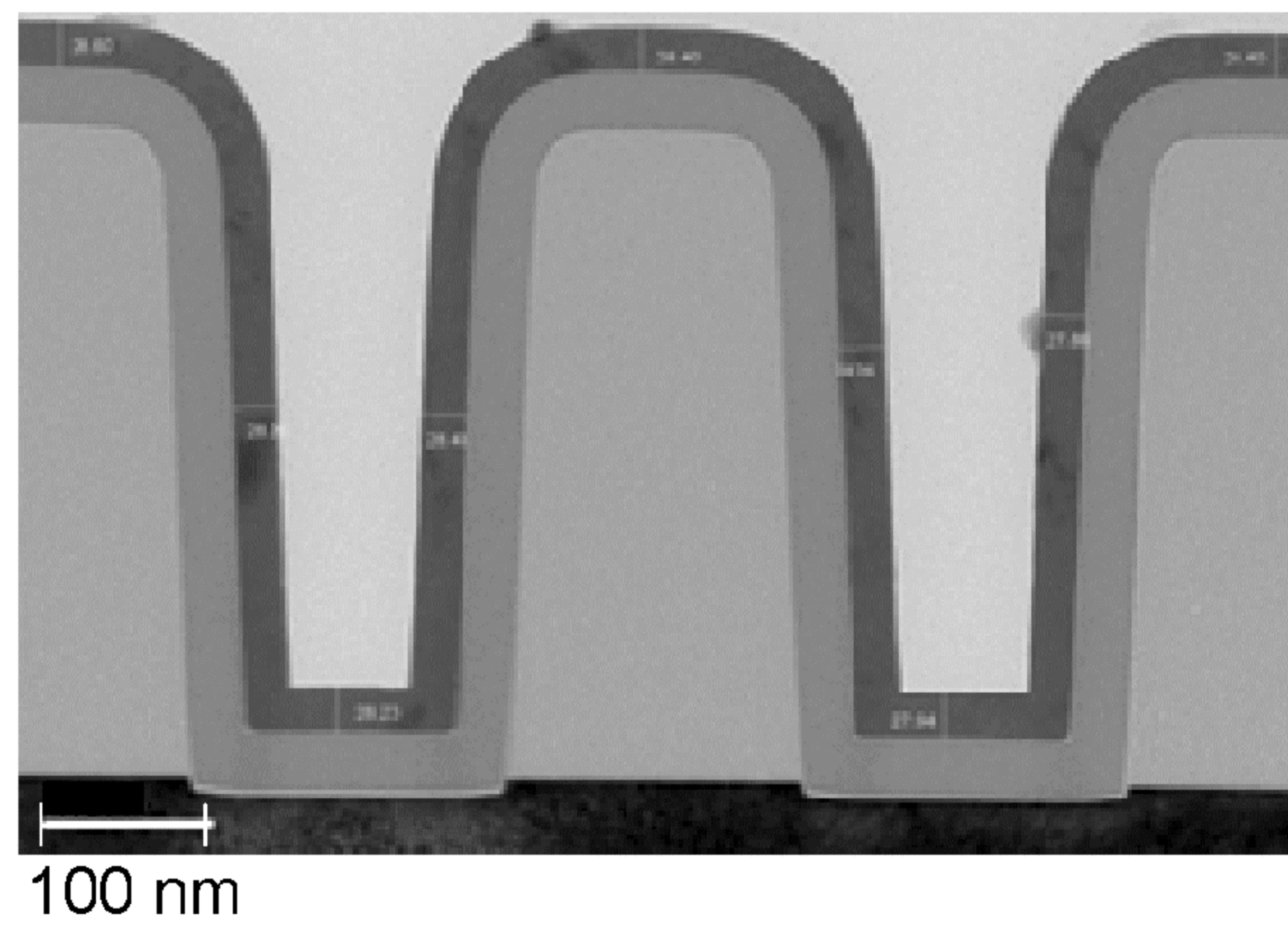
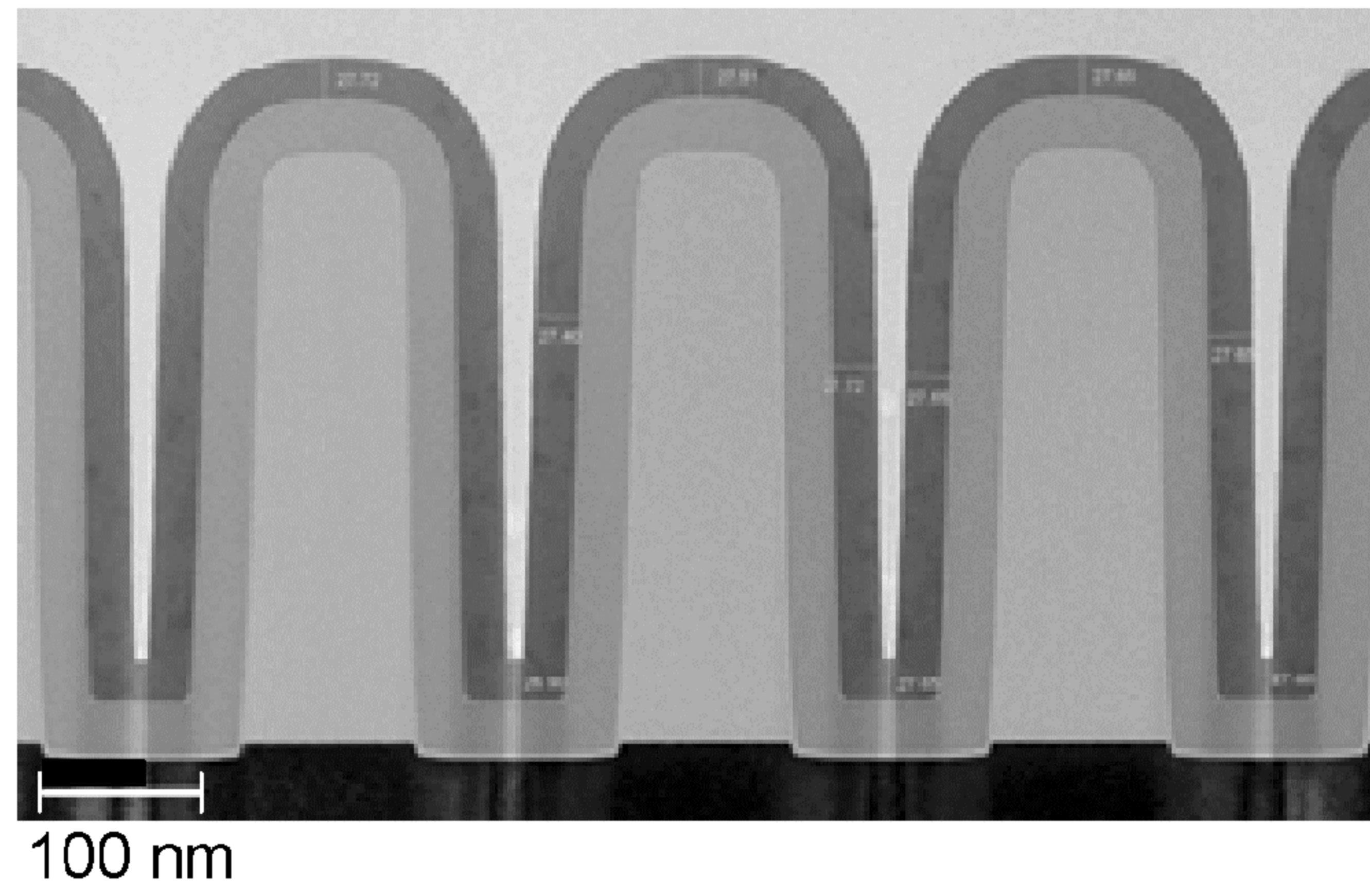


圖 11

特徵部	上部厚度 (Å)	側壁厚度 (Å)	底部厚度 (Å)	階梯覆蓋率 (%)
高 AR	27.63	27.61	27.45	99.9
低 AR	28.47	28.21	27.45	99.1
平坦	28.49	-	-	-

圖 12

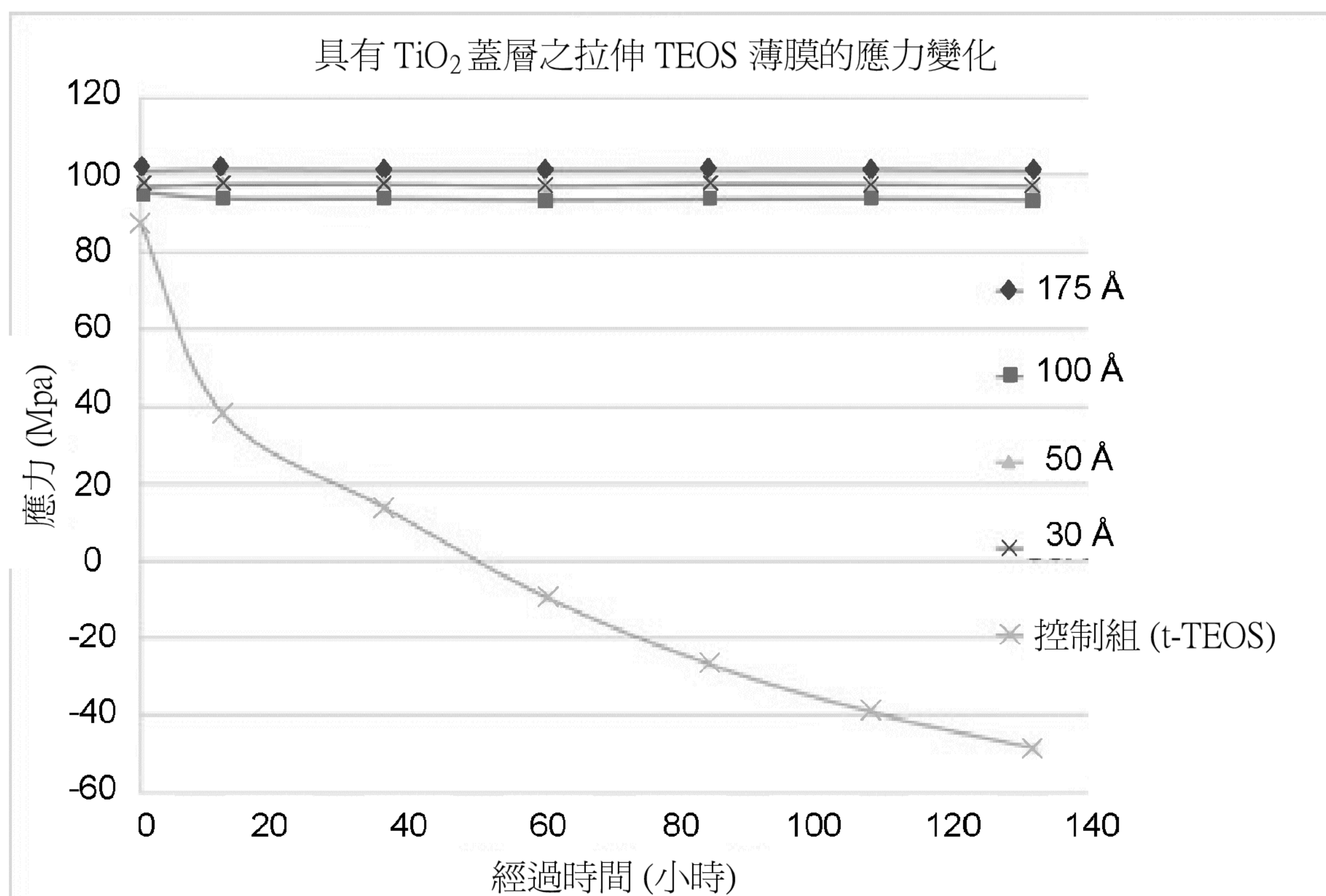


圖 13

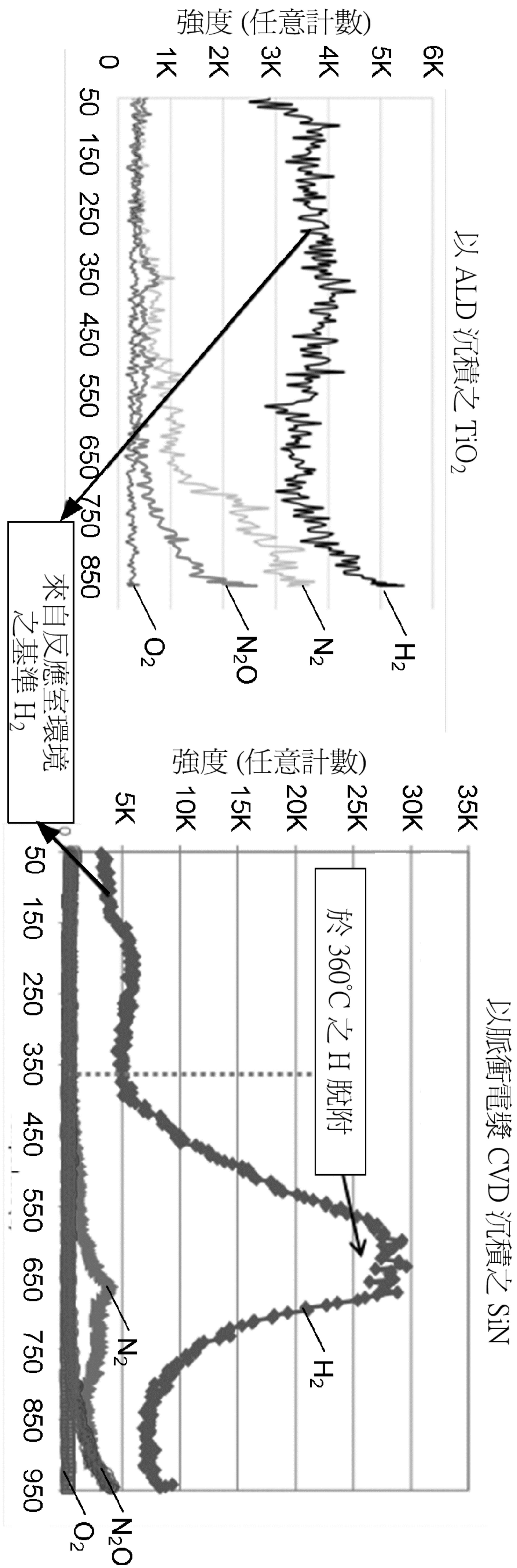


圖 14

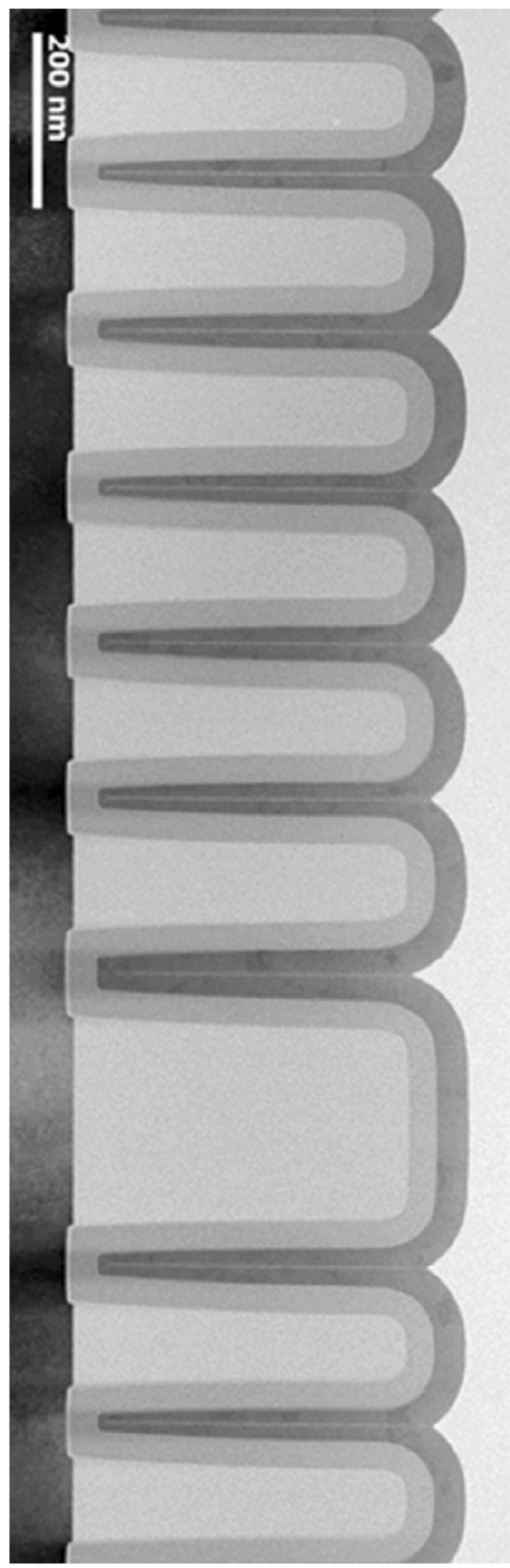


圖 15

【發明申請專利範圍】

【第1項】一種在基板上之複數結構上形成二氧化鈦雙層的方法，包含：

(a)接收該基板於一反應室中，該基板包含在該基板之表面上的該複數結構；

(b)利用第一電漿輔助原子層沉積反應以在該複數結構上沉積第一二氧化鈦層；

(c)在步驟(b)之後，利用第二電漿輔助原子層沉積反應以在該第一二氧化鈦層上沉積第二二氧化鈦層，其中該第二電漿輔助原子層沉積反應係在與該第一電漿輔助原子層沉積反應不同的電漿條件下加以執行，且其中該第一二氧化鈦層與該第二二氧化鈦層共同形成該二氧化鈦雙層。

【第2項】如申請專利範圍第1項之在基板上之複數結構上形成二氧化鈦雙層的方法，其中該第一電漿輔助原子層沉積反應包含使該基板暴露於第一電漿，其中該第一電漿係在約 1750 W/m^2 或更小的RF功率密度下產生。

【第3項】如申請專利範圍第2項之在基板上之複數結構上形成二氧化鈦雙層的方法，其中該第二電漿輔助原子層沉積反應包含使該基板暴露於第二電漿，其中該第二電漿係在約 7075 W/m^2 或更大的RF功率密度下產生。

【第4項】如申請專利範圍第3項之在基板上之複數結構上形成二氧化鈦雙層的方法，其中使該基板暴露於該第一電漿達約0.5秒或更少的歷時，且其中使該基板暴露於該第二電漿達約0.5秒或更多的歷時。

【第5項】如申請專利範圍第1項之在基板上之複數結構上形成二氧化鈦雙層的方法，其中利用第一組反應物以沉積該第一二氧化鈦層，其中利用第二組反應物以沉積該第二二氧化鈦層，且其中該第一組反應物不同於該第二組反應物。

【第6項】一種在基板上之複數結構上沉積二氧化鈦雙層的設備，包含：

一反應室；

該反應室的一入口，用以導入氣相反應物；

該反應室的一出口，用以自該反應室移除材料；

一電漿產生器，其係配置以使該反應室暴露於電漿；以及

一控制器，其係配置以引致：

(a)接收該基板於反應室中，該基板包含在該基板之表面上的該複數結構；

(b)利用第一電漿輔助原子層沉積反應以在該複數結構上沉積第一二氧化鈦層；

(c)在步驟(b)之後，利用第二電漿輔助原子層沉積反應以在該第一二氧化鈦層上沉積第二二氧化鈦層，其中該第二電漿輔助原子層沉積反應係在與該第一電漿輔助原子層沉積反應不同的電漿條件下加以執行，且其中該第一二氧化鈦層與該第二二氧化鈦層共同形成該二氧化鈦雙層。

【第7項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該控制器係配置以藉由使一弱氧化劑流入該反應室而引致該第一二氧化鈦層之沉積，且藉由使 O_2 及/或 N_2O 流入該反應室而引致該第二二氧化鈦層之沉積。

【第8項】如申請專利範圍第7項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該控制器係配置以在不使該基板暴露於強氧化劑之情況下引致該第一二氧化鈦層之沉積。

【第9項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該控制器係配置以藉由使該基板暴露於第一電漿而引致該第一二氧化鈦層之沉積，且藉由使該基板暴露於第二電漿而引致該第二二

氧化鈦層之沉積，其中該第一電漿係在約 1750 W/m^2 或更小的RF功率密度下產生，且該第二電漿係在約 7075 W/m^2 或更大的RF功率密度下產生。

【第10項】如申請專利範圍第9項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該控制器係配置以藉由使該基板在該第一原子層沉積反應之每一迭代期間暴露於該第一電漿達約0.5秒或更少的歷時而引致該第一二氧化鈦層之沉積，且藉由使該基板在該第二原子層沉積反應之每一迭代期間暴露於該第二電漿達約0.5秒或更多的歷時而引致該第二二氧化鈦層之沉積。

【第11項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該控制器係配置以藉由使該基板在該第一原子層沉積反應之每一迭代期間暴露於第一電漿達約0.5秒或更少的第一歷時而引致該第一二氧化鈦層之沉積，且藉由使該基板在該第二原子層沉積反應之每一迭代期間暴露於第二電漿達約0.5秒或更多的第二歷時而引致該第二二氧化鈦層之沉積，其中該第二歷時比該第一歷時更長。

【第12項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該控制器係配置以引致該第一二氧化鈦層之沉積，使得該第一二氧化鈦層具有介於約 $20\text{-}500 \text{ \AA}$ 之間的最終厚度。

【第13項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該電漿產生器係配置以在該反應室中產生電漿。

【第14項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該電漿產生器為一遠程電漿產生器，其係配置以將電漿輸送至該反應室。

【第15項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該電漿產生器係配置以產生電容耦合式電漿。

【第16項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該電漿產生器係配置以產生感應耦合式電漿。

【第17項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，其中該控制器係配置以藉由使第一組反應物流入該反應室而引致該第一二氧化鈦層之沉積，且藉由使第二組反應物流入該反應室而引致該第二二氧化鈦層之沉積，其中該第一組反應物與該第二組反應物彼此不同。

【第18項】如申請專利範圍第6項之在基板上之複數結構上沉積二氧化鈦雙層的設備，更包含一蒸發器。

【第19項】如申請專利範圍第18項之在基板上之複數結構上沉積二氧化鈦雙層的設備，更包含在該蒸發器與該反應室之間的管線，其中在該蒸發器與該反應室之間的該管線係配置為伴熱的。

【第20項】一種在基板上之複數結構上形成金屬氧化物雙層的方法，包含：

(a)接收該基板於一反應室中，該基板包含在該基板之表面上的該複數結構；

(b)利用第一電漿輔助原子層沉積反應以在該複數結構上沉積第一金屬氧化物層；

(c)在步驟(b)之後，利用第二電漿輔助原子層沉積反應以在該第一金屬氧化物層上沉積第二金屬氧化物層，其中該第二電漿輔助原子層沉積反應係在與該第一電漿輔助原子層沉積反應不同的電漿條件下加以執行。

【第21項】如申請專利範圍第20項之在基板上之複數結構上形成金屬氧化物雙層的方法，其中該等第一及第二金屬氧化物層各自包含第4族金屬氧化物。

【第22項】如申請專利範圍第21項之在基板上之複數結構上形成金屬氧化物雙層的方法，其中該第一電漿輔助原子層沉積反應包含使該基板暴露於第一電漿，該第一電漿係在約 1750 W/m^2 或更小的RF功率密度下產生。

【第23項】如申請專利範圍第22項之在基板上之複數結構上形成金屬氧化物雙層的方法，其中該第二電漿輔助原子層沉積反應包含使該基板暴露於第二電漿，該第二電漿係在約 7075 W/m^2 或更大的RF功率密度下產生。

【第24項】一種在基板上之複數結構上沉積金屬氧化物雙層的設備，該設備包含：

一反應室；

該反應室的一入口，用以導入氣相反應物；

該反應室的一出口，用以自該反應室移除材料；

一電漿產生器，其係配置以使該反應室暴露於電漿；以及

一控制器，其係配置以引致：

(a)接收該基板於反應室中，該基板包含在該基板之表面上的該複數結構；

(b)利用第一電漿輔助原子層沉積反應以在該複數結構上沉積第一金屬氧化物層；

(c)在步驟(b)之後，利用第二電漿輔助原子層沉積反應以在該第一金屬氧化物層上沉積第二金屬氧化物層，其中該第二電漿輔助原子層沉積反應係在與該第一電漿輔助原子層沉積反應不同的電漿條件下加以執行。