(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월15일
(11) 등록번호 10-1450803
(24) 등록일자 2014년10월07일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
(21) 출원번호 10-2007-0140441
(22) 출원일자 2007년12월28일
심사청구일자 2012년12월28일
(65) 공개번호 10-2009-0072352
(43) 공개일자 2009년07월02일
(56) 선행기술조사문헌
KR1020060111265 A

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
이성영
경기도 안양시 만안구 안양로468번길 25-19, 2층 (석수동)
전상익
경기도 용인시 기흥구 용구대로 1842, 103동 1702호 (보라동, 현대모닝사이드2차아파트)
(뒷면에 계속)
(74) 대리인
박영우

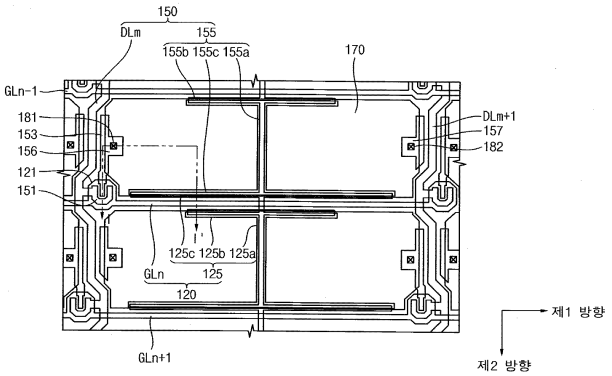
전체 청구항 수 : 총 13 항 심사관 : 신창우

(54) 발명의 명칭 **어레이 기판 및 어레이 기판의 제조방법**

(57) 요 약

영상의 표시 품질을 향상시킬 수 있는 어레이 기판 및 이의 제조 방법에서, 어레이 기판은 베이스 기판, 게이트 라인 및 광차단패턴을 포함하는 제1 도전패턴, 제1 도전패턴의 상부에 형성되고 상기 광차단패턴과 중첩되는 반도체층, 반도체층 상에 형성되고 광차단패턴과 중첩되는 스토리지 라인 및 데이터 라인을 포함하는 제2 도전패턴, 및 상기 제2 도전패턴의 상부에 형성되고 상기 스토리지 라인과 중첩되어 스토리지 커패시터를 형성하는 화소 전극을 포함한다. 광차단패턴이 스토리지 라인의 하부에 형성된 반도체층 또는 데이터 라인의 하부에 형성된 반도체층으로 향하는 광을 차단하여, 반도체층이 광에 의해 활성화되는 것을 방지하여 스토리지 커패시턴스의 변화와 같은 전기적 특성의 변화를 방지할 수 있다. 따라서, 영상의 표시 품질을 향상시킬 수 있다.

대 표 도



(72) 발명자

박경호

충남 아산시 배방읍 배방로187번길 20-6, 301호 (이화빌)

김윤장

경기도 수원시 영통구 매영로310번길 12, 신나무실5단지아파트 542동 1704호 (영통동)

특허청구의 범위

청구항 1

베이스 기판;

상기 베이스 기판 상에 형성되고, 게이트 라인, 상기 게이트 라인과 전기적으로 연결된 게이트 전극 및 제1 광차단패턴을 포함하는 제1 도전패턴;

상기 게이트 전극 및 상기 제1 광차단패턴 상부에 형성되고, 상기 제1 광차단패턴과 중첩되는 반도체층;

상기 제1 도전패턴 및 상기 반도체층 사이에 형성되고, 상기 제1 광차단패턴을 덮는 게이트 절연층;

상기 반도체층 상에 형성되고, 상기 게이트 라인과 교차하는 데이터 라인 및 상기 제1 광차단패턴과 중첩되는 스토리지 라인을 포함하는 제2 도전패턴;

상기 제2 도전패턴의 상부에 형성되고, 상기 스토리지 라인과 중첩되어 스토리지 커패시터를 형성하는 화소 전극; 및

상기 제2 도전 패턴 상에 형성되고, 상기 스토리지 라인을 덮는 패시베이션층을 포함하는 어레이 기판.

청구항 2

제1항에 있어서, 상기 반도체층은 상기 스토리지 라인과 접촉하는 것을 특징으로 하는 어레이 기판.

청구항 3

제1항에 있어서, 상기 반도체층의 제1 단부는 상기 화소 전극과 중첩되고 상기 반도체층의 제1 단부와 대향하는 상기 반도체층의 제2 단부는 상기 화소 전극과 중첩되지 않는 것을 특징으로 하는 어레이 기판.

청구항 4

제3항에 있어서, 상기 제1 광차단패턴은 상기 반도체층의 제1 단부와 중첩되어 상기 반도체층의 제1 단부를 향하여 진행하는 광을 차단하는 것을 특징으로 하는 어레이 기판.

청구항 5

제1항에 있어서, 상기 스토리지 라인은,

상기 제2 방향으로 형성된 메인 스토리지 라인;

상기 메인 스토리지 라인으로부터 상기 제1 방향으로 연장되며, 상기 화소 전극의 제1 단부와 중첩되는 제1 서브 스토리지 라인; 및

상기 메인 스토리지 라인으로부터 상기 제1 방향으로 연장되며, 상기 화소 전극의 제1 단부에 대향하는 상기 화소 전극의 제2 단부와 중첩되는 제2 서브 스토리지 라인을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 6

제5항에 있어서, 상기 제1 광차단패턴은,

상기 메인 스토리지 라인과 중첩되도록 제2 방향으로 형성된 메인 광차단패턴;

상기 제1 서브 스토리지 라인과 중첩되도록 상기 메인 광차단패턴으로부터 상기 제1 방향으로 연장되는 제1 서브 광차단패턴; 및

상기 제2 서브 스토리지 라인과 중첩되도록 상기 메인 광차단패턴으로부터 상기 제1 방향으로 연장되는 제2 서브 광차단패턴을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 7

제6항에 있어서, 상기 메인 스토리지 라인 및 상기 메인 광차단패턴은 각각 상기 화소 전극의 중심을 가로지르

도록 형성된 것을 특징으로 하는 어레이 기판.

청구항 8

제7항에 있어서, 상기 스토리지 라인 및 상기 제1 광차단패턴은 상기 화소 전극의 중심을 상기 제2 방향으로 가로지르는 가상의 중심선을 기준으로 대칭 형상을 갖는 것을 특징으로 하는 어레이 기판.

청구항 9

제1항에 있어서, 상기 제1 도전패턴은 상기 데이터 라인 및 상기 데이터 라인의 하부에 형성된 상기 반도체층과 중첩되는 제2 광차단패턴을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 10

제1항에 있어서,

단위 화소마다 형성되는 박막 트랜지스터들;

상기 박막 트랜지스터들 중 홀수 행에 배치된 박막 트랜지스터와 상기 화소 전극을 전기적으로 연결하는 제1 콘택홀; 및

상기 박막 트랜지스터들 중 짝수 행에 배치된 박막 트랜지스터와 상기 화소 전극을 전기적으로 연결하는 제2 콘택홀을 더 포함하는 어레이 기판.

청구항 11

제10항에 있어서, 상기 제2 도전패턴은 상기 제1 콘택홀에 대응하여 배치되는 제1 연결 전극 및 상기 제2 콘택홀에 대응하여 배치되는 제2 연결 전극을 더 포함하고,

상기 제1 연결 전극은 홀수 행에 배치된 상기 박막 트랜지스터의 드레인 전극으로부터 연장되어 형성되며,

상기 제2 연결 전극은 짝수 행에 배치된 상기 박막 트랜지스터의 드레인 전극으로부터 연장되어 형성되는 것을 특징으로 하는 어레이 기판.

청구항 12

제11항에 있어서, 상기 제1 연결 전극이 상기 화소 전극과 중첩되는 면적 및 상기 제2 연결 전극이 상기 화소 전극과 중첩되는 면적의 합은 모든 단위 화소에서 일정한 것을 특징으로 하는 어레이 기판.

청구항 13

제11항에 있어서, 상기 제1 도전패턴은 상기 제1 연결 전극 및 상기 제2 연결 전극과 각각 중첩되는 제3 광차단패턴을 더 포함하는 것을 특징으로 하는 어레이 기판.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 어레이 기판 및 어레이 기판의 제조방법에 관한 것에 관한 것으로, 보다 상세하게는 영상의 표시품질을 향상시킨 어레이 기판 및 어레이 기판의 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정 표시장치(liquid crystal display)는 액정의 광투과율을 이용하여 영상을 표시하는 액정 표시패널(liquid crystal display panel) 및 상기 액정 표시패널의 하부에 배치되어 상기 액정 표시패널로 광을 제공하는 백라이트 어셈블리(back-light assembly)를 포함한다.

[0003] 상기 액정 표시패널은 일반적으로 어레이 기판, 상기 어레이 기판과 대향하는 컬러필터 기판 및 상기 어레이 기판과 상기 컬러필터 기판 사이에 개재된 액정층을 포함한다.

[0004] 상기 어레이 기판에는 다수의 단위 화소들이 정의된다. 상기 어레이 기판은 게이트 및 데이터 라인들, 상기 라인들에 전기적으로 연결된 박막 트랜지스터들, 상기 단위 화소들 내에 형성되어 상기 박막 트랜지스터들과 전기적으로 연결된 화소전극들 및 스토리지 커패시터를 형성하는 스토리지 라인들을 포함한다. 여기서, 상기 스토리지 라인들은 상기 화소 전극들과 중첩되어 스토리지 커패시터를 형성하고, 이에 따라, 상기 각 화소 전극에 인가된 화소 전압을 한 프레임 동안 유지시킨다.

[0005] 한편, 상기 어레이 기판을 형성하는 공정에서 공정에 사용되는 마스크의 수를 줄이고 공정 단계를 줄이면, 생산비용을 줄일 수 있다. 공정 단계를 줄이기 위해, 상기 스토리지 라인과 활성층(액티브층)이 동시에 형성되는 경우가 있다. 이 경우, 상기 스토리지 라인의 하부에 형성된 활성층에 광이 인가되면, 상기 활성층이 광 에너지를 흡수하여 상기 스토리지 라인에 의해 형성된 스토리지 커패시턴스를 변화시킬 수 있다. 스토리지 커패시턴스가 변화 되면, 킥백(kick back)전압이 설계치와 달라지고 각 화소별 킥백(kick back)전압에 편차가 생긴다. 킥백 전압의 편차가 발생되면, 화면이 깜박이는 이른바 플리커(flicker) 불량 또는 화면에 줄이 생기는 워터폴(waterfall) 불량을 일으킨다. 이에 따라, 영상의 표시품질이 저하되는 문제점이 발생된다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명에서 해결하고자 하는 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 광에 의한 스토리지 커패시턴스의 변화를 방지할 수 있는 구조를 갖는 어레이 기판을 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 어레이 기판을 제조하는 데 특히 적합한 어레이 기판의 제조방법을 제공하는 것이다.

과제 해결수단

[0008] 본 발명의 목적을 달성하기 위한 일 실시예에 따른 어레이 기판은 베이스 기판, 상기 베이스 기판 상에 형성되고 게이트 라인 및 제1 광차단패턴을 포함하는 제1 도전패턴, 상기 제1 도전패턴의 상부에 형성되고 상기 제1 광차단패턴과 중첩되는 반도체층, 상기 반도체층 상에 형성되고 상기 게이트 라인과 교차하는 데이터 라인 및

상기 제1 광차단패턴과 중첩되는 스토리지 라인을 포함하는 제2 도전패턴, 및 상기 제2 도전패턴의 상부에 형성되고 상기 스토리지 라인과 중첩되어 스토리지 커패시터를 형성하는 화소 전극을 포함한다.

[0009] 일 실시예에서, 상기 반도체층은 상기 스토리지 라인과 접촉할 수 있다.

[0010] 일 실시예에서, 상기 반도체층의 제1 단부는 상기 화소 전극과 중첩되고 상기 반도체층의 제1 단부와 대향하는 상기 반도체층의 제2 단부는 상기 화소 전극과 중첩되지 않는다. 상기 제1 광차단패턴은 상기 반도체층의 제1 단부와 중첩되어 상기 반도체층의 제1 단부를 향하여 진행하는 광을 차단할 수 있다.

[0011] 일 실시예에서, 상기 스토리지 라인은 상기 제2 방향으로 형성된 메인 스토리지 라인, 상기 메인 스토리지 라인으로부터 상기 제1 방향으로 연장되며 상기 화소 전극의 제1 단부와 중첩되는 제1 서브 스토리지 라인, 및 상기 메인 스토리지 라인으로부터 상기 제1 방향으로 연장되며 상기 화소 전극의 제1 단부에 대향하는 상기 화소 전극의 제2 단부와 중첩되는 제2 서브 스토리지 라인을 포함한다. 이 경우, 상기 제1 광차단패턴은 상기 메인 스토리지 라인과 중첩되도록 제2 방향으로 형성된 메인 광차단패턴, 상기 제1 서브 스토리지 라인과 중첩되도록 상기 메인 광차단패턴으로부터 상기 제1 방향으로 연장되는 제1 서브 광차단패턴, 및 상기 제2 서브 스토리지 라인과 중첩되도록 상기 메인 광차단패턴으로부터 상기 제1 방향으로 연장되는 제2 서브 광차단패턴을 포함할 수 있다. 일 실시예에서, 상기 메인 스토리지 라인 및 상기 메인 광차단패턴은 각각 상기 화소 전극의 중심을 가로지르도록 형성될 수 있다. 상기 스토리지 라인 및 상기 제1 광차단패턴은 상기 화소 전극의 중심을 상기 제2 방향으로 가로지르는 가상의 중심선을 기준으로 대칭 형상을 가질 수도 있다.

[0012] 일 실시예에서, 상기 제1 도전패턴은 상기 데이터 라인 및 상기 데이터 라인의 하부에 형성된 상기 반도체층과 중첩되는 제2 광차단패턴을 더 포함할 수 있다.

[0013] 일 실시예에서, 상기 어레이 기판은 단위 화소마다 형성되는 박막 트랜지스터들, 상기 박막 트랜지스터들 중 홀수 행에 배치된 박막 트랜지스터들과 상기 화소 전극을 전기적으로 연결하는 제1 콘택홀, 및 상기 박막 트랜지스터들 중 짝수 행에 배치된 박막 트랜지스터들과 상기 화소 전극을 전기적으로 연결하는 제2 콘택홀을 더 포함할 수 있다.

[0014] 일 실시예에서, 상기 제2 도전패턴은 상기 제1 콘택홀에 대응하여 배치되는 제1 연결 전극 및 상기 제2 콘택홀에 대응하여 배치되는 제2 연결 전극을 더 포함할 수 있다. 이 경우, 상기 제1 연결 전극이 상기 화소 전극과 중첩되는 면적 및 상기 제2 연결 전극이 상기 화소 전극과 중첩되는 면적의 합은 모든 단위 화소에서 일정할 수 있다. 또한, 상기 제1 도전패턴은 상기 제1 연결 전극 및 상기 제2 연결 전극과 각각 중첩되는 제3 광차단패턴을 더 포함할 수 있다.

[0015] 본 발명의 다른 목적을 달성하기 위한 일 실시예에 따른 어레이 기판의 제조 방법에서, 베이스 기판 상에 제1 도전층을 형성하고 패터닝하여 게이트 라인 및 제1 광차단패턴을 포함하는 제1 도전패턴을 형성한다. 상기 제1 도전패턴 상에 반도체층 및 제2 도전층을 형성한 후, 상기 제2 도전층 및 상기 반도체층을 패터닝하여 상기 게이트 라인과 교차하는 데이터 라인 및 상기 제1 광차단패턴과 중첩되는 스토리지 라인을 포함하는 제2 도전패턴 및 상기 제1 광차단패턴과 중첩되는 반도체층을 형성한다. 다음에, 상기 제2 도전패턴 상부에 상기 스토리지 라인과 중첩되는 화소 전극을 형성한다.

[0016] 일 실시예에서, 상기 반도체층은 상기 스토리지 라인과 접촉될 수 있다.

[0017] 일 실시예에서, 상기 반도체층은 상기 반도체층의 제1 단부가 상기 제1 광차단패턴과 중첩되고 상기 반도체층의 제1 단부와 대향하는 상기 반도체층의 제2 단부가 상기 제1 광차단패턴과 중첩되지 않도록 패터닝될 수 있다.

[0018] 일 실시예에서, 상기 스토리지 라인은 상기 제2 방향으로 형성된 메인 스토리지 라인, 상기 메인 스토리지 라인과 연결되어 상기 제1 방향으로 연장되며 상기 화소 전극의 제1 단부와 중첩되는 제1 서브 스토리지 라인, 및 상기 메인 스토리지 라인과 연결되어 상기 제1 방향으로 연장되며 상기 화소 전극의 제1 단부에 대향하는 상기 화소 전극의 제2 단부와 중첩되는 제2 서브 스토리지 라인을 포함할 수 있다.

[0019] 일 실시예에서, 상기 제1 광차단패턴은 상기 메인 스토리지 라인에 대응하도록 제2 방향으로 형성된 메인 광차단패턴, 상기 메인 광차단패턴과 연결되며 상기 제1 서브 스토리지 라인에 대응하도록 상기 제1 방향으로 연장되는 제1 서브 광차단패턴, 및 상기 메인 광차단패턴과 연결되며 상기 제2 서브 스토리지 라인에 대응하도록 상기 제1 방향으로 연장되는 제2 서브 광차단패턴을 포함할 수 있다.

[0020] 일 실시예에서, 상기 제1 도전패턴은 상기 데이터 라인 및 상기 데이터 라인의 하부에 형성된 상기 반도체층과

중첩되는 제2 광차단패턴을 더 포함할 수 있다.

[0021] 일 실시예에 따르면, 상기 소스 전극 및 상기 드레인 전극을 형성하는 방법에서, 상기 제2 도전층 상에 포토 레지스트층을 형성한다. 슬릿을 갖는 슬릿 마스크를 이용하여 상기 슬릿에 대응하는 함몰부를 갖도록 상기 포토 레지스트층을 패터닝하고, 상기 함몰부에 대응하는 포토 레지스트층의 일부를 제거하여 상기 제2 도전층의 일부를 노출시킨다. 다음, 상기 노출된 제2 도전층의 일부를 식각하여 소스 전극 및 상기 소스 전극으로부터 이격된 드레인 전극을 형성할 수 있다.

효 과

[0022] 본 발명에 따르면, 제1 광차단패턴이 스토리지 라인의 하부에 형성된 반도체층으로 향하는 광을 차단하여, 반도체층에 의한 스토리지 커패시턴스의 변화를 방지할 수 있다. 이에 따라, 킥백 전압의 편차가 발생되는 것을 방지하여 영상의 표시품질을 향상시킬 수 있다.

[0023] 또한, 제2 광차단패턴이 데이터 라인의 하부에 형성된 반도체층으로 향하는 광을 차단하여, 상기 반도체층의 활성화에 의해 데이터 라인에 인가되는 전압의 변화와 같은 전기적 특성의 변화가 발생하는 것을 방지하여 영상의 표시품질을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0024] 이하, 도면들을 참조하여 본 발명의 표시장치의 바람직한 실시예들을 보다 상세하게 설명하기로 한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0025] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0026] 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

[0027] 도 1은 본 발명의 일 실시예에 따른 어레이 기판을 개념적으로 도시한 평면도이다.

[0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 어레이 기판(100)은 게이트 배선(110), 데이터 배선(120) 및 화소 전극(130)을 포함한다.

[0029] 게이트 배선(110)은 제1 방향을 따라 복수개가 형성되고, 데이터 배선(120)은 제1 방향과 수직한 제2 방향을 따라 복수개가 형성된다. 예를 들어, 제1 방향을 따라 제1 내지 제9 게이트 배선들(GL1, GL2, ... , GL9)이 형성되고, 제2 방향을 따라 제1 내지 제 7 데이터 배선들(DL1, DL2, ... , DL7)이 형성된다. 상기 게이트 배선들(GL1, GL2, ... , GL9)은 게이트 구동부(미도시)와 전기적으로 연결되어 게이트 신호들을 인가받고, 상기 데이터 배선들(DL1, DL2, ... , DL7)은 데이터 구동부(미도시)와 전기적으로 연결되어 데이터 신호들을 인가받는다.

[0030] 여기서, 상기 게이트 구동부는 홀수 열의 게이트 배선들(GL1, GL3, GL5, GL7, GL9)의 좌측 단부와 전기적으로 연결된 좌측 게이트 구동부(미도시) 및 짝수 열의 게이트 배선들(GL2, GL4, GL6, GL8)의 우측 단부와 전기적으로 연결된 우측 게이트 구동부(미도시)를 포함한다. 이와 다르게, 상기 게이트 배선들(GL1, GL2, ... , GL9)의 모든 좌측 단부 또는 모든 우측 단부가 상기 게이트 구동부와 전기적으로 연결될 수도 있다.

[0031] 어레이 기판(100)은 복수의 단위 화소들을 포함한다. 상기 각각의 단위 화소 내에는 화소 전극(130)이

형성되고, 이에 따라 화소 전극(130)이 어레이 기판(100)에 매트릭스 형태로 배치된다.

[0032] 일 실시예에서, 상기 각 단위 화소는 제1 방향이 긴 직사각형 형상을 갖는다. 이에 따라, 상기 각 단위 화소 내에 형성된 화소 전극(130)도 제1 방향으로 긴 형상을 갖는다.

[0033] 상기 게이트 배선들(GL1, GL2, ... , GL9), 상기 데이터 배선들(DL1, DL2, ... , DL7) 및 화소 전극(130)들의 전기적인 연결 관계는 다음과 같다.

[0034] 상기 게이트 배선들(GL1, GL2, ... , GL9)의 각각은 각 열에 배치된 화소 전극(130)들 모두와 전기적으로 연결된다. 홀수 행에 배열된 화소 전극들(130)은 상기 홀수 행의 화소 전극들(130)의 좌측에 배치된 데이터 배선들(DL1, DL2, ... , DL7)과 전기적으로 연결되고, 짝수 행에 배열된 화소 전극들(130)은 상기 짝수 행의 화소 전극들(130)의 우측에 배치된 데이터 배선들(DL1, DL2, ... , DL7)과 전기적으로 연결된다.

[0035] 상기 데이터 배선들(DL1, DL2, ... , DL7)의 각각에는 수직반전(vertical inversion)을 위한 데이터 신호들이 인가되는 것이 바람직하다. 예를 들어, 한 프레임 동안 임의의 데이터 배선에는 양 전압(+)의 데이터 신호가 인가되고, 상기 임의의 데이터 배선과 이웃하는 데이터 배선에는 음 전압(-)의 데이터 신호가 인가된다. 반면, 상기 프레임의 다음 프레임 동안에는 상기 임의의 데이터 배선에는 음 전압(-)의 데이터 신호가 인가되고, 상기 이웃하는 데이터 배선에는 양 전압(+)의 데이터 신호가 인가된다.

[0036] 이하, 상기한 바와 같은 구조를 갖는 어레이 기판의 일부를 확대하여, 본 발명의 실시예들이 더 상세히 설명될 것이다.

[0037] 도 2는 도 1의 일부를 확대하여 더욱 상세하게 나타낸 평면도이고, 도 3은 도 2의 I-I'선을 따라 절단한 단면도이다.

[0038] 도 2 및 도 3을 참조하면, 어레이 기판(100)은 다수의 화소 영역을 포함하는 베이스 기판(110), 상기 베이스 기판상에 형성되는 제1 도전패턴(120), 상기 제1 도전패턴의 상부에 형성되는 반도체층(140), 상기 반도체층(140) 상에 형성되는 제2 도전패턴(150) 및 상기 제2 도전패턴(150)의 상부에 형성되는 화소 전극(170)을 포함한다.

[0039] 상기 제1 도전패턴(120)은 게이트 라인들(GLn-1, GLn, GLn+1) 및 광차단패턴(125)을 포함한다. 이 경우, 상기 n은 1보다 큰 자연수이다. 상기 게이트 라인들(GLn-1, GLn, GLn+1)은 제1 방향으로 연장되도록 베이스 기판(110) 상에 형성된다. 상기 광차단패턴(125)에 대해서는 아래에서 더 자세히 설명될 것이다. 상기 제1 도전패턴(120)은 상기 게이트 라인들(GLn-1, GLn, GLn+1)로부터 돌출된 게이트 전극(121)을 더 포함한다. 상기 게이트 전극(121)은 스위칭 소자의 구동을 제어하는 제어 신호가 인가되는 제어 전극이다.

[0040] 상기 제1 도전패턴(120) 상에는 제1 도전패턴(120)을 덮는 게이트 절연층(130)이 형성된다. 상기 게이트 절연층(130)은, 예컨대, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)으로 이루어질 수 있다.

[0041] 상기 게이트 절연층(130)상에는 활성층(141) 및 저항성 접촉층(143)을 포함하는 반도체층(140)이 형성된다. 예를 들어, 상기 활성층(141)은 아몰퍼스(amorphous) 실리콘으로 형성되고, 상기 저항성 접촉층(143)은 n+ 이온이 고농도로 도핑된 아몰퍼스(amorphous) 실리콘으로 형성된다. 특히, 상기 게이트 전극(121)의 상부에 형성된 반도체층(140)의 일부분은, 흔히, 박막 트랜지스터의 채널을 형성하기 위한 채널층이라고 일컬어진다. 상기 반도체층(140)은 제1 도전패턴(120)의 광차단패턴(125)과 중첩된다. 상기 광차단패턴(125)이 상기 반도체층(140)과 중첩되므로, 예를 들어, 어레이 기판(100)의 하부에서 광이 제공되는 경우에 상기 광차단패턴(125)이 상기 반도체층(140)으로 향하는 광을 차단할 수 있다. 위에서 설명한 바와 같이, 상기 광차단패턴(125)은 게이트 라인들(GLn-1, GLn, GLn+1)을 형성하는 도전패턴인 제1 도전패턴(120)에 포함됨을 주목할 필요가 있다.

[0042] 상기 제2 도전패턴(150)은 상기 게이트 라인들(GLn-1,GLn,GLn+1)과 교차하는 데이터 라인들(DLm,DLm+1) 및 상기 광차단패턴(125)과 중첩되는 스토리지 라인(155)을 포함한다. 여기서, 상기 m은 자연수이다. 상기 데이터 라인들(DLm,DLm+1)은 제2 방향으로 연장되도록 상기 베이스 기판(110)상에 형성된다. 상기 스토리지 라인(155)은 반도체층(140) 상에 형성되며, 상기 반도체층(140)과 유사하게 제1 도전패턴(120)의 광차단패턴(125)과 중첩된다.

[0043] 상기 제2 도전패턴(150)은 상기 데이터 라인들(DLm,DLm+1)로부터 연장된 소스 전극(151) 및 상기 소스 전극(151)에서 이격되어 형성된 드레인 전극(153)을 더 포함한다. 상기 소스 전극(151)은 스위칭 소자에 데이터 신호가 입력되는 입력 전극이며, 상기 드레인 전극(153)은 스위칭 소자에 입력된 상기 데이터 신호에 대응하는 신호가 출력되는 출력 전극이다. 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)은 스위칭 소자의 일종인 박막 트랜지스터를 구성한다.

[0044] 상기 제2 도전패턴(150) 상에는 상기 소스 전극(151), 드레인 전극(153) 및 스토리지 라인(155)을 덮는 패시베이션층(160)이 형성될 수 있다.

[0045] 각 단위 화소 내에는 화소 전압이 인가되는 화소 전극(170)이 형성된다. 상기 화소 전극(170)은 패시베이션층(160) 상에 형성될 수 있다. 화소 전극(170)은 어레이 기판(100)의 대향 기판(미도시)에 형성된 공통 전극(미도시)과 함께 전계를 형성하여 액정 분자를 재배열하는데 사용된다.

[0046] 상기 화소 전극(170)은 패시베이션층(160)에 형성된 콘택홀들(181,182)을 통해 상기 박막 트랜지스터와 전기적으로 연결된다. 예를 들어, 화소 전극(170)은 제1 콘택홀(181)을 통해 상기 드레인 전극(153)으로부터 연장되어 형성된 제1 연결 전극(156)과 연결된다. 이에 따라, 상기 화소 전극(170)은 상기 박막 트랜지스터의 드레인 전극(153)과 전기적으로 연결된다. 유사하게, 화소 전극(170)은 제2 콘택홀(182)을 통해 상기 드레인 전극(153)으로부터 연장되어 형성된 제2 연결 전극(157)과 연결될 수도 있다.

[0047] 일 실시예에서, 상기 박막 트랜지스터들 중 홀수 행에 배치된 박막 트랜지스터들은 상기 제1 콘택홀(181)을 통해 상기 화소 전극(170)과 전기적으로 연결되고, 상기 박막 트랜지스터들 중 짝수 행에 배치된 박막 트랜지스터들은 상기 제2 콘택홀(182)을 통해 상기 화소 전극(170)과 전기적으로 연결될 수 있다. 예를 들어, 제1 연결 전극(156) 및 제1 콘택홀(181)은 좌측 데이터 라인(DLm)으로부터 우측으로 이격된 위치에 형성되고, 제2 연결 전극(157) 및 제2 콘택홀(182)은 우측 데이터 라인(DLm+1)으로부터 좌측으로 이격된 위치에 형성될 수 있다. 즉, 제1 연결 전극(156) 및 제2 연결 전극(157)은 상기 단위 화소의 제2 방향으로의 양단부에 각각 형성될 수 있다.

[0048] 일 실시예에서, 제1 및 제2 연결 전극(156, 157)은 상기 각 단위 화소의 중심을 제2 방향을 따라 가로지르는 가상의 중심선을 기준으로 대칭되게 배치될 수 있다. 상기 제1 및 제2 연결 전극(156, 157)이 서로 대칭되게 배치되는 경우, 상기 화소 전극(170)이 상기 제1 및 제2 연결 전극들(156, 157)을 기준으로 정렬 오류(alignment miss)를 일으키더라도, 상기 화소 전극(170)과 상기 연결 전극들(156, 157)이 중첩되는 면적이 동일하게 된다. 이와 같이, 상기 화소 전극(170)과 상기 연결 전극들(156, 157)이 중첩되는 면적이 동일하게 설계되면, 상기 정렬 오류로 인한 기준 전압의 변화 또는 화소 전압의 변화와 같은 전기적 특성의 변화를 최소화할 수 있다. 예를 들어, 화소 전극(170)이 좌측 데이터 라인(DLm)에 더 가깝게 배치되는 정렬 오류가 발생하더라도, 상기 화소 전극(170)이 제1 연결 전극(156)에 중첩되는 면적 및 화소 전극(170)이 제2 연결 전극(157)에 중첩되는 면적의 합은 변화되지 않기 때문에, 상기 정렬 오류로 인한 전기적 특성의 변화를 방지할 수 있다.

[0049] 이와 달리, 다른 실시예에서는, 제1 및 제2 연결 전극(156, 157) 중 박막 트랜지스터와 직접 연결되지 않는 전극은 생략될 수도 있다.

[0050] 본 발명에 따르면, 상기 화소 전극(170)은 상기 스토리지 라인(155)과 중첩되어 스토리지 커패시터를 형성한다. 이에 따라, 상기 각 화소 전극(170)에 인가된 화소 전압을 한 프레임 동안 유지시킨다. 본 발명의 일 실시예에 따른 마스크의 수를 줄이기 위한 공정(예를 들어, 아래의 도 4a 내지 도 4g를 참조하여 설명될 4개의 마스크를 이용하는 공정)에서는 상기 반도체층(140)과 스토리지 라인(155)이 하나의 마스크에 의해 패터닝되기 때문에, 상기 스토리지 라인(155) 하부에는 항상 반도체층(140)이 형성된다.

[0051] 그런데, 영상을 표시하기 위해 상기 어레이 기판(100)의 하부로부터 광이 제공되는 경우에, 상기 반도체층(140)에 광이 입사하면 상기 반도체층(140)이 광 에너지에 의해 여기(excited)된다. 상기 반도체층(140)이 광 에너지에 의해 여기되면, 상기 반도체층(140) 상에 형성된 스토리지 라인(155)의 전기적 특성이 상기 여기된 반도체층에 의해 영향을 받는다. 예를 들어, 상기 스토리지 라인(155)에 의해 형성되는 스토리지 커패시터의 커패시턴스가 영향을 받는다. 즉, 상기 어레이 기판(100)의 하부로부터 광이 제공되는 경우의 스토리지 커패시턴스는 광이 제공되지 않는 경우의 스토리지 커패시턴스보다 커진다. 스토리지 커패시턴스가 설계치보다 상당히 증가하면, 킥백(kick back) 전압이 설계치보다 상당히 감소하게 되고 각 화소별 킥백 전압에 편차가 생긴다. 킥백 전압의 편차가 발생되면, 예를 들어, 휘도차가 발생하거나, 화면이 깜박이는 이른바 플리커(flicker) 불량 또는 화면에 줄이 생기는 워터폴(waterfall) 불량이 발생할 수 있다.

[0052] 본 발명에 따르면, 상기 스토리지 라인(155)의 하부에 형성된 반도체층(140)으로 광이 인가되는 것을 방지하기 위해, 상기 스토리지 라인(155)의 하부에 형성된 반도체층(140)과 중첩되는 광차단패턴(125)이 상기 반도체층(140)의 하부에 형성된다. 또한, 위에서 언급한 바대로, 상기 광차단패턴(125)은 게이트 라인들(GLn-1,GLn,GLn+1) 및 게이트 전극(121)과 동일한 도전층으로 형성된다. 즉, 제1 도전패턴(120)이 상기 게이트 라인들(GLn-1,GLn,GLn+1), 게이트 전극(121) 및 광차단패턴(125)을 포함한다.

[0053] 일 실시예에서, 상기 스토리지 라인(155)은 메인 스토리지 라인(155a), 제1 서브 스토리지 라인(155b) 및 제2

서브 스토리지 라인(155c)을 포함할 수 있다. 상기 메인 스토리지 라인(155a)은 제2 방향으로 연장되고, 제1 서브 스토리지 라인(155b) 및 제2 서브 스토리지 라인(125c)은 각각 상기 메인 스토리지 라인(155a)으로부터 상기 제1 방향으로 연장될 수 있다. 이 경우, 상기 메인 스토리지 라인(155a), 제1 서브 스토리지 라인(155b) 및 제2 서브 스토리지 라인(125c)의 하부에는 반도체층(140)이 형성될 수 있음을 이해할 수 있을 것이다.

[0054] 상기 메인 스토리지 라인(155a), 제1 서브 스토리지 라인(155b) 및 제2 서브 스토리지 라인(125c)의 하부에 형성된 반도체층(140)에 인가되는 광을 차단하기 위해, 상기 메인 스토리지 라인(155a), 제1 서브 스토리지 라인(155b) 및 상기 제2 서브 스토리지 라인(125c)과 중첩되는 광차단패턴(125)이 형성된다. 예를 들어, 상기 광차단패턴(125)은 상기 메인 스토리지 라인(155a)에 대응하는 메인 광차단패턴(125a), 상기 제1 서브 스토리지 라인(155b)에 대응하는 제1 서브 광차단패턴(125b) 및 제2 서브 스토리지 라인(125c)에 대응하는 제2 서브 광차단패턴(125c)을 포함할 수 있다. 메인 광차단패턴(125a)은 제2 방향으로 연장되고, 메인 스토리지 라인(155a)과 중첩된다. 제1 서브 광차단패턴(125b) 및 제2 서브 광차단패턴(125c)은 각각 상기 메인 광차단패턴(125a)으로부터 상기 제1 방향으로 연장되고, 상기 제1 서브 스토리지 라인(155b) 및 제2 서브 스토리지 라인(125c)과 각각 중첩된다.

[0055] 일 실시예에서, 상기 메인 스토리지 라인(155a) 및 상기 메인 광차단패턴(125a)은 각각 상기 화소 전극(170)의 중심을 가로지르도록 형성될 수 있다. 상기 제2 서브 스토리지 라인(125c)은 제1 방향을 따라 상기 제1 서브 스토리지 라인(155b)보다 길게 연장될 수도 있다. 다른 실시예에서, 상기 스토리지 라인(155) 및 상기 광차단패턴(125)은 상기 화소 전극(170)의 중심을 상기 제2 방향으로 가로지르는 가상의 중심선을 기준으로 대칭 형상을 가질 수도 있다.

[0056] 일 실시예에서, 반도체층(140)의 제1 단부(140a)는 상기 화소 전극(170)과 중첩되고 상기 반도체층(140)의 제1 단부(140a)와 대향하는 반도체층(140)의 제2 단부(140b)는 상기 화소 전극(170)과 중첩되지 않는 경우, 상기 화소 전극(170)과 중첩되지 않는 반도체층(140)의 제2 단부(140b)가 상기 스토리지 커패시턴스에 미치는 전기적 영향은 상대적으로 적다. 이 경우에는, 상기 광차단패턴(125)이 반도체층(140)의 제2 단부(140b)와 중첩되지 않을 수 있다.

[0057] 게다가, 상기 광차단패턴(125)이 반도체층(140)의 제2 단부(140b)와 중첩되는 구조를 갖기 어려운 경우가 있을 수 있다. 예를 들어, 도 3의 실시예에서, 만약 상기 반도체층(140)의 제2 단부(140b)와 중첩되도록 하기 위해 제2 서브 광차단패턴(125c)이 게이트 라인(125c)쪽으로 더 연장되면, 상기 제2 서브 광차단패턴(125c)과 상기 게이트 라인(125c)이 단락될 수 있다. 따라서, 이 경우에는, 상기 제2 서브 광차단패턴(125c)이 상기 스토리지 커패시턴스에 전기적 영향을 상대적으로 적게 미치는 상기 반도체층(140)의 제2 단부(140b)와 중첩되지 않을 수 있다. 즉, 상기 제2 서브 광차단패턴(125c)은 상기 반도체층(140)의 제1 단부(140a)에만 중첩되고, 상기 제1 단부(140a)에 대향하는 반도체층(140)의 제2 단부(140b)와 중첩되지 않을 수 있다.

[0058] 본 발명에 따르면, 광차단패턴이 스토리지 라인의 하부에 형성된 반도체층과 중첩되므로, 상기 반도체층으로 향하는 광을 차단한다. 즉, 광 에너지에 의해 반도체층이 여기되어 스토리지 라인의 전기적 특성에 영향을 미치는 것을 방지한다. 이에 따라, 스토리지 커패시턴스의 변화를 방지할 수 있고 킥백 전압의 편차가 발생되는 것을 방지할 수 있으므로, 영상의 표시품질을 향상시킬 수 있다.

[0059] 도 4a 내지 도 4g는 도 1 내지 도 3에 도시한 어레이 기판의 제조 방법을 나타내는 단면도들이다.

[0060] 도 2 및 도 4a를 참조하면, 베이스 기판(110)위에 제1 도전층(미도시)을 형성한 후, 제1 마스크(MASK 1)를 이용한 사진 식각 공정으로 상기 제1 도전층을 식각하여 게이트 라인들(GLn-1,GLn,GLn+1) 및 광차단패턴(125)을 포함하는 제1 도전패턴(120)을 형성한다.

[0061] 일 실시예에서, 상기 제1 마스크(MASK 1)는 상기 제1 도전패턴(120)에 대응하는 영역으로 진행하는 광을 투과시키는 제1 개구부(411) 및 상기 제1 도전패턴(120)이 형성되지 않는 영역으로 진행하는 광을 차단하는 제1 차광부(413)를 포함한다. 이에 따라, 상기 광에 노출된 영역에 상기 제1 도전패턴(120)을 형성될 수 있다.

[0062] 상기 제1 도전패턴(120)은, 예를 들어, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금등으로 형성될 수 있다. 또한, 상기 제1 도전패턴(120)은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수도 있다.

[0063] 일 실시예에서, 상기 광차단패턴(125)은 메인 광차단패턴(125a), 제1 서브 광차단패턴(125b) 및 제2 서브 광차단패턴(125c)을 포함할 수 있다. 상기 메인 광차단패턴(125a)은 제2 방향으로 연장되고, 제1 서브 광차단패턴(125b) 및 제2 서브 광차단패턴(125c)은 각각 상기 메인 광차단패턴(125a)으로부터 상기 제1 방향으로 연장될

수 있다.

[0064] 일 실시예에서, 상기 제2 서브 광차단패턴(125c)은 제1 방향을 따라 상기 제1 서브 광차단패턴(125b)보다 길게 연장될 수 있다. 상기 광차단패턴(125)은 상기 메인 광차단패턴(125a)을 중심으로 대칭 형상을 가질 수도 있다.

[0065] 도 2 및 도 4b를 참조하면, 상기 제1 도전패턴(120)이 형성된 베이스 기판(110)위에 게이트 절연막(130)을 형성한다. 상기 게이트 절연막(130)은, 예를 들어, 플라즈마 화학 기상 증착(Plasma Enhanced Chemical Vapor Deposition, PECVD) 방법을 이용하여 형성될 수 있다.

[0066] 상기 게이트 절연막(130) 상에 활성층(141) 및 저항성 접촉층(143)을 포함하는 반도체층(140)을 형성한다. 예를 들어, 상기 활성층(141)은 아몰퍼스(amorphous) 실리콘으로 형성되고, 상기 저항성 접촉층(143)은 n+ 이온이 고농도로 도핑된 아몰퍼스(amorphous) 실리콘으로 형성될 수 있다.

[0067] 상기 반도체층(140) 상에 제2 도전층(150a)을 형성한다. 상기 제2 도전층(150a)은, 예를 들어, 크롬, 알루미늄, 탄탈륨, 몰리브덴, 티타늄, 텅스텐, 구리, 은 등의 금속 또는 이들의 합금등으로 형성될 수 있다. 또한, 상기 제2 도전층(150a)은 물리적 성질이 다른 두 개 이상의 층으로 형성될 수도 있다.

[0068] 다음, 상기 제2 도전층(150a) 전면에 포토 레지스트막(460)을 도포한 후, 제2 마스크(MASK 2)를 이용하여 상기 포토 레지스트막(460)을 노광한다. 도 4b에 도시된 실시예에 도시된 포토 레지스트 패터닝에는 노광된 영역이 현상액에 의해 용해되는 포지티브 포토레지스트가 사용된다.

[0069] 상기 제2 마스크(MASK 2)는 슬릿(425), 제2 개구부(421) 및 제2 차광부(423)를 포함한다. 상기 슬릿(425)을 통과하는 광은 슬릿(425)에서 산란된다. 이에 따라, 상기 슬릿(425)을 통과하는 광의 양은 상기 제2 마스크(MASK 2)의 제2 개구부(421)를 통과하는 광의 양보다 작다. 즉, 슬릿(425)에 대응되는 영역의 포토 레지스트막(460)은 상대적으로 낮은 비율로 노광된다. 도 4b에는 슬릿을 이용하여 광의 양을 조절하는 슬릿 마스크가 도시되어 있지만, 다른 실시예에서는 슬릿 대신 반투과막을 사용하는 하프톤(half-tone) 마스크가 사용될 수도 있다.

[0070] 이어서, 노광된 포토 레지스트막(460)을 현상하면 노광된 영역의 포토 레지스트막(460)은 용해되어 제거되고, 노광되지 않은 영역의 포토 레지스트막(460)은 현상 공정(developing process) 후에 잔류하여 포토 레지스트 패턴을 형성한다.

[0071] 도 2, 도 4b 및 도 4c를 참조하면, 상기 노광 공정 및 현상 공정을 통해 포토레지스트 패턴(460)이 형성된다. 도 4b에서 참조 번호 460은 포토 레지스트막을 나타내었으나, 노광 공정 및 현상 공정을 통해 상기 포토 레지스트막이 패터닝되어 포토 레지스트막의 일부만이 잔류한다. 이하, 이와 같이 패터닝된 포토 레지스트막을 포토 레지스트 패턴이라고 일컫고, 참조 번호 460은 상기 포토 레지스트 패턴을 나타낸다.

[0072] 도 4b에서 설명한 바와 같이 포토 레지스트막 중에서 슬릿(425)에 대응되는 부분은 산란광에 의해 상대적으로 적게 노광되었으므로, 상기 슬릿(425)에 대응되는 영역에 잔류한 포토레지스트 패턴(460)은 노광되지 않은 영역의 포토 레지스트 패턴(460)보다 얇다. 즉, 포토레지스트 패턴(460) 중에서 상기 슬릿(425)에 대응되는 부분에는 함몰부(464)가 형성된다.

[0073] 상기 함몰부(464)의 위치는 차후에 형성될 소스 전극(미도시) 및 드레인 전극(미도시) 사이 부분에 대응된다.

[0074] 상기 포토 레지스트 패턴(460)을 이용하여 상기 도 4b의 제2 도전층(150a)을 식각하여 상기 게이트 라인들(GLn-1,GLn,GLn+1)과 교차하는 데이터 라인들(DLm,DLm+1) 및 상기 광차단패턴(125)과 중첩되는 스토리지 라인(155)을 포함하는 제2 도전패턴(150)을 형성한다. 이 경우, 상기 제2 도전패턴(150)은 차후에 소스 전극(미도시) 및 드레인 전극(미도시)을 형성하기 위한 예비(pre)-소스/드레인 전극패턴(154)을 더 포함한다.

[0075] 일 실시예에서는, 상기 제2 도전패턴(150)이 도 2에 도시된 제1 연결 전극(156) 및 제2 연결전극(157)을 더 포함하도록 패터닝될 수도 있다. 상기 제1 연결 전극(156) 및 제2 연결전극(157)은 상기 예비(pre)-소스/드레인 전극패턴(154)으로부터 연장되어 형성될 수도 있다.

[0076] 일 실시예에서, 상기 스토리지 라인(155)은 상기 메인 광차단패턴(125a)과 중첩되는 메인 스토리지 라인(155a), 상기 제1 서브 광차단패턴(125b)과 중첩되는 제1 서브 스토리지 라인(155b) 및 상기 제2 서브 광차단패턴(125c)과 중첩되는 제2 서브 스토리지 라인(155c)을 포함할 수 있다. 상기 메인 스토리지 라인(155a)은 제2 방향으로 연장되고, 제1 서브 스토리지 라인(155b) 및 제2 서브 스토리지 라인(125c)은 각각 상기 메인 스토리지 라인(155a)으로부터 상기 제1 방향으로 연장될 수 있다.

[0077] 도 2 및 도 4d를 참조하면, 상기 포토 레지스트 패턴(460) 및 제2 도전패턴(150)을 식각 마스크로 하여 상기 반

도체층(140)을 식각한다. 이에 따라, 상기 제2 도전패턴(150)의 하부에는 상기 제2 도전패턴(150)과 실질적으로 동일하게 패터닝된 반도체층(140)이 형성된다. 즉, 상기 제2 도전패턴(150) 및 상기 반도체층(140)은 동일한 마스크(예를 들어, 도 4b에 도시된 제2 마스크(MASK 2))를 이용하여 패터닝될 수 있다. 따라서, 상기 스토리지 라인(155)의 하부에 형성된 반도체층(140)의 패턴은 상기 스토리지 라인(155)의 패턴에 대응된다. 상기 스토리지 라인(155)이 상기 광차단패턴(125)과 중첩되는 것과 유사하게, 상기 반도체층(140)은 상기 광차단패턴(125)과 중첩된다.

[0078] 일 실시예에서, 상기 반도체층(140)은, 상기 반도체층(140)의 제1 단부(140a)가 상기 광차단패턴(125)과 중첩되고 상기 반도체층(140)의 제1 단부(140a)와 대향하는 상기 반도체층(140)의 제2 단부(140b)가 상기 광차단패턴(125)과 중첩되지 않도록 패터닝될 수 있다. 예를 들어, 상기 제2 서브 광차단패턴(125c)은 상기 반도체층(140)의 제1 단부(140a)에만 중첩되고, 상기 반도체층(140)의 제2 단부(140b)와 중첩되지 않을 수 있다.

[0079] 한편, 상기 포토 레지스트 패턴(460)의 일정 두께를 제거하는 애싱(ashing) 공정을 수행한다. 상기 애싱 공정은, 예컨대, 산소(O2) 플라즈마 방전을 이용할 수 있다. 상기 애싱 공정에 의해 상기 포토 레지스트 패턴(460)의 두께는 얇아지고, 도 4c의 함몰부(464)가 형성되었던 부분에 대응하는 포토 레지스트 패턴(460)의 일부는 제거되어 상기 예비-소스/드레인 전극패턴(154)의 일부를 노출시킨다.

[0080] 도 2 및 도 4e를 참조하면, 상기 포토 레지스트 패턴(460)에 의해 노출된 상기 도 4d의 예비-소스/드레인 전극패턴(154)의 일부를 식각하여 소스 전극(151) 및 상기 소스 전극(151)으로부터 이격된 드레인 전극(153)을 형성한다. 상기 소스 전극(151) 및 상기 드레인 전극(153)의 사이에 해당하는 부분에는 상기 저항성 접촉층(143)이 노출된다.

[0081] 상기 소스 전극(151) 및 상기 드레인 전극(153)을 식각 마스크로 이용하여 상기 노출된 저항성 접촉층(143)을 식각한다. 이에 따라, 상기 소스 전극(151) 및 상기 드레인 전극(153) 사이에는 상기 활성층(141)을 노출시키는 채널부(159)가 형성된다.

[0082] 도 2 및 도 4f를 참조하면, 상기 제2 도전패턴(150) 및 게이트 절연막(130) 위에 패시베이션층(160)을 형성하고, 제3 마스크(MASK 3)를 이용한 사진 식각 공정으로 상기 드레인 전극(153)의 일부를 노출시키는 콘택홀(181)을 형성한다.

[0083] 일 실시예에서, 상기 제3 마스크(MASK 3)는 광이 투과되는 제3 개구부(431) 및 상기 콘택홀(181)이 형성될 위치에 대응하는 제3 차광부(433)를 포함한다. 상기 사진 식각 공정에서, 상기 제3 차광부(433)에 의해 광이 차단된 포토 레지스트층(미도시)을 현상하면 노광되지 않은 영역의 포토 레지스트층이 제거되어 상기 콘택홀(181)을 형성한다.

[0084] 도 2 및 도 4g를 참조하면, 상기 콘택홀(181)이 형성된 패시베이션층(160) 상에 투명한 도전성 물질(미도시)을 증착한다. 상기 투명한 도전성 물질은, 예를 들어, 인듐 틴 옥사이드(Indium Tin Oxide) 또는 인듐 징크 옥사이드(Indium Zinc Oxide)로 이루어질 수 있다. 상기 투명한 도전성 물질은 상기 콘택홀(181)에도 증착된다.

[0085] 이어서, 제4 마스크(MASK 4)를 이용하여 상기 투명한 도전성 물질을 식각한다. 일 실시예에서, 상기 제4 마스크(MASK 4)의 제4 개구부(441)에 대응하는 부분에는 상기 투명한 도전성 물질은 잔류하고 상기 제4 마스크(MASK 4)의 제4 차광부(443)에 대응하는 부분에는 상기 투명한 도전성 물질이 제거된다. 이에 따라, 상기 콘택홀(181)을 통해 상기 드레인 전극(153)과 전기적으로 접촉하는 화소 전극(170)이 형성된다. 상기 화소 전극(170)은 상기 스토리지 라인(155)과 중첩되어 스토리지 커패시터를 형성한다.

[0086] 본 발명에 따르면, 도 4a 내지 도 4g를 참조하여 설명한 바와 같이, 네 개의 마스크를 사용하여 상기 어레이 기판(100)을 형성할 수 있으므로, 마스크의 수 및 공정 단계를 줄일 수 있다.

[0087] 그런데, 네 개의 마스크를 사용하여 상기 어레이 기판(100)을 형성할 경우, 상기 스토리지 라인(155)의 하부에는 상기 스토리지 라인(155)에 대응하여 형성된 반도체층(140)이 형성된다. 이 경우, 영상을 표시하기 위해 상기 어레이 기판(100)의 하부로부터 광이 제공되어 상기 반도체층(140)에 광이 입사되면, 상기 반도체층(140)이 광 에너지에 의해 여기(excited)될 수 있다. 상기 반도체층(140)이 광 에너지에 의해 여기되면, 상기 반도체층(140) 상에 형성된 스토리지 라인(155)의 전기적 특성이 상기 여기된 반도체층(140)에 의해 영향을 받는다.

[0088] 본 발명에 따르면, 상기 반도체층(140)에 광이 입사되는 것을 방지하기 위해 상기 반도체층(140)과 화소 전극(170)이 중첩되는 영역의 하부에는 광차단패턴(125)이 형성되어 있다. 즉, 상기 반도체층(140)과 화소 전극(170)이 중첩되는 영역(예컨대, 반도체층(140)의 제1 단부(140a))으로 향하는 광이 차단되어 광 에너지에 의해

반도체층(140)이 여기되는 것을 방지할 수 있다. 따라서, 반도체층(140)의 여기에 의한 스토리지 커패시턴스의 변화를 방지할 수 있고 킥백 전압의 편차가 발생되는 것을 방지할 수 있고, 이에 따라, 영상의 표시품질을 향상시킬 수 있다.

[0089] 도 5는 본 발명의 다른 일 실시예에 따른 어레이 기판을 나타내는 평면도이고, 도 6은 도 5의 II-II'선을 따라 절단한 단면도이다.

[0090] 도 5 및 도 6을 참조하여 설명하는 어레이 기판은 제1 도전 패턴이 데이터 라인의 하부에 형성되어 상기 데이터 라인과 중첩되는 제2 광차단패턴을 더 포함한다는 점을 제외하고는 도 1 내지 도 3을 참조하여 설명한 어레이 기판과 실질적으로 동일하거나 유사하다. 따라서, 도 1 내지 도 3을 참조하여 설명된 어레이 기판의 구성 요소와 유사하거나 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 반복되는 상세한 설명은 생략한다.

[0091] 도 5 및 도 6을 참조하면, 어레이 기판(200)은 다수의 화소 영역을 포함하는 베이스 기판(110), 상기 베이스 기판상에 형성되는 제1 도전패턴(120), 상기 제1 도전패턴의 상부에 형성되는 반도체층(140), 상기 반도체층(140) 상에 형성되는 제2 도전패턴(150) 및 상기 제2 도전패턴(150)의 상부에 형성되는 화소 전극(170)을 포함한다.

[0092] 상기 제1 도전패턴(120)은 게이트 라인들(GLn-1, GLn, GLn+1), 제1 광차단패턴(125) 및 제2 광차단패턴(127)을 포함한다. 이 경우, 상기 n은 1보다 큰 자연수이다.

[0093] 상기 제1 도전패턴(120)은 상기 게이트 라인들(GLn-1, GLn, GLn+1)로부터 돌출된 게이트 전극(121)을 더 포함한다. 상기 게이트 라인들(GLn-1, GLn, GLn+1) 및 게이트 전극(121)에 대한 반복되는 설명은 생략한다.

[0094] 상기 제1 도전패턴(120) 상에는 제1 도전패턴(120)을 덮는 게이트 절연층(130)이 형성된다. 상기 게이트 절연층(130)상에는 활성층(141) 및 저항성 접촉층(143)을 포함하는 반도체층(140)이 형성된다. 상기 게이트 절연층(130) 및 반도체층(140)에 대한 반복되는 설명은 생략한다.

[0095] 상기 제2 도전패턴(150)은 데이터 라인들(DLm,DLm+1) 및 상기 광차단패턴(125)과 중첩되는 스토리지 라인(155)을 포함한다. 여기서, 상기 m은 자연수이다. 상기 데이터 라인들(DLm,DLm+1)은 제2 방향으로 연장되도록 상기 베이스 기판(110)상에 형성된다. 상기 스토리지 라인(155)은 반도체층(140) 상에 형성된다. 상기 스토리지 라인(155)은 메인 스토리지 라인(155a), 제1 서브 스토리지 라인(155b) 및 제2 서브 스토리지 라인(155c)을 포함할 수 있다.

[0096] 상기 제2 도전패턴(150)은 상기 데이터 라인들(DLm,DLm+1)로부터 연장된 소스 전극(151) 및 상기 소스 전극(151)에서 이격되어 형성된 드레인 전극(153)을 더 포함한다. 상기 제2 도전패턴(150)에 대해 반복되는 설명은 생략한다.

[0097] 상기 제2 도전패턴(150) 상에는 상기 소스 전극(151), 드레인 전극(153) 및 스토리지 라인(155)을 덮는 패시베이션층(160)이 형성될 수 있다.

[0098] 위에서 설명한 바와 같이, 마스크의 수를 줄이기 위한 공정에 의하면, 상기 제2 도전패턴(150)의 하부에는 항상 반도체층(140)이 형성될 수 있다.

[0099] 본 실시예에서는, 상기 데이터 라인들(DLm,DLm+1)의 하부에 형성된 반도체층(140)으로 향하는 광을 차단하는 제2 광차단패턴(127)이 상기 데이터 라인들(DLm,DLm+1)의 하부에 형성된다. 또한, 제1 광차단패턴(125)은 상기 스토리지 라인(155)의 하부에 형성된 반도체층(140)과 중첩될 수 있다.

[0100] 상기 제1 및 제2 광차단패턴(125, 127)이 상기 반도체층(140)과 중첩되면, 예를 들어, 어레이 기판(200)의 하부에서 광이 제공되는 경우에 상기 제1 및 제2 광차단패턴(125, 127)이 상기 반도체층(140)으로 향하는 광을 차단할 수 있다. 상기 제1 및 제2 광차단패턴(125, 127)은 게이트 라인들(GLn-1, GLn, GLn+1)을 형성하는 도전패턴인 제1 도전패턴(120)에 포함됨을 주목할 필요가 있다.

[0101] 영상을 표시하기 위해 상기 어레이 기판(200)의 하부로부터 광이 제공되는 경우에, 상기 반도체층(140)에 광이 입사하면 상기 반도체층(140)이 광 에너지에 의해 여기(excited)된다. 상기 반도체층(140)이 광 에너지에 의해 여기되면, 상기 반도체층(140) 상에 형성된 스토리지 라인(155) 또는 데이터 라인들(DLm,DLm+1)의 전기적 특성이 상기 여기된 반도체층(140)에 의해 영향을 받는다.

[0102] 예를 들어, 여기된 반도체층에 의해 스토리지 라인(155)에 의해 형성되는 스토리지 커패시터의 커패시턴스가 영향을 받을 수도 있고, 데이터 라인들(DLm,DLm+1)에 인가되는 데이터 전압이 불안정해질 수도 있다. 이러한 전기

적 특성의 변화로 인해, 화면상에 휘도차가 발생할 수 있고, 화면이 깜박이는 이른바 플리커(flicker) 불량 또는 화면에 줄이 생기는 워터폴(waterfall) 불량이 발생할 수도 있다. 따라서, 상기 반도체층(140)이 광 에너지에 의해 활성화되지 않도록 하기 위해, 상기 반도체층(140)의 하부에 제1 및 제2 광차단패턴(125, 127)이 형성된다.

[0103] 게다가, 데이터 라인들(DLm,DLm+1)의 하부에 제2 광차단패턴(127)이 형성되면, 상기 어레이 기판(200)에 대향하는 대향 기판(미도시)에 데이터 라인들(DLm,DLm+1)에 대응하여 형성되는 차광막(미도시)이 상기 데이터 라인들(DLm,DLm+1)을 기준으로 정렬 오류(alignment miss)를 일으키더라도, 제2 광차단패턴(127)이 이러한 정렬 오류를 상쇄시키는 역할을 할 수도 있다. 이에 따라, 소위 블랙 메트릭스라고 불리는 상기 차광막(미도시)의 폭을 줄일 수 있는 효과가 있다.

[0104] 위에서 언급한 바대로, 상기 제1 및 제2 광차단패턴(125, 127)은 게이트 라인들(GLn-1,GLn,GLn+1) 및 게이트 전극(121)과 동일한 도전층으로 형성될 수 있다.

[0105] 일 실시예에서, 상기 제1 광차단패턴(125)은 상기 메인 스토리지 라인(155a)과 중첩되는 메인 광차단패턴(125a), 상기 제1 서브 스토리지 라인(155b)과 중첩되는 제1 서브 광차단패턴(125b) 및 제2 서브 스토리지 라인(125c)과 중첩되는 제2 서브 광차단패턴(125c)을 포함할 수 있다.

[0106] 한편, 각 단위 화소 내에는 화소 전압이 인가되는 화소 전극(170)이 형성된다. 상기 화소 전극(170)은 패시베이션층(160) 상에 형성될 수 있다. 상기 화소 전극(170)은 패시베이션층(160)에 형성된 콘택홀들(181,182)을 통해 상기 박막 트랜지스터와 전기적으로 연결된다. 일실시예에서, 화소 전극(170)은 제1 콘택홀(181)을 통해 상기 드레인 전극(153)으로부터 연장되어 형성된 제1 연결 전극(156)과 연결된다. 화소 전극(170)은 제2 콘택홀(182)을 통해 상기 드레인 전극(153)으로부터 연장되어 형성된 제2 연결 전극(157)과 연결될 수도 있다. 화소 전극(170), 콘택홀들(181,182), 제1 연결 전극(156) 및 제2 연결 전극(157)에 대한 반복되는 설명은 생략한다.

[0107] 본 발명에 따르면, 제2 광차단패턴이 데이터 라인의 하부에 형성된 반도체층과 중첩되므로, 상기 반도체층으로 향하는 광을 차단한다. 즉, 광 에너지에 의해 반도체층이 여기되어 데이터 라인의 전기적 특성에 영향을 미치는 것을 방지하여 영상의 표시품질을 향상시킬 수 있다. 또한, 상기 대향 기판(미도시)에 형성되는 차광막(미도시)의 폭을 줄일 수도 있다.

[0108] 도 5 및 도 6에 도시된 어레이 기판(200)의 제조 방법은 제1 도전 패턴이 데이터 라인의 하부에 형성되어 상기 데이터 라인과 중첩되는 제2 광차단패턴을 더 포함한다는 점을 제외하고는 도 4a 내지 도 4g를 참조하여 설명한 어레이 기판(100)의 제조방법과 실질적으로 동일하다. 따라서, 반복되는 상세한 설명은 생략한다.

[0109] 도 7은 본 발명의 또 다른 일 실시예에 따른 어레이 기판을 나타내는 단면도이다.

[0110] 도 7을 참조하여 설명하는 어레이 기판(300)은 박막 트랜지스터의 드레인 전극 및 콘택홀에 대응하여 형성된 연결 전극의 하부에 제3 광차단패턴이 형성된다는 점을 제외하고는 도 5 및 도 6을 참조하여 설명한 어레이 기판(200)과 실질적으로 동일하거나 유사하다. 따라서, 도 5 및 도 6을 참조하여 설명된 어레이 기판(200)의 구성요소와 유사하거나 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 반복되는 상세한 설명은 생략한다.

[0111] 도 5 및 도 7을 참조하면, 어레이 기판(300)은 다수의 화소 영역을 포함하는 베이스 기판(110), 상기 베이스 기판상에 형성되는 제1 도전패턴(120), 상기 제1 도전패턴의 상부에 형성되는 반도체층(140), 상기 반도체층(140) 상에 형성되는 제2 도전패턴(150) 및 상기 제2 도전패턴(150)의 상부에 형성되는 화소 전극(170)을 포함한다.

[0112] 제1 도전패턴(120)은 게이트 라인(GLn), 게이트 전극(121), 제1 광차단패턴(125), 제2 광차단패턴(127), 제3 광차단패턴(129)을 포함한다. 제2 도전패턴(150)은 데이터 라인(DLm), 소스 전극(151), 드레인 전극(153), 스토리지 전극(125) 및 연결 전극(156)을 포함한다. 상기 연결 전극(156)은 도 5 및 도 6에서 설명한 제1 및 제2 연결 전극(156,157)과 실질적으로 동일하다. 즉, 상기 연결 전극(156)은 콘택홀(181)에 대응하여 형성된다.

[0113] 상기 제1 도전패턴(120) 상에는 제1 도전패턴(120)을 덮는 게이트 절연층(130)이 형성된다. 상기 반도체층(140)은 활성층(141) 및 저항성 접촉층(143)을 포함한다. 상기 게이트 절연층(130) 및 반도체층(140)에 대한 반복되는 설명은 생략한다. 상기 제2 도전패턴(150) 상에는 상기 소스 전극(151), 드레인 전극(153) 및 스토리지 라인(155)을 덮는 패시베이션층(160)이 형성될 수 있다.

[0114] 위에서 설명한 바와 같이, 마스크의 수를 줄이기 위한 공정에 의하면, 상기 제2 도전패턴(150)의 하부에는 항상

반도체층(140)이 형성될 수 있다.

[0115] 본 실시예에서는, 상기 드레인 전극(153) 및 연결 전극(156)의 하부에 제3 광차단패턴(129)이 형성된다. 상기 제3 광차단패턴(129)은 상기 드레인 전극(153) 및 연결 전극(156)의 하부에 형성된 반도체층(140)과 중첩된다. 이에 따라, 어레이 기판(300)의 하부에서 광이 제공되는 경우에 상기 제3 광차단패턴(129)이 상기 반도체층(140)으로 향하는 광을 차단할 수 있다. 상기 제3 광차단패턴(129)은 게이트 라인(GLn) 및 게이트 전극(121)을 형성하는 도전패턴인 제1 도전패턴(120)에 포함됨을 주목할 필요가 있다.

[0116] 상기 어레이 기판(300)의 하부로부터 광이 제공되는 경우에, 상기 반도체층(140)에 광이 입사하면 상기 반도체층(140)이 광 에너지에 의해 여기(excited)된다. 상기 반도체층(140)이 광 에너지에 의해 여기되면, 상기 반도체층(140) 상에 형성된 드레인 전극(153) 및 연결 전극(156)의 전기적 특성이 상기 여기된 반도체층(140)에 의해 영향을 받는다. 따라서, 상기 제3 광차단패턴(129)은 상기 드레인 전극(153) 및 연결 전극(156)의 하부에 형성된 반도체층(140)으로 향하는 광을 차단하여 상기 반도체층(140)의 활성화를 방지한다.

[0117] 그밖에 제1 광차단패턴(125), 제2 광차단 패턴(127)의 기능이나 역할에 대해서는 도 5 및 도 6을 참조하여 설명하였으므로, 반복되는 설명은 생략한다.

[0118] 또한, 도 7에 도시된 어레이 기판(300)의 제조 방법은 콘택홀(181)에 대응하여 형성된 연결 전극(156) 및 박막 트랜지스터의 드레인 전극(153)의 하부에 제3 광차단패턴(129)이 형성된다는 점을 제외하고는 도 4a 내지 도 4g를 참조하여 설명한 어레이 기판(100)의 제조방법과 실질적으로 동일하다. 따라서, 반복되는 상세한 설명은 생략한다.

[0119] 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0120] 도 1은 본 발명의 일 실시예에 따른 어레이 기판을 개념적으로 도시한 평면도이다.

[0121] 도 2는 도 1의 일부를 확대하여 더욱 상세하게 나타낸 평면도이다.

[0122] 도 3은 도 2의 I-I'선을 따라 절단한 단면도이다.

[0123] 도 4a 내지 도 4g는 도 1 내지 도 3에 도시한 어레이 기판의 제조방법을 나타내는 단면도들이다.

[0124] 도 5는 본 발명의 다른 일 실시예에 따른 어레이 기판을 나타내는 평면도이다.

[0125] 도 6은 도 5의 II-II'선을 따라 절단한 단면도이다.

[0126] 도 7은 본 발명의 또 다른 일 실시예에 따른 어레이 기판을 나타내는 단면도이다.

[0127] <도면의 주요 부분에 대한 부호의 설명>

[0128] GLn : 게이트 라인 DLm : 데이터 라인

[0129] 100 : 어레이 기판 110 : 베이스 기판

[0130] 120 : 제1 도전패턴 121 : 게이트 전극

[0131] 125 : 제1 광차단패턴 125a : 메인 광차단패턴

[0132] 125b : 제1 서브 광차단패턴 125c : 제2 서브 광차단패턴

[0133] 127 : 제2 광차단패턴 129 : 제3 광차단패턴

[0134] 130 : 게이트 절연층 150 : 제2 도전패턴

[0135] 140 : 반도체층 141 : 활성층

[0136] 143 : 저항성 접촉층 150 : 저항성 접촉층

[0137] 151 : 소스 전극 153 : 드레인 전극

[0138] 155 : 스토리지 라인 155a : 메인 스토리지 라인

[0139] 155b : 제1 서브 스토리지 라인 155c : 제2 서브 스토리지 라인

[0140] 156 : 제1 연결 전극 157 : 제2 연결 전극

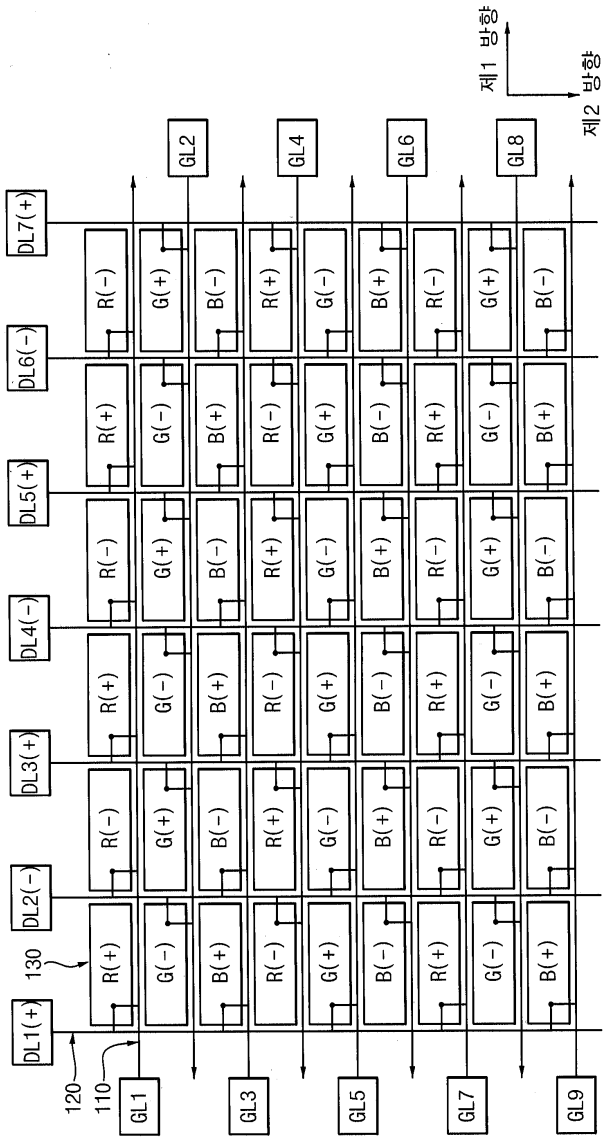
[0141] 160 : 패시베이션층 170 : 화소 전극

[0142] 181 : 제1 콘택홀 182 : 제2 콘택홀

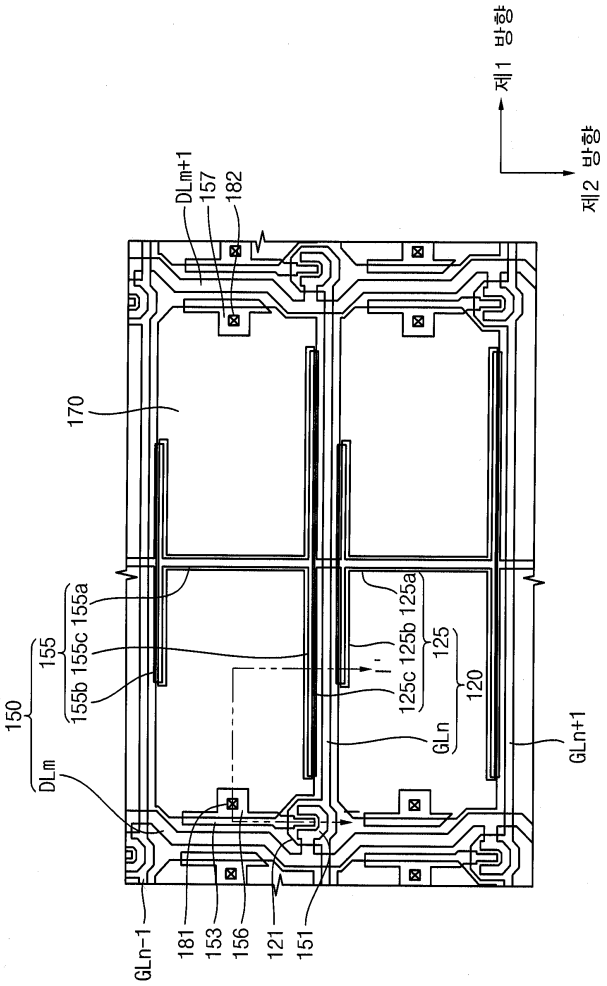
[0143] 460 : 포토 레지스트막

도면

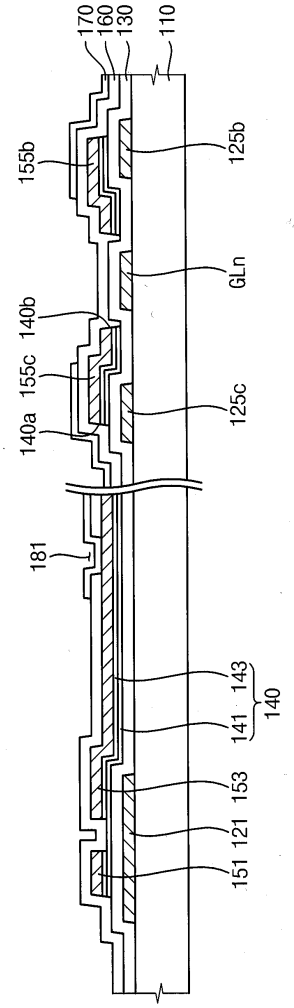
도면1



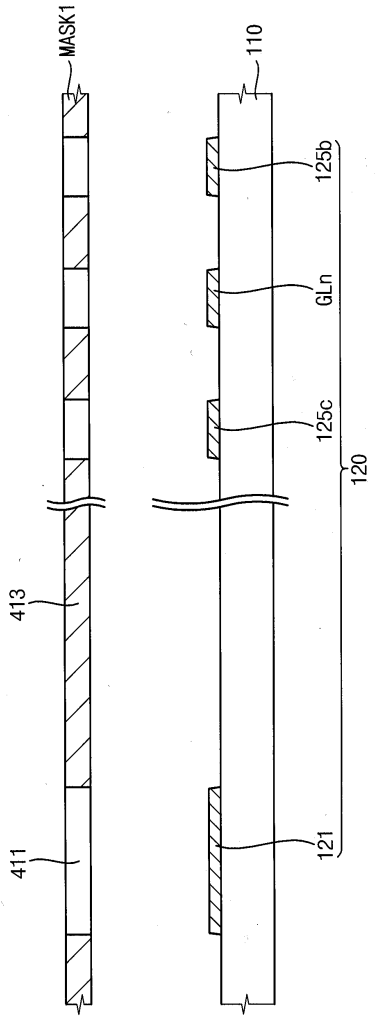
도면2


제1 방향
제2 방향
DLm+1
157
182
170
155a
155c
155b
155
150
DLm
125a
125b
125c
125
120
GLn
GLn+1
GLn-1
181
153
156
121
151

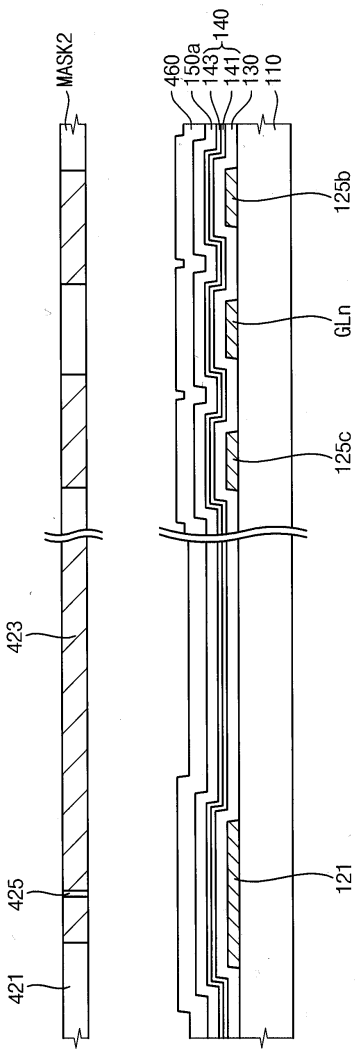
도면3


170
160
130
110
155b
125b
GLn
140b
155c
125c
140a
181
143
140
141
153
121
151

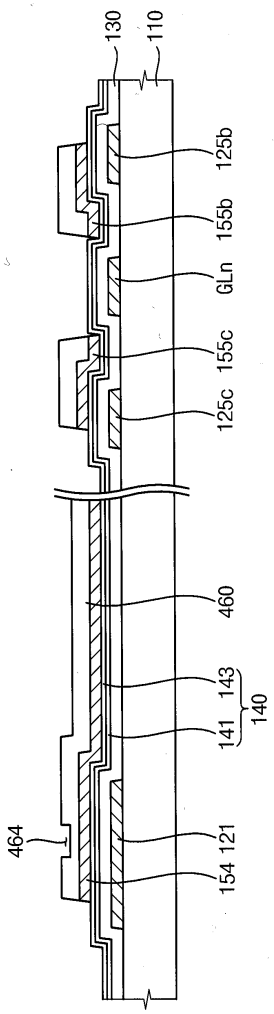
도면4a



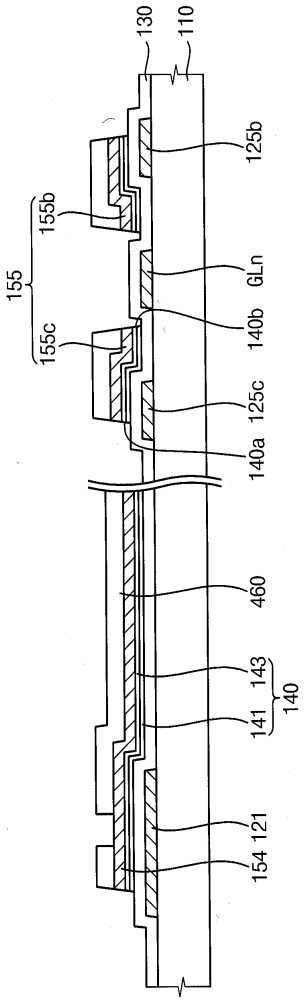
도면4b


MASK2
460
150a
143
141
140
130
110
125b
GLn
125c
121
423
425
421

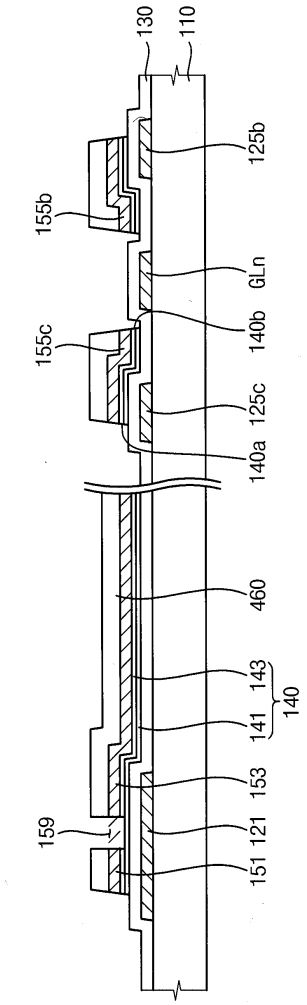
도면4c



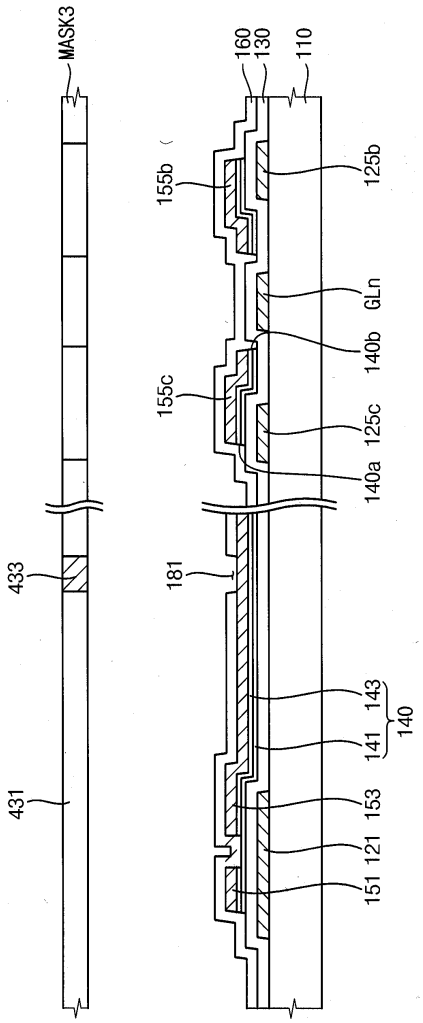
도면4d


130
110
125b
155b
155
GLn
155c
140b
125c
140a
460
143
140
141
121
154

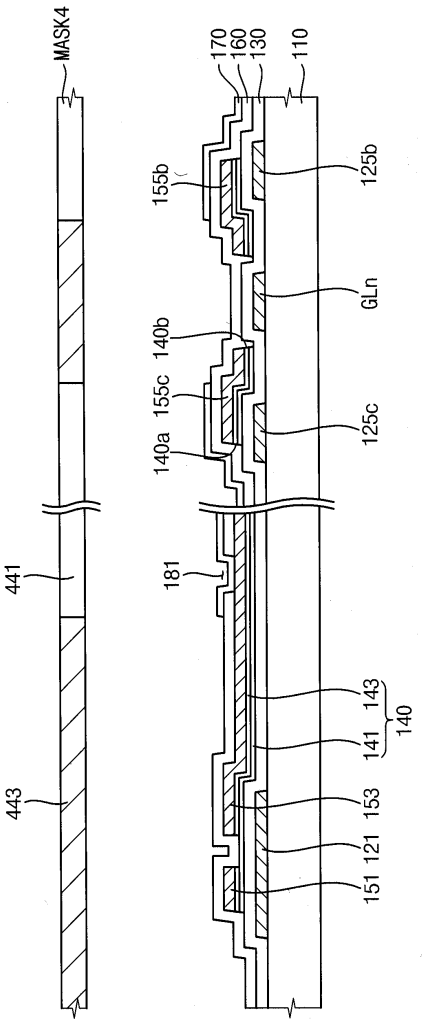
도면4e


130
110
125b
155b
GLn
140b
155c
125c
140a
460
143
140
141
153
159
121
151

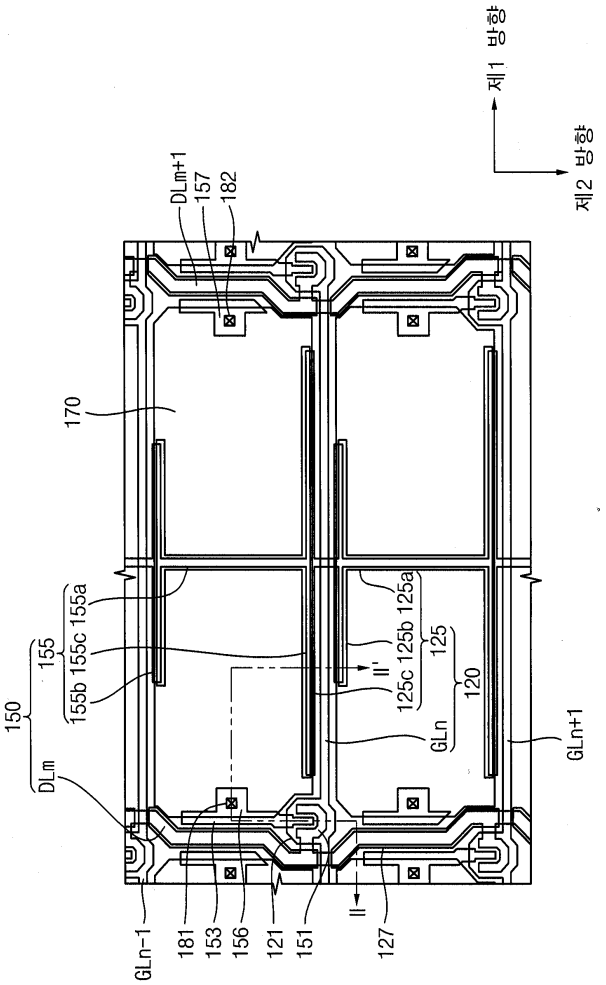
도면4f


MASK3
160
130
110
155b
125b
GLn
140b
155c
125c
140a
433
181
143
140
141
431
153
121
151

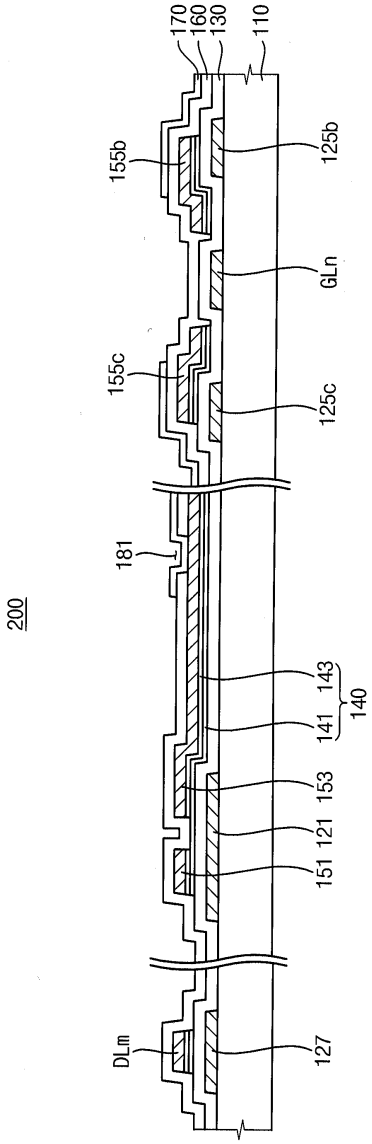
도면4g


MASK4
170
160
130
110
155b
125b
GLn
140b
155c
125c
140a
441
181
143
140
141
443
153
121
151

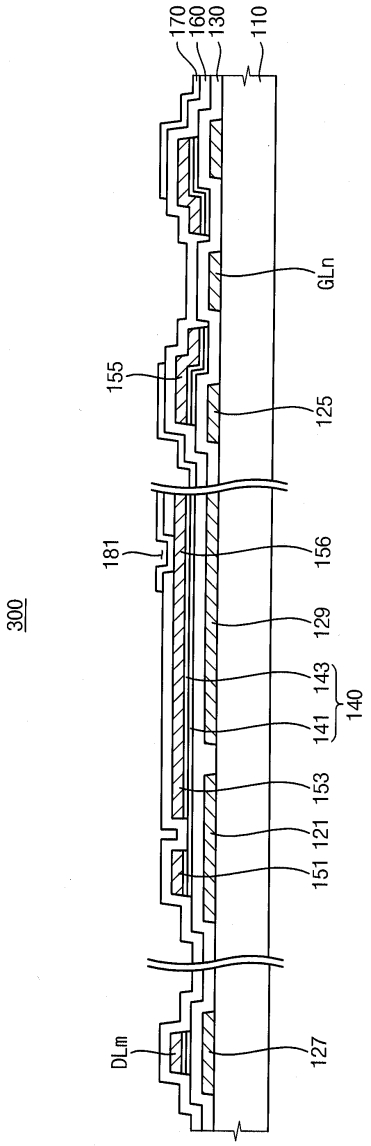
도면5


제1 방향
제2 방향
DLm+1
157
182
170
155a
155c
155
155b
150
DLm
125a
125b
125c
125
120
II'
GLn
GLn+1
II
GLn-1
181
153
156
121
151
127

도면6


200
170
160
130
110
155b
125b
GLn
155c
125c
181
143
140
141
153
121
151
DLm
127

도면7


300
170
160
130
110
GLn
155
125
181
156
129
143
140
141
153
121
151
DLm
127