

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-50478

(P2015-50478A)

(43) 公開日 平成27年3月16日(2015.3.16)

(51) Int.Cl.	F 1	テーマコード (参考)
HO4N 5/378 (2011.01)	HO4N 5/335 780	5C024
HO4N 5/357 (2011.01)	HO4N 5/335 570	
HO4N 5/374 (2011.01)	HO4N 5/335 740	

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2013-178521 (P2013-178521)
 (22) 出願日 平成25年8月29日 (2013.8.29)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (72) 発明者 山岡 寛明
 東京都港区芝浦一丁目1番1号 株式会社東芝内
 Fターム(参考) 5C024 CX03 GX16 GY39 HX23 HX47 JX11

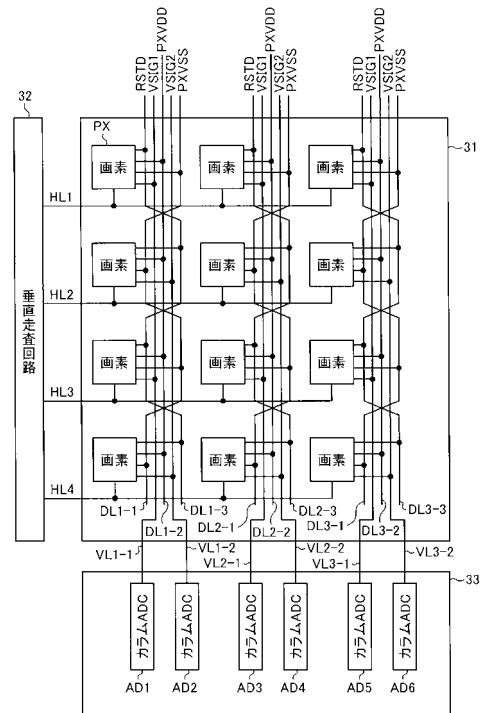
(54) 【発明の名称】 固体撮像装置

(57) 【要約】 (修正有)

【課題】画素信号を垂直方向に転送する垂直信号線に重畳されるノイズを均等化しつつ、1つのカラムに対して垂直信号線を複数本づつ設けることが可能な固体撮像装置を提供する。

【解決手段】各カラムにおいて、垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2は、電源線DL1-1、DL1-3、DL2-1、DL2-3、DL3-1、DL3-3の間にそれぞれ配置され、電源線DL1-2、DL2-2、DL3-2は垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2の間にそれぞれ配置され、電源線DL1-1、DL1-3は、カラム方向に1画素ごとに互いに交差させて配置され、電源線DL2-1、DL2-3は、カラム方向に1画素ごとに互いに交差させて配置され、電源線DL3-1、DL3-3は、カラム方向に1画素ごとに互いに交差させて配置される。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

ロウ方向およびカラム方向にマトリックス状に配置された画素と、
 ロウ方向の前記画素を選択する水平制御線と、
 1カラムごとに n (n は2以上の整数)本だけ配置され、同一カラムの画素に $(n - 1) \times m$ (m は1以上の整数)個置きに接続された垂直信号線と、
 前記 n 本の垂直信号線と交差するようにして配線され、前記画素に第1電源を供給する第1の電源線と、
 前記 n 本の垂直信号線を間にして前記第1の電源線と対称になるように配線され、前記画素に第2電源を供給する第2の電源線と、
 前記垂直信号線を介して読み出された画素信号をAD変換するAD変換回路とを備えることを特徴とする固体撮像装置。

10

【請求項 2】

ロウ方向およびカラム方向にマトリックス状に配置された画素と、
 ロウ方向の前記画素を選択する水平制御線と、
 1カラムごとに n (n は2以上の整数)本だけ配置され、同一カラムの画素に $(n - 1) \times m$ (m は1以上の整数)個置きに接続された垂直信号線と、
 前記垂直信号線と交差するようにして配線され、前記画素に電源を供給する電源線と、
 前記垂直信号線を介して読み出された画素信号をAD変換するAD変換回路とを備えることを特徴とする固体撮像装置。

20

【請求項 3】

ロウ方向およびカラム方向にマトリックス状に配置された画素と、
 ロウ方向の前記画素を選択する水平制御線と、
 互いに交差されるようにして1カラムごとに n (n は2以上の整数)本だけ配置され、同一カラムの画素に $(n - 1) \times m$ (m は2以上の整数)個置きに接続された垂直信号線と、
 前記垂直信号線を介して読み出された画素信号をAD変換するAD変換回路とを備えることを特徴とする固体撮像装置。

【請求項 4】

各カラムの1本の垂直信号線は同一カラムの $n - 1$ 本の垂直信号線と m 画素ごとに交差することを特徴とする請求項3に記載の固体撮像装置。

30

【請求項 5】

同一カラムの異なる垂直信号線に接続された n 個の画素から各カラムの n 本の垂直信号線に同時に画素信号が読み出されるように前記水平制御線を選択する垂直走査回路を備え、
 前記AD変換回路は、前記 n 本の垂直信号線をそれぞれ介して n 個の画素から読み出された画素信号を同時にAD変換することを特徴とする請求項3または4に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明の実施形態は、固体撮像装置に関する。

【背景技術】

【0002】

固体撮像装置では、高フレームレート化、画素数の増加および出力ビット数の増加に伴って、A/D変換などの画像処理にかかる時間を短縮することが求められている。このような要求に答えるために、画素信号を垂直方向に転送する垂直信号線を1つのカラムに対して2本ずつ設け、1つのカラムに対して2個のカラムAD変換回路でA/D変換を行う方法が提案されている。

【先行技術文献】

50

【特許文献】

【0003】

【特許文献1】特開2011-82769号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一つの実施形態は、画素信号を垂直方向に転送する垂直信号線に重畳されるノイズを均等化しつつ、1つのカラムに対して垂直信号線を複数本づつ設けることが可能な固体撮像装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明の一つの実施形態によれば、画素と、水平制御線と、垂直信号線と、AD変換回路とが設けられている。画素は、ロウ方向およびカラム方向にマトリックス状に配置されている。水平制御線は、ロウ方向の前記画素を選択する。垂直信号線は、1カラムごとに n (n は2以上の整数)本だけ配置され、同一カラムの画素に $(n-1) \times m$ (m は1以上の整数)個置きに接続されている。電源線は、前記垂直信号線と交差するようにして配線され、前記画素に電源を供給する。AD変換回路は、前記垂直信号線を介して読み出された画素信号をAD変換する。

【図面の簡単な説明】

【0006】

【図1】図1は、第1実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図2】図2は、図1の画素の概略構成を示す回路図である。

【図3】図3は、図1のカラム方向に隣接する4個の画素のレイアウト構成を示す平面図である。

【図4】図4は、第2実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図5】図5は、第3実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図6】図6は、第4実施形態に係る固体撮像装置の概略構成を示すブロック図である。

【図7】図7は、図6の画素の概略構成を示す回路図である。

【図8】図8は、第5の実施形態に係る固体撮像装置が適用されたデジタルカメラの概略構成を示すブロック図である。

【発明を実施するための形態】

【0007】

以下に添付図面を参照して、実施形態に係る固体撮像装置を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。

【0008】

(第1実施形態)

図1は、第1実施形態に係る固体撮像装置の概略構成を示すブロック図である。なお、図1では、ロウ方向およびカラム方向にマトリックス状に 3×8 個の画素PXが配置されている例を示した。

図1において、この固体撮像装置には画素アレイ部1が設けられ、画素アレイ部1には、ロウ方向およびカラム方向にマトリックス状に画素PXが配置されている。そして、ロウ方向の画素PXを選択する水平制御線HL1~HL8が配置されるとともに、画素PXから読み出された画素信号をカラム方向に伝送する垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2が配置されている。なお、水平制御線HL1~HL8には、例えば、画素PXから読み出しを行わせる読み出し線、画素PXに蓄積された電荷をリセットさせるリセット線および読み出し時の行選択を行わせるアドレス線を含むことができる。

【0009】

垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2は1カラムごとに2本だけ配置され、例えば、1カラム目には垂直信号線VL1-1、

10

20

30

40

50

V L 1 - 2 が配置され、2 カラム目には垂直信号線 V L 2 - 1、V L 2 - 2 が配置され、3 カラム目には垂直信号線 V L 3 - 1、V L 3 - 2 が配置されている。

【 0 0 1 0 】

また、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 は同一カラムの画素 P X に 2 個置きに接続されている。例えば、垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 は、1、2、5、6 行目の画素 P X に接続され、垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 は、3、4、7、8 行目の画素 P X に接続されている。

【 0 0 1 1 】

また、垂直信号線 V L 1 - 1、V L 1 - 2 は、カラム方向に 2 画素ごとに互いに交差させて配置され、垂直信号線 V L 2 - 1、V L 2 - 2 は、カラム方向に 2 画素ごとに互いに交差させて配置され、垂直信号線 V L 3 - 1、V L 3 - 2 は、カラム方向に 2 画素ごとに互いに交差させて配置されている。

10

【 0 0 1 2 】

また、固体撮像装置には、水平制御線 H L 1 ~ H L 8 を選択する垂直走査回路 2 および垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 を介して読み出された画素信号を A D 変換する A D 変換回路 3 が設けられている。

【 0 0 1 3 】

ここで、垂直走査回路 2 は、同一カラムの異なる垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 に接続された 2 個の画素から各カラムの 2 本の垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 に同時に画素信号が読み出されるように水平制御線 H L 1 ~ H L 8 を選択することができる。例えば、1 行目の画素 P X から垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 に信号を読み出すと同時に、3 行目の画素 P X から垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 に信号を読み出す場合、垂直走査回路 2 は、水平制御線 H L 1、H L 3 を同時に選択し、A D 変換回路 3 に伝送させることができる。また、垂直走査回路 2 は、水平制御線 H L 1、H L 3 を同時に選択した後、水平制御線 H L 2、H L 4 を同時に選択することにより、2 行目の画素 P X から垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 に信号を読み出させると同時に、4 行目の画素 P X から垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 に信号を読み出させることができる。

20

30

【 0 0 1 4 】

A D 変換回路 3 には、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 ごとにカラム A D 変換器 A D 1 ~ A D 6 が設けられている。そして、カラム A D 変換器 A D 1 ~ A D 6 は、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 にそれぞれ読み出された画素信号を同時に処理することができる。

【 0 0 1 5 】

ここで、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 をカラム方向に 2 画素ごとに互いに交差させて配置することにより、各カラムごとの垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 の交差回数の増大を抑制しつつ、両側の画素 P X に対する垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 の対称性を向上させることができる。このため、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 の寄生抵抗および寄生容量の増大を抑制しつつ、各画素 P X から重畳されるクロストークノイズを均等化することができ、読み出し速度の高速化を図りつつ、画像に現れる横筋ノイズを低減することができる。

40

【 0 0 1 6 】

図 2 は、図 1 の画素の概略構成を示す回路図である。

図 2 において、画素 P X には、リードトランジスタ 1、リセットトランジスタ 2、アドレストランジスタ 3、アンプトランジスタ 4、フォトダイオード P D およびフローティン

50

グディフュージョンFDが設けられている。

【0017】

そして、リードトランジスタ1のソースは、フォトダイオードPDに接続され、リードトランジスタ1のゲートは、読み出し線READに接続されている。また、リセットトランジスタ2のソースは、リードトランジスタ1のドレインに接続され、リセットトランジスタ2のゲートは、リセット線RSTに接続され、リセットトランジスタ2のドレインは、電源電位VDDに接続されている。また、アドレストランジスタ3のゲートは、アドレス線ADRに接続され、アドレストランジスタ3のドレインは、アンプトランジスタ4のソースに接続され、アドレストランジスタ3のソースは、垂直信号線VL1-1に接続されている。また、アンプトランジスタ4のゲートは、リードトランジスタ1のドレインに接続され、アンプトランジスタ4のドレインは、電源電位VDDに接続されている。ここで、アンプトランジスタ4のゲートとリードトランジスタ1のドレインとの接続点にはフローティングディフュージョンFDが形成されている。フォトダイオードPDのアノードは基準電位PXVSSに接続されている。なお、基準電位PXVSSは、接地電位であってもよいし、電源電位VDDよりも低い固定電位であってもよい。

10

【0018】

そして、アドレス線ADRがロウレベルの場合、アドレストランジスタ3がオフ状態となり、垂直信号線VL1-1に画素信号VSI Gは出力されない。この時、読み出し線READとリセット線RSTがハイレベルになると、リードトランジスタ1がオンし、フォトダイオードPDに蓄積されていた電荷がフローティングディフュージョンFDに排出される。そして、リセットトランジスタ2を介して電源電位VDDに排出される。

20

【0019】

フォトダイオードPDに蓄積されていた電荷が電源電位VDDに排出された後、読み出し線READがロウレベルになると、フォトダイオードPDでは、信号電荷の蓄積が開始される。

【0020】

次に、アドレス線ADRがハイレベルになると、アドレストランジスタ3がオンし、アンプトランジスタ4のドレインに電源電位VDDが印加される。

【0021】

そして、アドレストランジスタ3がオンの状態でリセット線RSTがハイレベルになると、リセットトランジスタ2がオンし、リーク電流などで発生した余分な電荷がフローティングディフュージョンFDに排出される。そして、フローティングディフュージョンFDのリセットレベルに応じた電圧がアンプトランジスタ4のゲートにかかり、アンプトランジスタ4のゲートに印加された電圧に垂直信号線VL1-1の電圧が追従することで、リセットレベルの画素信号VSI Gが垂直信号線VL1-1に出力される。

30

【0022】

そして、リセットレベルの画素信号VSI GはカラムAD変換器AD1に入力され、基準電圧と比較される。そして、その比較結果に基づいてダウンカウント動作が行われることでリセットレベルの画素信号VSI Gがデジタル値に変換され保持される。

【0023】

次に、アドレストランジスタ3がオンの状態で読み出し線READがハイレベルになると、リードトランジスタ1がオンし、フォトダイオードPDに蓄積されていた電荷がフローティングディフュージョンFDに転送される。そして、フローティングディフュージョンFDの信号読み出しレベルに応じた電圧がアンプトランジスタ4のゲートにかかり、アンプトランジスタ4のゲートに印加された電圧に垂直信号線VL1-1の電圧が追従することで、信号レベルの画素信号VSI Gが垂直信号線VL1-1に出力される。

40

【0024】

そして、信号レベルの画素信号VSI GはカラムADC回路AD1に入力され、基準電圧と比較される。そして、その比較結果に基づいてアップカウント動作が行われることでリセットレベルの画素信号VSI Gと信号レベルの画素信号VSI Gとの差分がデジタル

50

値に変換される。

【0025】

図3は、図1のカラム方向に隣接する4個の画素のレイアウト構成を示す平面図である。

図3において、カラム方向に隣接する4個の画素 $PX1 \sim PX4$ において、半導体基板 $SB1$ に拡散層 $DF1$ がそれぞれ形成されることでフォトダイオード PD が構成されている。また、半導体基板 $SB1$ 上にゲート電極 $G1$ がそれぞれ配置され、それらのゲート電極 $G1$ の両側に拡散層 $DF1$ がそれぞれ設けられることで、リードトランジスタ1、リセットトランジスタ2、アドレスタランジスタ3およびアンプトランジスタ4が構成されている。また、リードトランジスタ1のゲート電極 $G1$ とリセットトランジスタ2のゲート電極 $G1$ との間の拡散層 $DF1$ をビア $B1$ および配線 $H1$ を介してアンプトランジスタ4のゲート電極 $G1$ に接続することでフローティングディフュージョン FD が構成されている。

10

【0026】

また、互いに隣接して配置された2本の配線 $H1$ にて垂直信号線 $VL1-1$ 、 $VL1-2$ が構成され、垂直信号線 $VL1-1$ 、 $VL1-2$ の交差位置では、2本の配線 $H1$ の一方が接続されたまま他方が切断され、その切断箇所が配線 $H2$ にてビア $B1$ を介して接続されている。なお、配線 $H1$ 、 $H2$ は互いに異なる配線層に配置することができ、例えば、配線 $H1$ は第1層目配線層、配線 $H2$ は第2層目配線層を用いることができる。また、垂直信号線 $VL1-1$ 、 $VL1-2$ に用いられる配線 $H1$ の交差位置での切断は、垂直信号線 $VL1-1$ 、 $VL1-2$ に対して2画素置きに交互に行うことができる。

20

【0027】

また、垂直信号線 $VL1-1$ 、 $VL1-2$ を交差させた後の配線 $H1$ の口ウ方向の位置は互いに一致させることが好ましく、垂直信号線 $VL1-1$ は、垂直信号線 $VL1-2$ に対して互いに隣接する画素 $PX1 \sim PX4$ 間で一直線上に配置することが好ましい。また、垂直信号線 $VL1-1$ 、 $VL1-2$ に隣接するように配置された配線 $H1$ にて電源線 VD が構成されている。電源線 VD は画素 $PX1 \sim PX4$ に電源電位 VDD を供給することができる。

【0028】

そして、垂直信号線 $VL1-1$ に用いられている配線 $H1$ は、ビア $B1$ を介して画素 $PX2$ 、 $PX3$ のアンプトランジスタ4のソース側の拡散層 $DF1$ に接続され、垂直信号線 $VL1-2$ に用いられている配線 $H1$ は、ビア $B1$ を介して画素 $PX1$ 、 $PX4$ のアンプトランジスタ4のソース側の拡散層 $DF1$ に接続されている。また、電源線 VD に用いられている配線 $H1$ は、ビア $B1$ を介して画素 $PX1 \sim PX4$ のリセットトランジスタ2のドレイン側の拡散層 $DF1$ に接続されている。

30

【0029】

ここで、垂直信号線 $VL1-1$ 、 $VL1-2$ を配線 $H1$ で構成し、垂直信号線 $VL1-1$ 、 $VL1-2$ の交差位置では配線 $H2$ を用いることにより、垂直信号線 $VL1-1$ 、 $VL1-2$ の対称性を確保することができ、画素 $PX1 \sim PX4$ および電源線 VD から重畳されるクロストークノイズを均等化することができる。

40

【0030】

また、垂直信号線 $VL1-1$ 、 $VL1-2$ をカラム方向に2画素ごとに互いに交差させて配置することにより、1画素ごとに互いに交差させて配置する構成に比べて、配線長およびビア数を低減することができ、垂直信号線 $VL1-1$ 、 $VL1-2$ の寄生抵抗および寄生容量の増大を抑制することができる。

【0031】

なお、上述した第1実施形態では、垂直信号線 $VL1-1$ 、 $VL1-2$ 、 $VL2-1$ 、 $VL2-2$ 、 $VL3-1$ 、 $VL3-2$ を1カラムごとに2本だけ配置する方法について説明したが、1カラムごとに配置される垂直信号線は2本に限定されることなく、垂直信号線を1カラムごとに n (n は2以上の整数)本だけ配置するようにしてもよい。この場合

50

、各カラムの画素 P X を n 個のグループに分け、各グループごとに異なる垂直信号線に画素 P X を接続することができる。例えば、カラム方向に互いに隣接する n 個の画素 P X は、各カラムの互いに異なる垂直信号線に接続することができる。また、各カラムの 1 本の垂直信号線は同一列の n - 1 本の垂直信号線と m (m は 2 以上の整数) 画素置きに交差することができる。また、各カラムの画素 P X は、カラム方向に (n - 1) × m 個置きに同一の垂直信号線に接続することができる。また、互いに異なるグループに属する n 個の画素 P X から各列の n 本の垂直信号線に同時に画素信号を読み出させることができる。

【 0 0 3 2 】

(第 2 実施形態)

図 4 は、第 2 実施形態に係る固体撮像装置の概略構成を示すブロック図である。

10

図 4 において、この固体撮像装置には画素アレイ部 1 1 が設けられ、画素アレイ部 1 1 には、ロウ方向およびカラム方向にマトリックス状に画素 P X が配置されている。そして、ロウ方向の画素 P X を選択する水平制御線 H L 1 ~ H L 8 が配置されるとともに、画素 P X から読み出された画素信号をカラム方向に伝送する垂直信号線 V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3 が配置されている。

【 0 0 3 3 】

垂直信号線 V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3 は 1 カラムごとに 3 本だけ配置され、例えば、1 カラム目には垂直信号線 V L 1 - 1 ~ V L 1 - 3 が配置され、2 カラム目には垂直信号線 V L 2 - 1 ~ V L 2 - 3 が配置され、3 カラム目には垂直信号線 V L 3 - 1 ~ V L 3 - 3 が配置されている。

20

【 0 0 3 4 】

また、垂直信号線 V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3 は同一カラムの画素 P X に 2 個置きに接続されている。例えば、垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 は、1、2、7、8 行目の画素 P X に接続され、垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 は、5、6 行目の画素 P X に接続され、垂直信号線 V L 1 - 3、V L 2 - 3、V L 3 - 3 は、3、4 行目の画素 P X に接続されている。

【 0 0 3 5 】

また、垂直信号線 V L 1 - 1 ~ V L 1 - 3 は、カラム方向に 2 画素ごとに互いに交差させて配置され、垂直信号線 V L 2 - 1 ~ V L 2 - 3 は、カラム方向に 2 画素ごとに互いに交差させて配置され、垂直信号線 V L 3 - 1 ~ V L 3 - 3 は、カラム方向に 2 画素ごとに互いに交差させて配置されている。

30

【 0 0 3 6 】

また、固体撮像装置には、水平制御線 H L 1 ~ H L 8 を選択する垂直走査回路 1 2 および垂直信号線 V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3 を介して読み出された画素信号を A D 変換する A D 変換回路 1 3 が設けられている。

【 0 0 3 7 】

ここで、垂直走査回路 1 2 は、同一カラムの異なる垂直信号線 V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3 に接続された 3 個の画素から各カラムの 3 本の垂直信号線 V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3 に同時に画素信号が読み出されるように水平制御線 H L 1 ~ H L 8 を選択することができる。例えば、1 行目の画素 P X から垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 に信号を読み出し、3 行目の画素 P X から垂直信号線 V L 1 - 3、V L 2 - 3、V L 3 - 3 に信号を読み出し、5 行目の画素 P X から垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 に信号を読み出す場合、垂直走査回路 1 2 は、水平制御線 H L 1、H L 3、H L 5 を同時に選択し、A D 変換回路 1 3 に伝送させることができる。また、垂直走査回路 1 2 は、水平制御線 H L 1、H L 3、H L 5 を同時に選択した後、水平制御線 H L 2、H L 4、H L 6 を同時に選択することにより、2 行目の画素 P X から垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 に信号を読み出し、4 行目の画素 P X から垂直信号線 V L 1 - 3、V L 2 - 3、V L 3 - 3 に信号を読み出し、6 行目の画素 P X から垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 に信号を読み出させることができる。

40

50

【0038】

A D変換回路13には、垂直信号線V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3ごとにカラムA D変換器A D 1 ~ A D 9が設けられている。そして、カラムA D変換器A D 1 ~ A D 9は、垂直信号線V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3にそれぞれ読み出された画素信号を同時に処理することができる。

【0039】

ここで、垂直信号線V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3をカラム方向に2画素ごとに互いに交差させて配置することにより、各カラムごとの垂直信号線V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3の交差回数の増大を抑制しつつ、両側の画素P Xに対する垂直信号線V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3の対称性を向上させることができる。このため、垂直信号線V L 1 - 1 ~ V L 1 - 3、V L 2 - 1 ~ V L 2 - 3、V L 3 - 1 ~ V L 3 - 3の寄生抵抗および寄生容量の増大を抑制しつつ、各画素P Xから重畳されるクロストークノイズを均等化することができ、読み出し速度の高速化を図りつつ、画像に現れる横筋ノイズを低減することができる。

【0040】

(第3実施形態)

図5は、第3実施形態に係る固体撮像装置の概略構成を示すブロック図である。

図5において、この固体撮像装置には画素アレイ部21が設けられ、画素アレイ部21には、ロウ方向およびカラム方向にマトリクス状に画素P Xが配置されている。そして、ロウ方向の画素P Xを選択する水平制御線H L 1 ~ H L 8が配置されるとともに、画素P Xから読み出された画素信号をカラム方向に伝送する垂直信号線V L 1 - 1 ~ V L 1 - 4、V L 2 - 1 ~ V L 2 - 4、V L 3 - 1 ~ V L 3 - 4が配置されている。

【0041】

垂直信号線V L 1 - 1 ~ V L 1 - 4、V L 2 - 1 ~ V L 2 - 4、V L 3 - 1 ~ V L 3 - 4は1カラムごとに4本だけ配置され、例えば、1カラム目には垂直信号線V L 1 - 1 ~ V L 1 - 4が配置され、2カラム目には垂直信号線V L 2 - 1 ~ V L 2 - 4が配置され、3カラム目には垂直信号線V L 3 - 1 ~ V L 3 - 4が配置されている。

【0042】

また、垂直信号線V L 1 - 1 ~ V L 1 - 4、V L 2 - 1 ~ V L 2 - 4、V L 3 - 1 ~ V L 3 - 4は同一カラムの画素P Xに2個置きに接続されている。例えば、垂直信号線V L 1 - 1、V L 2 - 1、V L 3 - 1は、1、2行目の画素P Xに接続され、垂直信号線V L 1 - 2、V L 2 - 2、V L 3 - 2は、7、8行目の画素P Xに接続され、垂直信号線V L 1 - 3、V L 2 - 3、V L 3 - 3は、5、6行目の画素P Xに接続され、垂直信号線V L 1 - 4、V L 2 - 4、V L 3 - 4は、3、4行目の画素P Xに接続されている。

【0043】

また、垂直信号線V L 1 - 1 ~ V L 1 - 4は、カラム方向に2画素ごとに互いに交差させて配置され、垂直信号線V L 2 - 1 ~ V L 2 - 4は、カラム方向に2画素ごとに互いに交差させて配置され、垂直信号線V L 3 - 1 ~ V L 3 - 4は、カラム方向に2画素ごとに互いに交差させて配置されている。

【0044】

また、固体撮像装置には、水平制御線H L 1 ~ H L 8を選択する垂直走査回路22および垂直信号線V L 1 - 1 ~ V L 1 - 4、V L 2 - 1 ~ V L 2 - 4、V L 3 - 1 ~ V L 3 - 4を介して読み出された画素信号をA D変換するA D変換回路23が設けられている。

【0045】

ここで、垂直走査回路22は、同一カラムの異なる垂直信号線V L 1 - 1 ~ V L 1 - 4、V L 2 - 1 ~ V L 2 - 4、V L 3 - 1 ~ V L 3 - 4に接続された4個の画素から各カラムの4本の垂直信号線V L 1 - 1 ~ V L 1 - 4、V L 2 - 1 ~ V L 2 - 4、V L 3 - 1 ~ V L 3 - 4に同時に画素信号が読み出されるように水平制御線H L 1 ~ H L 8を選択する

10

20

30

40

50

ことができる。例えば、1行目の画素PXから垂直信号線VL1-1、VL2-1、VL3-1に信号を読み出し、3行目の画素PXから垂直信号線VL1-4、VL2-4、VL3-4に信号を読み出し、5行目の画素PXから垂直信号線VL1-3、VL2-3、VL3-3に信号を読み出し、7行目の画素PXから垂直信号線VL1-2、VL2-2、VL3-2に信号を読み出す場合、垂直走査回路22は、水平制御線HL1、HL3、HL5、HL7を同時に選択し、AD変換回路23に伝送させることができる。また、垂直走査回路2は、水平制御線HL1、HL3、HL5、HL7を同時に選択した後、水平制御線HL2、HL4、HL6、HL8を同時に選択することにより、2行目の画素PXから垂直信号線VL1-1、VL2-1、VL3-1に信号を読み出し、4行目の画素PXから垂直信号線VL1-4、VL2-4、VL3-4に信号を読み出し、6行目の画素PXから垂直信号線VL1-3、VL2-3、VL3-3に信号を読み出し、8行目の画素PXから垂直信号線VL1-2、VL2-2、VL3-2に信号を読み出させることができる。

10

【0046】

AD変換回路23には、垂直信号線VL1-1~VL1-4、VL2-1~VL2-4、VL3-1~VL3-4ごとにカラムAD変換器AD1~AD12が設けられている。そして、カラムAD変換器AD1~AD12は、垂直信号線VL1-1~VL1-4、VL2-1~VL2-4、VL3-1~VL3-4にそれぞれ読み出された画素信号を同時に処理することができる。

20

【0047】

ここで、垂直信号線VL1-1~VL1-4、VL2-1~VL2-4、VL3-1~VL3-4をカラム方向に2画素ごとに互いに交差させて配置することにより、各カラムごとの垂直信号線VL1-1~VL1-4、VL2-1~VL2-4、VL3-1~VL3-4の交差回数の増大を抑制しつつ、両側の画素PXに対する垂直信号線VL1-1~VL1-4、VL2-1~VL2-4、VL3-1~VL3-4の対称性を向上させることができる。このため、垂直信号線VL1-1~VL1-4、VL2-1~VL2-4、VL3-1~VL3-4の寄生抵抗および寄生容量の増大を抑制しつつ、各画素PXから重畳されるクロストークノイズを均等化することができ、読み出し速度の高速化を図りつつ、画像に現れる横筋ノイズを低減することができる。

30

【0048】

(第4実施形態)

図6は、第4実施形態に係る固体撮像装置の概略構成を示すブロック図である。なお、図6では、ロウ方向およびカラム方向にマトリクス状に3×4個の画素PXが配置されている例を示した。

図6において、この固体撮像装置には画素アレイ部31が設けられ、画素アレイ部31には、ロウ方向およびカラム方向にマトリクス状に画素PXが配置されている。そして、ロウ方向の画素PXを選択する水平制御線HL1~HL4が配置されるとともに、画素PXから読み出された画素信号をカラム方向に伝送する垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2が配置されている。

40

【0049】

垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2は1カラムごとに2本だけ配置され、例えば、1カラム目には垂直信号線VL1-1、VL1-2が配置され、2カラム目には垂直信号線VL2-1、VL2-2が配置され、3カラム目には垂直信号線VL3-1、VL3-2が配置されている。

【0050】

また、垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2は同一カラムの画素PXに1個置きに接続されている。例えば、垂直信号線VL1-1、VL2-1、VL3-1は、1、3行目の画素PXに接続され、垂直信号線VL1-2、VL2-2、VL3-2は、2、4行目の画素PXに接続されている。

50

【0051】

また、画素アレイ部 3 1 には、画素 P X に電源を供給する電源線 D L 1 - 1 ~ D L 1 - 3、D L 2 - 1 ~ D L 2 - 3、D L 3 - 1 ~ D L 3 - 3 が配置されている。なお、電源線 D L 1 - 1、D L 2 - 1、D L 3 - 1 は基準電位 P X V S S に設定し、電源線 D L 1 - 2、D L 2 - 2、D L 3 - 2 は第 2 電源電位 P X V D D に設定し、電源線 D L 1 - 3、D L 2 - 3、D L 3 - 3 は第 1 電源電位 R S T D に設定することができる。

【 0 0 5 2 】

電源線 D L 1 - 1 ~ D L 1 - 3、D L 2 - 1 ~ D L 2 - 3、D L 3 - 1 ~ D L 3 - 3 は 1 カラムごとに 3 本だけ配置され、例えば、1 カラム目には電源線 D L 1 - 1 ~ D L 1 - 3 が配置され、2 カラム目には電源線 D L 2 - 1 ~ D L 2 - 3 が配置され、3 カラム目には電源線 D L 3 - 1 ~ D L 3 - 3 が配置されている。

10

【 0 0 5 3 】

また、各カラムにおいて、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 は、電源線 D L 1 - 1、D L 1 - 3、D L 2 - 1、D L 2 - 3、D L 3 - 1、D L 3 - 3 の間にそれぞれ配置され、電源線 D L 1 - 2、D L 2 - 2、D L 3 - 2 は垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 の間にそれぞれ配置されている。そして、電源線 D L 1 - 1、D L 1 - 3 は、カラム方向に 1 画素ごとに互いに交差させて配置され、電源線 D L 2 - 1、D L 2 - 3 は、カラム方向に 1 画素ごとに互いに交差させて配置され、電源線 D L 3 - 1、D L 3 - 3 は、カラム方向に 1 画素ごとに互いに交差させて配置されている。

20

【 0 0 5 4 】

また、固体撮像装置には、水平制御線 H L 1 ~ H L 4 を選択する垂直走査回路 3 2 および垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 を介して読み出された画素信号を A D 変換する A D 変換回路 3 3 が設けられている。

【 0 0 5 5 】

ここで、垂直走査回路 3 2 は、同一カラムの異なる垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 に接続された 2 個の画素から各カラムの 2 本の垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 に同時に画素信号が読み出されるように水平制御線 H L 1 ~ H L 4 を選択することができる。例えば、1 行目の画素 P X から垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 に画素信号 V S I G 1 を読み出すと同時に、2 行目の画素 P X から垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 に画素信号 V S I G 2 を読み出す場合、垂直走査回路 3 2 は、水平制御線 H L 1、H L 2 を同時に選択し、A D 変換回路 3 3 に伝送させることができる。また、垂直走査回路 3 2 は、水平制御線 H L 1、H L 2 を同時に選択した後、水平制御線 H L 3、H L 4 を同時に選択することにより、3 行目の画素 P X から垂直信号線 V L 1 - 1、V L 2 - 1、V L 3 - 1 に画素信号 V S I G 1 を読み出させると同時に、4 行目の画素 P X から垂直信号線 V L 1 - 2、V L 2 - 2、V L 3 - 2 に画素信号 V S I G 2 を読み出させることができる。

30

【 0 0 5 6 】

A D 変換回路 3 3 には、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 ごとにカラム A D 変換器 A D 1 ~ A D 6 が設けられている。そして、カラム A D 変換器 A D 1 ~ A D 6 は、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 にそれぞれ読み出された画素信号 V S I G 1、V S I G 2 を同時に処理することができる。

40

【 0 0 5 7 】

ここで、各カラムにおいて、電源線 D L 1 - 1、D L 1 - 3、D L 2 - 1、D L 2 - 3、D L 3 - 1、D L 3 - 3 を交差させることにより、垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 の配線長を増大させることなく、電源線 D L 1 - 1、D L 1 - 3、D L 2 - 1、D L 2 - 3、D L 3 - 1、D L 3 - 3 から垂直信号線 V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 に重畳されるクロストークノイズを均等化することが可能となる。また、各カラムにおいて

50

、電源線DL1-1、DL1-3、DL2-1、DL2-3、DL3-1、DL3-3の間に垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2をそれぞれ配置することにより、電源線DL1-1、DL1-3、DL2-1、DL2-3、DL3-1、DL3-3のシールド効果によって各画素PXから垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2に重畳されるクロストークノイズを低減することができる。このため、垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2の寄生抵抗および寄生容量の増大を抑制しつつ、垂直信号線VL1-1、VL1-2、VL2-1、VL2-2、VL3-1、VL3-2に重畳されるクロストークノイズの悪影響を低減することができ、読み出し速度の高速化を図りつつ、画像に現れる横筋ノイズを低減することができる。

10

【0058】

なお、図6の例では、各カラムにおいて、電源線DL1-1、DL1-3、DL2-1、DL2-3、DL3-1、DL3-3をカラム方向に1画素ごとに互いに交差させて配置する構成について示したが、電源線DL1-1、DL1-3、DL2-1、DL2-3、DL3-1、DL3-3をカラム方向にm画素ごとに互いに交差させて配置するようにしてもよい。

【0059】

また、図6の例では、電源線DL1-1、DL2-1、DL3-1は基準電位PXVSSに設定し、電源線DL1-2、DL2-2、DL3-2は第2電源電位PXVDDに設定し、電源線DL1-3、DL2-3、DL3-3は第1電源電位RSTDに設定する方法について説明したが、電源線DL1-1、DL2-1、DL3-1は第2電源電位PXVDDに設定し、電源線DL1-2、DL2-2、DL3-2は基準電位PXVSSに設定し、電源線DL1-3、DL2-3、DL3-3は第1電源電位RSTDに設定するようにしてもよいし、電源線DL1-1、DL2-1、DL3-1は第2電源電位PXVDDに設定し、電源線DL1-2、DL2-2、DL3-2は第1電源電位RSTDに設定し、電源線DL1-3、DL2-3、DL3-3は基準電位PXVSSに設定するようにしてもよい。

20

【0060】

図7は、図6の画素の概略構成を示す回路図である。

図2の画素では、リセットトランジスタ2のドレインおよびアンプトランジスタ4のドレインは、電源電位VDDに接続されているのに対し、図7の画素では、リセットトランジスタ2のドレインは、第1電源電位RSTDに接続され、アンプトランジスタ4のドレインは、第2電源電位PXVDDに接続されている。ここで、第1電源電位RSTDを第2電源電位PXVDDより高くすると、リセット時および読み出し時におけるフローティングディフュージョンFDの電圧振幅を大きくすることができ、ダイナミックレンジを拡大することができる。

30

【0061】

(第5実施形態)

図8は、第5の実施形態に係る固体撮像装置が適用されたデジタルカメラの概略構成を示すブロック図である。

40

図8において、デジタルカメラ41は、カメラモジュール42および後段処理部43を有する。カメラモジュール42は、撮像光学系44および固体撮像装置45を有する。後段処理部43は、イメージシグナルプロセッサ(ISP)46、記憶部47及び表示部48を有する。なお、固体撮像装置45は、図1、図4、図5または図6の構成を用いることができる。また、ISP46の少なくとも一部の構成は固体撮像装置45とともに1チップ化するようにしてもよい。

【0062】

撮像光学系44は、被写体からの光を取り込み、被写体像を結像させる。固体撮像装置45は、被写体像を撮像する。ISP46は、固体撮像装置45での撮像により得られた画像信号を信号処理する。記憶部47は、ISP46での信号処理を経た画像を格納する

50

。記憶部 4 7 は、ユーザの操作等に応じて、表示部 4 8 へ画像信号を出力する。表示部 4 8 は、I S P 4 6 あるいは記憶部 4 7 から入力される画像信号に応じて、画像を表示する。表示部 4 8 は、例えば、液晶ディスプレイである。なお、カメラモジュール 4 2 は、デジタルカメラ 4 1 以外にも、例えばカメラ付き携帯端末等の電子機器に適用するようにしてもよい。

【 0 0 6 3 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

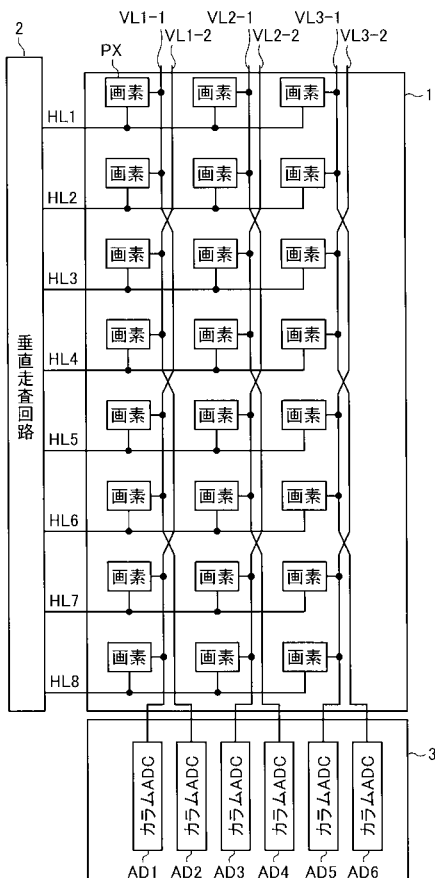
10

【 符号の説明 】

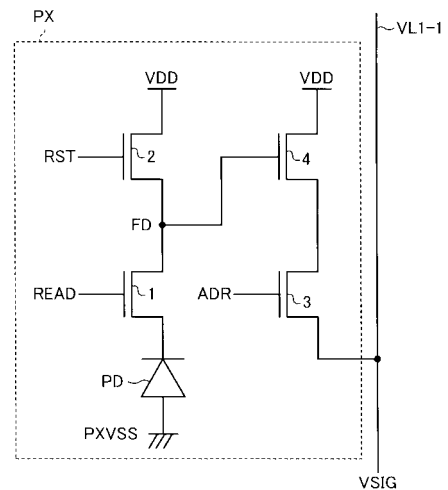
【 0 0 6 4 】

1 画素アレイ部、2 垂直走査回路、3 A D 変換回路、P X 画素、H L 1 ~ H L 8 水平制御線、V L 1 - 1、V L 1 - 2、V L 2 - 1、V L 2 - 2、V L 3 - 1、V L 3 - 2 垂直信号線、1 リードトランジスタ、2 リセットトランジスタ、3 アドレスタランジスタ、4 アンプトランジスタ、P D フォトダイオード、F D フローティングディフュージョン

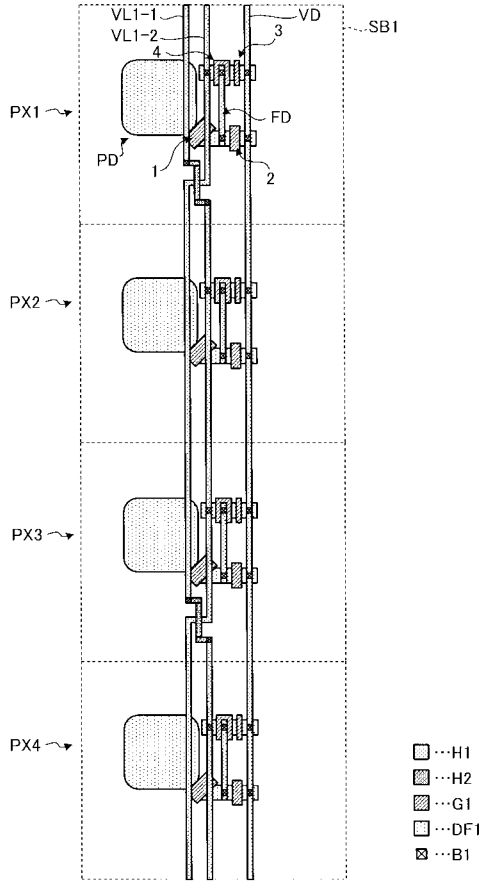
【 図 1 】



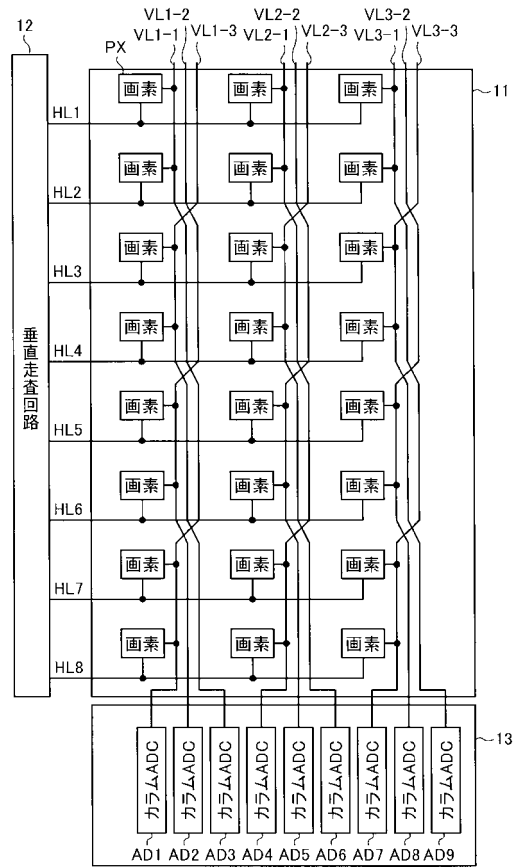
【 図 2 】



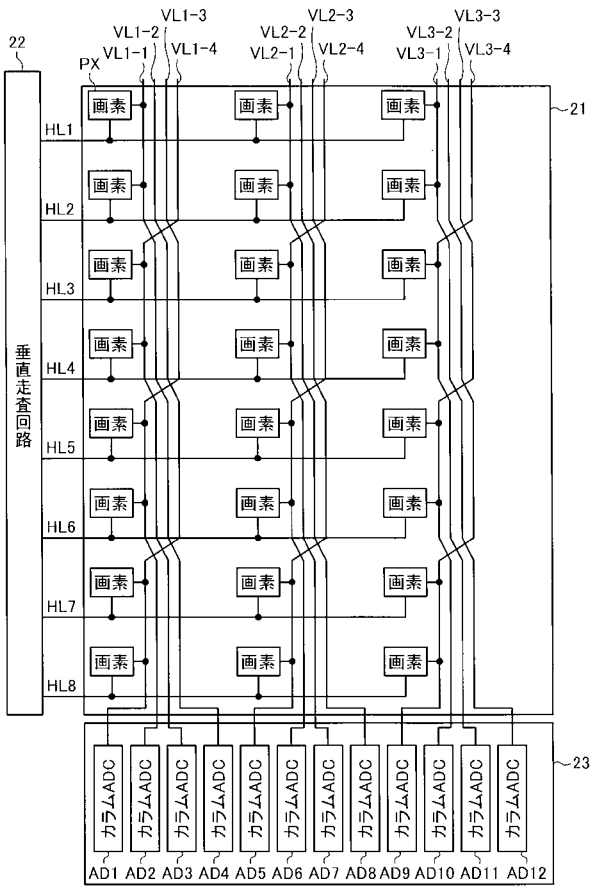
【 図 3 】



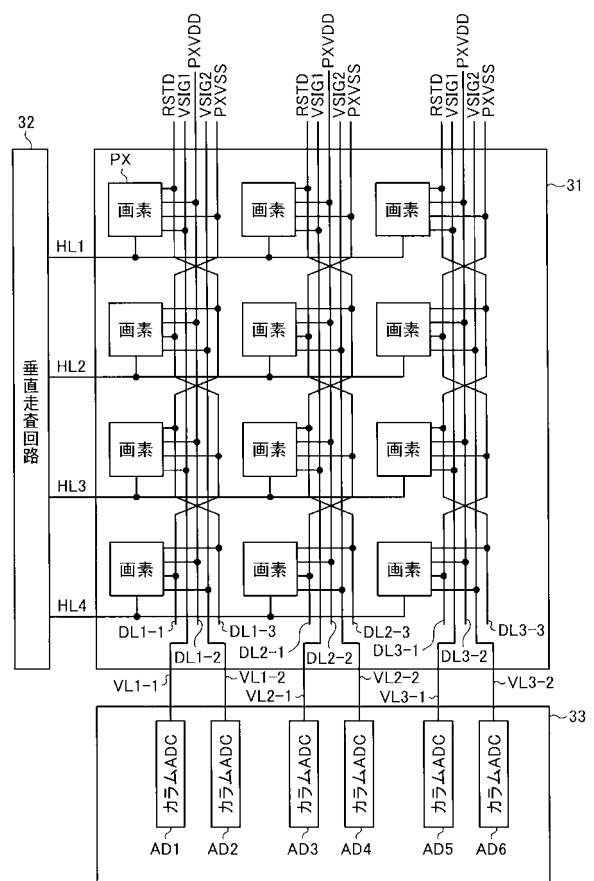
【 図 4 】



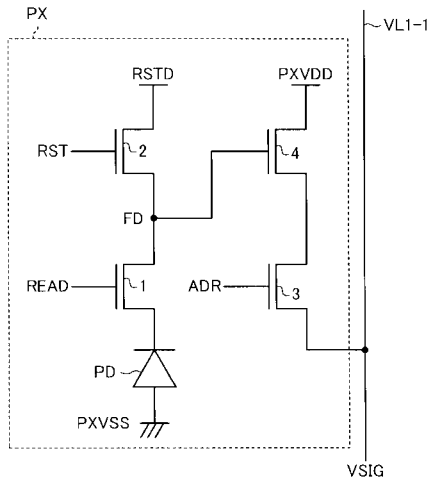
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

