



(12) 发明专利

(10) 授权公告号 CN 113870786 B

(45) 授权公告日 2023. 01. 10

(21) 申请号 202111140808.6

(56) 对比文件

(22) 申请日 2021.09.28

CN 111508426 A, 2020.08.07

CN 113140179 A, 2021.07.20

(65) 同一申请的已公布的文献号

申请公布号 CN 113870786 A

审查员 李小艳

(43) 申请公布日 2021.12.31

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 成都京东方光电科技有限公司

(72) 发明人 沙一鸣 李锡平 承天一 李孟

黄耀

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

专利代理师 王莹

(51) Int. Cl.

G09G 3/3208 (2016.01)

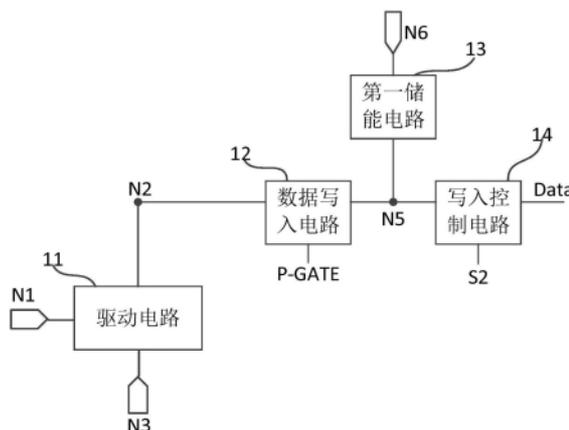
权利要求书3页 说明书17页 附图11页

(54) 发明名称

像素电路、驱动发光和显示装置

(57) 摘要

本发明提供一种像素电路、驱动发光和显示装置。像素电路包括驱动电路、数据写入电路、第一储能电路和写入控制电路；数据写入电路在第一控制信号的控制下，控制写入节点与驱动电路的第一端之间连通；写入控制电路在第二控制信号的控制下，控制数据线与写入节点之间连通；驱动电路用于在其控制端的电位的控制下，控制所述驱动电路的第一端与所述驱动电路的第二端之间连通。本发明能够在不增加功耗的前提下，改善闪烁现象。



1. 一种像素电路,其特征在于,包括驱动电路、数据写入电路、第一储能电路和写入控制电路,其中,

所述数据写入电路分别第一控制线、写入节点和所述驱动电路的第一端电连接,用于在所述第一控制线提供的第一控制信号的控制下,控制所述写入节点与所述驱动电路的第一端之间连通;

所述写入控制电路分别与第二控制线、数据线和所述写入节点电连接,用于在所述第二控制线提供的第二控制信号的控制下,控制所述数据线与所述写入节点之间连通;

所述第一储能电路的第一端与所述写入节点电连接,所述第一储能电路的第二端与第一控制节点电连接,所述第一储能电路用于储存电能;

所述驱动电路用于在其控制端的电位的控制下,控制所述驱动电路的第一端与所述驱动电路的第二端之间连通;

所述的像素电路还包括电压控制电路;

所述电压控制电路分别与第三控制线、所述数据线和所述第一控制节点电连接,用于在所述第三控制线提供的第三控制信号的控制下,控制所述数据线与所述第一控制节点之间连通。

2. 如权利要求1所述的像素电路,其特征在于,所述第一控制节点为直流电压端。

3. 如权利要求2所述的像素电路,其特征在于,所述写入控制电路包括至少一个写入控制晶体管,所述写入控制晶体的控制极与所述第二控制线电连接,所述写入控制晶体的第一极与所述数据线电连接,所述写入控制晶体的第二极与所述写入节点电连接。

4. 如权利要求2所述的像素电路,其特征在于,所述写入控制电路包括N个相互串联的写入控制晶体管;

所述写入控制晶体的控制极与所述第二控制线电连接;

第N个所述写入控制晶体的第一极与所述数据线电连接,第一个所述写入控制晶体的第二极与所述写入节点电连接;

第n个所述写入控制晶体的第一极与第n+1个所述写入控制晶体的第二极电连接;

N为大于1的整数,n为小于N的正整数。

5. 如权利要求1所述的像素电路,其特征在于,所述电压控制电路包括至少一个电压控制晶体管;

所述电压控制晶体的控制极与所述第三控制线电连接,所述电压控制晶体的第一极与所述数据线电连接,所述电压控制晶体的第二极与所述第一控制节点电连接。

6. 如权利要求1所述的像素电路,其特征在于,所述电压控制电路包括M个相互串联的电压控制晶体管;

所述电压控制晶体的控制极与所述第三控制线电连接;

第M个所述电压控制晶体的第一极与所述数据线电连接,第一个所述电压控制晶体的第二极与所述第一控制节点电连接;

第m个所述电压控制晶体的第一极与第m+1个所述电压控制晶体的第二极电连接;

M为大于1的整数,m为小于M的正整数。

7. 如权利要求1或2所述的像素电路,其特征在于,所述第一储能电路包括第一电容;所述数据写入电路包括数据写入晶体管;

所述第一电容的第一端与所述写入节点电连接,所述第一电容的第二端与第一控制节点电连接;

所述数据写入晶体管的控制极与所述第一控制线电连接,所述数据写入晶体管的第一极与所述写入节点电连接,所述数据写入晶体管的第二极与所述驱动电路的第一端电连接。

8.如权利要求1或2所述的像素电路,其特征在于,还包括第一发光控制电路、第二发光控制电路、第二储能电路、补偿控制电路、第一初始化电路、第二初始化电路和发光元件,其中,

所述第一发光控制电路分别与发光控制线、电源电压端和所述驱动电路的第一端电连接,用于在所述发光控制线提供的发光控制信号的控制下,控制所述电源电压端与所述驱动电路的第一端之间连通;

所述第二发光控制电路分别与所述发光控制线、所述驱动电路的第二端和所述发光元件的第一极电连接,用于在所述发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通;

所述第二储能电路与所述驱动电路的控制端电连接,用于储存电能;

所述补偿控制电路分别与所述第二控制线、所述驱动电路的控制端和所述驱动电路的第二端电连接,用于在所述第二控制信号的控制下,控制所述驱动电路的控制端与所述驱动电路的第二端之间连通;

所述第一初始化电路分别与复位控制线、第一初始电压端和所述驱动电路的控制端电连接,用于在所述复位控制线提供的复位控制信号的控制下,控制将所述第一初始电压端提供的第一初始电压写入所述驱动电路的控制端;

所述第二初始化电路分别与所述第一控制线、第二初始电压端和所述发光元件的第一极电连接,用于在所述第一控制信号的控制下,将所述第二初始电压端提供的第二初始电压写入所述发光元件的第一极;

所述发光元件的第二极与低电压端电连接。

9.如权利要求1或2所述的像素电路,其特征在于,还包括第一发光控制电路、第二发光控制电路、第二储能电路、补偿控制电路、通断控制电路、第一初始化电路、第二初始化电路和发光元件;

所述第一发光控制电路分别与发光控制线、电源电压端和所述驱动电路的第一端电连接,用于在所述发光控制线提供的发光控制信号的控制下,控制所述电源电压端与所述驱动电路的第一端之间连通;

所述第二发光控制电路分别与所述发光控制线、所述驱动电路的第二端和所述发光元件的第一极电连接,用于在所述发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通;

所述第二储能电路与所述驱动电路的控制端电连接,用于储存电能;

所述补偿控制电路分别与所述第一控制线、所述驱动电路的第二端和第二控制节点电连接,用于在所述第一控制信号的控制下,控制所述驱动电路的第二端与所述第二控制节点之间连通;

所述通断控制电路分别与所述第二控制线、所述驱动电路的控制端和所述第二控制节

点电连接,用于在所述第二控制信号的控制下,控制所述驱动电路的控制端与所述第二控制节点之间连通;

所述第一初始化电路分别与复位控制线、第一初始电压端和所述第二控制节点电连接,用于在所述复位控制线提供的复位控制信号的控制下,将所述第一初始电压端提供的第一初始电压写入所述第二控制节点;

所述第二初始化电路分别与所述第一控制线、第二初始电压端和所述发光元件的第一极电连接,用于在所述第一控制信号的控制下,将所述的第二初始电压端提供的第二初始电压写入所述发光元件的第一极;

所述发光元件的第二极与低电压端电连接。

10. 一种驱动方法,应用于如权利要求1至9中任一权利要求所述的像素电路,其特征在于,显示周期包括刷新阶段和保持阶段;所述驱动方法包括:

在刷新阶段包括的数据写入时间段,数据线提供数据电压,写入控制电路在第二控制信号的控制下,将所述数据电压提供至写入节点,数据写入电路在第一控制信号的控制下,控制所述写入节点与驱动电路的第一端之间连通,以将所述数据电压写入所述驱动电路的第一端;

在保持阶段,写入控制电路在第二控制信号的控制下,控制所述数据线与所述写入节点之间断开,第一储能电路维持所述写入节点的电位;

在保持阶段包括的数据写入时间段,数据写入电路在第一控制信号的控制下,控制所述写入节点与驱动电路的第一端之间连通。

11. 如权利要求10所述的驱动方法,其特征在于,所述的像素电路还包括电压控制电路;所述刷新阶段还包括设置于所述数据写入时间段之后的置位时间段;所述驱动方法还包括:

在所述置位时间段,所述数据线提供的信号从数据电压变为黑态电压,电压控制电路在第三控制信号的控制下,将所述数据线提供的信号写入第一控制节点;

所述黑态电压的电压值大于所述数据电压的电压值。

12. 一种显示装置,其特征在于,包括如权利要求1至9中任一权利要求所述的像素电路。

像素电路、驱动发光和显示装置

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种像素电路、驱动发光和显示装置。

背景技术

[0002] 相关的LTPO(低温多晶氧化物)像素电路工作于低频下时,显示周期(所述显示周期可以为一帧时间)包括刷新阶段和保持阶段,在保持阶段,由于驱动晶体管的栅极电位会下降,因此容易出现Flicker(闪烁)现象。

发明内容

[0003] 本发明的主要目的在于提供一种像素电路、驱动发光和显示装置,解决现有的LTPO像素电路工作于低频下时,在显示周期的保持阶段容易出现闪烁现象的问题。

[0004] 在一个方面中,本发明实施例提供了一种像素电路,包括驱动电路、数据写入电路、第一储能电路和写入控制电路,其中,

[0005] 所述数据写入电路分别第一控制线、写入节点和所述驱动电路的第一端电连接,用于在所述第一控制线提供的第一控制信号的控制下,控制所述写入节点与所述驱动电路的第一端之间连通;

[0006] 所述写入控制电路分别与第二控制线、数据线和所述写入节点电连接,用于在所述第二控制线提供的第二控制信号的控制下,控制所述数据线与所述写入节点之间连通;

[0007] 所述第一储能电路的第一端与所述写入节点电连接,所述第一储能电路的第二端与第一控制节点电连接,所述第一储能电路用于储存电能;

[0008] 所述驱动电路用于在其控制端的电位的控制下,控制所述驱动电路的第一端与所述驱动电路的第二端之间连通。

[0009] 可选的,所述第一控制节点为直流电压端。

[0010] 可选的,本发明至少一实施例所述的像素电路还包括电压控制电路;

[0011] 所述电压控制电路分别与第三控制线、所述数据线和所述第一控制节点电连接,用于在所述第三控制线提供的第三控制信号的控制下,控制所述数据线与所述第一控制节点之间连通。

[0012] 可选的,所述写入控制电路包括至少一个写入控制晶体管,所述写入控制晶体管的控制极与所述第二控制线电连接,所述写入控制晶体管的第一极与所述数据线电连接,所述写入控制晶体管的第二极与所述写入节点电连接。

[0013] 可选的,所述写入控制电路包括N个相互串联的写入控制晶体管;

[0014] 所述写入控制晶体管的控制极与所述第二控制线电连接;

[0015] 第N个所述写入控制晶体管的第一极与所述数据线电连接,第一个所述写入控制晶体管的第二极与所述写入节点电连接;

[0016] 第n个所述写入控制晶体管的第一极与第n+1个所述写入控制晶体管的第二极电连接;

- [0017] N为大于1的整数,n为小于N的正整数。
- [0018] 可选的,所述电压控制电路包括至少一个电压控制晶体管;
- [0019] 所述电压控制晶体管的控制极与所述第三控制线电连接,所述电压控制晶体管的第一极与所述数据线电连接,所述电压控制晶体管的第二极与所述第一控制节点电连接。
- [0020] 可选的,所述电压控制电路包括M个相互串联的电压控制晶体管;
- [0021] 所述电压控制晶体管的控制极与所述第三控制线电连接;
- [0022] 第M个所述电压控制晶体管的第一极与所述数据线电连接,第一个所述电压控制晶体管的第二极与所述第一控制节点电连接;
- [0023] 第m个所述电压控制晶体管的第一极与第m+1个所述电压控制晶体管的第二极电连接;
- [0024] M为大于1的整数,m为小于M的正整数。
- [0025] 可选的,所述第一储能电路包括第一电容;所述数据写入电路包括数据写入晶体管;
- [0026] 所述第一电容的第一端与所述写入节点电连接,所述第一电容的第二端与第一控制节点电连接;
- [0027] 所述数据写入晶体管的控制极与所述第一控制线电连接,所述数据写入晶体管的第一极与所述写入节点电连接,所述数据写入晶体管的第二极与所述驱动电路的第一端电连接。
- [0028] 可选的,本发明至少一实施例所述的像素电路还包括第一发光控制电路、第二发光控制电路、第二储能电路、补偿控制电路、第一初始化电路、第二初始化电路和发光元件,其中,
- [0029] 所述第一发光控制电路分别与发光控制线、电源电压端和所述驱动电路的第一端电连接,用于在所述发光控制线提供的发光控制信号的控制下,控制所述电源电压端与所述驱动电路的第一端之间连通;
- [0030] 所述第二发光控制电路分别与所述发光控制线、所述驱动电路的第二端和所述发光元件的第一极电连接,用于在所述发光控制信号的控制下,控制控制所述驱动电路的第二端与所述发光元件的第一极之间连通;
- [0031] 所述第二储能电路与所述驱动电路的控制端电连接,用于储存电能;
- [0032] 所述补偿控制电路分别与所述第二控制线、所述驱动电路的控制端和所述驱动电路的第二端电连接,用于在所述第二控制信号的控制下,控制所述驱动电路的控制端与所述驱动电路的第二端之间连通;
- [0033] 所述第一初始化电路分别与复位控制线、第一初始电压端和所述驱动电路的控制端电连接,用于在所述复位控制线提供的复位控制信号的控制下,控制将所述第一初始电压端提供的第一初始电压写入所述驱动电路的控制端;
- [0034] 所述第二初始化电路分别与所述第一控制线、第二初始电压端和所述发光元件的第一极电连接,用于在所述第一控制信号的控制下,将所述第二初始电压端提供的第二初始电压写入所述发光元件的第一极;
- [0035] 所述发光元件的第二极与低电压端电连接。
- [0036] 可选的,本发明至少一实施例所述的像素电路还包括第一发光控制电路、第二发

光控制电路、第二储能电路、补偿控制电路、通断控制电路、第一初始化电路、第二初始化电路和发光元件；

[0037] 所述第一发光控制电路分别与发光控制线、电源电压端和所述驱动电路的第一端电连接,用于在所述发光控制线提供的发光控制信号的控制下,控制所述电源电压端与所述驱动电路的第一端之间连通；

[0038] 所述第二发光控制电路分别与所述发光控制线、所述驱动电路的第二端和所述发光元件的第一极电连接,用于在所述发光控制信号的控制下,控制所述驱动电路的第二端与所述发光元件的第一极之间连通；

[0039] 所述第二储能电路与所述驱动电路的控制端电连接,用于储存电能；

[0040] 所述补偿控制电路分别与所述第一控制线、所述驱动电路的第二端和第二控制节点电连接,用于在所述第一控制信号的控制下,控制所述驱动电路的第二端与所述第二控制节点之间连通；

[0041] 所述通断控制电路分别与所述第二控制线、所述驱动电路的控制端和所述第二控制节点电连接,用于在所述第二控制信号的控制下,控制所述驱动电路的控制端与所述第二控制节点之间连通；

[0042] 所述第一初始化电路分别与复位控制线、第一初始电压端和所述第二控制节点电连接,用于在所述复位控制线提供的复位控制信号的控制下,将所述第一初始电压端提供的第一初始电压写入所述第二控制节点；

[0043] 所述第二初始化电路分别与所述第一控制线、第二初始电压端和所述发光元件的第一极电连接,用于在所述第一控制信号的控制下,将所述的第二初始电压端提供的第二初始电压写入所述发光元件的第一极；

[0044] 所述发光元件的第二极与低电压端电连接。

[0045] 在第二个方面中,本发明实施例提供给了—种驱动方法,应用于上述的像素电路,显示周期包括刷新阶段和保持阶段;所述驱动方法包括:

[0046] 在刷新阶段包括的数据写入时间段,数据线提供数据电压,写入控制电路在第二控制信号的控制下,将所述数据电压提供至写入节点,数据写入电路在第一控制信号的控制下,控制所述写入节点与驱动电路的第一端之间连通,以将所述数据电压写入所述驱动电路的第一端；

[0047] 在保持阶段,写入控制电路在第二控制信号的控制下,控制所述数据线与所述写入节点之间断开,第一储能电路维持所述写入节点的电位；

[0048] 在保持阶段包括的数据写入时间段,数据写入电路在第一控制信号的控制下,控制所述写入节点与驱动电路的第一端之间连通。

[0049] 可选的,所述的像素电路还包括电压控制电路;所述刷新阶段还包括设置于所述数据写入时间段之后的置位时间段;所述驱动方法还包括:

[0050] 在所述置位时间段,所述数据线提供的信号从数据电压变为黑态电压,电压控制电路在第三控制信号的控制下,将所述数据线提供的信号写入第一控制节点；

[0051] 所述黑态电压的电压值大于所述数据电压的电压值。

[0052] 在第三个方面中,本发明实施例提供给了—种显示装置,包括上述的像素电路。

[0053] 本发明实施例所述的像素电路、驱动发光和显示装置能够在不增加功耗的前提

下,改善闪烁现象。

附图说明

- [0054] 图1是本发明实施例所述的像素电路的结构图；
- [0055] 图2是本发明至少一实施例所述的像素电路的结构图；
- [0056] 图3A是本发明至少一实施例所述的像素电路的结构图；
- [0057] 图3B是VGMP (VGMP为在显示周期中的保持阶段中的数据写入阶段第二节点的电位) 与闪烁改善程度S0的关系曲线示意图；
- [0058] 图4是本发明至少一实施例所述的像素电路的结构图；
- [0059] 图5是本发明至少一实施例所述的像素电路的结构图；
- [0060] 图6是本发明至少一实施例所述的像素电路的电路图；
- [0061] 图7是本发明如图6所示的像素电路的至少一实施例的工作时序图；
- [0062] 图8是本发明至少一实施例所述的像素电路的电路图；
- [0063] 图9是本发明至少一实施例所述的像素电路的电路图；
- [0064] 图10是本发明如图9所示的像素电路的至少一实施例的工作时序图；
- [0065] 图11是本发明至少一实施例所述的像素电路的电路图；
- [0066] 图12是本发明如图11所示的像素电路的至少一实施例的工作时序图；
- [0067] 图13是本发明至少一实施例所述的像素电路的电路图；
- [0068] 图14是本发明至少一实施例所述的像素电路的电路图；
- [0069] 图15是本发明至少一实施例所述的像素电路的电路图。

具体实施方式

[0070] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0071] 本发明所有实施例中采用的晶体管均可以为三极管、薄膜晶体管或场效应管或其他特性相同的器件。在本发明实施例中,为区分晶体管除控制极之外的两极,将其中一极称为第一极,另一极称为第二极。

[0072] 在实际操作时,当所述晶体管为薄膜晶体管或场效应管时,所述第一极可以为漏极,所述第二极可以为源极;或者,所述第一极可以为源极,所述第二极可以为漏极。

[0073] 如图1所示,本发明实施例所述的像素电路包括驱动电路11、数据写入电路12、第一储能电路13和写入控制电路14,其中,

[0074] 所述数据写入电路12分别第一控制线P-GATE、写入节点N5和所述驱动电路11的第一端电连接,用于在所述第一控制线P-GATE提供的第一控制信号的控制下,控制所述写入节点N5与所述驱动电路11的第一端之间连通;

[0075] 所述写入控制电路14分别与第二控制线S2、数据线Data和所述写入节点N5电连接,用于在所述第二控制线S2提供的第二控制信号的控制下,控制所述数据线Data与所述写入节点N5之间连通;

[0076] 所述第一储能电路13的第一端与所述写入节点N5电连接,所述第一储能电路13的第二端与第一控制节点N6电连接,所述第一储能电路13用于储存电能;

[0077] 所述驱动电路11用于在其控制端的电位的控制下,控制所述驱动电路11的第一端与所述驱动电路11的第二端之间连通。

[0078] 在图1中,标号为N1的为第一节点,标号为N2的为第二节点,标号为N3的为第三节点,N1与所述驱动电路11的控制端电连接,N2与所述驱动电路11的第一端电连接,N3与所述驱动电路11的第二端电连接。

[0079] 本发明如图1所示的像素电路的实施例在工作时,显示周期包括刷新阶段和保持阶段;

[0080] 在刷新阶段包括的数据写入时间段,数据线Data提供数据电压Vdata,写入控制电路14在第二控制信号的控制下,将所述数据电压Vdata提供至写入节点N5,数据写入电路12在第一控制信号的控制下,控制所述写入节点N5与驱动电路11的第一端之间连通,以将所述数据电压Vdata写入所述驱动电路11的第一端;

[0081] 在保持阶段,写入控制电路14在第二控制信号的控制下,控制所述数据线Data与所述写入节点N5之间断开,所述第一储能电路13维持所述写入节点N5的电位;

[0082] 在保持阶段包括的数据写入时间段,数据写入电路12在第一控制信号的控制下,控制所述写入节点N5与驱动电路11的第一端之间连通,以使得所述驱动电路11的第一端的电位与Vdata相差不大,能够在不增加功耗的前提下,改善flicker(闪烁)现象。

[0083] 在本发明至少一实施例中,所述驱动电路11的第一端的电位与Vdata相差不大指的是:所述驱动电路11的第一端的电位与Vdata的电压值之间的差值小于预定电压差值;所述预定电压差值可以根据实际情况选定,例如,所述预定电压差值可以为0.1V、0.15V或0.2V,但不以此为限。

[0084] 本发明实施例所述的像素电路在工作时,所述保持阶段可以包括先后设置的数据写入时间段和发光时间段;

[0085] 在所述保持阶段包括的数据写入时间段,驱动电路11在其控制端的电位的控制下,控制驱动电路11的第一端与驱动电路11的第二端之间连通,所述驱动电路11的第一端的电位与Vdata相差不大,所述驱动电路11的第二端的电位与Vdata相差不大;

[0086] 在所述保持阶段包括的发光时间段,驱动电路11驱动发光元件发光。

[0087] 在相关技术中,当在保持阶段包括的数据写入时间段,驱动电路11的第一端的电位和驱动电路11的第二端的电位与Vdata相差较大时,驱动电路11中的驱动晶体管的特性会受到影响,从而不利于在保持阶段包括的发光时间段,改善闪烁现象。

[0088] 本发明实施例所述的像素电路在工作时,在保持阶段包括的数据写入时间段,通过控制所述驱动电路11的第一端的电位与Vdata相差不大,以通过驱动晶体管T0的栅极和T0之间的源极之间的寄生电容充电,控制T0的栅极的电位与Vdata+Vth相差不大,从而使得在保持阶段中的发光时间段改善闪烁现象。

[0089] 可选的,所述第一控制节点可以为直流电压端。

[0090] 如图2所示,在图1所示的像素电路的实施例的基础上,所述第一控制节点为电源电压端,所述电源电压端为直流电压端,所述电源电压端用于提供电源电压VDD;

[0091] 所述第一储能电路13的第二端与所述电源电压端电连接。

[0092] 在保持阶段包括的数据写入时间段,数据写入电路12在第一控制信号的控制下,控制所述写入节点N5与驱动电路11的第一端之间连通,所述驱动电路11的第一端的电位(也即N2的电位)为Vdata,能够在不增加功耗的前提下,改善flicker(闪烁)现象。

[0093] 可选的,本发明至少一实施例所述的像素电路还可以包括电压控制电路;

[0094] 所述电压控制电路分别与第三控制线、所述数据线和所述第一控制节点电连接,用于在所述第三控制线提供的第三控制信号的控制下,控制所述数据线与所述第一控制节点之间连通。

[0095] 如图3A所示,在图1所示的像素电路的实施例的基础上,本发明至少一实施例所述的像素电路还可以包括电压控制电路30;

[0096] 所述电压控制电路30分别与第三控制线S3、所述数据线Data和所述第一控制节点N6电连接,用于在所述第三控制线S3提供的第三控制信号的控制下,控制所述数据线Data与所述第一控制节点N6之间连通。

[0097] 本发明如图3A所示的像素电路的至少一实施例在工作时,所述刷新阶段还包括设置于所述数据写入时间段之后的置位时间段;

[0098] 在所述置位时间段,所述数据线Data提供黑态电压,电压控制电路30在第三控制信号的控制下,将所述黑态电压写入第一控制节点N6,通过所述第一储能电路13的作用,提升写入节点N5的电位,以补偿N5的电位;

[0099] 所述黑态电压的电压值大于所述数据电压Vdata的电压值。

[0100] 在本发明至少一实施例中,所述黑态电压的电压值例如可以为7V,但不以此为限。

[0101] 在LTP0(低温多晶氧化物)像素电路中,在保持阶段,数据写入电路12包括的晶体管会存在打开的状况,N5的电位会存在压降,通过在刷新阶段中的置位时间段,对N5的电位的补偿,可以使得N5的电位与Vdata相差不大。

[0102] 如图3B所示,当VGMP等于Vdata时,闪烁现象最轻;VGMP为在显示周期中的保持阶段中的数据写入阶段第二节点N2的电位。

[0103] 在图3B中,纵轴为S0,S0为闪烁改善程度,S0越高,闪烁改善程度越高,闪烁现象越轻。

[0104] 根据一种具体实施方式,所述写入控制电路包括至少一个写入控制晶体管,所述写入控制晶体的控制极与所述第二控制线电连接,所述写入控制晶体的第一极与所述数据线电连接,所述写入控制晶体的第二极与所述写入节点电连接。

[0105] 在具体实施时,所述写入控制电路可以包括至少一个写入控制晶体管,当所述写入控制晶体的个数为两个以上时,两个以上所述写入控制晶体管相互并联。

[0106] 根据另一种具体实施方式,所述写入控制电路包括N个相互串联的写入控制晶体管;

[0107] 所述写入控制晶体的控制极与所述第二控制线电连接;

[0108] 第N个所述写入控制晶体的第一极与所述数据线电连接,第一个所述写入控制晶体的第二极与所述写入节点电连接;

[0109] 第n个所述写入控制晶体的第一极与第n+1个所述写入控制晶体的第二极电连接;

[0110] N为大于1的整数,n为小于N的正整数。

[0111] 在具体实施时,所述写入控制电路可以包括N个写入控制晶体管,所述N个写入控制晶体管相互串联。

[0112] 根据一种具体实施方式,所述电压控制电路包括至少一个电压控制晶体管;

[0113] 所述电压控制晶体管的控制极与所述第三控制线电连接,所述电压控制晶体管的第一极与所述数据线电连接,所述电压控制晶体管的第二极与所述第一控制节点电连接。

[0114] 在具体实施时,所述电压控制电路可以包括至少一个电压控制晶体管,当所述电压控制晶体管的个数为两个以上时,两个以上所述电压控制晶体管相互并联。

[0115] 根据另一种具体实施方式,所述电压控制电路可以包括M个相互串联的电压控制晶体管;

[0116] 所述电压控制晶体管的控制极与所述第三控制线电连接;

[0117] 第M个所述电压控制晶体管的第一极与所述数据线电连接,第一个所述电压控制晶体管的第二极与所述第一控制节点电连接;

[0118] 第m个所述电压控制晶体管的第一极与第m+1个所述电压控制晶体管的第二极电连接;

[0119] M为大于1的整数,m为小于M的正整数。

[0120] 在具体实施时,所述电压控制电路可以包括M个电压控制晶体管,所述M个电压控制晶体管相互串联。

[0121] 可选的,所述第一储能电路包括第一电容;所述数据写入电路包括数据写入晶体管;

[0122] 所述第一电容的第一端与所述写入节点电连接,所述第一电容的第二端与第一控制节点电连接;

[0123] 所述数据写入晶体管的控制极与所述第一控制线电连接,所述数据写入晶体管的第一极与所述写入节点电连接,所述数据写入晶体管的第二极与所述驱动电路的第一端电连接。

[0124] 如图4所示,在本发明图1所示的像素电路的实施例的基础上,本发明至少一实施例所述的像素电路还可以包括第一发光控制电路411、第二发光控制电路412、第二储能电路42、补偿控制电路43、第一初始化电路44、第二初始化电路45和发光元件EL,其中,

[0125] 所述第一发光控制电路411分别与发光控制线EM、电源电压端和所述驱动电路11的第一端电连接,用于所述发光控制线EM提供的发光控制信号的控制下,控制所述电源电压端与所述驱动电路11的第一端之间连通;

[0126] 所述第二发光控制电路412分别与所述发光控制线EM、所述驱动电路11的第二端和所述发光元件EL的第一极电连接,用于在所述发光控制信号的控制下,控制所述驱动电路11的第二端与所述发光元件EL的第一极之间连通;

[0127] 所述第二储能电路42与所述驱动电路11的控制端电连接,用于储存电能;

[0128] 所述补偿控制电路43分别与所述第二控制线S2、所述驱动电路11的控制端和所述驱动电路11的第二端电连接,用于在所述第二控制信号的控制下,控制所述驱动电路11的控制端与所述驱动电路11的第二端之间连通;

[0129] 所述第一初始化电路44分别与复位控制线RESET、第一初始电压端和所述驱动电路11的控制端电连接,用于在所述复位控制线RESET提供的复位控制信号的控制下,控制将

所述第一初始电压端提供的第一初始电压Vinit1写入所述驱动电路11的控制端；

[0130] 所述第二初始化电路45分别与所述第一控制线P-GATE、第二初始电压端和所述发光元件EL的第一极电连接，用于在所述第一控制信号的控制下，将所述第二初始电压端提供的第二初始电压Vinit2写入所述发光元件EL的第一极；

[0131] 所述发光元件EL的第二极与低电压端电连接；所述低电压端用于提供低电压VSS。

[0132] 本发明如图4所示的像素电路的实施例在工作时，刷新阶段包括先后设置的复位时间段、数据写入时间段和发光时间段；

[0133] 在刷新阶段中的复位时间段，所述第一初始化电路44在所述复位控制线RESET提供的复位控制信号的控制下，控制将所述第一初始电压端提供的第一初始电压Vinit1写入所述驱动电路11的控制端，以使得在所述数据写入时间段开始时，所述驱动电路11能够导通其第一端与第二端之间的连接；

[0134] 在刷新阶段中的数据写入时间段，数据线Data提供数据电压Vdata，写入控制电路14在第二控制信号的控制下，将所述数据电压Vdata提供至写入节点N5，数据写入电路12在第一控制信号的控制下，控制所述写入节点N5与驱动电路11的第一端之间连通，以将所述数据电压Vdata写入所述驱动电路11的第一端；补偿控制电路43在所述第二控制信号的控制下，控制所述驱动电路11的控制端与所述驱动电路11的第二端之间连通；所述第二初始化电路45在所述第一控制信号的控制下，将所述第二初始电压端提供的第二初始电压Vinit2写入所述发光元件EL的第一极，以使得所述发光元件EL不发光；

[0135] 在所述刷新阶段中的数据写入时间段开始时，所述驱动电路11导通其第一端与第二端之间的连接，通过充电而改变所述驱动电路11的控制端的电位，直至所述驱动电路11的控制端的电位变为 $Vdata+V_{th}$ ，所述驱动电路11控制其第一端与所述驱动电路11的第二端之间断开， V_{th} 为所述驱动电路11包括的驱动晶体管的阈值电压；

[0136] 在所述刷新阶段中的发光时间段，所述第一发光控制电路411在所述发光控制线EM提供的发光控制信号的控制下，控制所述电源电压端与所述驱动电路11的第一端之间连通，所述第二发光控制电路412在所述发光控制信号的控制下，控制所述驱动电路11的第二端与所述发光元件EL的第一极之间连通；驱动电路11驱动发光元件EL发光。

[0137] 在本发明至少一实施例中，所述发光元件EL可以为有机发光二极管，所述发光元件EL的第一极为阳极，所述发光元件EL的第二极为阴极，但不以此为限。

[0138] 如图5所示，在本发明图1所示的像素电路的实施例的基础上，本发明至少一实施例所述的像素电路还可以包括第一发光控制电路411、第二发光控制电路412、第二储能电路42、补偿控制电路43、通断控制电路40、第一初始化电路44、第二初始化电路45和发光元件EL；

[0139] 所述第一发光控制电路411分别与发光控制线EM、电源电压端和所述驱动电路11的第一端电连接，用于在所述发光控制线EM提供的发光控制信号的控制下，控制所述电源电压端与所述驱动电路11的第一端之间连通；

[0140] 所述第二发光控制电路412分别与发光控制线EM、所述驱动电路11的第二端和所述发光元件EL的第一极电连接，用于在所述发光控制信号的控制下，控制所述驱动电路11的第二端与所述发光元件EL的第一极之间连通；

[0141] 所述第二储能电路42与所述驱动电路11的控制端电连接，用于储存电能；

[0142] 所述补偿控制电路43分别与所述第一控制线PGATE、所述驱动电路11的第二端和第二控制节点N0电连接,用于在所述第一控制信号的控制下,控制所述驱动电路11的第二端与所述第二控制节点N0之间连通;

[0143] 所述通断控制电路40分别与所述第二控制线S2、所述驱动电路11的控制端和所述第二控制节点N0电连接,用于在所述第二控制信号的控制下,控制所述驱动电路11的控制端与所述第二控制节点N0之间连通;

[0144] 所述第一初始化电路44分别与复位控制线RESET、第一初始电压端和所述第二控制节点N0电连接,用于在所述复位控制线RESET提供的复位控制信号的控制下,将所述第一初始电压端提供的第一初始电压Vinit1写入所述第二控制节点N0;

[0145] 所述第二初始化电路45分别与所述第一控制线P-GATE、第二初始电压端和所述发光元件EL的第一极电连接,用于在所述第一控制信号的控制下,将所述的第二初始电压端提供的第二初始电压Vinit2写入所述发光元件EL的第一极;

[0146] 所述发光元件EL的第二极与低电压端电连接,所述低电压端用于提供低电压VSS。

[0147] 本发明如图5所示的像素电路的实施例在工作时,刷新阶段包括先后设置的复位时间段、数据写入时间段和发光时间段;

[0148] 在刷新阶段中的复位时间段,所述第一初始化电路44在所述复位控制线RESET提供的复位控制信号的控制下,控制将所述第一初始电压端提供的第一初始电压Vinit1写入所述第二控制节点N0,所述通断控制电路40在所述第二控制信号的控制下,控制所述驱动电路11的控制端与所述第二控制节点N0之间连通,以使得在所述数据写入时间段开始时,所述驱动电路11能够导通其第一端与第二端之间的连接;

[0149] 在刷新阶段中的数据写入时间段,数据线Data提供数据电压Vdata,写入控制电路14在第二控制信号的控制下,将所述数据电压Vdata提供至写入节点N5,数据写入电路12在第一控制信号的控制下,控制所述写入节点N5与驱动电路11的第一端之间连通,以将所述数据电压Vdata写入所述驱动电路11的第一端;补偿控制电路43在所述第一控制信号的控制下,控制所述驱动电路11的第二端与所述第二控制节点N0之间连通,所述通断控制电路40在所述第二控制信号的控制下,控制所述驱动电路11的控制端与所述第二控制节点N0之间连通;所述第二初始化电路45在所述第一控制信号的控制下,将所述第二初始电压端提供的第二初始电压Vinit2写入所述发光元件EL的第一极,以使得所述发光元件EL不发光;

[0150] 在所述刷新阶段中的数据写入时间段开始时,所述驱动电路11导通其第一端与第二端之间的连接,通过充电而改变所述驱动电路11的控制端的电位,直至所述驱动电路11的控制端的电位变为 $V_{data}+V_{th}$,所述驱动电路11控制其第一端与所述驱动电路11的第二端之间断开, V_{th} 为所述驱动电路11包括的驱动晶体管的阈值电压;

[0151] 在所述刷新阶段中的发光时间段,所述第一发光控制电路411在所述发光控制线EM提供的发光控制信号的控制下,控制所述电源电压端与所述驱动电路11的第一端之间连通,所述第二发光控制电路412在所述发光控制信号的控制下,控制所述驱动电路11的第二端与所述发光元件EL的第一极之间连通;驱动电路11驱动发光元件EL发光。

[0152] 如图6所示,在图4所示的像素电路的至少一实施例的基础上,第一控制节点为电源电压端,所述电源电压端用于提供电源电压VDD;所述写入控制电路14包括写入控制晶体管Tc;所述驱动电路11包括驱动晶体管T0;所述第一储能电路13包括第一电容C1;所述数据

写入电路12包括数据写入晶体管Tw;

[0153] 所述写入控制晶体管Tc的栅极与所述第二控制线S2电连接,所述写入控制晶体管Tc的源极与所述数据线Data电连接,所述写入控制晶体管Tc的漏极与所述写入节点N5电连接;

[0154] 所述第一电容C1的第一端与所述写入节点N5电连接,所述第一电容C1的第二端与所述电源电压端电连接;

[0155] 所述数据写入晶体管Tw的栅极与所述第一控制线P-GATE电连接,所述数据写入晶体管Tw的源极与所述写入节点电连接,所述数据写入晶体管Tw的漏极与所述驱动晶体管T0的源极电连接;

[0156] 所述发光元件为有机发光二极管O1,所述第一发光控制电路411包括第一晶体管T1,所述第二发光控制电路412包括第二晶体管T2,所述第二储能电路42包括第二电容C2,所述补偿控制电路43包括第三晶体管T3,所述第一初始化电路44包括第四晶体管T4,所述第二初始化电路45包括第五晶体管T5;

[0157] T1的栅极与发光控制线EM电连接,T1的源极与所述电源电压端电连接,T1的漏极与T0的源极电连接;

[0158] T2的栅极与发光控制线EM电连接,T2的源极与T0的漏极电连接,T2的漏极与O1的阳极电连接;

[0159] C2的第一端与T0的栅极电连接,C2的第二端与所述电源电压端电连接;

[0160] T3的栅极与第二控制线S2电连接,T3的源极与T0的栅极电连接,T3的漏极与T0的漏极电连接;

[0161] T4的栅极与复位控制线RESET电连接,T4的源极与第一初始电压端电连接,T4的漏极与T0的栅极电连接;所述第一初始电压端用于提供第一初始电压Vinit1;

[0162] T5的栅极与第一控制线P-GATE电连接,T5的源极与第二初始电压端电连接,T5的漏极与O1的阳极电连接;

[0163] O1的阴极与低电压端电连接,所述低电压端用于提供低电压VSS。

[0164] 在图6所示的像素电路的至少一实施例中,Tc为n型晶体管,Tw为p型晶体管,T1、T2和T5为p型晶体管,T3和T4为n型晶体管,但不以此为限;

[0165] Tc、T3和T4可以为氧化物薄膜晶体管,Tw、T1、T2和T5可以为低温多晶硅薄膜晶体管,但不以此为限。

[0166] 在图6中,标号为N1的为第一节点,标号为N2的为第二节点,标号为N3的为第三节点,N1与T0的栅极电连接,N2与T0的源极电连接,N3与T0的漏极电连接。

[0167] 在图6所示的像素电路的至少一实施例中,S2提供的第二控制信号和RESET提供的复位控制信号可以为同一扫描信号生成电路提供的扫描信号,但不以此为限。

[0168] 如图7所示,本发明如图6所示的像素电路的至少一实施例在工作时,显示周期中的刷新阶段包括复位时间段t1、数据写入时间段t2和发光时间段t3;

[0169] 在所述刷新阶段中的复位时间段t1,RESET提供高电压信号,S2提供低电压信号,P-GATE提供高电压信号,EM提供高电压信号,T4打开,以将Vinit1写入N1,使得在数据写入时间段t2开始时,T0能够打开;

[0170] 在所述刷新阶段中的数据写入时间段t2,RESET提供低电压信号,S2提供高电压信

号,P-Gate提供低电压信号,Data提供数据电压Vdata,T4关断,Tw和Tc打开,将Vdata写入N5和N2,C1维持N5的电位为Vdata;

[0171] 在所述刷新阶段中的数据写入时间段t2,RESET提供低电压信号,S2提供高电压信号,P-Gate提供低电压信号,Data提供数据电压Vdata,T3打开,T5打开,以将Vinit2写入O1的阳极,以使得O1不发光;

[0172] 在所述刷新阶段中的数据写入时间段t2开始时,T0导通,Vdata通过T0和T3为C2充电,以提升T0的栅极的电位,直至T0关断,此时N1的电位为Vdata+Vth,其中,Vth为T0的阈值电压;

[0173] 在所述刷新阶段中的发光时间段t3,EM提供低电压信号,RESET提供低电压信号,S2提供低电压信号,P-GATE提供高电压信号,T1和T2导通,T0驱动O1发光。

[0174] 本发明如图6所示的像素电路的至少一实施例在工作时,显示周期中的保持阶段包括先后设置的数据写入时间段和发光时间段;

[0175] 在所述保持阶段中的数据写入时间段,EM提供高电压信号,P-GATE提供低电压信号,Tw打开,N5与N2之间连通,使得N2的电位为Vdata,T0打开,N3的电位为Vdata,以在不增加功耗的前提下改善在所述保持阶段的发光时间段的闪烁现象;

[0176] 在所述保持阶段中的数据写入时间段,T5打开,Vinit2写入O1的阳极,以使得O1不发光;

[0177] 在所述保持阶段中的发光时间段,EM提供低电压信号,P-GATE提供高电压信号,T1和T2打开,T0驱动O1发光;

[0178] 在所述保持阶段,S2提供低电压信号,RESET提供低电压信号。

[0179] 图8所示的像素电路的至少一实施例与图6所示的像素电路的至少一实施例的区别在于,所述写入控制电路14包括第一个写入控制晶体管Tc1、第二个写入控制晶体管Tc2和第三个写入控制晶体管Tc3;Tc1、Tc2和Tc3相互并联;

[0180] Tc1的栅极与所述第二控制线S2电连接,Tc1的源极与所述数据线Data电连接,Tc1的漏极与所述写入节点N5电连接;

[0181] Tc2的栅极与所述第二控制线S2电连接,Tc2的源极与所述数据线Data电连接,Tc2的漏极与所述写入节点N5电连接;

[0182] Tc3的栅极与所述第二控制线S2电连接,Tc3的源极与所述数据线Data电连接,Tc3的漏极与所述写入节点N5电连接;

[0183] Tc1、Tc2和Tc3都为n型晶体管,Tc1、Tc2和Tc3都为氧化物薄膜晶体管,但不以此为限。

[0184] 在本发明至少一实施例中,所述写入控制电路14中包括的写入控制晶体管的个数可以为至少两个,至少两个写入控制晶体管可以相互并联,也可以相互串联。

[0185] 如图9所示,在图5所示的像素电路的至少一实施例的基础上,第一控制节点为电源电压端,所述电源电压端用于提供电源电压VDD;所述写入控制电路14包括写入控制晶体管Tc;所述驱动电路11包括驱动晶体管T0;所述第一储能电路13包括第一电容C1;所述数据写入电路12包括数据写入晶体管Tw;

[0186] 所述写入控制晶体管Tc的栅极与所述第二控制线S2电连接,所述写入控制晶体管Tc的源极与所述数据线Data电连接,所述写入控制晶体管Tc的漏极与所述写入节点N5电连

接；

[0187] 所述第一电容C1的第一端与所述写入节点N5电连接,所述第一电容C1的第二端与所述电源电压端电连接；

[0188] 所述数据写入晶体管Tw的栅极与所述第一控制线P-GATE电连接,所述数据写入晶体管Tw的源极与所述写入节点电连接,所述数据写入晶体管Tw的漏极与所述驱动晶体管T0的源极电连接；

[0189] 所述发光元件为有机发光二极管O1,所述第一发光控制电路411包括第一晶体管T1,所述第二发光控制电路412包括第二晶体管T2,所述第二储能电路42包括第二电容C2,所述补偿控制电路43包括第三晶体管T3,所述第一初始化电路44包括第四晶体管T4,所述第二初始化电路45包括第五晶体管T5;所述通断控制电路40包括第六晶体管T6；

[0190] T1的栅极与发光控制线EM电连接,T1的源极与所述电源电压端电连接,T1的漏极与T0的源极电连接；

[0191] T2的栅极与发光控制线EM电连接,T2的源极与T0的漏极电连接,T2的漏极与O1的阳极电连接；

[0192] C2的第一端与T0的栅极电连接,C2的第二端与所述电源电压端电连接；

[0193] T3的栅极与第一控制线P-GATE电连接,T3的源极与第二控制节点N0电连接,T3的漏极与T3的漏极电连接；

[0194] T4的栅极与复位控制线RESET电连接,T4的源极与第一初始电压端电连接,T4的漏极与第二控制节点N0电连接;所述第一初始电压端用于提供第一初始电压Vinit1；

[0195] T6的栅极与第二控制线S2电连接,T6的源极与T0的栅极电连接,T6的漏极与第二控制节点N0电连接；

[0196] T5的栅极与第一控制线P-GATE电连接,T5的源极与第二初始电压端电连接,T5的漏极与O1的阳极电连接；

[0197] O1的阴极与低电压端电连接,所述低电压端用于提供低电压VSS。

[0198] 在图9所示的像素电路的至少一实施例中,Tc为n型晶体管,Tw为p型晶体管,T1、T2和T5为p型晶体管,T3和T4为p型晶体管,T6为n型晶体管,但不以此为限；

[0199] Tc和T6可以为氧化物薄膜晶体管,Tw、T1、T2、T3、T4和T5可以为低温多晶硅薄膜晶体管,但不以此为限。

[0200] 在图9中,标号为N1的为第一节点,标号为N2的为第二节点,标号为N3的为第三节点,N1与T0的栅极电连接,N2与T0的源极电连接,N3与T0的漏极电连接。

[0201] 在图9所示的像素电路的至少一实施例中,P-GATE提供的第一控制信号和RESET提供的复位控制信号可以为同一扫描信号生成电路提供的扫描信号,但不以此为限。

[0202] 如图10所示,本发明如图9所示的像素电路的至少一实施例在工作时,显示周期中的刷新阶段包括复位时间段t1、数据写入时间段t2和发光时间段t3；

[0203] 在所述刷新阶段中的复位时间段t1,RESET提供低电压信号,S2提供高电压信号,P-GATE提供高电压信号,EM提供高电压信号,T4和T6打开,以将Vinit1写入N1,使得在数据写入时间段t2开始时,T0能够打开；

[0204] 在所述刷新阶段中的数据写入时间段t2,RESET提供高电压信号,S2提供高电压信号,P-Gate提供低电压信号,Data提供数据电压Vdata,T4关断,Tw和Tc打开,将Vdata写入N5

和N2,C1维持N5的电位为Vdata;

[0205] 在所述刷新阶段中的数据写入时间段t2,RESET提供高电压信号,S2提供高电压信号,P-Gate提供低电压信号,Data提供数据电压Vdata,T3打开,T6打开,T5打开,以将Vinit2写入O1的阳极,以使得O1不发光;

[0206] 在所述刷新阶段中的数据写入时间段t2开始时,T0导通,Vdata通过T0、T3和T6为C2充电,以提升T0的栅极的电位,直至T0关断,此时N1的电位为Vdata+Vth,其中,Vth为T0的阈值电压;

[0207] 在所述刷新阶段中的发光时间段t3,EM提供低电压信号,RESET提供高电压信号,S2提供低电压信号,P-GATE提供高电压信号,T1和T2导通,T0驱动O1发光。

[0208] 本发明如图9所示的像素电路的至少一实施例在工作时,显示周期中的保持阶段包括先后设置的数据写入时间段和发光时间段;

[0209] 在所述保持阶段中的数据写入时间段,EM提供高电压信号,P-GATE提供低电压信号,Tw打开,N5与N2之间连通,使得N2的电位为Vdata,T0打开,N3的电位为Vdata,T5打开,Vinit2写入O1的阳极,以使得O1不发光;

[0210] 在所述保持阶段中的发光时间段,EM提供低电压信号,P-GATE提供高电压信号,T1和T2打开,T0驱动O1发光;

[0211] 在所述保持阶段,S2提供低电压信号,RESET提供高电压信号。

[0212] 在本发明至少一实施例中,所述写入控制电路14中包括的写入控制晶体管的个数可以为至少两个,至少两个写入控制晶体管可以相互并联,也可以相互串联。

[0213] 如图11所示,在图4所示的像素电路的至少一实施例的基础上,本发明至少一实施例所述的像素电路还包括电压控制电路30;

[0214] 所述电压控制电路30包括电压控制晶体管Tv;

[0215] 所述电压控制晶体管Tv的栅极与第三控制线S3电连接,所述电压控制晶体管Tv的源极与所述数据线Data电连接,所述电压控制晶体管Tv的漏极与第一控制节点N6电连接;

[0216] 所述写入控制电路14包括写入控制晶体管Tc;所述驱动电路11包括驱动晶体管T0;所述第一储能电路13包括第一电容C1;所述数据写入电路12包括数据写入晶体管Tw;

[0217] 所述写入控制晶体管Tc的栅极与所述第二控制线S2电连接,所述写入控制晶体管Tc的源极与所述数据线Data电连接,所述写入控制晶体管Tc的漏极与所述写入节点N5电连接;

[0218] 所述第一电容C1的第一端与所述写入节点N5电连接,所述第一电容C1的第二端与所述第一控制节点N6电连接;

[0219] 所述数据写入晶体管Tw的栅极与所述第一控制线P-GATE电连接,所述数据写入晶体管Tw的源极与所述写入节点电连接,所述数据写入晶体管Tw的漏极与所述驱动晶体管T0的源极电连接;

[0220] 所述发光元件为有机发光二极管O1,所述第一发光控制电路411包括第一晶体管T1,所述第二发光控制电路412包括第二晶体管T2,所述第二储能电路42包括第二电容C2,所述补偿控制电路43包括第三晶体管T3,所述第一初始化电路44包括第四晶体管T4,所述第二初始化电路45包括第五晶体管T5;

[0221] T1的栅极与发光控制线EM电连接,T1的源极与所述电源电压端电连接,T1的漏极

与T0的源极电连接；

[0222] T2的栅极与发光控制线EM电连接，T2的源极与T0的漏极电连接，T2的漏极与O1的阳极电连接；

[0223] C2的第一端与T0的栅极电连接，C2的第二端与所述电源电压端电连接；

[0224] T3的栅极与第二控制线S2电连接，T3的源极与T0的栅极电连接，T3的漏极与T0的漏极电连接；

[0225] T4的栅极与复位控制线RESET电连接，T4的源极与第一初始电压端电连接，T4的漏极与T0的栅极电连接；所述第一初始电压端用于提供第一初始电压Vinit1；

[0226] T5的栅极与第一控制线P-GATE电连接，T5的源极与第二初始电压端电连接，T5的漏极与O1的阳极电连接；

[0227] O1的阴极与低电压端电连接，所述低电压端用于提供低电压VSS。

[0228] 在图11所示的像素电路的至少一实施例中，Tc为n型晶体管，Tw为p型晶体管，T1、T2和T5为p型晶体管，T3和T4为n型晶体管，但不以此为限；

[0229] Tc、T3和T4可以为氧化物薄膜晶体管，Tw、T1、T2和T5可以为低温多晶硅薄膜晶体管，但不以此为限。

[0230] 在图11中，标号为N1的为第一节点，标号为N2的为第二节点，标号为N3的为第三节点，N1与T0的栅极电连接，N2与T0的源极电连接，N3与T0的漏极电连接。

[0231] 在图11所示的像素电路的至少一实施例中，S2提供的第二控制信号、RESET提供的复位控制信号和S3提供的第三控制信号可以为同一扫描信号生成电路提供的扫描信号，但不以此为限。

[0232] 如图12所示，本发明如图11所示的像素电路的至少一实施例在工作时，显示周期中的刷新阶段包括先后设置的复位时间段t1、数据写入时间段t2、置位时间段t0和发光时间段t3；

[0233] 在所述刷新阶段中的复位时间段t1，RESET提供高电压信号，P-GATE提供高电压信号，S2提供低电压信号，S3提供低电压信号，EM提供高电压信号，T4打开，Vinit1写入N1，以使得在所述数据写入时间段t2开始时，T0能够导通；

[0234] 在所述刷新阶段中的数据写入时间段t2，RESET提供低电压信号，P-GATE提供低电压信号，S2提供高电压信号，S3提供低电压信号，EM提供高电压信号，Data提供数据电压Vdata，T4关断，T3打开，Tc打开，Tw打开，Tv关断，T5打开，Vinit2写入O1的阳极，以使得O1不发光；T1和T2关断，Vdata写入N5和N2；

[0235] 在所述刷新阶段中的数据写入时间段t2开始时，T0导通，Vdata通过T0和T3为C2充电，以提升T0的栅极的电位，直至T0关断，N1的电位变为Vdata+Vth，Vth为T0的阈值电压；

[0236] 在所述刷新阶段中的置位时间段t0，S2提供低电压信号，P-GATE提供高电压信号，RESET提供低电压信号，S3提供高电压信号，EM提供高电压信号，Data提供的信号从数据电压变为黑态电压，所述黑态电压的电压值大于所述数据电压的电压值，Tw关断，Tc打开，Tv打开，以将所述黑态电压写入N6，通过C1的耦合作用而提升N5的电位，以对N5的电位进行补偿；所述黑态电压的电压值例如可以为7V，但不以此为限；

[0237] 在所述刷新阶段中的发光时间段t3，S2提供低电压信号，P-GATE提供高电压信号，RESET提供低电压信号，S3提供低电压信号，EM提供低电压信号，T1和T2导通，T0驱动O1发

光。

[0238] 本发明如图11所示的像素电路的至少一实施例在工作时,在显示周期中的保持阶段,S2提供低电压信号,RESET提供低电压信号;所述保持阶段可以包括先后设置的数据写入时间段和发光时间段;

[0239] 在所述保持阶段中的数据写入时间段,P-GATE提供低电压信号,EM提供高电压信号,Tw打开,以控制N5和N2之间连通,此时N5的电位会存在压降,通过在刷新阶段中的置位时间段t0,对N5的电位的补偿,以使得在所述保持阶段中的数据写入时间段,N5的电位和N2的电位与Vdata相差不大,T0打开,使得N3的电位与Vdata相差不大,以在不增加功耗的前提下改善在所述保持阶段的发光时间段的闪烁现象;

[0240] 在所述保持阶段中的数据写入时间段,T5打开,Vinit2写入O1的阳极,O1不发光;

[0241] 在所述保持阶段中的发光时间段,P-GATE提供高电压信号,EM提供低电压信号,T1和T2导通,T0驱动O1发光。

[0242] 本发明如图13所示的像素电路的至少一实施例与本发明图11所述的像素电路的至少一实施例的区别如下:所述电压控制电路30包括第一个电压控制晶体管Tv1和第二个电压控制晶体管Tv2;Tv1和Tv2相互并联;

[0243] Tv1的栅极与第三控制线S3电连接,Tv1的源极与所述数据线Data电连接,Tv1的漏极与第一控制节点N6电连接;

[0244] Tv2的栅极与第三控制线S3电连接,Tv2的源极与所述数据线Data电连接,Tv2的漏极与第一控制节点N6电连接;

[0245] 所述写入控制电路14包括第一个写入控制晶体管Tc1和第二个写入控制晶体管Tc2;Tc1和Tc2相互并联;

[0246] Tc1的栅极与所述第二控制线S2电连接,Tc1的源极与所述数据线Data电连接,Tc1的漏极与所述写入节点N5电连接;

[0247] Tc2的栅极与所述第二控制线S2电连接,Tc2的源极与所述数据线Data电连接,Tc2的漏极与所述写入节点N5电连接。

[0248] 在图13所示的至少一实施例中,Tv1、Tv2、Tc1和Tc2可以都为n型晶体管,Tv1、Tv2、Tc1和Tc2可以都为氧化物薄膜晶体管,但不以此为限。

[0249] 在本发明至少一实施例中,所述电压控制电路30还可以包括至少三个相互并联的电压控制晶体管,所述写入控制电路14可以包括至少三个相互并联的写入控制晶体管。

[0250] 本发明如图14所示的像素电路的至少一实施例与本发明图11所述的像素电路的至少一实施例的区别如下:所述电压控制电路30包括第一个电压控制晶体管Tv1和第二个电压控制晶体管Tv2;Tv1和Tv2相互串联;

[0251] Tv1的栅极和Tv2的栅极都与第三控制线S3电连接;

[0252] T2的源极与数据线Data电连接,T2的漏极与T1的源极电连接,T1的漏极与第一控制节点N6电连接;

[0253] 所述写入控制电路14包括第一个写入控制晶体管Tc1和第二个写入控制晶体管Tc2;Tc1和Tc2相互串联;

[0254] Tc1的栅极与Tc2的栅极都与第二控制线S2电连接;

[0255] Tc2的源极与数据线Data电连接,Tc2的漏极与Tc1的源极电连接,T1的漏极与写入

节点N5电连接。

[0256] 在图14所示的至少一实施例中, Tv1、Tv2、Tc1和Tc2可以都为n型晶体管, Tv1、Tv2、Tc1和Tc2可以都为氧化物薄膜晶体管, 但不以此为限。

[0257] 在本发明至少一实施例中, 所述电压控制电路30还可以包括至少三个相互串联的电压控制晶体管, 所述写入控制电路14可以包括至少三个相互串联的写入控制晶体管。

[0258] 如图15所示, 在图5所示的像素电路的至少一实施例的基础上, 本发明至少一实施例所述的像素电路还包括电压控制电路30;

[0259] 所述电压控制电路30包括电压控制晶体管Tv;

[0260] 所述电压控制晶体管Tv的栅极与第三控制线S3电连接, 所述电压控制晶体管Tv的源极与所述数据线Data电连接, 所述电压控制晶体管Tv的漏极与第一控制节点N6电连接;

[0261] 所述写入控制电路14包括写入控制晶体管Tc; 所述驱动电路11包括驱动晶体管T0; 所述第一储能电路13包括第一电容C1; 所述数据写入电路12包括数据写入晶体管Tw;

[0262] 所述写入控制晶体管Tc的栅极与所述第二控制线S2电连接, 所述写入控制晶体管Tc的源极与所述数据线Data电连接, 所述写入控制晶体管Tc的漏极与所述写入节点N5电连接;

[0263] 所述第一电容C1的第一端与所述写入节点N5电连接, 所述第一电容C1的第二端与所述第一控制节点N6电连接;

[0264] 所述数据写入晶体管Tw的栅极与所述第一控制线P-GATE电连接, 所述数据写入晶体管Tw的源极与所述写入节点电连接, 所述数据写入晶体管Tw的漏极与所述驱动晶体管T0的源极电连接;

[0265] 所述发光元件为有机发光二极管O1, 所述第一发光控制电路411包括第一晶体管T1, 所述第二发光控制电路412包括第二晶体管T2, 所述第二储能电路42包括第二电容C2, 所述补偿控制电路43包括第三晶体管T3, 所述第一初始化电路44包括第四晶体管T4, 所述第二初始化电路45包括第五晶体管T5; 所述通断控制电路40包括第六晶体管T6;

[0266] T1的栅极与发光控制线EM电连接, T1的源极与所述电源电压端电连接, T1的漏极与T0的源极电连接;

[0267] T2的栅极与发光控制线EM电连接, T2的源极与T0的漏极电连接, T2的漏极与O1的阳极电连接;

[0268] C2的第一端与T0的栅极电连接, C2的第二端与所述电源电压端电连接;

[0269] T3的栅极与第一控制线P-GATE电连接, T3的源极与第二控制节点N0电连接, T3的漏极与T3的漏极电连接;

[0270] T4的栅极与复位控制线RESET电连接, T4的源极与第一初始电压端电连接, T4的漏极与第二控制节点N0电连接; 所述第一初始电压端用于提供第一初始电压Vinit1;

[0271] T6的栅极与第二控制线S2电连接, T6的源极与T0的栅极电连接, T6的漏极与第二控制节点N0电连接;

[0272] T5的栅极与第一控制线P-GATE电连接, T5的源极与第二初始电压端电连接, T5的漏极与O1的阳极电连接;

[0273] O1的阴极与低电压端电连接, 所述低电压端用于提供低电压VSS。

[0274] 在图15所示的像素电路的至少一实施例中, Tc为n型晶体管, Tw为p型晶体管, T1、

T2和T5为p型晶体管,T3和T4为p型晶体管,T6为n型晶体管,但不以此为限;

[0275] Tc和T6可以为氧化物薄膜晶体管,Tw、T1、T2、T3、T4和T5可以为低温多晶硅薄膜晶体管,但不以此为限。

[0276] 在图15中,标号为N1的为第一节点,标号为N2的为第二节点,标号为N3的为第三节点,N1与T0的栅极电连接,N2与T0的源极电连接,N3与T0的漏极电连接。

[0277] 在本发明至少一实施例中,所述电压控制电路30还可以包括至少两个相互并联的电压控制晶体管,所述写入控制电路14可以包括至少两个相互并联的写入控制晶体管;或者,所述电压控制电路30还可以包括至少两个串联并联的电压控制晶体管,所述写入控制电路14可以包括至少两个相互串联的写入控制晶体管。

[0278] 本发明实施例所述的驱动方法,应用于上述的像素电路,显示周期包括刷新阶段和保持阶段;所述驱动方法包括:

[0279] 在刷新阶段包括的数据写入时间段,数据线提供数据电压,写入控制电路在第二控制信号的控制下,将所述数据电压提供至写入节点,数据写入电路在第一控制信号的控制下,控制所述写入节点与驱动电路的第一端之间连通,以将所述数据电压写入所述驱动电路的第一端;

[0280] 在保持阶段,写入控制电路在第二控制信号的控制下,控制所述数据线与所述写入节点之间断开,所述第一储能电路维持所述写入节点的电位;

[0281] 在保持阶段包括的数据写入时间段,数据写入电路在第一控制信号的控制下,控制所述写入节点与驱动电路的第一端之间连通。

[0282] 在本发明实施例所述的驱动方法中,在保持阶段包括的数据写入时间段,数据写入电路在第一控制信号的控制下,控制所述写入节点N5与驱动电路11的第一端之间连通,以使得所述驱动电路的第一端的电位与数据电压相差不大,能够在不增加功耗的前提下,改善flicker(闪烁)现象。

[0283] 在具体实施时,所述的像素电路还可以包括电压控制电路;所述刷新阶段还包括设置于所述数据写入时间段之后的置位时间段;所述驱动方法还包括:

[0284] 在所述置位时间段,所述数据线提供的信号从数据电压变为黑态电压,电压控制电路在第三控制信号的控制下,将所述所述数据线提供的信号写入第一控制节点;

[0285] 所述黑态电压的电压值大于所述数据电压的电压值。

[0286] 在LTPO(低温多晶氧化物)像素电路中,在保持阶段,数据写入电路包括的晶体管会存在打开的状况,写入节点的电位会存在压降,通过在刷新阶段中的置位时间段,对写入节点的电位的补偿,可以使得在保持阶段中的数据写入时间段,写入节点的电位与数据电压相差不大,改善闪烁现象。

[0287] 本发明实施例所述的显示装置包括上述的像素电路。

[0288] 本发明实施例所述的显示装置包括上述的像素电路。

[0289] 本发明实施例所提供的显示装置可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0290] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

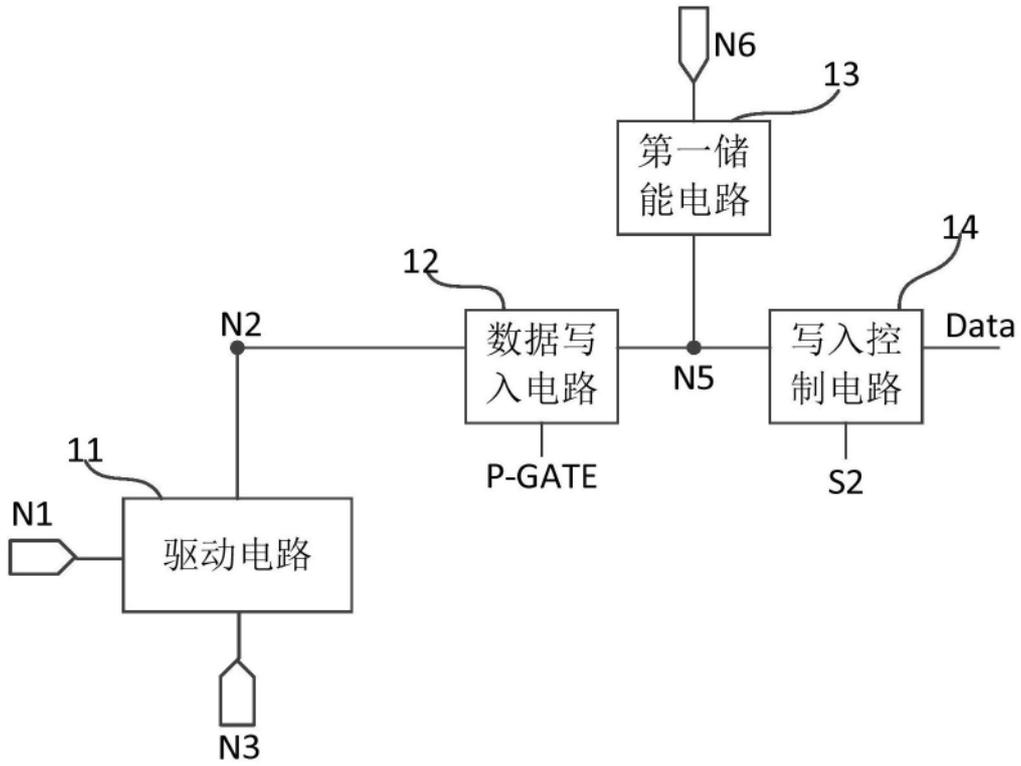


图1

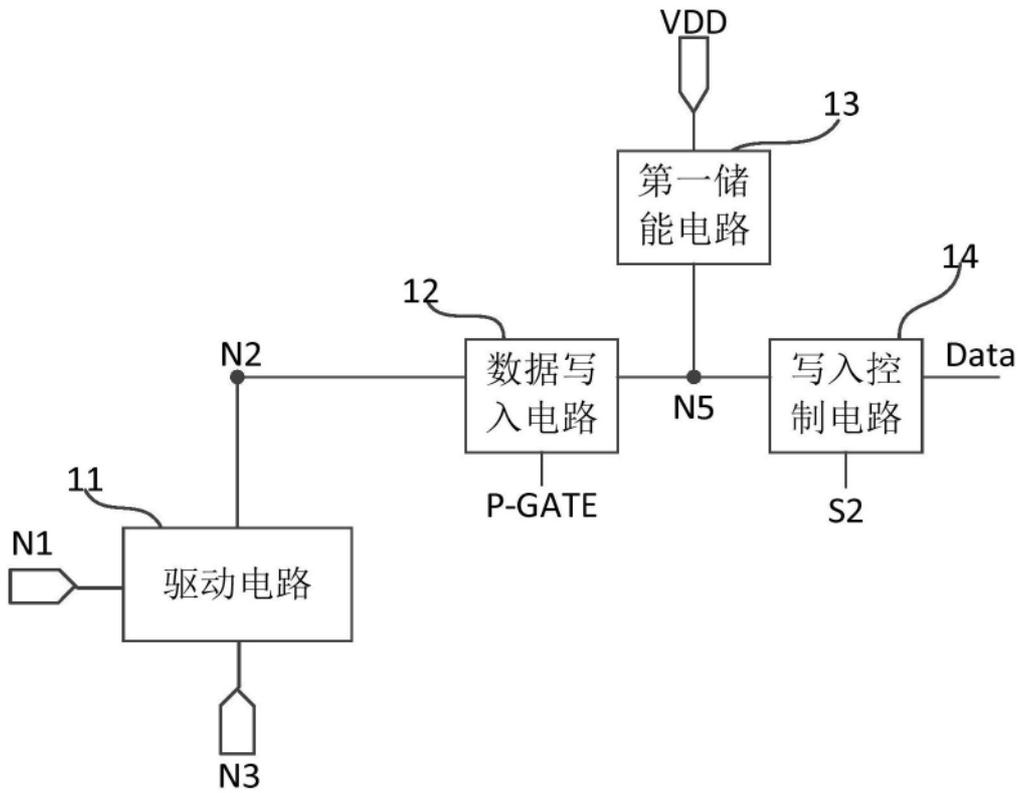


图2

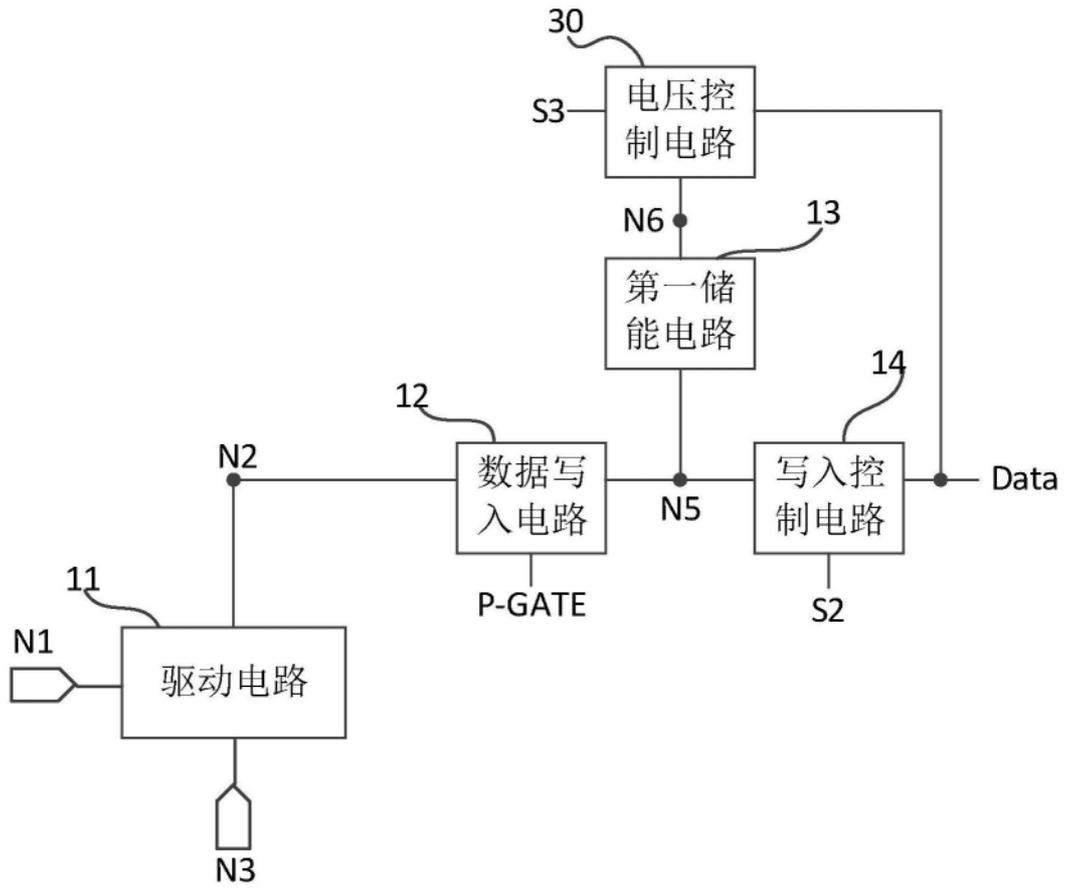


图3A

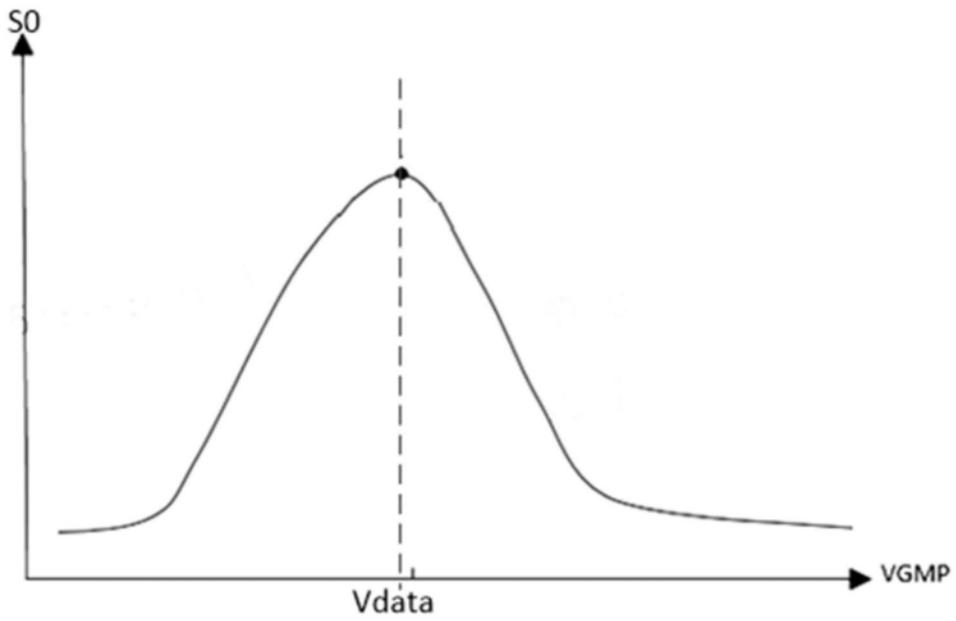


图3B

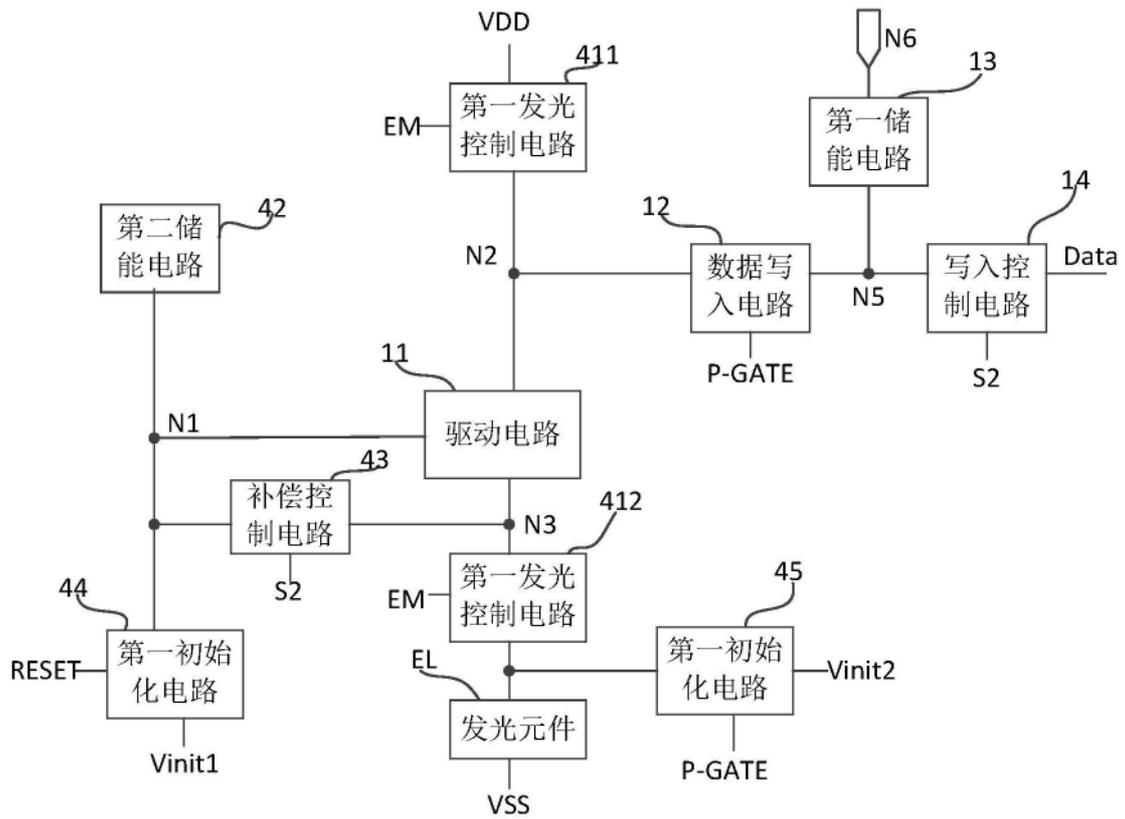


图4

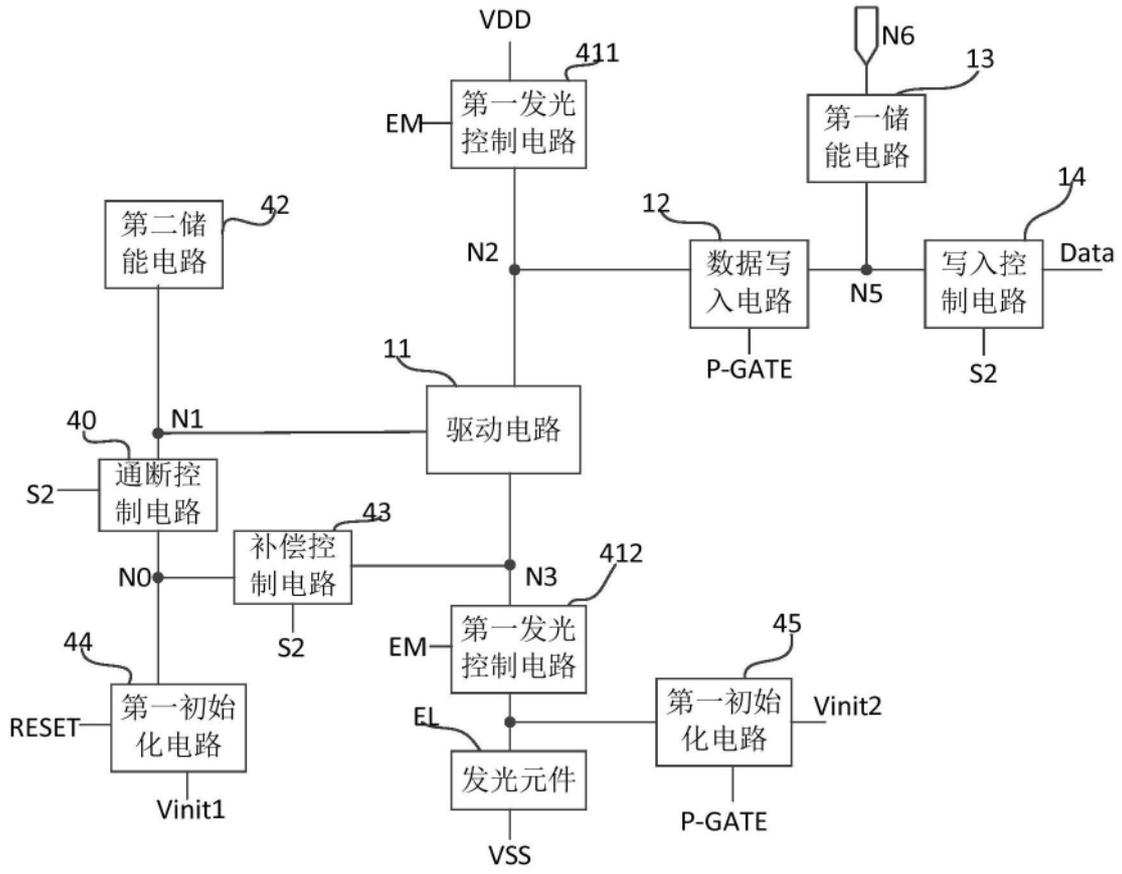


图5

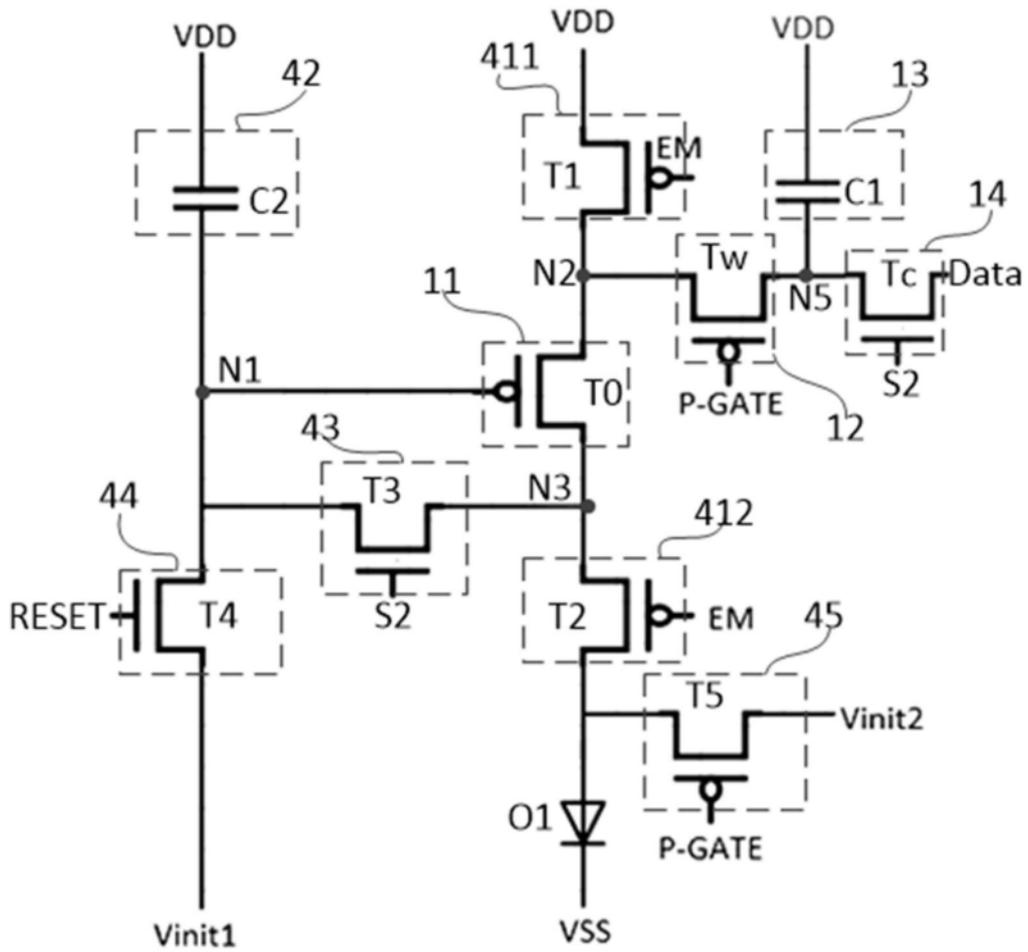


图6

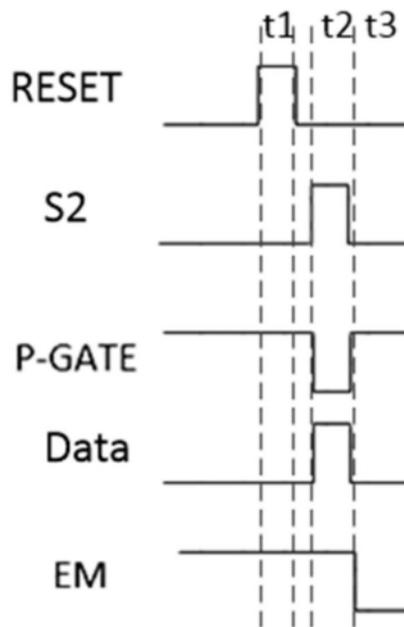


图7

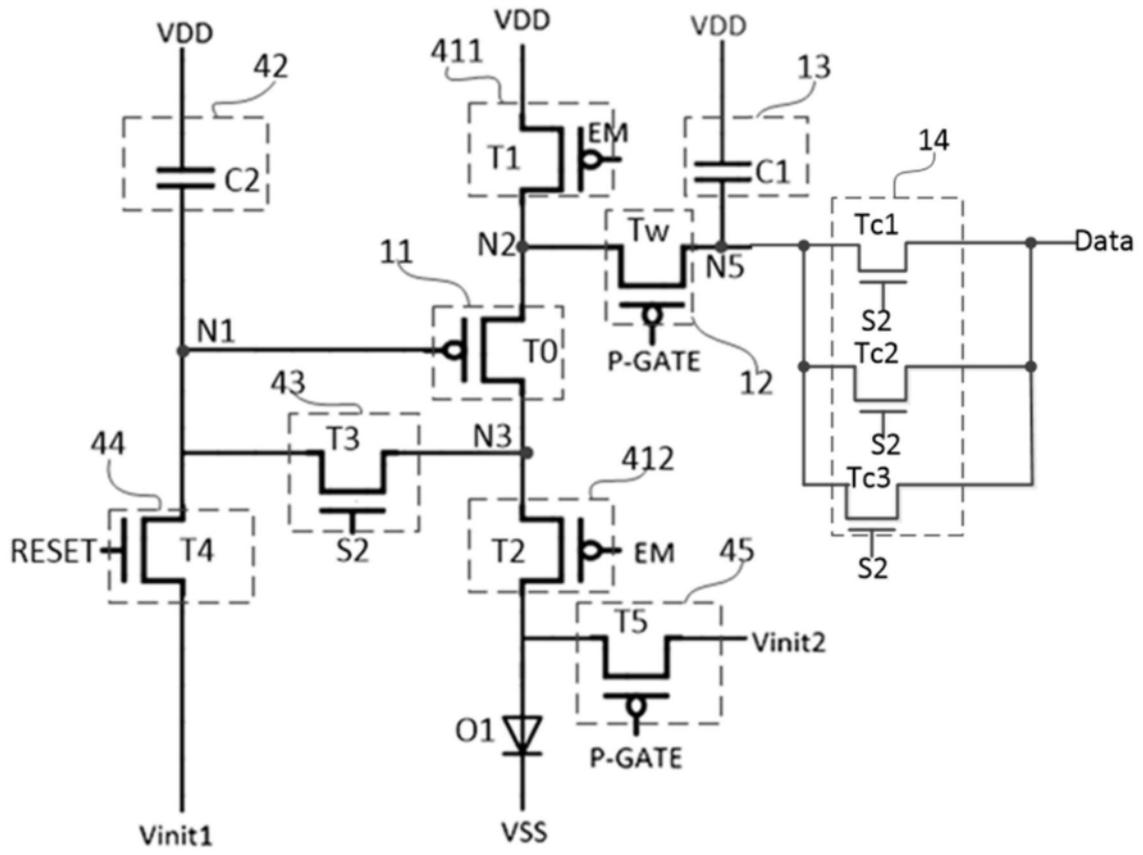


图8

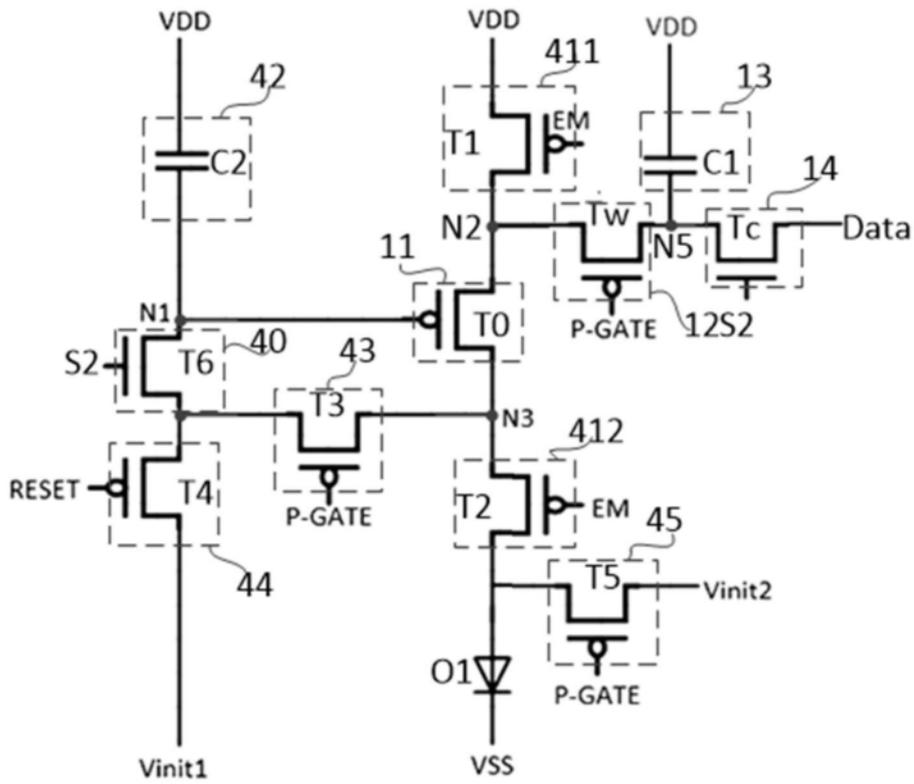


图9

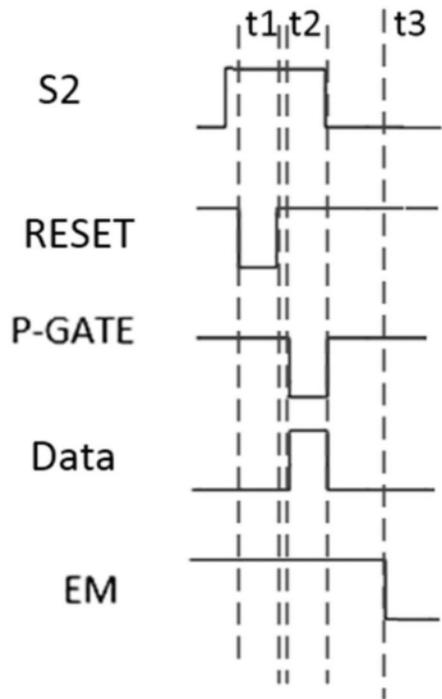


图10

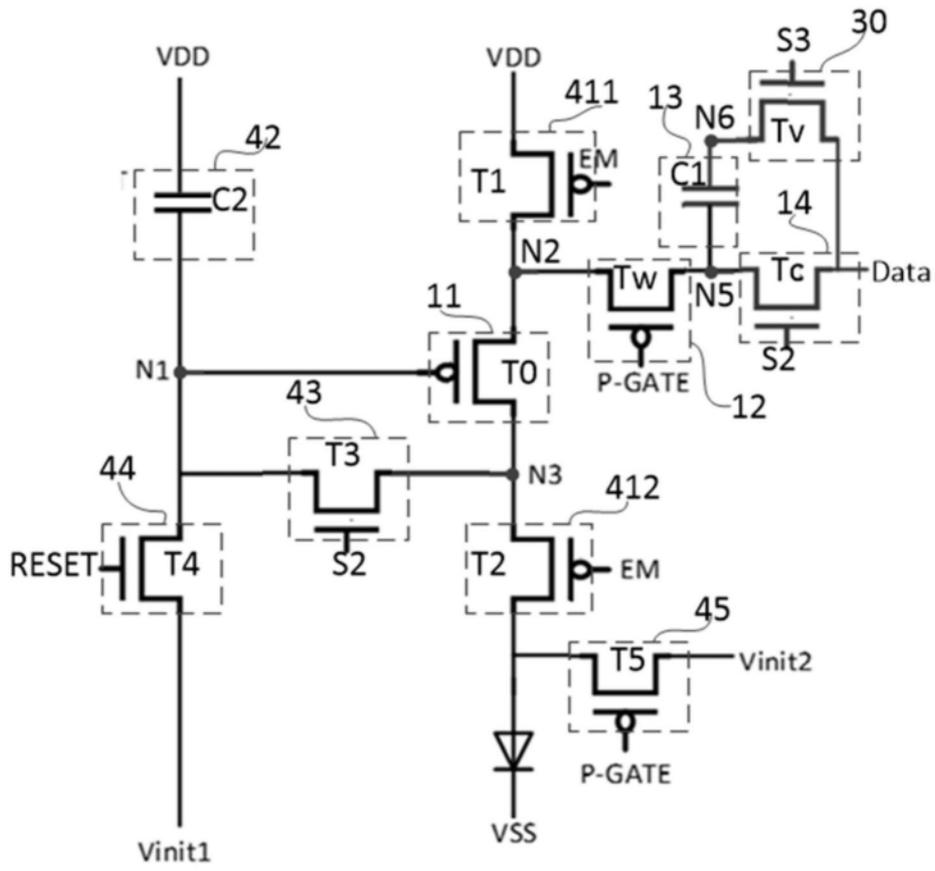


图11

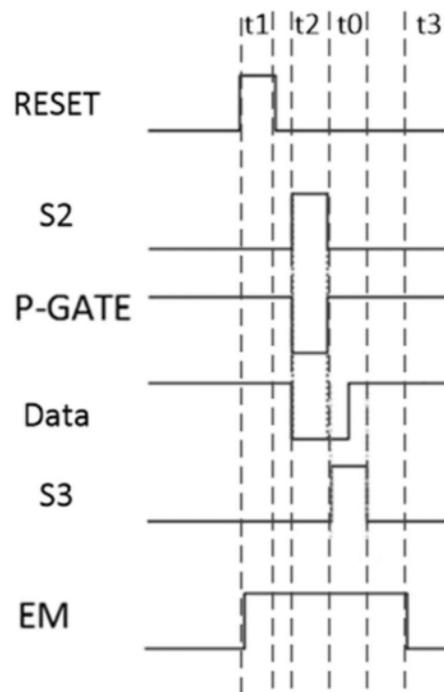


图12

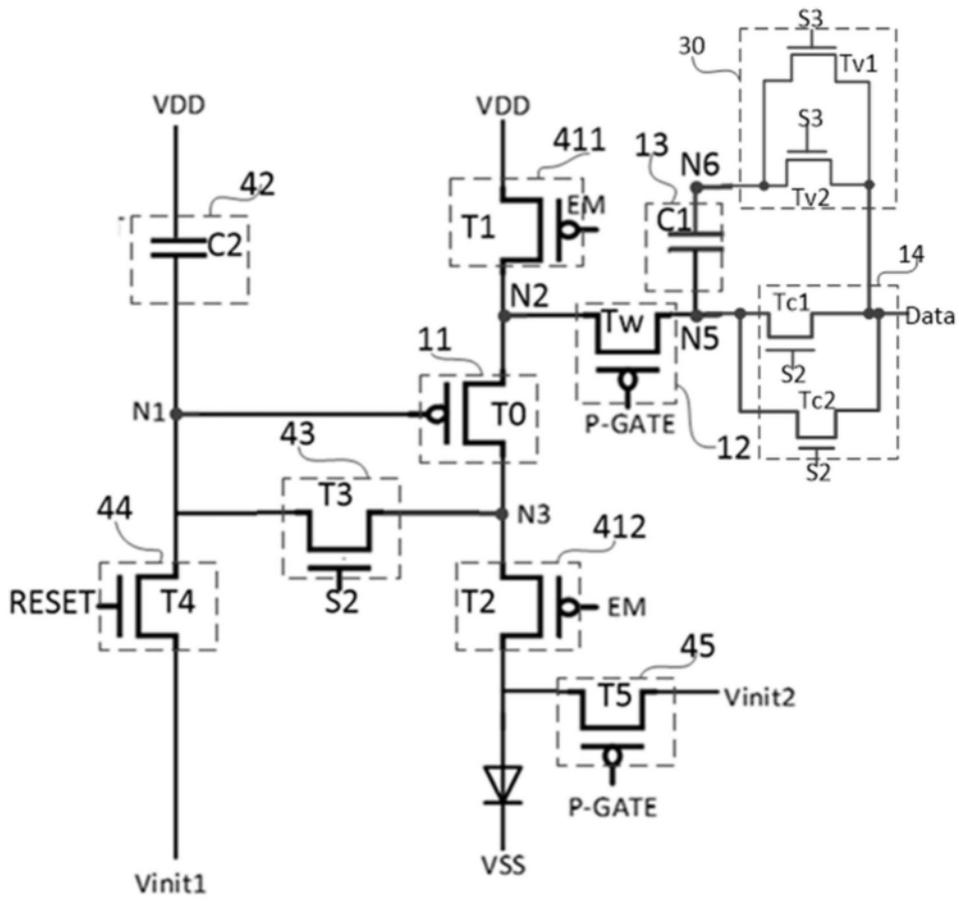


图13

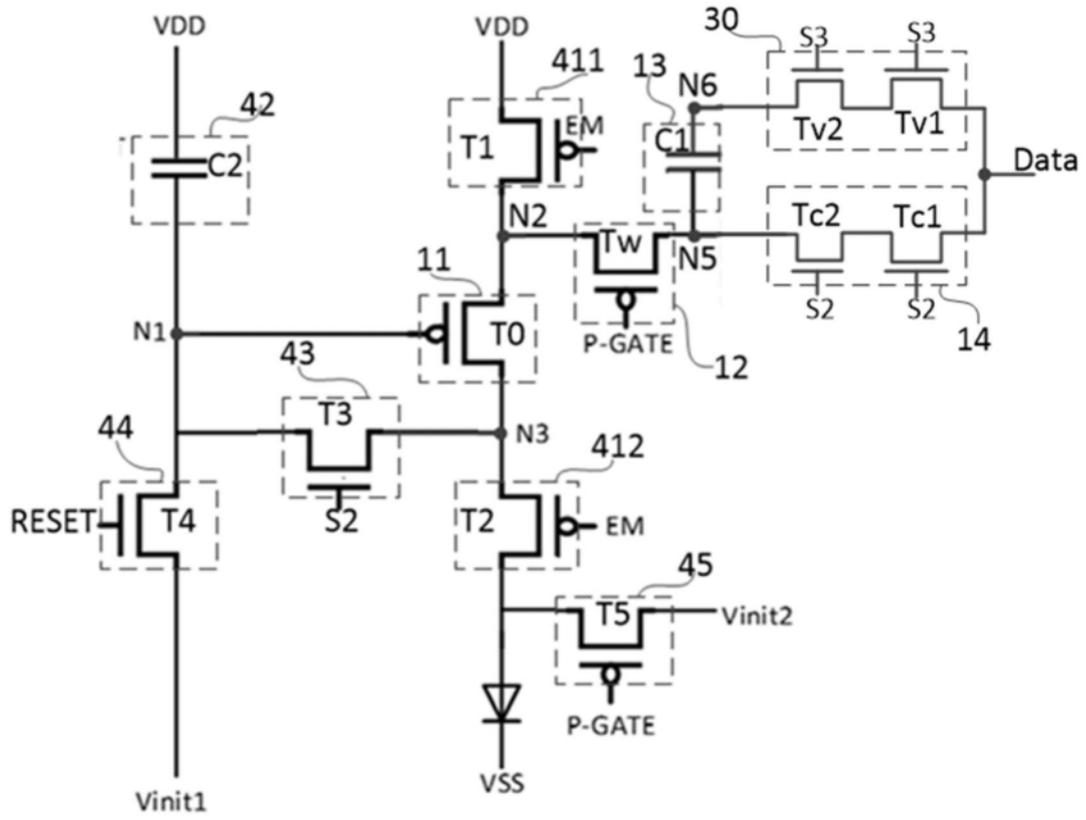


图14

