



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년05월27일  
 (11) 등록번호 10-1398125  
 (24) 등록일자 2014년05월15일

(51) 국제특허분류(Int. Cl.)  
 H01L 21/328 (2006.01) H01L 29/86 (2006.01)  
 (21) 출원번호 10-2013-0070358  
 (22) 출원일자 2013년06월19일  
 심사청구일자 2013년06월19일  
 (56) 선행기술조사문헌  
 KR1020110094066 A  
 KR1020060044534 A  
 KR101167530 B1  
 KR101238232 B1

(73) 특허권자  
**주식회사 시지트로닉스**  
 전라북도 전주시 덕진구 백제대로 567, 반도체물성연구소 402호 (덕진동1가, 전북대학교)  
 (72) 발명자  
**조덕호**  
 서울 강동구 양재대로 1340, 314동 503호 (둔촌동, 주공아파트)  
**심규환**  
 전북 전주시 덕진구 오송로 47, 113동 502호 (송천동1가, 송천아이파크)  
 (74) 대리인  
**맹성재**

전체 청구항 수 : 총 10 항

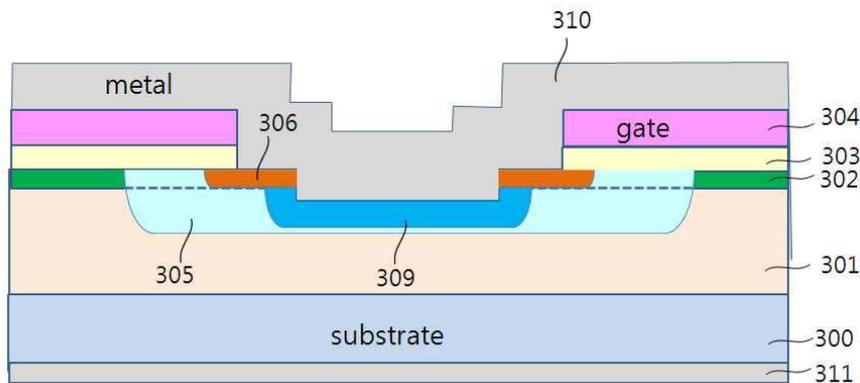
심사관 : 김종희

**(54) 발명의 명칭 자기정렬 고속 회복 다이오드 및 그 제조 방법**

**(57) 요약**

본 발명은 FRD(fast recovery diode) 제조 방법에 있어서, 제1 도전형 불순물이 도핑된 반도체 기판에 에피층을 성장시키는 단계, 상기 에피층 상부에 산화막을 증착하는 단계, 상기 산화막 상부에 게이트용 박막을 증착하고 리소그래피와 건식 식각하여 소정의 배치간격으로 게이트를 형성하는 단계, 상기 게이트를 마스크로 사용하여 상기 에피층에 제2 도전형 불순물을 이온주입하고 확산시켜 제1 베이스층을 형성하는 단계, 상기 게이트를 마스크로 사용하여 상기 에피층에 제1 도전형의 불순물을 이온주입하여 상기 제1 베이스층보다 얇은 깊이에 컬렉터층을 형성하는 단계, 상기 게이트를 마스크로 사용하여 상기 컬렉터층과 제1 베이스층을 깊이 방향으로 일부 식각하는 단계, 상기 게이트를 마스크로 사용하여 상기 제1 베이스층에 제2 도전형 불순물을 주입하여 제2 베이스층을 형성하는 단계, 상기 제2 베이스층의 상부에 금속 박막을 증착하여 오믹접합된 제1 전극을 형성하는 단계 및 상기 반도체 기판의 뒷면에 금속 박막을 증착하여 오믹접합된 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 자기정렬 FRD 제조 방법에 관한 것이다.

**대표도** - 도4j



## 특허청구의 범위

### 청구항 1

FRD(fast recovery diode) 제조 방법에 있어서,

제1 도전형 불순물이 도핑된 반도체 기판에 에피층을 성장시키는 단계;

상기 에피층 상부에 절연막을 증착하는 단계;

상기 절연막 상부에 게이트용 박막으로 금속 박막이나 폴리 실리콘 박막을 증착하고 리소그래피와 건식 식각하여 소정의 배치간격으로 게이트를 형성하는 단계;

상기 게이트를 마스크로 사용하여 상기 에피층에 제2 도전형 불순물을 이온주입하고 확산시켜 제1 베이스층을 형성하는 단계;

상기 게이트를 마스크로 사용하여 상기 에피층에 제1 도전형의 불순물을 이온주입하여 상기 제1 베이스층보다 얇은 깊이에 컬렉터층을 형성하는 단계;

상기 게이트를 마스크로 사용하여 상기 컬렉터층과 상기 제1 베이스층을 깊이 방향으로 일부 식각하는 단계;

상기 게이트를 마스크로 사용하여 상기 제1 베이스층에 제2 도전형 불순물을 주입하여 제2 베이스층을 형성하는 단계;

상기 제2 베이스층의 상부에 금속 박막을 증착하여 오믹접합된 제1 전극을 형성하는 단계 및

상기 반도체 기판의 뒷면에 금속 박막을 증착하여 오믹접합된 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 자기정렬 FRD 제조 방법.

### 청구항 2

제1항에 있어서,

상기 에피층을 성장시키는 단계는,

항복 전압을 조절하기 위해 상기 반도체 기판보다 낮은 농도의 제1 도전형 불순물이 도핑된 제1 에피층을 상기 반도체 기판의 상부에 성장시키는 단계를 포함하는 것을 특징으로 하는 자기정렬 FRD 제조 방법.

### 청구항 3

제2항에 있어서,

상기 제1 에피층을 상기 반도체 기판의 상부에 성장시키는 단계 이후에,

순방향전압강하( $V_F$ )를 낮게 조절하기 위해 상기 제1 에피층의 상부에 상기 제1 에피층보다 높은 농도의 제1 도전형 불순물이 도핑된 제2 에피층을 상기 제1 에피층의 상부에 성장시키는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 FRD 제조 방법.

### 청구항 4

제3항에 있어서,

상기 제2 에피층을 상기 제1 에피층의 상부에 성장시키는 단계는,

에너지밴드의 조절이 가능하도록 이종접합의 에피층을 형성하는 것을 특징으로 하는 자기정렬 FRD 제조 방법.

### 청구항 5

제3항에 있어서,

상기 반도체 기판은 Si이고

상기 제2 에피층은  $Si_{1-x}Ge_x(0 < x \leq 0.3)$  박막을 RPCVD(reduced pressure chemical vapor deposition) 또는

UHVCVD(ultra high vacuum hemical vapor deposition)의 방법으로 100 ~ 800 °C 범위에서 선택적으로 증착하는 것을 특징으로 하는 자기정렬 FRD 제조 방법.

**청구항 6**

제1항에 있어서,  
 상기 컬렉터층을 형성하는 단계 이후에,  
 상기 게이트와 상기 반도체 기판의 상부에 유전체 박막을 증착한 후 상기 게이트를 마스크로 사용하여 식각하고 상기 게이트의 측면에 측벽을 형성하는 단계를 더 포함하여,  
 상기 제2 베이스층은 상기 게이트와 상기 측벽을 마스크로 사용하여 제2 도전형 불순물을 이온 주입하고 확산하여 형성한 것을 특징으로 하는 자기정렬 FRD 제조 방법.

**청구항 7**

제6항에 있어서,  
 상기 제2 베이스층을 형성하는 단계 이후에,  
 상기 측벽과 상기 측벽 하부의 산화막을 제거하는 단계를 더 포함하여,  
 상기 제1 전극은 상기 게이트와 상기 컬렉터층과 상기 제2 베이스층이 형성된 반도체 기판의 상부와 오믹접합이 형성되는 것을 특징으로 하는 자기정렬 FRD 제조 방법.

**청구항 8**

FRD(fast recovery diode)에 있어서,  
 제1항 내지 제7항 중 어느 한 항의 FRD 제조 방법에 의해 제조된 것을 특징으로 하는 자기정렬 FRD.

**청구항 9**

FRD(fast recovery diode)에 있어서,  
 제1 도전형 불순물이 도핑된 반도체 기판;  
 상기 반도체 기판의 상부에 성장된 에피층;  
 상기 에피층 상부에 소정의 배치 간격으로 형성된 절연막 및  
 금속 또는 폴리 실리콘 박막으로 형성되고 상기 절연막의 상부에 배치된 게이트;  
 상기 에피층의 소정 영역에 형성되고 상기 게이트에 의해 제2 도전형 불순물이 선택적으로 도핑된 제1 베이스층;  
 상기 에피층의 소정 영역에 형성되고 상기 게이트에 의해 제1 도전형 불순물이 선택적으로 도핑되며, 상기 제1 베이스층보다 얇은 깊이에 형성된 컬렉터층;  
 상기 컬렉터층과 상기 제1 베이스층의 일부를 소정 깊이로 식각한 트렌치의 하부에 제2 도전형 불순물이 선택적으로 도핑되어 형성된 제2 베이스층;  
 상기 제2 베이스층과 오믹접촉이 형성된 제1 전극 및  
 상기 반도체 기판의 뒷면에 오믹접촉이 형성된 제2 전극을 포함하는 것을 특징으로 하는 자기정렬 FRD.

**청구항 10**

제9항에 있어서,  
 상기 에피층은,  
 상기 반도체 기판의 상부에 형성되고, 상기 반도체 기판보다 저농도로 제1 도전형 불순물이 도핑된 제1 에피층 및

상기 제1 에피층의 상부에 형성되고, 상기 제1 에피층보다 고농도로 제1 도전형 불순물이 도핑된 제2 에피층을 포함하는 것을 특징으로 하는 자기정렬 FRD.

**명세서**

**기술분야**

[0001] 본 발명은 고속 회복 다이오드(fast recovery diode, 이하 "FRD"라 칭함) 및 그 제조 방법에 관한 것으로서, 상세하게는 게이트를 마스크로 활용하는 자기정렬 기술과 베이스층의 공간에 게이트와 측벽을 마스크를 이용하여 트렌치를 형성한 후에 트렌치에 베이스층 형성을 위한 이온주입을 하여 과도한 열처리를 하지 않고도 충분히 깊은 베이스층을 형성함으로써 신뢰도가 높고 성능이 우수하며 제조 공정이 명확하고 간단하여 공정비용을 저감할 수 있는 자기정렬 FRD 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 일반적으로, 전력제어용 정류기 소자인 고속 회복 다이오드(fast recovery diode, 이하 "FRD"라 칭함)는 고속으로 동작하는 스위칭 회로에서 회생 다이오드(free wheeling diode), 스너버(snubber) 및 클램프 다이오드(clamp diode)와 같은 역할로 사용되어 왔다. 대표적 FRD 소자들로는 PIN-FRD(p-i-n형 FRD)와 MPS(merged PIN schottky) 구조를 기본으로 한다. 그리고 전력소자에서 저전압소자는 이용하는 전압이 보통 2 kV까지의 정도이고, 고전압소자의 경우 이용하는 전압은 보통 2 내지 1000 kV 정도의 범주를 의미한다.

[0003] 그런데 최근 전력제어 주요 반도체 소자인 IGBT(insulated gate bipolar mode transistor), GTO(gate turn-off thyristor) 및 파워 MOSFET(metal oxide silicon field effect transistor)의 동작 속도가 더욱 빨라지면서 스위칭하는 전류제어 기울기(dI/dt)를 100 A/us을 넘지 않도록 급속하게 통제되게 되었다. 이에 따라 전력제어 스위칭 시 과전압(overvoltage)과 전력손실과 같은 문제가 심각해졌다. 따라서 최근 FRD는 회복(recovery) 동작에 있어서 더욱 작은 역회복시간(reverse recovery time)( $T_{rr}$ )과 작은 전력손실에 대한 대책이 필요하게 되었다. 또한, 동작전압을 높이는 것은 물론 과전압과 진폭(oscillation)이 작은 연성 회복(soft recovery) 동작 특성을 개선하는데 중점을 두고 있다.

[0004] 과거에는 전력제어의 정류기로서 일반적인 PIN 다이오드가 초기에 주로 사용되었다. 그러나 이 경우 과전압의 문제로 인하여 스너버 회로가 함께 사용되어야 했다. 그런데 스너버는 회로가 복잡하고 고가이므로 스너버 없이 이용할 수 있는 PIN 다이오드 소자를 개발하게 되었으며, 이의 성능을 높이기 위한 여러 가지 반도체 기술이 적용되어 왔다.

[0005] 최근의 반도체 기술이 발전하여 실리콘 반도체가 가지는 고속 동작과 내전압 특성의 한계를 동시에 확대하는 방안에 대한 대처가 매우 매력적이어 보인다. 그리고 근래에 PIN 다이오드 소자를 대체하는 고전압용 FRD 소자에 대한 제품개발이 용이해졌음에도 불구하고 동작속도, 소비전력, 과전압, 신뢰성 및 전력구동 측면에서 FRD 소자의 성능은 아직도 많은 발전이 요구된다.

[0006] 한편으로 고내열 고내전압 특성을 갖는 SiC나 GaN과 같은 광대역 밴드갭(wide bandgap) 반도체를 이용한 고전력 고전압 소자에 대한 기술이 주목되고 있다. 그러나 아직도 소자의 장기적 신뢰성 측면에서 실리콘을 위주로 하는 전력반도체 소자가 상당히 오랜 기간 핵심부품을 공급할 것으로 예상된다.

[0007] 도 1a 내지 도 1h는 실리콘 반도체를 이용한 종래의 FRD에 대한 특허 문헌과 논문으로 주요 관련 기술의 현황을 보여준다.

[0008] 도 1a는 특허문헌 1에 제안된 FRD로서, 실리콘 반도체에서 타임 킬러(time killer)로 작용하는 백금(Pt)을 확산시켜 이용하는 경우 표면에 Pt가 고농도로 축적되어 n형(n-type)이 p형(p-type)으로 변형되고 이로 인해 누설전류가 Pt의 농도와 n형의 농도에 의존하게 되는 문제를 해결하기 위해 소자분리(isolation)를 강화한 구조이다. 그러나  $p^-$ 와  $n^-$ (또는  $n^+$ )의 계면이 증가하여 역회복 정전용량( $Q_r$ )과 역회복시간( $T_{rr}$ )의 성능저하가 우려되며, 소자분리를 위한 제조공정이 복잡해지는 문제점이 있다.

[0009] 도 1b는 특허문헌 2에 제안된 FRD로서, 물결모양의  $p^+n^-$  접합이 형성되어 애노드(anode)로 주입되는 전자의 양을 증가시키고 역전류의 감소를 느리게 조절하여 내압특성을 향상시킨다. 그러나 기본적으로 n-p-n 접합구조로 부성 저항(negative resistance)을 유발시키는 동작으로 회로의 신뢰성을 저하시킬 수 있으며,  $p^-$  금속접합의

고저항성 특성이 소자의 구조로부터 발생할 수 있다. 따라서 역 회복동작에서 스내피 리커버리(snappy recovery) 현상이 심화되는 문제가 있다.

- [0010] 도 1c는 특허문헌 3에 제안된 FRD에 관한 것으로서, 제안된 FRD는 PIN 타입과 쇼트키(schottky) 접합의 장점을 조합하여, 순방향전압강하( $V_F$ )와 역회복시간( $T_{rr}$ )을 감소시키고자 한다. 그러나 역효과로 보자면 쇼트키 접합에 의해 누설전류가 증가하고, 감소된 면적의 옴접합(ohmic contact)으로 인하여 전류밀도가 높아지면 순방향전압강하( $V_F$ )가 오히려 높아지고 FRD가 열화되어 신뢰성 저하라는 문제가 예상된다.
- [0011] 도 1d는 특허문헌 4에 제안된 FRD로서, 애노드에 메쉬(mesh) 형태의  $p^+$ 층과 그 사이에  $p$ 층을 넣어서 MPS의 구조를 취하였다. 따라서 순방향전압강하( $V_F$ )를 낮추고, 연성 회복 특성을 개선할 수 있다. 단, 소자의 제조공정이 매우 복잡하고,  $p$ 층을 얇게 하면서 쇼트키 접합을 형성하는 공정은 재현성과 균일성의 제어가 곤란한 문제가 발생한다.
- [0012] 도 1e는 특허문헌 5에 제안된 FRD로서,  $p^+-n$ 접합이 부가적으로 반대 도핑(counter doping)되어 액티브 영역(active area)에 형성되도록 함으로써 전류가 액티브 영역으로 주로 집중되도록 한다. 따라서 전자사태(avalanche)가 액티브 영역을 위주로 발생하게 되어 전자사태 항복에너지( $E_{AS}$ ) 성능이 개선된다. 그러나 이 경우 고농도의 계면을 반대 도핑으로 얇게 형성해야 하는데 그 재현성과 균일성을 안정되게 제어하기가 어렵다. 따라서 전자사태 항복에너지( $E_{AS}$ )를 개량할 수는 있지만 항복전압에 대한 제어를 통하여 생산성과 수율을 높게 확보하는데 단점을 지니게 된다.
- [0013] 도 1f는 비 특허문헌 1에 제안된 FRD에 관한 것으로서, 팔라듐(Pd)와 백금(Pt)의 금속을 고온에서 드라이브 인(drive-in)하고, 동시에 헬륨(He) 이온을 일정한 깊이에 집중적으로 주입하여 P층의 운반자농도를 조절하는 구조를 제시하였다. 따라서 p-n접합부위에  $p^-$ 층이 부가적으로 생성되어 SOA(safe operating area)를 확장시키게 되어 사용전류와 전압의 영역을 넓히는 효과가 있다. 매우 항복전압이 높은(5~10 kV 이상) 소자에 유리하지만 고에너지 헬륨(He)의 이온주입은 공정단가의 상승을 유발시키고, 결합제어를 위한 열처리 단계를 정밀하게 통제하는데 어려움이 부과된다.
- [0014] 도 1g는 비 특허문헌 2에 제안된 FRD에 관한 것으로서, 제안된 FRD는  $p^-$  금속접합,  $p^-$  쇼트키접합을 사용한 소자의 구조를 보인다. 순방향전압강하( $V_F$ )와 역방향 회복특성 사이에 상반 관계(trade-off)를 개선하기 위하여 가드링과 HiRC 영역을 최적화하여 6.5 kV급 초 연성 고속(ultra soft and fast) FRD 소자를 제시하였다. 즉 고전압으로 증가하면서 액티브 영역(active area)의 가장자리에 안정 저항(ballast resister) 역할을 하는 고저항을 위치시켰으며, 가드링에 대한 최적화된 설계로 스내피 리커버리 특성을 감쇄시켜 연성 회복 특성을 개선할 수 있음을 제시하고 있다.
- [0015] 도 1h는 비 특허문헌 3에 제안된 FRD에 관한 것으로서, 제안된 FRD는 여러 개의 가드링을 사용하고, Pt 드라이브 인(drive-in)과 He 이온주입으로 p-n접합 부위에 집중적으로 깊은 트랩(deep trap center)을 배치시키는 구조를 제시하였다. 항복전압이 매우 높은 고전압용으로 자주 제안되는 구조인데 가드링의 수가 많아서 칩의 면적이 증가하는 문제가 있고, 연성 회복 특성을 더욱 개선하는 노력이 요구된다.
- [0016] 한편, 종래에 널리 사용하던 단순구조 FRD의 정류기(rectifier) 소자는 역회복시간( $T_{rr}$ )이 0.1~1  $\mu$ s로 크고, EMI에 의한 노이즈(noise)의 발생이 심각하다. 따라서 대체로 200 V이하의 비교적 저전압에는 0.1  $\mu$ s 이하의 역회복시간( $T_{rr}$ )으로 동작하는 SBD(schottky barrier diode)를 주로 사용하였다. 또한 고전압인 수 kV에는 전력 제어 성능이 우수한 FRD를 사용하여 전력손실과 EMI 측면을 강화하여 활용하고 있다. 특히 기존의 PIN 다이오드나 MPS 다이오드 구조에 예를 들면, Pt 또는 Au와 같은 중금속의 확산이나 전자선 조사와 같은 기술로 FRD 소자의 연성 회복 특성을 개선하였다. 그러나 최근 전력소자의 동작주파수가 1 KHz ~ 100 MHz로 높아지고, 구동전압도 수 kV대에 대한 요구가 증대하고 있어서 종래의 기술과 비교하여 더욱 고속 동작 특성이 우수한 FRD에 대한 기술개발이 필요하게 되었다.
- [0017] 상술한 바와 같이, 종래 기술은 기존에 알려진 PIN, MPS 또는 MOS 다이오드의 FRD 구조에 대한 논문과 특허들이 다. 대부분의 접합계면이 불순물 도펀트(dopant)의 주입과 확산 공정을 이용하여 제조되며, 이온주입 공정 및 확산 공정을 통해 형성된 접합의 위치와 농도에 대한 재현성과 균일성이 불량하다.

[0018] 또한 대부분 실리콘 반도체 기관의 물리적 특성과 연계된 순방향전압강하( $V_F$ )와 역회복시간( $T_{rr}$ )의 상반 관계(trade-off)의 한계 내에서 소자를 제작할 수 있다. 따라서 종래의 방법으로는 저전압-고전류(대체로 0~400V, 0~50A)용 전력스위칭 소자인 FRD 소자의 전자사태 항복에너지( $E_{AS}$ )와 연성 회복 성능을 월등하게 개선하는데 한계가 있다.

[0019] 통상의 FRD 소자의 경우 역회복시간( $T_{rr}$ )을 감소시키기 위하여 얇은 접합(shallow junction)에 농도구배를 높이는 기술을 적용한다. 이로 인하여 스내피 리커버리 동작이 심화되고, 주파수가 높은 50~100 kHz의 구간에서 EMI(electro magnetic interference) 강도가 70 dB (V/m) 정도로 높아진다. 따라서 FRD 소자구조를 변경하여 연성 회복 특성을 개선함으로써 60 dB (V/m) 이하로 감소시켜 동작해야 표준화 규격을 만족시킬 수 있다. 특히 종래의 기술에 있어서 SBD를 기반으로 하는 FRD 소자의 경우 역회복시간( $T_{rr}$ )과 순방향전압강하( $V_F$ )를 동시에 감소시키는데 한계가 있으므로 이를 극복할 수 있는 소자구조가 절실하게 요구된다.

[0020] 도 2a는 종래의 대표적 FRD 구조인 저전압용  $p^+n^-$  구조에 관한 것이다.

[0021] 도 2a를 참조하면, 종래의 저전압용  $p^+n^-$  FRD 구조는 애노드(Anode)(201)의 금속-반도체 접합을 위한  $p^+$ 층(202), 항복전압을 조절하고 소수운반자의 분포와 소거를 조절하는  $n^-$ 층(203), 캐소드로서 금속-반도체 오믹접합(ohmic contact)을 위한  $n^+$ 층(204)으로 구성된다.  $p^+$ 층(202)이  $n^-$ 층(203)과 만나는 접합부분에서 소수운반자의 주입과 소거에 대한 영향을 줄이기 위하여  $10^{17} \sim 10^{18} \text{ cm}^{-3}$  수준으로 p형 도핑 농도를 제어하고,  $n^-$ 층은 항복전압과 직결되어  $10^{13} \sim 10^{15} \text{ cm}^{-3}$  수준으로 제어한다.

[0022] 이러한 구조에서 애노드(201) 층의  $p^+$ 층(202)과  $n^-$ 층(203) 사이의 p-n접합계면이 존재하는데, 소자의 항복전압은 일단  $n^-$ 층(203)의 농도와 p-n 접합계면에서  $n^+$ 층(204)까지의 공핍층(depletion layer) 깊이(W)에 의하여 제어된다. 그런데  $n^-$ 층(203)의 농도가 충분히 낮고, 동시에 충분히 두껍게 설계된다면 p-n 접합계면의 곡률반경(r)과 공핍계면(depletion boundary)의 곡률반경(R)에 의하여 영향을 받게 된다. 이러한 구조에 대한 항복 전압(BV)은 수학적 식 1과 같이 표현되어, 공핍층 깊이(W)에 비하여 곡률반경인 r과 R을 크게 하는 점이 매우 중요하다.

**수학적 식 1**

[0023] 
$$BV \propto \left(\frac{r}{W}\right)^2 \left(1 + \frac{R}{r}\right)^2 \text{LN}\left(1 + \frac{R}{r}\right) - 1$$

[0024] 그리하여 항복전압을 높이기 위해서  $n^-$ 층(203)의 두께를 증가시켜야 하는데 이는 동작속도를 늦추는 문제와 상반 관계(trade-off)를 갖는다. 따라서 이러한 문제를 해결하기 위해서 소자구조의 변경내지는 최적화가 소자설계에 반영되어야 한다. 도 2a의 소자의 구조는 간단하지만, 누설전류와 강성 회복(hard recovery)의 단점으로 인하여 사용전압을 높이는데 한계가 있다.

[0025] 도 2b는 종래의 대표적인 FRD인 MPS 다이오드 구조를 보여준다.

[0026] 도 2b를 참조하면, 애노드(205)의 금속-반도체 접합을 위한  $p^+$ 층(206)이 국부적으로 형성됨으로써, p-n접합의 높은 항복전압과 쇼트키 접합의 낮은 턴 온(turn-on) 전압이라는 장점을 복합적으로 이용하는 소자의 구조이다. 비교적 제조방법이 간단한 장점이 있지만, 수 킬로볼트(kV) 급의 높은 항복전압에서 누설전류를 수 밀리암페어(mA) 이하로 유지하기에는 일정한 한계가 있다. 따라서 누설전류가 증대하지 않도록 쇼트키 접합의 형성에 주의가 요구된다.

[0027] SMPS(switched mode power supply)와 같은 전력제어기의 고주파(1 kHz ~ 100 MHz) 스위칭에 사용하는 FRD는 스태틱 손실(static loss), 다이내믹 손실(dynamic loss) 및 연성 회복 특성을 가지고 EMC(electro magnetic compatibility) 사양에 부합하는 동작을 해야 한다. 반면에 스내피 리커버리는 전압 스파이크(voltage spike)를 유도하여 FRD 자체는 물론 주변회로에 손상을 가할 수 있고, EMI(electromagnetic interference) 및 RFI(radio frequency interference)가 발생하는 문제점이 있다.

[0028] 또한 반도체 소자는 성능지수(figure-of-merit: FOM) 중 항복전압  $\times$  동작속도가 대체로 일정한 값을 유지한다는 한계성을 가지고 동작한다. 따라서 구동전압을 높이기 위하여 항복전압을 높이면 동작속도가 감소하여 구동전압과 동작속도가 상반 관계(trade-off)가 된다. 이러한 물리적 한계를 극복하기 위해서는 소자의 구조를 변경하거나 특성이 상이한 물질을 소재로 도입할 필요성이 절실히 요구된다.

**선행기술문헌**

**특허문헌**

- [0029] (특허문헌 0001) 1. 미국등록특허 제7259440호(2007년 08월 21일 등록)
- (특허문헌 0002) 2. 한국등록특허 제0263912호(2000년 05월 23일 등록)
- (특허문헌 0003) 3. 미국등록특허 제6261874호(2001년 07월 17일 등록)
- (특허문헌 0004) 4. 미국공개특허 제2012-0104456호(2012년 05월 03일 공개)
- (특허문헌 0005) 5. 미국등록특허 제7169634호(2007년 01월 30일 등록)

**비특허문헌**

- [0030] (비특허문헌 0001) 1. J. Vobecky et al, "The radiation enhanced diffusion(RED) diode realization of a large area p+-p--n--n+ structure with high SOA,"
- (비특허문헌 0002) 2. M. Mori et al, "6.5 kV Ultra Soft-Fast Recovery Diode with High Reverse Recovery Capability," ISPSO 2000, France, May 22-25, IEEE 2000
- (비특허문헌 0003) 3. J.V. Subhas chandra Boss et al, "SONIC-A new generation of fast recovery diodes", IXTS, Germany
- (비특허문헌 0004) 4. K.H. Shim, et al, "Characterization of reduced pressure chemical vapor deposited Si0.8Ge0.2/Si Multi-layers", Materials Sci. in Semiconductor Processing, Vol. 16, pp. 126-130, 2013

**발명의 내용**

**해결하려는 과제**

[0031] 본 발명이 이루고자 하는 기술적 과제는 역회복시간( $T_{rr}$ ), 순방향전압강하( $V_F$ ), 누설전류, 연성 회복 및 전자사태 항복에너지( $E_{AS}$ )의 성능지수를 높일 수 있고, FRD 소자의 성능과 균일도를 확보할 수 있고, 제조 공정이 간단하고 명확하여 공정단가를 저감할 수 있는 자기정렬 FRD 및 그의 제조 방법을 제공하는 것을 목적으로 한다.

**과제의 해결 수단**

[0032] 상기의 과제를 해결하기 위한 본 발명에 의한 FRD(fast recovery diode) 제조 방법은 제1 도전형 불순물이 도핑된 반도체 기판에 에피층을 성장시키는 단계, 상기 에피층 상부에 산화막을 증착하는 단계, 상기 산화막 상부에 게이트용 박막으로 금속 박막이나 폴리 실리콘 박막을 증착하고 리소그래피와 건식 식각하여 소정의 배치간격으로 게이트를 형성하는 단계, 상기 게이트를 마스크로 사용하여 상기 에피층에 제2 도전형 불순물을 이온주입하고 확산시켜 제1 베이스층을 형성하는 단계, 상기 게이트를 마스크로 사용하여 상기 에피층에 제1 도전형의 불순물을 이온주입하여 상기 제1 베이스층보다 얇은 깊이에 컬렉터층을 형성하는 단계, 상기 게이트를 마스크로 사용하여 상기 컬렉터층과 제1 베이스층을 깊이 방향으로 일부 식각하는 단계, 상기 게이트를 마스크로 사용하여 상기 제1 베이스층에 제2 도전형 불순물을 주입하여 제2 베이스층을 형성하는 단계, 상기 제2 베이스층의 상부에 금속 박막을 증착하여 오믹접합된 제1 전극을 형성하는 단계 및 상기 반도체 기판의 뒷면에 금속 박막을 증착하여 오믹접합된 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0033] 본 발명의 바람직한 일실시예로서, 상기 에피층을 성장시키는 단계는 상기 반도체 기판보다 낮은 농도의 제1 도

전형 불순물이 도핑된 제1 에피층을 성장시키는 단계를 포함하는 것을 특징으로 한다.

[0034] 본 발명의 바람직한 일실시예로서, 상기 제1 에피층을 성장시키는 단계 이후에, 순방향전압강하( $V_F$ )를 낮게 조절하기 위해 상기 제1 에피층의 상부에 상기 제1 에피층보다 높은 농도의 제1 도전형 불순물이 도핑된 제2 에피층을 성장시키는 단계를 더 포함하는 것을 특징으로 한다.

[0035] 본 발명의 바람직한 일실시예로서, 상기 제2 에피층을 성장시키는 단계는, 에너지밴드의 조절이 가능하도록 이종접합의 에피층을 형성하는 것을 특징으로 한다.

[0036] 본 발명의 바람직한 일실시예로서, 상기 반도체 기판은 Si이고 상기 제2 에피층은  $Si_{1-x}Ge_x$  ( $0 < x \leq 0.3$ ) 박막층을 RPCVD 또는 UHVCVD의 방법으로 800도 이하의 저온에서 선택적으로 증착하는 것을 특징으로 한다.

[0037] 본 발명의 바람직한 일실시예로서, 상기 컬렉터층을 형성하는 단계 이후에, 유전체 박막을 증착한 후 상기 게이트를 마스크로 사용하여 식각하고 상기 게이트의 측면에 측벽을 형성하는 단계를 더 포함하여 상기 제2 베이스층은 상기 게이트와 상기 측벽을 마스크로 사용하여 상기 제2 도전형 불순물이 이온 주입되고 확산되는 것을 특징으로 한다.

[0038] 본 발명의 바람직한 일실시예로서, 상기 제2 베이스층을 형성하는 단계 이후에, 상기 측벽과 상기 측벽 하부의 산화막을 제거하는 단계를 더 포함하여 상기 제1 전극은 상기 게이트와 상기 컬렉터층과 상기 제2 베이스층이 형성된 반도체 기판과 오믹접합이 형성되는 것을 특징으로 한다.

[0039] 본 발명의 또 다른 실시예로서 본 발명에 의한 자기정렬 FRD는 상기 FRD 제조 방법에 의해 제조된 것을 특징으로 한다.

[0040] 본 발명의 또 다른 실시예로서 본 발명에 의한 자기정렬 FRD는 반도체 기판, 상기 제1 도전형 불순물이 도핑된 반도체 기판의 상부에 성장된 에피층, 상기 에피층 상부에 소정의 배치 간격으로 형성된 산화막 및 게이트, 상기 에피층의 소정 영역에 형성되고 상기 게이트에 의해 제2 도전형 불순물이 선택적으로 도핑된 제1 베이스층, 상기 에피층의 소정 영역에 형성되고 상기 게이트에 의해 제1 도전형 불순물이 선택적으로 도핑되며, 상기 제1 베이스층보다 얇은 깊이에 형성된 컬렉터층, 상기 컬렉터층과 상기 제1 베이스층의 일부를 소정 깊이로 식각한 트렌치의 하부에 제2 도전형 불순물이 선택적으로 도핑되어 형성된 제2 베이스층, 상기 제2 베이스층과 오믹접촉이 형성된 제1 전극 및 상기 반도체 기판의 뒷면에 오믹접촉이 형성된 제2 전극을 포함하는 것을 특징으로 한다.

[0041] 본 발명의 바람직한 일실시예로서, 상기 에피층은 상기 반도체 기판의 상부에 형성되고, 상기 반도체 기판보다 저농도로 제1 도전형 불순물이 도핑된 제1 에피층 및 상기 제1 에피층의 상부에 형성되고, 상기 제1 에피층보다 고농도로 제1 도전형 불순물이 도핑된 제2 에피층을 포함하는 것을 특징으로 한다.

**발명의 효과**

[0042] 본 발명은 역회복시간( $T_{rr}$ ) (대체로 1-20ns)과 역회복 정전용량( $Q_r$ )을 감소시켜, 다이내믹 손실(dynamic loss)을 줄이는 직접적 효과뿐만 아니라 순방향전압강하( $V_F$ )를 0.3 ~ 1.2V 수준으로 감소시켜서 전력구동 소자의 발열을 줄이며, EMI와 RFI의 발생을 최소화하고, 동시에 소자의 장기적인 스위칭 전력제어 동작에 있어서 신뢰성을 높일 수 있게 된다.

[0043] 본 발명은 게이트를 이용하는 자기정렬 구조 및 공정기술을 적용하므로 SBD 기반의 FRD 소자와 비교해서, 통상의 CMOS 공정기술의 활용이 가능한 장점을 가지며 동시에 제조공정이 간단하고 자기정렬에 의해 공정이 쉬워진다.

[0044] 또한 본 발명은 역방향 누설전류가 낮아 고온동작에 안정되어 종래의 기술은 동작온도가 100 ~ 150 °C가 한계인데 반하여 본 발명에 의한 소자는 150 ~ 200 °C까지 동작범위를 높일 수 있다. 특히 본 발명은 항복전압과 누설전류 전자사태(avalanche) 특성에 대한 전력제어용 FRD의 약점을 해결하고 전자사태 항복에너지( $E_{AS}$ ) 성능을 높인다.

[0045] 본 발명에서는 통상의 PIN-FRD나 MPS-FRD의 소자구조와 비교하여 저전압-고전류 구동에 있어서 순방향전압강하( $V_F$ )를 0.3~1.2V로, 역회복시간( $T_{rr}$ )을 1~20ns 정도까지 감소시키고, 연성 회복 특성이 개량된 저전압-고전류용

자기정렬 FRD 신소자를 제공하는 효과가 있다.

- [0046] 본 발명은 게이트를 이용하는 자기정렬 구조 및 공정기술을 적용하므로 SBD 기반의 FRD 소자에 비교해서, 통상의 CMOS 공정기술의 활용이 가능한 장점을 제공하며 동시에 제조공정의 단계가 비교적 간단하고 명확하다. 주요 응용은 저전압-고전류용으로 대략 0~2kV, 0~50A 범위에서 스위칭 모드로 사용하는 전력반도체 소자를 제공하는 효과가 있다.
- [0047] 본 발명은 필터나 SMPS와 같은 회로에 사용되는 경우에 스너버 회로를 사용할 필요가 없고, 소형화 및 제조비용을 절감할 수 있다.
- [0048] 본 발명은 근래에 활용이 증대하고 있는 전기자동차, 태양전지, LED 조명회로의 전력구동장치에 광범위하게 활용할 수 있으며 전력소모와 EMI를 감소시킬 수 있음은 물론이고 친환경 및 고효율화에 대한 효과를 높일 수 있다.
- [0049] 본 발명은 고전압(예를 들면 400 V ~ 3 kV) FRD를 비롯하여 PIN, 제너(Zener) 또는 TVS 다이오드 반도체 소자와 접합하여 더욱 새로운 FRD 소자를 고안하는데 유용하게 활용될 수 있다.
- [0050] 본 발명의 주요 응용은 저전압-고전류용으로 대략 0 ~ 2kV, 0 ~ 50A 범위에서 스위칭 모드로 사용하는 전력반도체 소자에 활용가능하다.

**도면의 간단한 설명**

- [0051] 도 1a 내지 도 1h는 종래기술에 의한 여러 종류의 FRD 소자의 단면도.  
 도 2a 및 도 2b는 종래의 대표적 FRD 소자의 단면도.  
 도 3은 본 발명의 실시예에 의한 자기정렬 FRD 소자의 단면도.  
 도 4a 내지 도 4j는 본 발명에 의한 자기정렬 FRD 소자의 제조 공정을 설명하기 위한 단면도.  
 도 5a 내지 도 5c는 종래의 FRD 구조와 본 발명의 FRD 구조에 대한 전기적 동작특성을 비교한 그래프.

**발명을 실시하기 위한 구체적인 내용**

- [0052] 이하 본 발명의 실시를 위한 구체적인 실시예를 도면을 참고하여 설명한다. 예시된 도면은 발명의 명확성을 위하여 핵심적인 내용만 확대 도시하고 부수적인 것은 생략하였으므로 도면에 한정하여 해석하여서는 아니 된다.
- [0053] 도 3은 본 발명의 일 실시예에 의한 자기정렬 FRD 구조의 단면도를 도시한 것이다.
- [0054] 도 3을 참조하면, 본 발명의 자기정렬 FRD 구조는 게이트(304)를 마스크로 이용하여 자기정렬로 이온주입하여 제1 베이스층(305)과 컬렉터층(306)을 형성하고 제1 베이스층(305)과 컬렉터층(306)의 일부를 식각하고 제2 베이스층(309)을 형성하여 과도한 열처리가 없이 깊은 제2 베이스층(309) 접합을 형성할 수 있어 소자의 성능과 균일성을 개선한 구조로서, 반도체 기판(300), 제1 에피층(301) 및 제2 에피층(302)으로 형성된 에피층, 산화막(303), 게이트(304), 제1 베이스층(305), 컬렉터층(306), 제2 베이스층(309), 제1 전극(310) 및 제2 전극(311)이 주요 구성이다.
- [0055] 상기 반도체 기판(300)은 n+형으로 고농도로 도핑되어 금속과의 오믹접합(ohmic contact)으로 저저항의 이미터층이 형성된다.
- [0056] 제1 에피층(301)은 상기 반도체 기판(300)의 상부에 형성되고, 상기 반도체 기판(300)보다 저농도인 n-형으로 도핑하여 항복전압을 개선시킨다. 제2 에피층(302)은 상기 제1 에피층(301)의 상부에 형성되고, 상기 제1 에피층(301)보다 고농도인 n-형으로 도핑하여 순방향전압강하( $V_F$ )를 낮추는 효과가 있다.
- [0057] 산화막(303)과 게이트(304)는 상기 제2 에피층(302) 상부에 소정의 배치 간격으로 형성되며 이후 형성된 접합층들의 마스크로 사용하여 이후 공정을 쉽고 명확하게 한다. 게이트(304)는 폴리 실리콘 박막 또는 금속 박막으로 형성될 수 있다.
- [0058] 제1 베이스층(305)은 상기 게이트(304)를 마스크로 사용하여 자기정렬에 의해 제1 도전형 불순물이 선택적으로 도핑된다. 제1 베이스층(305)은 p-형으로 도핑되며 측면으로 깊이 확산되어 게이트(304)의 안쪽까지 형성된다.
- [0059] 컬렉터층(306)은 상기 게이트(304)를 마스크로 사용하여 자기정렬에 의해 제2 도전형 불순물이 선택적으로 도핑

되고 상기 제1 베이스층(305)보다 얇은 깊이에 형성된다. 상기 컬렉터층(306)은 상기 제1 베이스층(305)에 비해 얇은 깊이로 형성되어 접합층이 제1 베이스층(305)에 비해 얇고 덜 확산된다. 상기 컬렉터층(306)은 n+형 고농도로 도핑된다.

- [0060] 제2 베이스층(309)은 상기 컬렉터층(306)과 상기 제1 베이스층(305)의 일부를 소정 깊이로 식각한 트렌치(308)에 제1 도전형 불순물을 선택적으로 도핑하여 형성하므로 제2 베이스층(309)을 깊숙이 형성하기 위한 과도한 열처리할 필요가 없게 된다. 상기 제2 베이스층(309)은 p+형의 고농도로 도핑된다.
- [0061] 제1 전극(310)은 상기 게이트(304), 상기 컬렉터층(306) 및 상기 제2 베이스층(309)과 오믹접촉이 형성된 금속박막으로서, FRD의 애노드(anode)로 작용한다. 제2 전극(311)은 상기 반도체 기판(300)의 뒷면과 오믹접촉이 형성된 금속박막으로서 FRD의 캐소드(cathode)로 작용한다.
- [0062] 이상, 본 발명의 자기정렬 FRD의 제조 방법 및 구조에 대해 도 4a 내지 도 4j를 참조하여 보다 상세하게 설명하겠다.
- [0063] 도 4a 내지 도 4j는 본 발명에 의한 자기정렬 FRD를 제조하기 위한 일 실시예의 제조 방법을 나타낸 공정 단면도이다.
- [0064] 도 4a에서 제1 도전형 불순물이 도핑된 반도체 기판(300)에 제1도전형 불순물을 도핑한 제1 에피층(301)을 에피성장하고 이어서 제1도전형 불순물을 도핑한 제2 에피층(302)을 에피성장한다. 본 실시예는 상기 반도체 기판으로 실리콘반도체를 사용하는 FRD 소자를 위주로 설명하겠지만 이에 제한되지 않는다.
- [0065] 상기 반도체 기판(300)은 제1 도전형 불순물로 도핑하되, 금속과의 오믹접합(ohmic contact)으로 저저항의 이미터층이 되도록 하기 위하여  $10^{18} \sim 10^{20} \text{ cm}^{-3}$ 의 고농도로 도핑된다. 예를 들면, 상기 반도체 기판(300)은 n<sup>+</sup>형의 고농도로 도핑된다.
- [0066] 제1 도전형 불순물 또는 제2 도전형 불순물은 인(P), 비소(As)와 같은 5족의 화학원소를 포함하는 n형 불순물일 수 있으며, 붕소(B), 알루미늄(Al), 갈륨(Ga)과 같은 3족의 화학원소를 포함하는 p형 불순물일 수 있다. 다만, 제1 도전형 불순물이 n형이면, 제2 도전형 불순물은 p형이며, 제1 도전형 불순물이 p형이면, 제2 도전형 불순물은 n형이다.
- [0067] 도 4a에서 제1 에피층(301)은 제1 도전형 불순물로 도핑하되, FRD의 항복전압을 조절하기 위하여 상기 반도체 기판(300)보다  $10^{13} \sim 10^{15} \text{ cm}^{-3}$ 의 저농도로 도핑 농도를 낮추어 성장시킨다. 예를 들면, 제1 에피층(301)은 n<sup>-</sup>형의 저농도 불순물로 도핑된다.
- [0068] 제1 에피층(301) 또는 제2 에피층(302)의 성장은 RPCVD(reduced pressure chemical vapor deposition), APCVD(atmospheric pressure CVD), LPCVD(low pressure CVD), VPE(vapor pressure epitaxy), UHVCVD(ultra high vacuum CVD), MBE(molecular beam epitaxy) 또는 MOCVD(metal organic CVD) 방식을 이용할 수 있다.
- [0069] 도 4a에서 제2 에피층(302)은 제1 도전형 불순물로 도핑하되, 순방향전압강하( $V_F$ )를 낮게 조절하기 위하여 제1 에피층(301)보다 높은  $10^{15} \sim 10^{18} \text{ cm}^{-3}$ 의 농도로 도핑한다. 예를 들면, 제2 에피층(302)은 n형으로 도핑된다. 그리고 제2 에피층(302)은 전기전도특성을 조절하기 위하여 에너지밴드(energy band)의 조절이 가능한 이중접합 에피층 구조로 성장시킨다.
- [0070] 또한 제조공정을 단순화시키기 위해 상기 제2 에피층(302)을 제1 도전형 불순물의 이온주입 및 활성화 기술로 공정방법을 대체할 수 있다.
- [0071] 제2 에피층(302)의 이중접합 박막층 구조로 에피층을 성장하는데 있어서, 예로써 실리콘 반도체를 기판으로 사용하는 경우에 있어서 Si/Si<sub>1-x</sub>Ge<sub>x</sub>(0≤x≤0.3) 박막을 증착하여 다층박막 구조를 형성할 수 있다. 이러한 Si/Si<sub>1-x</sub>Ge<sub>x</sub> 층은 접촉저항을 줄이고, 소수운반자의 재결합을 가속시켜 역회복시간( $T_{rr}$ )을 감소시키게 된다.
- [0072] 상기 이중접합 박막층은 다결정 또는 단결정으로 증착되며, 실리콘 반도체 기판을 이용하는 경우 Si/Si<sub>1-x</sub>Ge<sub>x</sub>(0≤x≤0.3)층을 이용한다. 반도체 기판의 온도가 100~800°C 이하의 비교적 저온에서 선택적으로 증착되므로, 제1 에피층(301)과 제2 에피층(302)에서 불순물의 확산이 제한되므로 소자특성의 균일성과 재현성이 향상되는 효과가 발생한다.

- [0073] Si/Si<sub>1-x</sub>Ge<sub>x</sub>층에서 Ge의 함량(x)에 따라 밴드갭, 전도도 및 운반자 이동도와 같은 물리적 특성이 변조된다. 불순물인 As, P 및 B의 평형농도와 확산계수도 영향을 받아서 SiGe MOSFET이나 HBT(heterojunction bipolar transistor)를 비롯하여 독특한 구조의 신소자에 연구개발에 매우 유용하게 활용할 수 있다.
- [0074] SiGe 박막은 RPCVD나 UHVCVD의 방식으로 증착할 수 있다. 이용하는 반응가스로는 SiH<sub>4</sub>, HCl, SiCH<sub>6</sub>, DCS 및 GeH<sub>4</sub>가 있으며 p 선택적 박막의 증착에는 B<sub>2</sub>H<sub>6</sub> 가스를 도핑하여 10<sup>18</sup>~10<sup>19</sup> cm<sup>-3</sup>의 고농도로 붕소(boron)를 주입한다.
- [0075] 또한 SiGe 박막에 C를 주입하여 SiGeC 박막을 적용할 수 있다. 또한 SiGeC박막의 경우 밴드갭 조절 기능 뿐만 아니라, SiC 성분으로 인한 전기적 열적인 내성이 증가하며, 재결합센터의 밀도를 증가시킬 수 있어서 역회복시간(T<sub>rr</sub>)을 감소시키는데 효과적이다. 또한 SiGe(Sb)를 사용하는 이중접합 구조도 활용할 수 있으며, 에너지 밴드를 더욱 작게 조절하여 스위칭 성능을 제어할 수 있다.
- [0076] 이어서 도 4b에서 산화막(303)을 증착하고 그 상부에 게이트용 박막을 증착한 후에 리소그래피 및 건식 식각을 통하여 소정 간격으로 배치된 게이트(304)를 형성한다. 도 4b에서 산화막(303)으로 게이트 하부의 절연막을 형성하였으나, 이에 한정되지 않으며 다른 종류의 절연막을 증착시킬 수 있다.
- [0077] 상기 게이트(304)는 폴리 실리콘(polysilicon) 박막이나 금속 박막으로 증착할 수 있다.
- [0078] 이어서 도 4c에서 상기 제1 에피층(301)과 제2 에피층(302)에 제2도전형 불순물을 10<sup>16</sup>~10<sup>19</sup> cm<sup>-3</sup>의 농도로 이온주입하고 열처리 공정으로 드라이브 인(drive-in)하여 제1 베이스층(305)을 형성한다. 이 때 게이트(304)는 불순물의 이온주입 영역을 구분하는 자기정렬 마스크의 역할을 한다. 즉 게이트(304)를 마스크로 이용하여 자기정렬로 이온주입하고, 측면으로 확산하여 깊은 p형의 제1 베이스층(305)이 되도록 형성한다. 상기 제1 베이스층(305)은 제2도전형 불순물을 이온주입한 후 퍼니스 열처리 조건을 조절함으로써 제2 도전형 불순물이 상기 제1 에피층(301)과 제2 에피층(302)에 깊숙히 확산될 수 있다.
- [0079] 이 때 접합면의 반경이 커서 전계가 집중되는 정도가 심하지 않도록, 계면의 프로파일(profile)을 제어하게 되며, 불순물의 농도 분포에도 직접적으로 영향을 미치게 된다.
- [0080] 이어서 도 4d에서 오믹접합용을 위하여 제1 도전형 불순물을 상기 제2 에피층(302)에 이온주입하여 컬렉터층(306)을 형성한다. 이 때 게이트는 제1 도전형 불순물의 이온주입 영역을 구분하는 자기정렬 마스크의 기능을 한다. 상기 컬렉터층(306)의 깊이는 상기 제1 베이스층(305)보다 얇다. 도 4c와 마찬가지로 상기 게이트를 마스크로 사용하여 자기정렬로 제1도전형 불순물을 10<sup>18</sup>~10<sup>20</sup> cm<sup>-3</sup>의 고농도로 이온주입하여 컬렉터층(306)을 형성한다. 예를 들면, 컬렉터층(306)은 n<sup>+</sup>형의 고농도 불순물로 도핑된다.
- [0081] 이어서 도 4e에서 측벽(side-wall) 형성을 위한 유전체 박막을 증착하고 건식 식각하여 측벽(307)을 형성한다. 측벽은 실리콘 산화막 또는 실리콘 질화막과 같은 유전체 박막을 사용하고, PECVD나 LPCVD의 증착기술을 이용하여 비교적 저온(800°C 이하)에서 증착하여 측벽을 형성한다.
- [0082] 이어서 도 4f에서 게이트(304)와 측벽(307)을 마스크로 이용한 자기정렬 방식에 의해 상기 컬렉터층(306)을 포함하는 반도체 표면부위를 식각하여 트렌치(trench)(308)를 형성한다. 이 때 측벽은 반도체 표면부위 식각을 위한 영역을 구분하는 자기정렬 마스크의 역할을 한다. 즉 상기 게이트(304)와 상기 측벽(307)을 마스크로 이용하여 자기정렬로 식각하여 트렌치를 형성한다.
- [0083] 이렇게 움푹 파인 트렌치(308)를 형성함으로써 이후 형성될 제2 베이스층(309)의 소정 깊이를 확보하기 위한 열처리를 과도하게 할 필요가 없어진다. 제2 베이스층(309)을 깊숙히 형성하는 열처리가 과도한 경우, 전 공정에서 형성된 컬렉터층과 제1 베이스층의 불순물이 재분포하게 되므로 접합특성을 일정하게 제어하고 유지하기 어렵게 되는 문제점이 있다. 이를 해결하기 위해 본 발명은 제1 베이스층의 공간에 게이트(304)와 측벽(307)을 마스크를 이용하여 트렌치를 형성한 후에 트렌치에 이온주입과 같은 방법으로 도핑 농도를 조절하고, 약간만 확산하더라도 충분히 깊은 제2 베이스층(309)을 형성할 수 있다.
- [0084] 이어서 도 4g에서 상기 제1 베이스층(305)에 제2도전형 불순물을 이온주입하고 확산하여 제2 베이스층(309)을 형성한다. 이 때 게이트(304)와 측벽은 제2 도전형 불순물의 이온주입을 위한 영역을 구분하는 자기정렬 마스크의 기능을 한다. 즉 도 4f와 마찬가지로 게이트와 측벽을 마스크로 이용하여 자기정렬로 제2도전형 불순물을 이

온주입하며 예를 들면, 고농도의  $p^+$ 형의 불순물로 이온주입하여 제2 베이스층(309)을 형성한다.

- [0085] 이어서 도 4h에서 측벽(307)과 측벽 하부의 산화막을 제거한다. 그리고 이어서 소수운반자의 수명을 제어하기 위해 통상적으로 알려진 방식으로 중금속 확산(heavy metal diffusion), 헬륨 이온주입 및 전자선 조사를 추가적으로 할 수 있다. 중금속(Au, Pt, Mo) 확산 방식의 경우 약 1 나노미터(nm) 두께의 박막을 반도체 기판의 뒷면에 증착하고 열처리하여 확산시켜 사용한다. 헬륨 이온 주입 방식은 국부적인 영역에 집중적으로 소수운반자의 수명을 줄이는 유용하다. 전자선조사 방식은 1.5~12 MeV로 웨이퍼의 전체에 균일하게 조사된다. 이렇게 소수운반자의 재결합센터를 인위적으로 주입함으로써 역회복시간( $T_{rr}$ )을 격감시키는 효과가 발생한다.
- [0086] 이어서 도 4i에서 금속 박막을 상기 게이트와 상기 컬렉터층과 상기 제2 베이스층의 상부에 증착하여 오믹접합이 형성된 제1 전극(310)을 형성한다.
- [0087] 이어서 도 4j에서 반도체 기판의 뒷면을 그라인드(grind)하여 두께를 줄이고, 반도체 기판(300)의 뒷면에 금속 박막을 증착하여 금속-반도체 오믹접합을 형성된 제2 전극(311)을 형성한다.
- [0088] 도 4j에서 최종적으로 제조된 자기정렬 FRD 소자의 반도체 기판(300)의 상부에 형성된 제1 전극(310)은 애노드로 작용하게 되고, 반도체 기판(300)의 뒷면에 형성된 제2 전극(311)은 캐소드로 작용한다.
- [0089] 도 5a는 도 2a와 도 2b에 도시된 종래의 FRD 구조와 도 3에 도시된 본 발명의 자기정렬 FRD 구조의 순방향(forward)과 역방향(reverse) I-V 특성을 상대적으로 비교한 그래프이다.
- [0090] PIN 다이오드의 경우 순방향전압강하( $V_F$ )와 역방향 누설전류가 모두 높다. 또한 전자사태 항복에너지( $E_{AS}$ ) 성능이 비교적 낮아서 전력소모와 열 발생이라는 부수적인 문제가 발생한다. MPS 다이오드의 경우 순방향전압강하( $V_F$ )는 낮지만 마찬가지로 순방향 구동전류의 최대 허용치도 낮다.
- [0091] 종래기술의 경우 순방향전압강하( $V_F$ )가 0.7 ~ 2 V 수준임에 비교하여, 본 발명의 자기정렬 FRD 구조는 0.3 ~ 1.2 V 수준으로 감소하는 효과가 있다. 전술한 종래의 PIN-FRD와 MPS의 다이오드의 기술은 순방향 동작에서 전류 구동능력의 한계로 인하여 절연과피(snap-off)가 발생할 수 있으므로 제어할 수 있는 전력에 제한을 받게 된다.
- [0092] 도 5b 및 도 5c는 스위치 온(switching on) 순간과 스위치 오프(switching off) 순간의 전류전압의 변화 그래프이다.
- [0093] PIN 다이오드 구조는 스내피 리커버리 현상이 매우 심하고 역회복시간( $T_{rr}$ )도 크다. 스위칭에 의한 전력소모를 줄이기 위해서는 스위치 온(switching on)의 경우에는  $V_m$ 이 오버슈트(overshoot) 현상에 의해 크게 증가하는 점을 해결해야 한다. 반면에 스위치 오프(switching off)의 경우에는  $V_m$ 의 크기를 줄여야 하는데, 이 때 역회복시간( $t_{rr}$ )을 줄이는 것이 관건이며, 스내피 리커버리 동작으로 인한 EMI 잡음의 발생이나 계면의 신뢰성 저하를 저지해야 한다.
- [0094] MPS 다이오드 구조는 PIN 다이오드 구조의 단점을 상대적으로 개선하여 특히 순방향전압( $V_F$ )을 감소시키는 유리한 점이 있으나 쇼트키(schottky) 계면의 열적인 안정성을 확보하기가 어려운 단점이 있다.
- [0095] 추가로 본 발명의 FRD는 백금과 같은 타임 킬러(time-killer)를 적용함으로써 전류 취급능력(current handling capability)을 높이고, 고속 회복(fast recovery)과 연성 회복 특성이 개량된 성능으로 고전압에서 스위칭하는 다이오드를 얻을 수 있다.
- [0096] 또한 고성능 스위칭을 위한 정류기(rectifier)에서 고속 동작이 중요한 점은 수 십 나노초(nano-sec)의 속도를 제어할 수 있는 기능을 가져야 한다. 소자의 총 전력소모( $P_{total}$ )는 수학식 2와 같이 네 종류의 부분으로 구성된다. 본 발명의 고성능 자기정렬 FRD의 빠른 동작속도는 고주파로 동작하는 스위치 온(switching on)과 스위치 오프(switching off)에 대한 전력소모( $P_{switching-on} + P_{switching-off}$ )를 줄여줄 뿐만 아니라, EMI 발생을 억제하고, 내부의 전자회로나 저전압 부품을 안정하게 보호하는데 매우 중요하다. 또한, 높은 전자사태 항복에너지( $E_{AS}$ )와 작은 순방향전압강하( $V_F$ )의 순방향 전류구동능력은 온(on) 상태에서의 전력소모( $P_{on}$ )를 줄이면서 장기적인 신뢰성을 크게 향상시키고, 낮은 역방향 누설전류는 오프(off) 상태에서의 전력소모( $P_{blocking}$ )를 줄이면서 신뢰성을 개

선시킨다.

**수학적 식 2**

$$P_{total} = P_{on} + P_{blocking} + P_{switching-on} + P_{switching-off}$$

[0097]

본 발명은 게이트와 측벽을 마스크로 사용한 자기정렬 방식에 의하여 대부분의 접합이 형성되므로 별도의 포토 리소그래피 공정을 스킵(skip)할 수 있어 제조공정이 매우 간단하고 동작특성에 있어서도 균일도와 재현성이 뛰어나다. 또한 전류밀도를 높이기 위한 집적도를 높이기 위해서는 자기정렬에 의한 제조로서 전류밀도가 높은 칩이 안정된 특성을 유지하도록 할 수 있다. 제조공정 중 게이트를 형성된 다음의 모든 공정이 자기정렬 기술로 진행되는 점은 공정단가를 저감하는 효과와 더불어 소자의 성능과 균일도를 확보하는 차원에서 매우 바람직하며, 특히 대량생산에 있어서 종래의 기술보다 탁월한 장점을 제공하게 된다.

[0099]

또한 본 발명은 고농도로 도핑된 반도체 기판상에 다층의 에피층을 성장시켜 불순물 농도분포를 제어하여 연성 회복의 특성을 개선하며, 제2 에피층(302)의 이중접합 에피층을 이용해 순방향 전류구동력을 높여 순방향전압강하( $V_F$ )를 감소시킨다. 또한, 게이트(304)를 마스크로 이용하여 자기정렬로 베이스층용 이온주입을 하고, 깊숙하게 확산하여 역바이어스 인가시 공핍(depletion)되는 경계면(boundary)의 반경을 키움으로써 항복전압과 전자사태 항복에너지( $E_{AS}$ ) 성능을 향상시킨다. 따라서 전자사태 항복에너지( $E_{AS}$ )는 종래의 기술에서 50~150mJ이 일반적이던데 비하여 본 발명의 경우 200mJ을 상회하도록 소자구조와 제조공정을 최적화할 수 있다. 마찬가지로 게이트(304)를 마스크로 이용하여 컬렉터층을 형성하여 운반자의 주입경로가 컬렉터층, 베이스층 및 반도체 기판인 이미터층으로 연결되는 영역에서 운반자의 주입을 통제하여 다수운반자를 위주로 하는 전도특성이 나타나고 면적이 넓은 베이스 영역에 분산되어 전자사태(avalanche)에 대한 내성을 나타내는 전자사태 항복에너지( $E_{AS}$ )가 높아진다.

[0100]

상기 소자구조의 특징을 이용하여 저농도의 제1 에피층(n<sup>-</sup>층)에 소수운반자에 의한 전하의 축적을 감소시키고, 스위치 오프(switch-off)시 소수운반자가 빠르게 소멸되도록 한다. 이로 인하여 스내피 리커버리 현상이 일어나는 링잉(ringing), EMI의 유발 혹은 전력손실과 같은 문제점을 해소할 수 있다. 마찬가지로 고온에서 스위칭 모드(switching mode)로 동작할 때, 온/오프(on/off) 전력소모가 감소하고 전자사태 항복에너지( $E_{AS}$ )와 누설전류 특성이 향상된다. 특히 MOS 게이트를 마스크로 이용하는 자기정렬 구조와 소자제조 공정을 신규로 발명함으로써 균일도와 재현성을 향상시키고, 그에 따른 신뢰성의 증대효과를 얻을 수 있다. 따라서 역방향 누설전류가 낮아 고온동작에 안정하여 종래의 기술은 동작온도가 100~150 °C가 한계인데 반하여 본 발명에 의한 소자는 150~200 °C까지 동작범위를 높일 수 있다. 이와 같이 고온에서 빠르게 동작할 수 있는 본 발명의 FRD 소자는 스위칭 모드로 동작하는 회로에 있어서 전력소모를 줄이는데 매우 유용하다.

[0101]

본 발명에서는 전력을 스위치 오프(switch off)하는 경우 소수운반자가 빠르게 재결합하여 소멸되도록 하여 20 nC 이하의 역회복 정전용량( $Q_r$ ), 1~20 ns 이하의 역회복시간( $T_{rr}$ ) 정도로 감소시킨다. 따라서 종래의 단순한 PIN 접합에 비하여 총체적으로 작은 값의 순방향전압강하( $V_F$ )(0.3-1.2 V 이하)와 역회복시간( $T_{rr}$ )로 상반 관계(trade-off)가 있는 자기정렬 FRD 신소자를 제공한다.

[0102]

본 발명은 상술한 다수의 접합층을 이용한 FRD 구조를 기본으로 하여 단순화 또는 응용을 통해 여러 가지 변형된 형태로 소자를 제작하여 제품화할 수 있다. 예를 들어 본 발명에서는 실리콘 반도체 기판을 이용하여 제작하는 방법을 실시예로 들었지만 GaAs, InP, GaN 또는 SiC와 같은 화합물 반도체 및 유사 반도체에도 동일한 원리와 방법이 이용될 수 있다. 주지하는 바와 같이 통상적으로 제품의 양산에는 수율, 신뢰성, 생산성 및 생산단가와 같은 점들을 제품의 성능과 비교하여 최적화하는 것이 일반적이다.

[0103]

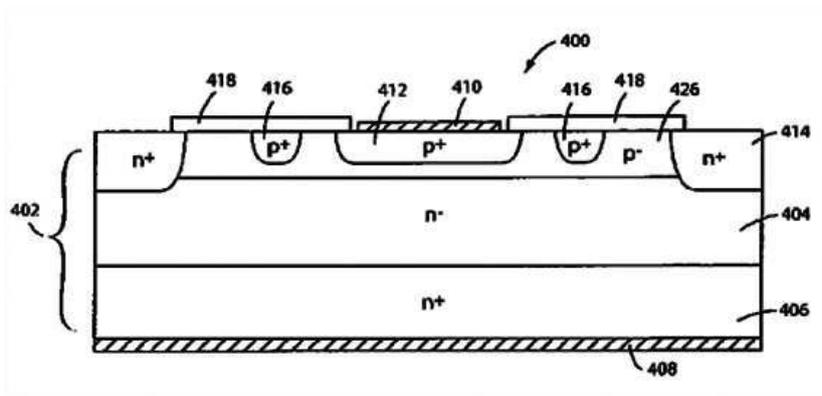
이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

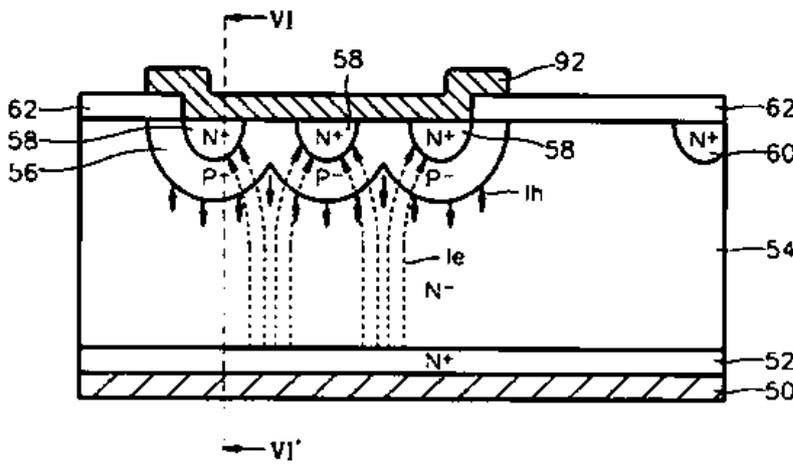
- [0104]
- |             |              |
|-------------|--------------|
| 300: 반도체 기판 | 301: 제1 에피층  |
| 302: 제2 에피층 | 303: 산화막     |
| 304: 게이트    | 305: 제1 베이스층 |
| 306: 컬렉터층   | 307: 측벽      |
| 308: 트렌치    | 309: 제2 베이스층 |
| 310: 제1 전극  | 311: 제2 전극   |

도면

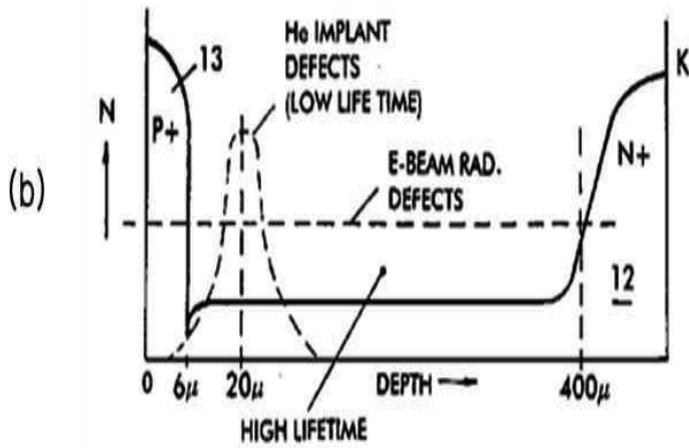
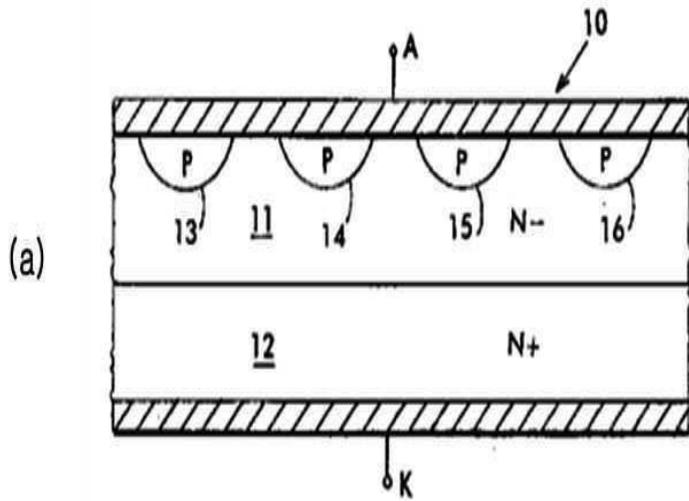
도면1a



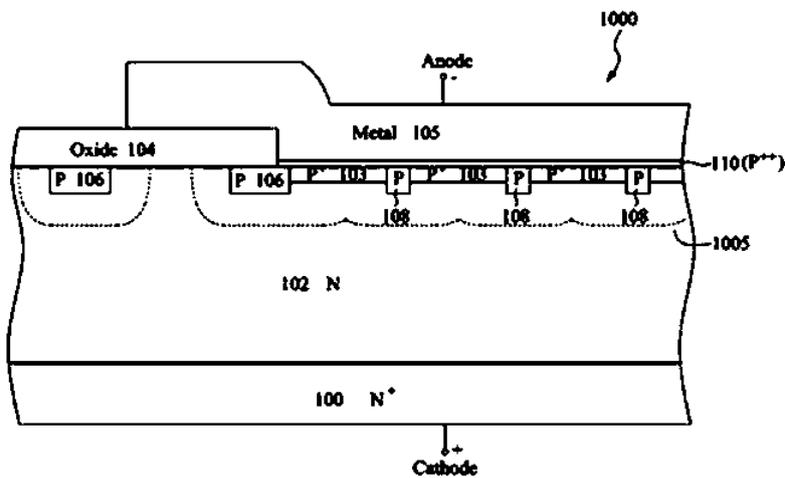
도면1b



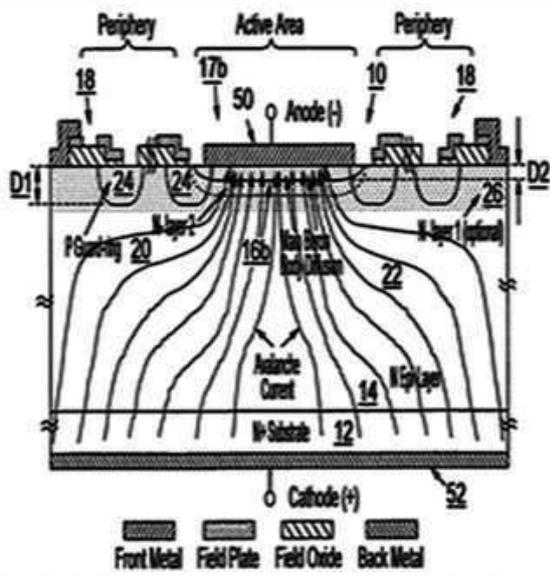
도면1c



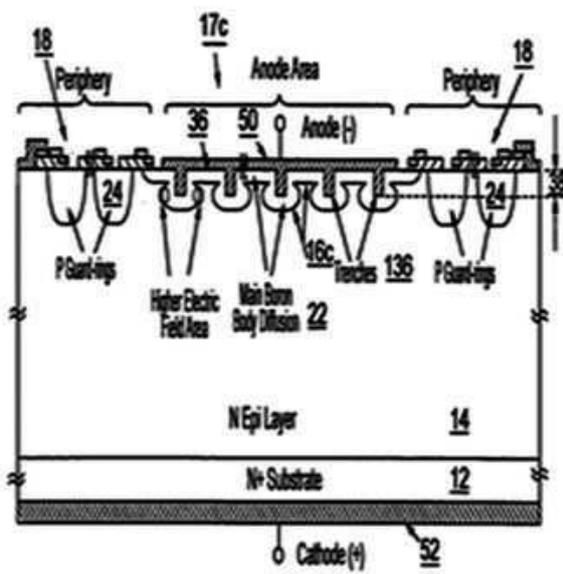
도면1d



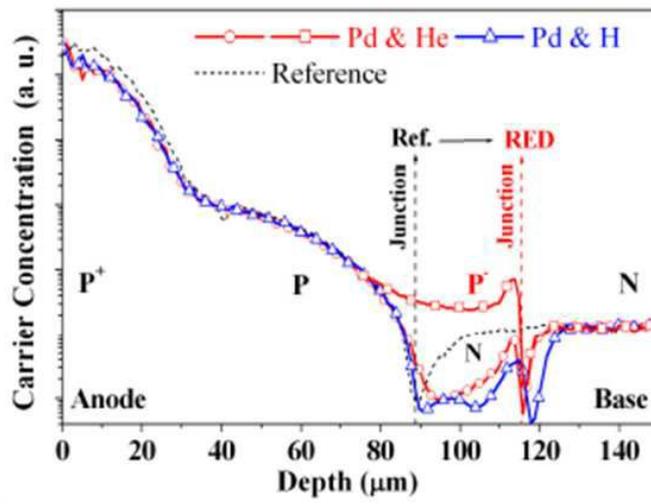
도면1e



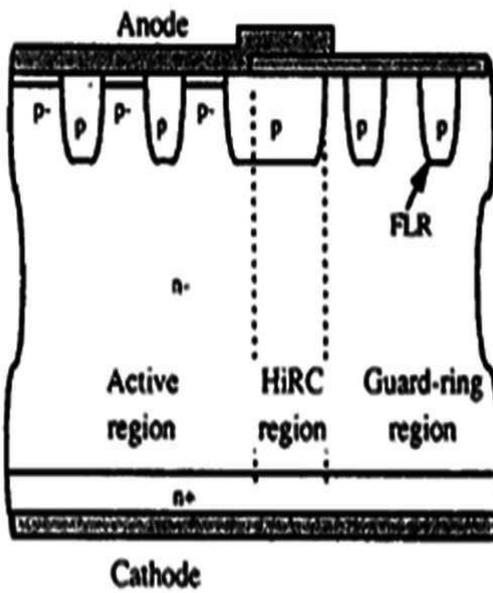
(a)



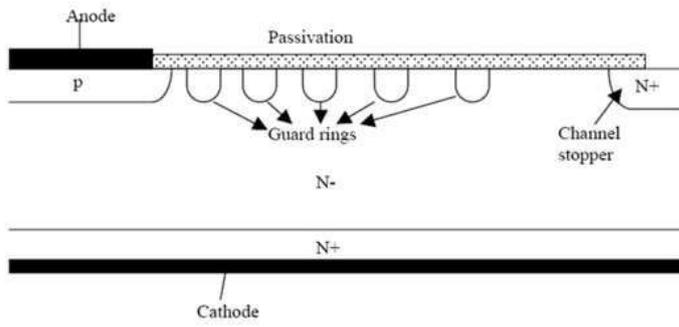
도면1f



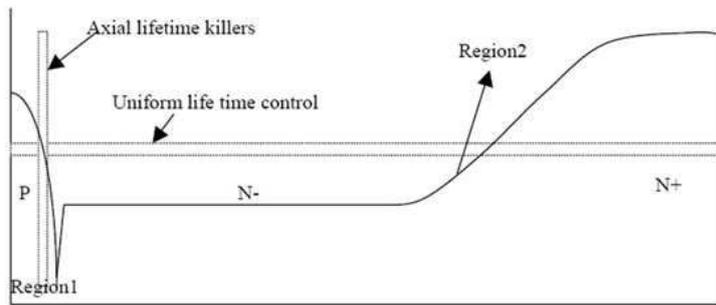
도면1g



도면1h

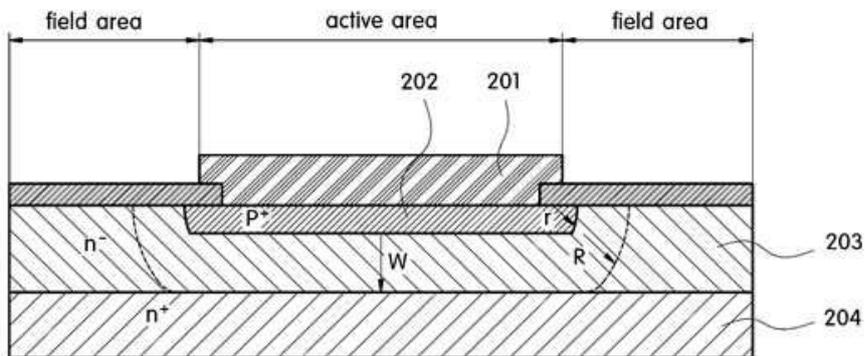


(a)

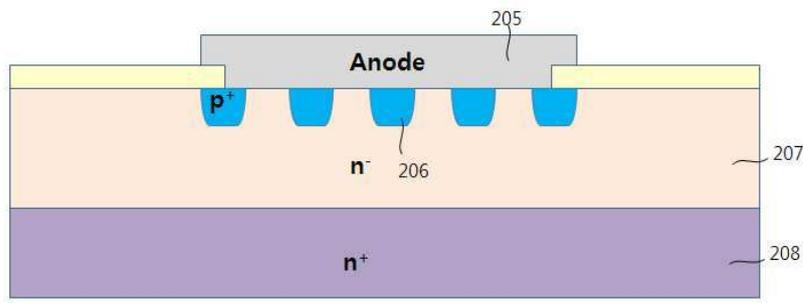


(b)

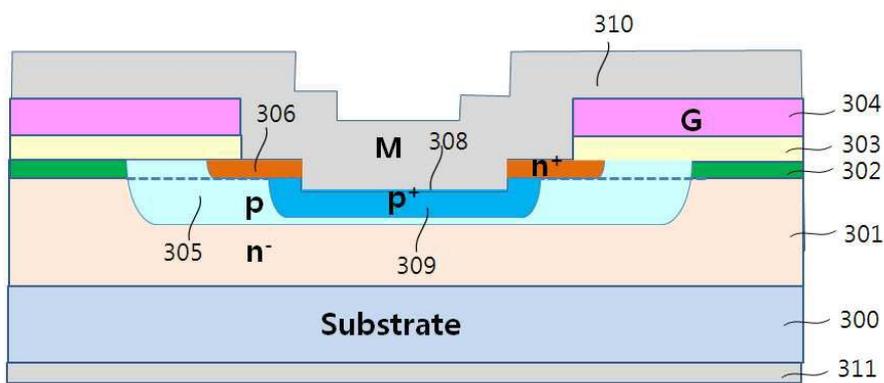
도면2a



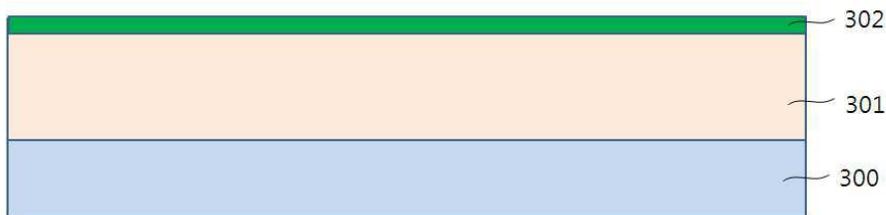
도면2b



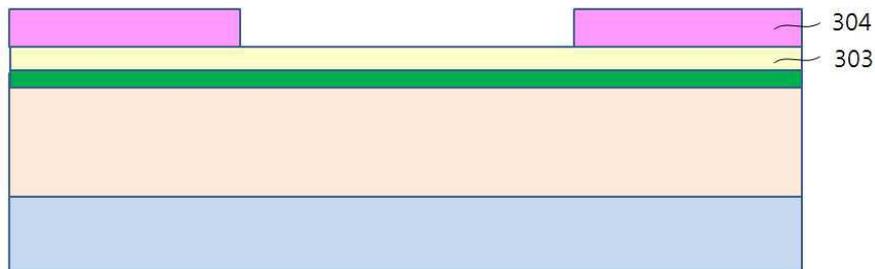
도면3



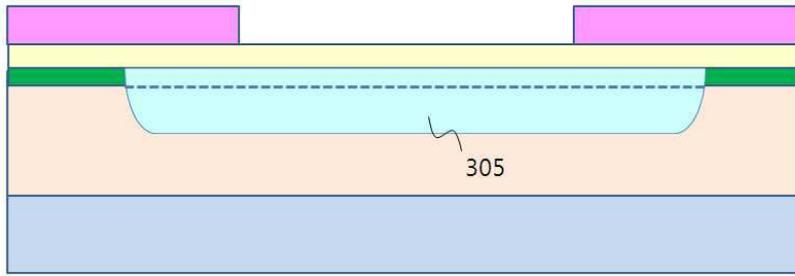
도면4a



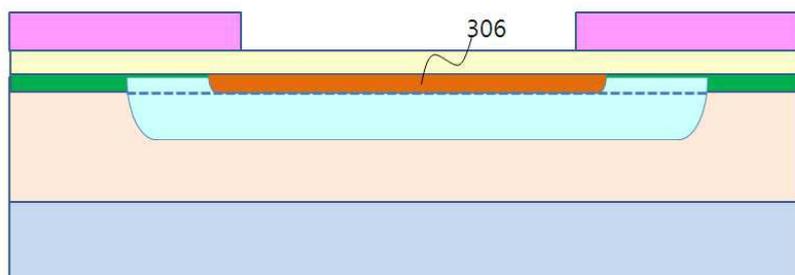
도면4b



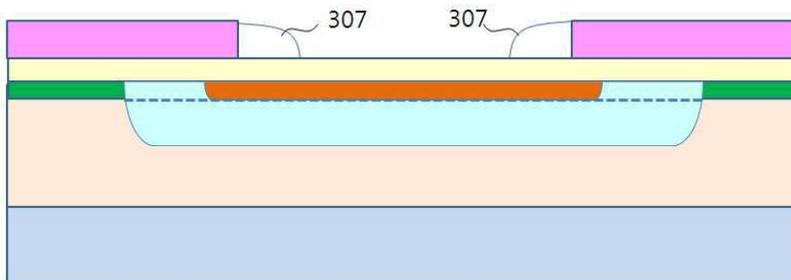
도면4c



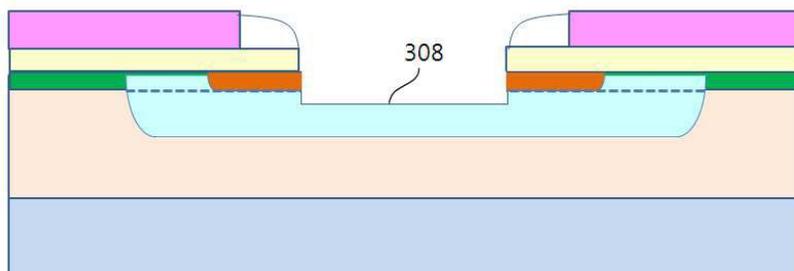
도면4d



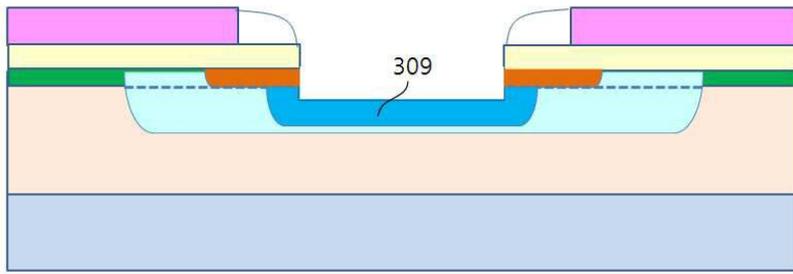
도면4e



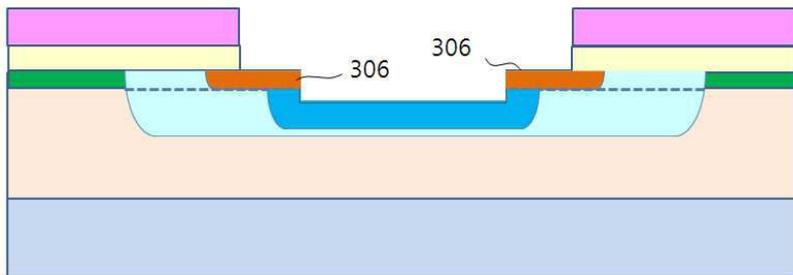
도면4f



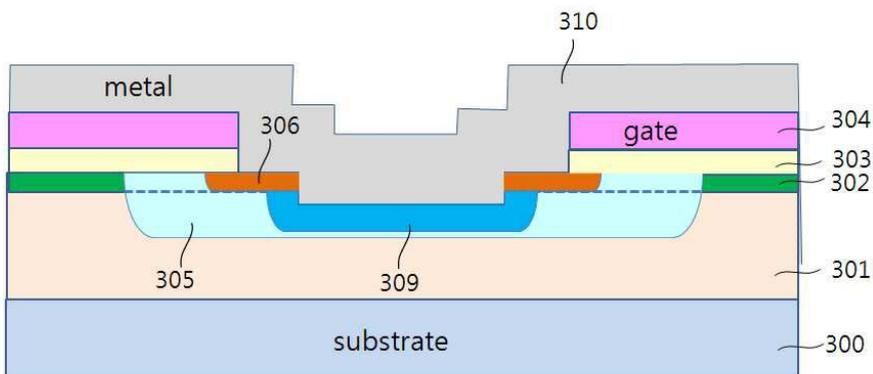
도면4g



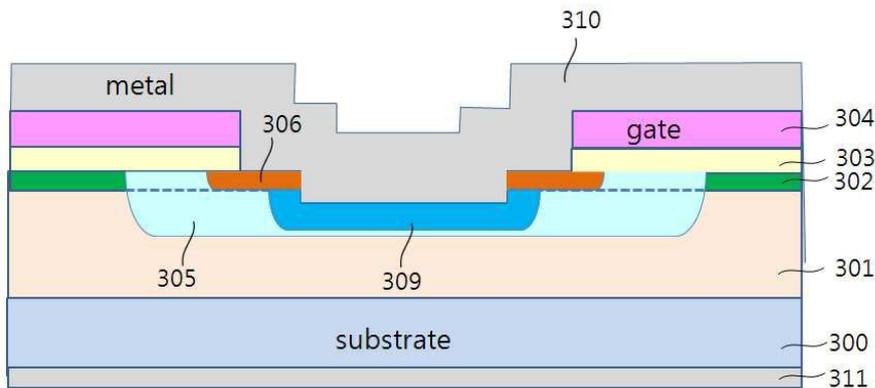
도면4h



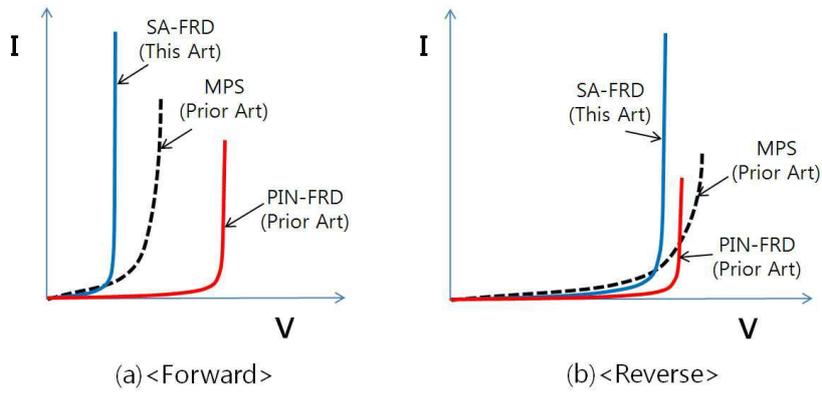
도면4i



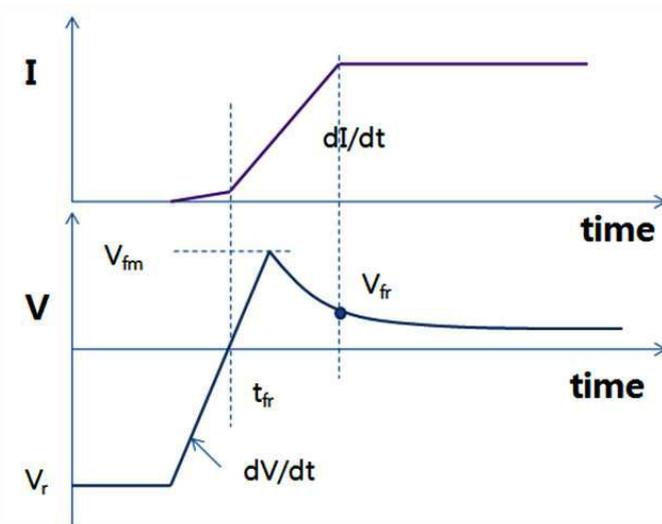
도면4j



도면5a



도면5b



도면5c

