

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H03G 3/20

(45) 공고일자 1996년01월 12일
(11) 공고번호 특1996-0000775

(21) 출원번호	특1991-0018527	(65) 공개번호	특1992-0009061
(22) 출원일자	1991년10월 19일	(43) 공개일자	1992년05월 28일
(30) 우선권주장	90-279440 1990년 10월 19일 일본(JP) 90-281782 1990년 10월 22일 일본(JP)		
(71) 출원인	닛본덴기 가부시끼가이샤 세끼모토 타다히로 일본국 도쿄도 미나토구 시바 5쵸메 7-1		
(72) 발명자	이찌하라 마사끼 일본국 도쿄도 미나토구 시바 5쵸메 7-1 닛본덴기 가부시끼가이샤 내		
(74) 대리인	이상희, 구영창, 주성민		

심사관 : 김영길 (책자공보 제4286호)

(54) 고주파 전력 증폭기의 출력레벨 제어회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

고주파 전력 증폭기의 출력레벨 제어회로

[도면의 간단한 설명]

제1도는 본 발명은 실시한 TDMA 또는 GSM 방식의 송신기의 한예의 블럭도.

제2도는 제1도의 송신기의 전력 증폭기에 공급되는 제어 신호의 파형도.

제3도는 제1도의 송신기의 일부를 구성하는 고주파 검출 회로의 회로도.

제4도는 상기 고주파 검출 회로의 다른 예의 회로도.

제5도는 상기 고주파 검출 회로의 또 다른 예의 회로도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|------------------|-----------------|
| 1 : 입력단자 | 2 : 전치 증폭기 |
| 3 : 전력 증폭기 | 4 : 방향성 결합기 |
| 5 : 안테나 | 6 : 제어 신호 입력 단자 |
| 7 : 전력 증폭기 제어 회로 | 8 : 고주파 검출 회로 |
| 12 : 저항기 | 83 : 검파기 |
| 84 : 중간 단자 | 88 : 감산기 |
| 89 : 출력 단자 | 91 : A/D 변환기 |

[발명의 상세한 설명]

본 발명은 고주파 전력 증폭기(High Frequency Power Amplifier : RF Power Amplifier)의 출력 레벨 제어 회로에 관한 것으로, 특히 TDMA 무선 통신 방식 또는 그룹 스페셜 모빌(Group Sepcial Mobile-GSM)전화 방식과 같이 간헐적으로 선택가능한 복수의 출력 레벨을 갖는 고주파 신호를 이용하는 통신 방식의 송신 장치와 고주파 전력 증폭기에 적당한 종류의 제어 회로에 관한 것이다.

무선 통신 장치의 송신 전력을 소정의 출력 레벨로 유지하는 데는 송신된 고주파 신호의 파고치(波高值)를 검출하는 고주파 전력 신호 레벨 검출 회로(이하, 고주파 출력 회로라 함)와, 고주파 검출 회로의 출력에 응답하여 전력 증폭기를 제어하는 수단이 필요하다. 특히, 상기 송신 전력을 복수의 소정 레벨로 넓은 온도 범위에 걸쳐 일정하게 유지하기 위해서, 고주파 검출회로는 송신 전력이 넓은 다이내믹 레인지 전체에 대해 더욱 넓은 온도 범위에 걸쳐 고주파 전력 레벨을 엄밀하게, 양호하게는 직선성을 유지해서 검출할 필요가 있다.

문헌(R. J. TURNER "A TEMPERATURE STABILIZED RF DETECTOR WITH EXTENDED DYNAMIC RANGE" 32nd IEEE Vehicle Technology Conference Record May 23-26 1982, pp231-242) 및 미합중국 특허 제4,523, 155호(1985년 6월 1일 발행)에 기재되어 있는 고주파 검출 회로는 상기 요구를 충족시키기 위한 회로로서, 상기와 같은 간헐적인 고주파 신호뿐만 아니라 연속적인 고주파 신호에도 적용할 수 있다. 이들 종래 기술의 회로는 고주파 신호의 포락선(envelope)에 응답해서 출력을 발생시키는 검파용 다이오드와, 이 검파용 다이오드와 동일 특성을 가짐과 동시에 열적으로 결합되는 온도 보상용 다이오드의 2개의 다이오드가 필요하다. 이 회로에서는 2개의 다이오드에 동일한 순방향 바이어스 전압을 공급하여, 검파용 다이오드의 부하 전압과 온도 보상용 다이오드와 부하 전압의 차를 고주파 전력 레벨의 검출출력으로 하고 있다. 이 검출 출력은 검파용 다이오드의 순방향 전압에서 온도 보상용 다이오드의 순방향 전압을 감산해서 얻어지므로, 온도 변화에 따르는 전자의 변동분은 그것에 대응한 후자의 변동에 의해 소거된다. 따라서, 고주파 검출 회로는 온도 변화에 좌우되지 않고, 고주파 신호의 파고치에 거의 비례하는 검출 출력 전압을 발생시킬 수 있다.

그러나, 이와 같은 고주파 검출 회로는 사용하는 회로 소자의 모든 특성의 차이, 특히 상기 검파용 및 온도 보상용의 양 다이오드의 순방향 전압 및 온도 특성의 차이, 바이어스 전압 공급용 저항기나 부하 저항기의 저항치의 차이 등을 피할 수 없기 때문에, 넓은 온도 범위에 걸쳐 양 다이오드의 바이어스를 동일하게 하기는 곤란하다. 또한 통상, 양 다이오드는 고주파 신호를 감도 좋게 검파할 수 있도록 개별 부품이 사용되므로, 이런 이유에서, 검출 출력 전압에 온도 변화로 기인하는 변동분이 남는다. 또, 회로 소자의 제반 특성의 상기 차이를 보상하기 위해, 상기 양 다이오드에서의 바이어스 전압을 오프셋하는 등의 미조정이 필요하다. 또 상기 양 다이오드는 2개의 개별 다이오드로 구성할 필요가 있으므로, 고주파 검출 회로 및 전력 증폭기 제어 회로를 전부를 저비용과 및 소형화를 위해 IC화하기는 곤란하다.

본 발명의 제1목적은 간헐적인 고주파 신호를 소정의 복수 출력 레벨 중에 선택된 하나의 레벨로 송신하는 고주파 전력 증폭기를 상기 출력 레벨의 각각에 있어서 넓은 온도 범위에 걸쳐 안정하게 유지하는 출력레벨 제어 회로를 제공하는 것이다.

본 발명에 제2목적은 상기 출력 레벨 제어 회로의 주요부를 구성하여 상기 복수의 출력 레벨 전부를 상기 온도 범위에 걸쳐 충분한 정확성을 가지고 검출하는 고주파 출력 회로를 제공하는 것이다.

본 발명의 제3목적은 온도가 보상됨과 동시에 넓은 다이내믹 레인지를 갖는 고주파 전력 증폭기를 제공하는 것이다.

본 발명의 제4목적은 IC화에 적합한 고주파 검출 회로를 제공하는 것이다.

상기 사항과 본 발명의 다른 목적, 특징, 이점은 첨부 도면을 참조해서 후기의 상세한 설명으로 더욱 명백해진다.

본 발명의 고주파 전력 증폭기 출력 레벨 제어 회로를 특징짓는 고주파 검출 회로는 상기 GSM 전화 방식의 경우와 같이, 버스트(burst)상태로 고주파 전력을 온/오프 송출하는 고주파 전력 증폭기의 제어에 적당하다.

고주파 검출 회로는 고주파 전력 증폭기의 출력측에서 방향성 결합기에 의해 전력 증폭기 출력의 일부분으로서 도출된 고주파 신호의 파고치에 대응하는 검파 출력을 발생시키는 검파용 다이오드를 포함하는 검파기와, 검파 출력을 상기 고주파 전력 증폭기 출력의 오프 기간중 샘플 홀드하는 샘플 홀드 회로를 구비한다. 샘플 홀드된 홀드 전압과 상기 검파 출력은 감산기에 입력된다. 감산기는 후자에 서 전자를 감산해서 상기 파고치 대응 출력을 발생한다. 상기 파고 출력 및 홀드 전압은 상기한 바와 같이 거의 동일 특성의 검파기에 의해 검출되고, 또 상기 감산기에 의해 상기 고주파 전력 증폭기 출력의 온/오프를 반복하여 1주기분의 검파 출력에서 동일전력 증폭기 출력의 오프 기간의 검파 출력을 감산하고 있으므로, 온도 변화를 수반하는 상기 검파 출력의 변화는 이 감산에 의해 소거된다. 상기와 같이, 상기 고주파 전력 증폭기 출력의 온 기간의 검파 출력은 그 기간 바로 전의 오프 기간의 검파 출력에 의해 보정되어 온도 변동에 기인하는 변화분을 제거하므로, 상기 감산기 출력은 고주파 전력 증폭기 출력을 넓은 온도 범위에 걸쳐 충실히 나타낸다. 또 검파용 다이오드에는 순방향 전압 정도의 바이어스 전압이 인가되므로, 고주파 검출 회로는 직선 검파를 실현할 수 있어서, 바이어스 전압을 인가하지 않는 경우에 비해 고주파 신호 파고치 대 고주파 신호 레벨의 직선성이 개선되어 고주파 검출 다이내믹 레인지가 넓어진다.

본 발명에 이용되는 고주파 검출 회로의 또 하나의 예에 있어서는, 상기 방향성 결합기에서의 고주파 신호는 거의 순방향 바이어스 전압을 건 검파용 다이오드를 포함하는 검파기로 먼저 입력된다. 이 검파기에서의 검파 출력은 상기 전력 증폭기의 오프 기간에 있어서의 고주파 신호의 검파 출력이 항상 소정의 값으로 되도록 검파용 다이오드의 바이어스 전류를 제어하는 상기 전류 제어 회로로 입력된다. 바이어스 전류 제어 회로는 상기 오프 기간 직후의 온 기간에는 바이어스 전류를 상기 오프 기간에 설정된 일정치를 유지한다. 즉, 바이어스 전류는 상기 전력 증폭기 출력이 오프될 때마다 보정되고, 이것에 의해 고주파 검출 회로내의 회로 소자의 온도 변화로 기인하는 고주파 검출 출력의 변동을 소거한다.

제1도 및 제2도를 참조하면, 본 발명을 실시한 TDMA 방식 또는 GSM 방식의 무선 통신 장치에 있어서의 송신기는 입력 단자(1)에 공급된 TDMA/GSM 방식의 송신 신호 RF를 증폭하는 전치 증폭기(2)와 증폭기(2)의 출력을 증폭하는 전력 증폭기(3)과, 전력 증폭된 버스트 상태의 송신 신호(RF)를 안테나

(5)로 인도하는 방향성 결합기(4)를 구비한다. 전력 증폭기(3)의 출력의 일부인 고주파 신호(Vin)은 방향성 결합기(4)에서 고주파 검출 회로(8)로 공급되고, 회로(8)은 신호(Vin)의 파고치(Va) 대응의 검출 출력 전압(Vout)을 발생시킨다. 검출 출력 전압(Vout)은 전력 증폭기 제어 회로(7)로 공급되고, 전력 증폭기(3)의 소정의 출력 전압 레벨에 대응해서 전력 증폭기 제어 회로(7)에 미리 설정되어 있는 복수의 기준 전압과 비교된다. 전력 증폭기 제어 회로(7)은 비교 결과에 따른 제어 전압을 전력 증폭기(3)에 공급하여 전력 증폭기(3), 즉 송신기의 출력 전력 레벨을 소정의 값으로 자동 제어한다. 이 송신기는 최대 20W, 또는 최대 8W에서 2dB의 등차를 갖는 복수의 출력 전력 레벨 중 하나를 임의로 선택하여 송신할 수 있다.

또 제1도를 참조하면, 제어 신호 입력 단자(6)에서의 제어 신호[Cont(버스트 온 신호)]가 송신 신호(RF)의 온 기간과 이 온기간보다도 긴 오프 기간을 정의한다. 제2도에 파형을 도시한 GSM 규격의 디지털 자동차 전화 시스템에 있어서의 제어 신호(Cont)는 송신 전력 온 기간 0.577msec, 동일 오프 기간 4.039msec를 정의한다 (송신 오프). 제어 신호(Cont)에 의한 송신 전력의 온/오프 주기는 4.616msec이다. 제어 신호(Cont)는 전력 증폭기 제어 회로(7) 및 고주파 검출 회로(8)를 제어한다. 즉, 송신 신호(RF) 및 고주파 신호(Vin)의 온 기간에는 전력 증폭기 제어 회로(7) 및 고주파 검출 회로(8)는 전력 증폭기(3)의 송신 전력 제어 동작을 행한다. 한편, 송신 신호(RF) 및 고주파 신호(Vin)의 송신 오프 기간에는 송신 전력 제어 회로(7)은 전력 증폭기(3)의 동작을 정지하고, 따라서 고주파 검출 회로(8)은 고주파 신호(Vin)의 공급을 받지 않고, 검파용 다이오드의 출력 전압의 기억 또는 보정 동작을 행한다.

제3도를 참조하면, 제1도의 송신기에 있어서의 고주파 검출 회로(8)의 제1예인 고주파 검출 회로(8A)의 고주파 입력 단자(81)에는 제2도에 그 파형을 도시한 고주파 신호(Vin)이 입력된다. 신호(Vin)은 검파용 다이오드(D11)을 포함하는 검파기(83)에서 검파되어 검파기 출력 전압(Vdet)가 중간 단자(84)로 출력된다. 검파기 출력 전압(Vdet)는 샘플 홀드 회로(87)에 입력된다. 샘플 홀드 회로(87)은 고주파 검출 회로(8A)의 제어 입력 단자(6)에서 공급되는, 제어신호(Cont)에 의해 홀드 타이밍이 제어된다. 즉, 샘플 홀드 회로(87)은 송신 전력 온 기간에는 검파기 출력 전압(Vdet)의 입력을 차단하고, 송신 전력 오프의 기간에는 상기 검파기 출력 전압(Vdet)를 홀드 전압(Vh)로서 출력한다. 검파기 출력 전압(Vdet) 및 홀드 전압(Vh)는 감산기(88)로 입력되어 전자에서 후자를 감산한 감산 결과(Vout)이 고주파 검출 회로(8A)의 출력 단자(89)로 출력한다. 고주파 검출 출력 전압(Vout)은 고주파 신호(RF)의 온 기간의 파고치(Va)에 직선적으로 비례한다.

검출 출력 전압(Vout)의 값은 고주파 신호(Vin)의 오프 기간 및 온 기간에서, 검파용 다이오드(D11)의 순방향 전압(Vf)의 온도 변화에 수반하는 영향을 받아서 변동한다. 그러나 상기 오프 기간과 그것에 이은 상기 온 기간과의 사이에서는 온도 변동은 매우 작으므로 감산기(88)에 공급되는 검파기 출력 전압(Vdet)와 홀드 전압(Vh)와는 서로 동일한 온도 조건에서 검출되고 있다고 생각해도 좋다. 감산기(88)에 의한 전압(Vdet)에서 전압(Vh)의 감산은 전압(Vdet)에 포함되는 다이오드(D11)의 온도 변화에 의한 변동분은 상쇄되므로, 검출 출력 전압(Vout)은 고주파 신호(Vin)의 파고치(Va)를 충실히 대표한다.

상기 고주파 검출 회로(8A)에 있어서, 검파기(83)가 고주파 신호(Vin)의 공급을 받은 콘덴서(C11)과, 콘덴서(C11)에 직렬 접속된 검파용 다이오드(D11)과, 콘덴서(C13 및 C14) 및 초크 코일(L12)로 이루어지는 평활 회로를 포함한다. 초크 코일(L12)의 출력단에는 상기 파고치(Va)에 비례한 직류 전압(Vd)을 발생시킨다. 직류 전압(Vd)은 저항기(R13 및 R14) 및 연산 증폭기(AMP11)로 구성되는 직류 증폭기로 증폭되어 상기 검파기 출력 전압(Vdet)로 된다. 파고치(Va)가 다이오드(D11)의 순방향 전압(Vf)보다도 충분히 큰 때는 검파기(83)에서의 고주파 신호의 검파는 직선 검파로 되어, 파고치(Va)에 거의 비례한 검파기 출력 전압(Vdet)가 얻어진다. 그러나 파고치(Va)가 순방향 전압(Vf)와 같은 정도 이하의 값으로 되면, 검파기(83)에 있어서의 검파는 검파용 다이오드(D11)의 순방향 특성의 비직선성 때문에, 직선 검파에서 크게 이탈하고, 따라서 다이내믹 레인지가 좁아진다. 검파기(83)에서는 검파용 다이오드(D11)에 이 다이오드의 순방향 전압에 거의 대응하는 바이어스 전류(Ib)를 흘려서 상기 비직선성을 경감한다. 다이오드(D11)에는 저항기(R11), 초크 코일(L11 및 L12) 및 저항기(R12)를 통해 정 바이어스 단자(82)에서 부 바이어스 단자(85)의 방향으로 바이어스 전류(Ib)가 흐른다. 바이어스 전류(Ib)는 고주파 신호(Vin)의 오프 기간에 연산 증폭기(AMP11)의 +단자에 가해지는 직류 전압(Vd)을 0V로 하도록 바이어스 전압(+Vb 및 -Vb) 및 저항기(R11 및 R12)의 저항치를 초기 설정한다. 또 직류 전압(Vd)는 반드시 0V로 초기 설정할 필요는 없고, 또 초기 설정 후의 온도 변동에 따라서도 변할 수 있다. 검파용 다이오드(D11)의 바이어스 전류(Ib)를 상기와 같이 설정함으로써, 검파기(83)에서는 검파용 다이오드(D11)의 순방향 특성의 비직선성이 경감되어 넓은 다이내믹 레인지가 얻어진다.

또 상기 고주파 검출 회로(8A)에 있어서, 샘플 홀드 회로(87)은 중간 단자(84)에서 검파기 출력 전압(Vdet)의 공급을 받고, 제어 회로 입력 단자(6)에서의 제어 신호(Cont)에 응답해서 온/오프 동작하는 아날로그 스위치(S21)과, 이 스위치(S21)에서의 신호를 +단자에서 수신하는 이득(1)의 연산 증폭기(AMP21)(-단자는 출력 단자를 접속)과, +단자와 접지 전위와의 사이에 삽입된 콘덴서(C21)을 구비한다. 스위치(S21)은 제어 신호(Cont)가 오프(즉, 고주파 전력 증폭기 출력의 온 기간에 대응)의 경우에는 상기 검파기 출력 전압(Vdet)를 연산 증폭기(AMP21)에 인가해서 전압(Vdet)를 홀드 전압(Vh)의 형으로 감산 회로(88)로 공급한다. 한편, 제어 신호(Cont)가 온(주파수 전력 증폭기 출력의 온 기간에 대응)의 경우에는 아날로그 스위치(S21)은 개방되고, 그 결과 검파기 출력 전압(Vdet)가 콘덴서(C21)에 홀드 전압(Vh)로서 축적된다. 따라서, 연산 증폭기(AMP21)은 상기 온 기간 바로 전의 오프 기간의 검파기 출력 전압(Vdet)를 홀드 전압(Vh)로서 감산기(88)에 계속 공급한다. 결국, 샘플 홀드 회로(87)에서의 홀드 전압(Vh)는 항상 상기 오프 기간의 검파기 출력 전압(Vdet)와 실질적으로 같고, 그 값은 제어 전압(Cont)의 하나인 온/오프 주기마다 갱신된다.

다음에 상기 감산 회로(88)은 연산 증폭기(AMP21)과 저항기(R31, R32, R33 및 R34)로 이루어진다. 중간 단자(84)에서의 검파기 출력 전압(Vdet)가 저항기(R32)를 통해 연산 증폭기(AMP31)의 +단자에 가해지고, 한편 샘플 홀드 회로(87)에서의 홀드 전압(Vh)가 저항기(R31)을 통해 연산 증폭기(AMP31)의

-단자에 가해진다. 연산 증폭기(AMP31)은 검파기 출력 전압(Vdet)에서 홀드 전압(Vh)를 감산하여 검출 출력 전압(Vout)을 출력 단자(89)로 출력한다.

고주파 신호(Vin)의 오프 기간에는, 검파기 출력 전압(Vdet)는 상기 오프 기간의 검출 전압의 레벨이고, 홀드 전압(Vh)도 마찬가지로 상기 오프 기간의 검파기 출력 전압의 레벨이므로, 검출 출력 전압(Vout)은 0으로 된다. 한편, 고주파 신호(Vin)의 온 기간에는, 그 기간의 검파기 출력 전압(Vdet)과 온 기간 바로전의 오프 기간의 검파기 출력 전압(Vdet)과 대등한 홀드 전압(Vh)와의 감산이 행해지고, 감산 결과가 검출 출력 전압(Vout)으로 된다.

상기와 상기 고주파 검출 회로(8A)에서는 상기 온 기간의 검파기 출력 전압(Vdet)에서 상기 오프 기간의 검파기 출력 전압(Vdet)를 감산하므로, 검파용 다이오드(D11)의 순방향 전압(Vf)의 온도 변화에 수반하는 변동의 영향을 거의 완전히 소거할 수 있다. 특히 검파기(83)이 필요로 하는 다이오드는 검파용으로 1개뿐이므로, 2개의 다이오드의 순방향 전압(Vf)의 차이를 고려할 필요가 있는 상기 종래 기술에 비해 제조 비용을 저감할 수 있다. 또 2개의 다이오드를 채용한 회로에 불가피한 온도 변화에 기인하는 고주파 신호 레벨의 검출 정보 저하를 방지할 수 있다. 또 검파기 출력 전압(Vdet)의 샘플 홀드 동작 및 검파기 출력 전압(Vdet)의 샘플 홀드 동작 및 검파기 출력 전압(Vdet)에서 홀드 전압(Vh)를 감산하는 감산 동작은 동작 속도를 확보할 수 있으므로, 검출 출력 전압(Vout)을 충실도 높게 짧은 응답 시간에 얻을 수 있다. 따라서, 고주파 검출 회로(8A)의 고속의 TDMA/GSM 방식용 송신기의 전력 증폭기 출력 레벨 제어 회로로서 유효하다.

또, 고주파 검출회로(8A)의 샘플 홀드 회로(87), 감산 회로(88), 검파기(83)의 평활 회로 및 직류 증폭기를 포함하는 회로는 $\mu\text{P}C$ 3539형 IC(NEC 제조)의 일부로서 IC화되어 있다. 이 IC와 고주파 검출 회로(8A)를 포함하는 회로를 채용함으로써, 최대 8W의 전력 출력을 가지고 2dB의 등차로 16레벨 설정되는 송신기(제1도)의 송신 전력을 -30°C 에서 $+85^{\circ}\text{C}$ 의 온도 범위에 있어서, 오차 $\pm 1\text{dB}$ 로 제어할 수 있다.

제4도를 참조하면, 제1도의 송신기에서 고주파 검출 회로(8)의 제2예인 고주파 검출 회로(8B)는 상기 고주파 검출 회로(8A)와 동일 기능을 디지털 회로[검파기(83)제외]에 의해 실현한다. 고주파 검출 회로(8B)에 있어서, 고주파 입력 단자(81)에 입력된 고주파 신호(Vin)은 검파기(83)에 의해 검파기 출력 전압(Vdet)로 되고, 또 A/D변환기(91)에 의해 디지털 검파기 출력 전압(Vdet 1)로 변환된다. 디지털 검파기 출력 전압(Vdet)은 제어 신호 입력 단자(6)에서의 제어 신호(Cont)가 정의하는 상기 온 기간 중의 상승마다 입력을 샘플 홀드하는 레지스터(95)에 입력된다. 샘플 홀드된 홀드 전압 신호(Vh1)은 감산기(93)의 -단자에 입력된다. 감산기(93)은 +단자에 디지털 검파기 출력 전압(Vdet1)의 공급을 받아, 검파기 출력 전압(Vdet1)에서 홀드 전압 신호(Vh1)을 감산하고, 그 감산 결과의 차 전압 신호를 D/A 변환기(94)에 입력한다. D/A 변환기(94)는 차 전압 신호를 아날로그화한 검출 출력(Vout)로 변환해서 출력 단자(89)에 출력한다. 또한, A/D변환기(91), 레지스터(95), 감산기(93) 및 D/A 변환기(94)는 클럭 입력 단자(92)에서 공통 클럭(CLK)의 공급을 받는다. 여기에서, 레지스터(95) 및 감산기(93)은 상술한 고주파 검출 회로(8A)에 있어서의 샘플 홀드 회로(87) 및 감산기(88)에 각각 대응하는 동작을 행한다. 즉, 상기 온 기간의 검파기 출력 전압(Vdet1)에서 상기 오프 기간의 검파기 출력 전압(Vdet1)을 감산하고, 검파용 다이오드(D11)의 순방향 전압(Vf)에 대한 온도 변화의 영향을 소거한 파고치(Va)를 검출할 수 있다. 이 고주파 검출회로(8B)는 검파기(83)을 제외하고 디지털 회로에서 구성되고 있으므로 IC화하기 쉬운 이점이 있다.

제5도를 참조하면, 제1도의 송신기에서의 고주파 검출 회로(8)의 제3예인 고주파 검출 회로(8C)는 상술한 예(8A 및 8B)의 경우와 마찬가지로, 고주파 신호(Vin)을 입력 단자(81)에 수신하여 검파기(83)에서 검파하고, 검파기 출력 전압(Vout)을 일으킨다. 상술한 예(8A 및 8B)와 달라서, 이 예(8C)에서는 검파기(83)의 출력에 얻어진 검파기 출력 전압(Vdet)를 그대로 검출 출력 전압(Vout)으로 한다. 검파기(83)의 부 바이어스 단자(85)에는 바이어스 회로(97)이 접속되고, 정 바이어스 단자(82)와 바이어스 회로(97)과의 사이의 전원차에 의해 검파용 다이오드(D11)에 바이어스 전류(Ib)를 공급한다. 바이어스 전류(Ib)의 값은 바이어스 전류 설정 회로(98)에 의해 제어된다. 상기 고주파 전력 증폭기 출력의 오프 기간에 대응하는 고주파 신호(Vin)의 상기 오프 기간에는, 고주파 검출 회로(8C)는 부귀한 루프를 구성하고 검출 출력 전압(Vout)을 소정치, 양호하게는 0V에 설정하도록 바이어스 전류(Ib)의 값을 귀환 루프에 의해서 조정한다. 한편, 이 오프 기간의 바로 다음인 상기 온 기간에는, 바이어스 전류 설정 회로(98)은 상기 바이어스 전류가 상기 오프 기간의 바이어스 전류(Ib)를 계속하도록 바이어스 회로(97)을 제어한다. 이로 인해서, 바이어스 전류(Ib)는 고주파 신호(Vin)의 상기 오프 기간 시작마다 보정되고, 상기 온 기간의 검출 출력 전압(Vout)은 상기 오프 기간의 소정치인 검출 출력 전압(Vout)에서의 증가분으로서 명확하게 결정된다. 이 결과, 고주파 검출 회로(8C)는 검파용 다이오드(D11)에 대한 온도 변화의 영향이나 검파기(83)의 회로 소자의 제반 정수의 변동에 의한 검출 출력의 변동을 방지할 수 있다.

제5도의 고주파 검출 회로(8C)에 있어서, 바이어스 회로(97)은 베이스 및 에미터를 각각 공통 접속한 트랜지스터(TR41 및 TR42)와 저항기(R41)로 이루어진 전류 미러 회로로 이루어진다. 트랜지스터(TR41)의 콜렉터는 검파기(83)의 부 바이어스 단자(85)에 접속되고, 저항기(R41)를 개재해서 바이어스 전류 설정회로(98)의 출력단에 접속되어 있다. 트랜지스터(TR41)의 콜렉터 전류, 즉 검파용 다이오드(D11)의 바이어스 전류(Ib)는 트랜지스터(TR42)의 콜렉터 전류에 거의 균등하게, 저항기(R41)의 저항기 및 바이어스 전류 설정 회로(98)의 출력 전압(Vs)에 의존하고, 출력 전압(Vs)의 부 방향에의 변화 및 저항기(R41)의 저항치 증가에 의해서 감소한다. 바이어스 전류(Ib)는 저항기(R12), 트랜지스터(TR41) 및 바이어스 전압(-Vd)의 인가를 받은 부 바이어스 단자(99)를 포함하는 회로에 흐른다.

또, 제5도의 고주파 검출 회로(8C)에 있어서, 바이어스 전류 설정 회로(98)은 연산 증폭기(AMP52), 저항기(R52 및 R53)으로 이루어지고, 검파기(83)의 출력인 검파 출력 전압(Vout)의 극성을 반전하는 반전 증폭기를 구비한다. 극성 반전된 검출 출력 전압은 상기 고주파 전력 증폭기 출력의 오프 기간에는 폐쇄되고 온 기간에는 개방되도록 제어 신호 입력단자(6)에서의 제어 신호(Cont)에 제어되는 아날로그 스위치(S51)에 공급된다. 이 스위치(S51)에서의 (극성) 반전된 검출 출력 전압은 연산 증

폭기(AMP51), 저항기(R51) 및 콘덴서(C51)로 이루어진 적분 회로에 인가된다. 이 적분 회로의 출력 전압(Vs)는 검출 출력 전압(Vout)이 정 방향으로 증가하면 부방향으로 변화하는 전압이고, 바이어스 회로(97)에 공급된다. 한편, 제어 신호(Cout)가 송신 온 기간인 때에는, 아날로그 스위치(S51)은 개방되고, 상기 반전 검출 출력 전압은 적분 회로에 인가되지 않으므로 직전의 오프 기간 출력 전압(Vs)가 바이어스 회로(95)에 공급된다.

상술한 바와 같이, 본 발명의 고주파 전력 증폭기의 출력 레벨 제어 회로에서의 간헐적 고주파 신호의 파고치 검출에 적합한 고주파 검출 회로는 고주파 전력 증폭기 출력의 오프 기간 각각의 검파기 출력을 기준치로 하고, 동 출력의 온 기간의 파고치를 그 기준기에서의 증가분으로 하여 결정한다. 따라서, 상기 고주파 검출 회로는 파고치의 검출에 불가결한 회로소자이며, 더구나 온도 변화에 의해 특성이 변화하기 쉬운 다이오드를 상기 구성에 의해 1개만으로 구성하는 것을 가능하게 하고, 더구나 이 온도 변화에 수반하는 검출 출력 변동은 상기 온기간의 파고치와 오프 기간의 파고치와의 감산에 의해서 실질적으로 소거되므로, 광범위한 온도에 걸쳐 광범위한 입력 파고치 레벨에 관해서 충실도가 높은 파고치를 얻을 수 있다. 또, 이 고주파 검출 회로는 종래의 이러한 종류의 회로에 불가결했던 온도 보상용의 고주파용 다이오드를 필요로 하지 않으므로, 바이어스 오프셋의 조정을 요하지 않을뿐 아니라 IC화에 적합하다. 따라서, 이 고주파 검출 회로를 채용한 본 발명의 고주파 전력 증폭기 출력 레벨 제어 회로는 간헐적인 고주파 신호를 사용하는 TDMA 방식이나 GSM방식의 통신 장치인 송신 장치의 제어 회로로 매우 적합하다.

(57) 청구의 범위

청구항 1

온 기간과 오프 기간을 일정한 반복 주기로 갖고 있는 제어 신호에 응답하고, 상기 제어 신호에 대응하는 파형의 간헐적인 고주파 신호를 증폭하여 안테나에 공급하는 고주파 전력 증폭기의 출력 레벨 제어 회로이며, 상기 고주파 전력 증폭기의 출력 일부를 취출하는 고주파 전력 추출 수단과, 이 추출 수단의 출력 및 상기 제어 신호에 응답해서 상기 파고치를 대표하는 검출 출력을 발생하는 고주파 검출 회로를 포함하는 고주파 전력 증폭기의 출력 레벨 제어 회로에 있어서, 상기 고주파 검출 회로가 상기 고주파 신호의 공급을 받아 그 신호의 파고치를 대표하는 출력을 일으키는 검파 수단 및 이 검파 수단의 상기 온 기간에 있어서의 출력과 그 직전의 오프 기간에 있어서의 출력과의 사이의 차이를 대표하는 전압을 상기 반복주기의 각각에 대해서 발생하는 차 전압 발생 수단을 포함하는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 2

제1항에 있어서, 상기 검파 수단이 검파용 다이오드를 포함하는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 3

제2항에 있어서, 상기 검파 수단이 상기 오프 기간에는 상기 고주파 검출 회로의 출력을 소정 전압으로 하고, 상기 온 기간에는 그 전압에 대응하는 크기의 순 방향 바이어스 전류를 상기 검파용 다이오드에 공급하는 수단을 포함하는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 4

제3항에 있어서, 상기 순 방향 바이어스 전류치를 상기 오프 기간에 있어서의 상기 고주파 검출 회로의 출력 전압이 기준치로 될 수 있는 값으로 설정되는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 5

제4항에 있어서, 상기 차 전압 발생 수단이 상기 반복 주기의 각각에 관해서 상기 오프 기간에 있어서의 상기 검출 수단 출력을 샘플 홀드하고, 그 오프 기간 및 그 직후의 온 기간에 그 샘플 홀드된 상기 검파 수단 출력을 출력하는 샘플 홀드 회로 및 상기 검파 수단의 출력에서 상기 샘플 홀드 회로의 출력을 상기 반복 주기마다 감산하는 수단을 포함하는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 6

제1항에 있어서, 상기 검파 수단이 상기 고주파 신호의 상기 파고치를 대표하는 전압을 발생시키는 다이오드, 상기 다이오드의 출력에 접속된 평활 회로 및 상기 평활 회로의 출력을 증폭하는 증폭 회로를 포함하는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 7

온 기간과 오프 기간을 일정한 반복 주기로 갖고 있는 제어 신호에 응답하고, 상기 제어 신호에 대응하는 파형의 간헐적인 고주파 신호를 증폭하여 안테나에 공급하는 고주파 전력 증폭기의 출력 레벨 제어 회로이며, 상기 고주파 전력 증폭기의 일부를 취출하는 고주파 전력 추출 수단과, 이 추출 수단의 출력 및 상기 제어 신호에 응답해서 상기 파고치를 대표하는 검출 출력을 발생하는 고주파 검출 회로를 포함하는 고주파 전력 증폭기의 출력 레벨 제어 회로에 있어서, 상기 고주파 검출 회로가 상기 고주파 신호의 공급을 받아 그 신호의 파고치를 대표하는 출력을 일으키는 검파 수단, 상기 검파 수단의 출력을 A/D변환하는 수단, 상기 검파 수단의 상기 오프 기간의 출력에 대응하는 상기 A/D 변환 수단 출력을 상기 반복 주기에 걸쳐 축적하고 그 오프 기간의 처음과 그 오프 기간 직후의 온 기간에 그 A/D 변환 수단 출력을 출력하는 신호 축적 수단 및 상기 검파 수단의 출력에서

상기 신호 축적 수단의 출력을 상기 반복 주기마다 감산하는 수단을 포함하는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 8

온 기간과 오프 기간을 일정한 반복 주기로 갖고 있는 제어 신호에 응답하고, 상기 제어 신호에 대응하는 파형의 간헐적인 고주파 신호를 증폭하여 안테나에 공급하는 고주파 전력 증폭기의 출력 레벨 제어 회로에 있어서 상기 고주파 전력 증폭기의 출력 일부를 취출하는 고주파 전력 추출 수단에서의 추출 출력 및 상기 제어 신호에 응답해서 상기 파고치를 대표하는 검출 출력을 발생하고 그 검출 출력을 상기 고주파 전력 증폭기의 전력 증폭율을 제어하는 증폭율 제어 수단에 공급하는 고주파 검출 회로에 있어서, 상기 고주파 신호의 공급을 받아 그 신호의 파고치를 대표하는 출력을 발생시키는 검파 수단 및 상기 검파 수단의 상기 온 기간에 있어서의 출력과 그 직전의 오프 기간에 있어서의 출력과의 사이의 차이를 대표하는 전압을 상기 반복 주기의 각각에 대해서 발생하는 차 전압 발생 수단을 포함하는 것을 특징으로 하는 고주파 전력 증폭기의 출력 레벨 제어 회로.

청구항 9

제8항에 있어서, 상기 검파 수단이 검파용 다이오드를 포함하는 것을 특징으로 하는 고주파 검출 회로.

청구항 10

제9항에 있어서, 상기 검파 수단이 상기 오프 기간에는 상기 고주파 검출 회로의 출력을 소정 잔압으로 하고, 상기 온 기간에는 그 전압에 대응하는 크기의 순 방향 바이어스 전류를 상기 검파용 다이오드에 공급하는 수단을 포함하는 것을 특징으로 하는 고주파 검출 회로.

청구항 11

제10항에 있어서, 상기 순 방향 바이어스 전류의 값을 상기 오프 기간에 있어서의 상기 고주파 검출 회로의 출력 전압이 기준치가 될 수 있는 값을 설정되는 것을 특징으로 하는 고주파 검출 회로.

청구항 12

제11항에 있어서, 상기 차 전압 발생 수단이 상기 반복 주기의 각각에 대해 상기 오프 기간에 있어서의 상기 검파 수단의 출력을 샘플 홀드하고, 그 오프 기간 및 그 직후의 온 기간에 그 샘플 홀드된 상기 검파 수단 출력을 출력하는 샘플 홀드 회로 및 상기 검파 수단의 출력에서 상기 샘플 홀드 회로의 출력을 상기 반복 주기마다 감산하는 수단을 포함하는 것을 특징으로 하는 고주파 검출 회로.

청구항 13

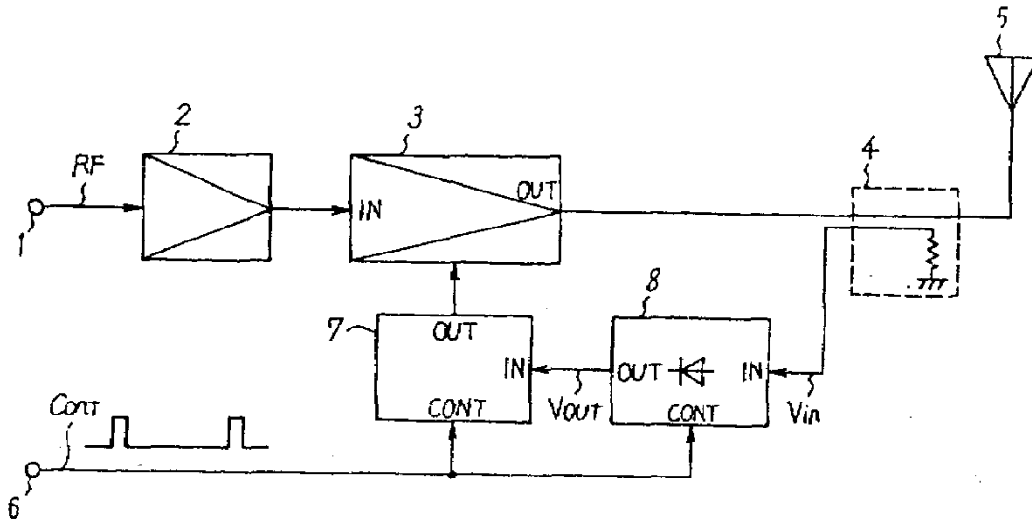
제8항에 있어서, 상기 검파 수단이 상기 고주파 신호의 상기 파고치를 대표하는 전압을 발생시키는 다이오드, 상기 다이오드의 출력에 접속된 평활 회로 및 상기 평활 회로의 출력을 증폭하는 증폭 회로를 포함하는 것을 특징으로 하는 고주파 검출 회로.

청구항 14

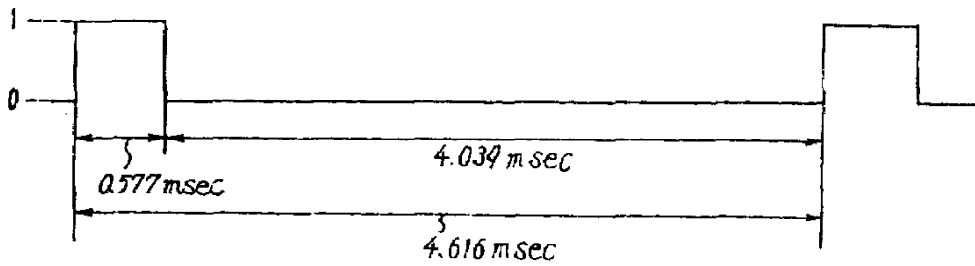
온 기간과 오프 기간을 일정한 반복 주기로 갖고 있는 제어 신호에 응답하고, 상기 제어 신호에 대응하는 파형의 간헐적인 고주파 신호를 증폭하여 안테나에 공급하는 고주파 전력 증폭기의 출력 레벨 제어 회로에 있어서 상기 고주파 전력 증폭기의 출력 일부를 취출하는 고주파 전력 추출 수단에서의 추출 출력 및 상기 제어 신호에 응답해서 상기 파고치를 대표하는 검출 출력을 발생하고 그 검출 출력을 상기 고주파 전력 증폭기의 전력 증폭율을 제어하는 증폭율 제어 수단에 공급하는 고주파 검출 회로에 있어서, 상기 고주파 검출 회로가 상기 고주파 신호의 공급을 받아 그 신호의 파고치를 대표하는 출력을 발생시키는 검파 수단, 상기 검파 수단의 출력을 A/D변환하는 수단, 상기 검파 수단의 상기 오프 기간의 출력에 대응하는 상기 A/D 변환 수단 출력을 상기 반복 주기에 걸쳐 축적하고 그 오프 기간의 처음과 그 오프 기간 직후의 온 기간에 그 A/D 변환 수단 출력을 출력하는 신호 축적 수단 및 상기 검파 수단의 출력에서 이 신호 축적 수단의 출력을 상기 반복 주기마다 감산하는 수단을 포함하는 것을 특징으로 하는 고주파 검출 회로.

도면

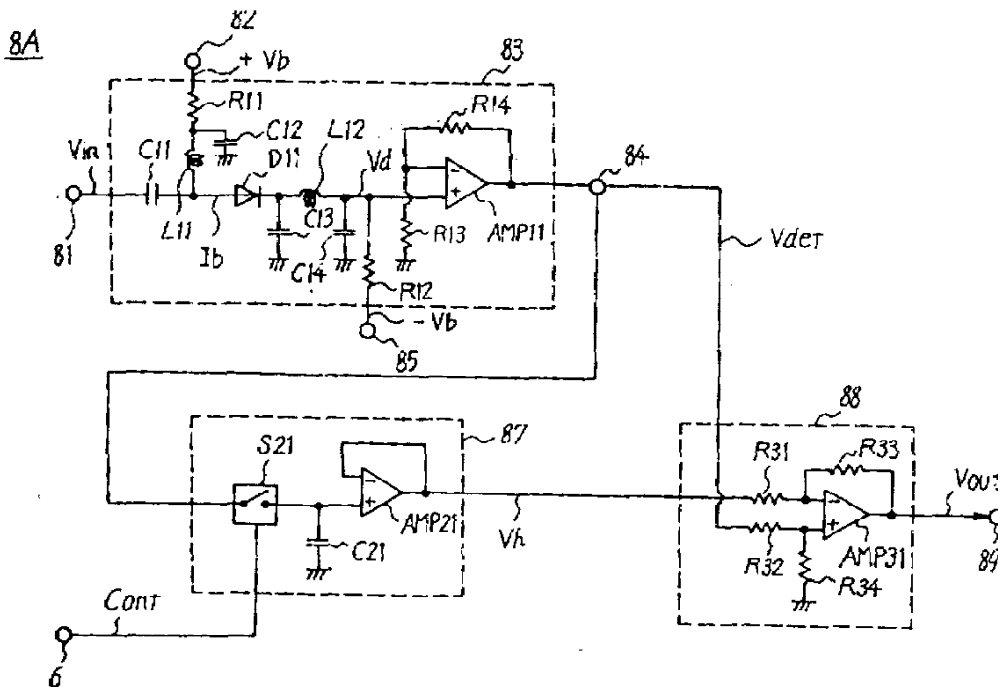
도면1



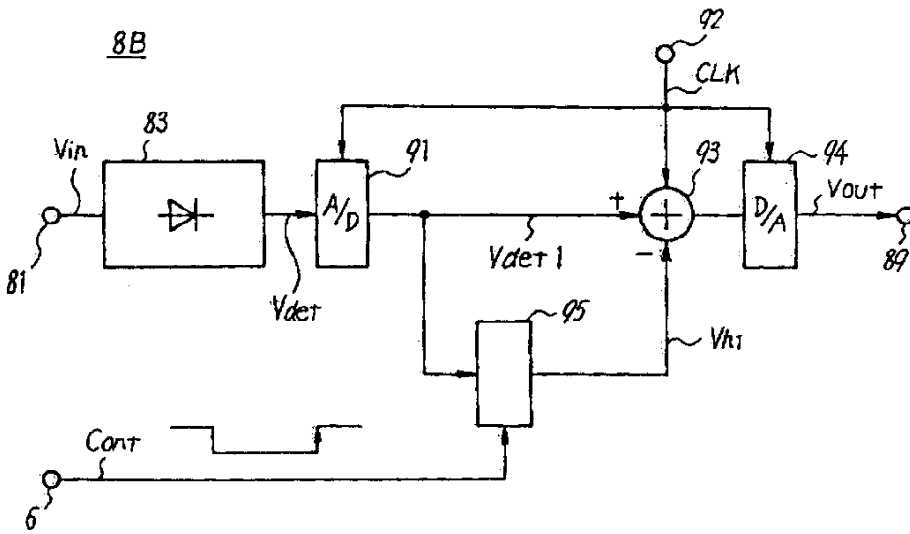
도면2



도면3



도면4



도면5

