



(12)发明专利

(10)授权公告号 CN 104867832 B

(45)授权公告日 2017. 10. 20

(21)申请号 201410059990.6

H01L 21/3105(2006.01)

(22)申请日 2014.02.21

(56)对比文件

(65)同一申请的已公布的文献号

US 2006/0281249 A1, 2006.12.14, 全文.

申请公布号 CN 104867832 A

CN 101901829 A, 2010.12.01, 全文.

(43)申请公布日 2015.08.26

CN 101515547 A, 2009.08.26, 说明书第3页

最后1段至第6页第1段,图1-10.

(73)专利权人 北大方正集团有限公司

审查员 黄宝莹

地址 100871 北京市海淀区成府路298号中

关村方正大厦9层

专利权人 深圳方正微电子有限公司

(72)发明人 刘竹 张立荣

(74)专利代理机构 北京同立钧成知识产权代理

有限公司 11205

代理人 刘芳

(51) Int. Cl.

H01L 21/336(2006.01)

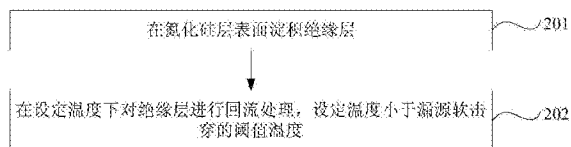
权利要求书1页 说明书4页 附图5页

(54)发明名称

垂直双扩散金属氧化物半导体场效应管的
制造方法

(57)摘要

本发明提供一种垂直双扩散金属氧化物半
导体场效应管的制造方法。该方法包括:在氮化
硅层表面淀积绝缘层;在设定温度下对所述绝缘
层进行回流处理,所述设定温度小于漏源软击
穿的阈值温度。本发明提供的垂直双扩散金属氧化
物半导体场效应管的制造方法,在小于漏源软击
穿的阈值温度的设定温度下对绝缘层进行回流
处理,通过降低回流处理时的温度,使得源区横
向扩散的距离变短,体区的有效沟道长度变长,
降低了器件体区/外延层漂移区结反向偏置状态
下体区耗尽层穿通到源区的风险,达到解决器件
漏源软击穿的目的。且该方法对器件的其余电性
参数基本无影响,避免了人力物力的浪费。



1. 一种垂直双扩散金属氧化物半导体场效应管的制造方法,其特征在于,包括:
 - 在氮化硅层表面淀积绝缘层;
 - 在设定温度下对所述绝缘层进行回流处理,所述设定温度小于漏源软击穿的阈值温度;
 - 其中,所述漏源软击穿的阈值温度根据所述绝缘层的材料确定;
 - 所述绝缘层为硼磷硅玻璃;
 - 所述漏源软击穿的阈值温度为875℃;
 - 所述设定温度大于800℃。
2. 根据权利要求1所述的方法,其特征在于,所述在氮化硅层表面淀积绝缘层之前,还包括:
 - 在第一导电类型的衬底的表面生长所述第一导电类型的外延层;
 - 在所述外延层的表面生长栅氧化层;
 - 在所述栅氧化层的表面淀积多晶硅层;
 - 对目标槽区内的所述多晶硅层进行刻蚀,露出所述栅氧化层;
 - 利用所述多晶硅层被刻蚀区域作屏蔽,将第二导电类型的体区经所述栅氧化层注入至所述外延层中;
 - 对所述体区进行驱入;
 - 将所述第一导电类型的源区经所述栅氧化层注入至所述体区中;
 - 在未被刻蚀的所述多晶硅层和所述露出的所述栅氧化层的表面生长所述氮化硅层;
 - 利用所述氮化硅层在所述多晶硅层的侧壁形成的侧墙,将所述第二导电类型的接触区经所述栅氧化层注入至所述体区中。
3. 根据权利要求2所述的方法,其特征在于,所述氮化硅层的厚度小于所述多晶硅层的厚度。
4. 根据权利要求2或3所述的方法,其特征在于,所述绝缘层的厚度大于所述多晶硅层的厚度。
5. 根据权利要求2或3所述的方法,其特征在于,所述在设定温度下对所述绝缘层进行回流处理之后,还包括:
 - 对目标槽区内的所述栅氧化层、所述氮化硅层和回流处理后的所述绝缘层进行刻蚀,露出所述源区的一部分和所述接触区;
 - 在未被刻蚀的所述绝缘层、所述露出的所述源区的一部分和所述接触区的表面生长金属层。
6. 根据权利要求5所述的方法,其特征在于,所述金属层的厚度大于所述栅氧化层、所述多晶硅层、所述氮化硅层和所述绝缘层的厚度之和。

垂直双扩散金属氧化物半导体场效应管的制造方法

技术领域

[0001] 本发明涉及半导体器件制造技术领域,尤其涉及一种垂直双扩散金属氧化物半导体场效应管的制造方法。

背景技术

[0002] 垂直双扩散金属氧化物半导体场效应管(Vertical Double-diffusion Metal Oxide Semiconductor,简称VDMOS)兼具双极性晶体管和金属氧化物半导体场效应管(Metal Oxide Semiconductor,简称MOS)的优点,具有接近无限大的静态输入阻抗和非常快的开关时间,因此无论是开关应用还是线性应用,都是理想的功率器件。

[0003] 图1为垂直双扩散金属氧化物半导体场效应管的结构示意图,如图1所示,包括:衬底11、设置在衬底11表面的外延层12、设置在外延层12表面且部分被刻蚀的栅氧化层13、设置在栅氧化层13表面且部分被刻蚀的多晶硅层14、设置在外延层12内的体区15、设置在体区15中的源区16、设置在多晶硅层14表面且部分被刻蚀的氮化硅层17、设置在体区15中的接触区18、设置在氮化硅层17表面且部分被刻蚀的绝缘层19和设置在绝缘层19表面且厚度能够填满栅氧化层13、氮化硅层17和绝缘层19被刻蚀区域的金属层20。

[0004] 漏源软击穿是VDMOS器件在开发过程中经常遇到的问题。目前,在工艺上主要通过提高体区的注入剂量或者增加体区的驱入时间来解决VDMOS器件漏源软击穿的问题。

[0005] 但现有技术为解决VDMOS器件漏源软击穿的同时,会引起VDMOS器件其余电性参数发生较大的变化,这些电性参数后续需要多次实验进行调整才能回到目标值,浪费大量的人力物力。

发明内容

[0006] 本发明提供一种垂直双扩散金属氧化物半导体场效应管的制造方法,用以解决现有技术中存在的在解决VDMOS器件漏源软击穿的同时,会引起VDMOS器件其余电性参数发生较大的变化,而这些电性参数回到目标值浪费大量的人力物力的问题。

[0007] 本发明提供了一种垂直双扩散金属氧化物半导体场效应管的制造方法,包括:

[0008] 在氮化硅层表面淀积绝缘层;

[0009] 在设定温度下对所述绝缘层进行回流处理,所述设定温度小于漏源软击穿的阈值温度。。

[0010] 本发明提供的垂直双扩散金属氧化物半导体场效应管的制造方法,在小于漏源软击穿的阈值温度的设定温度下对绝缘层进行回流处理,通过降低回流处理时的温度,使得源区横向扩散的距离变短,体区的有效沟道长度变长,降低了器件体区/外延层漂移区结反向偏置状态下体区耗尽层穿通到源区的风险,达到解决器件漏源软击穿的目的。且该方法对器件的其余电性参数基本无影响,避免了人力物力的浪费。

附图说明

- [0011] 图1为垂直双扩散金属氧化物半导体场效应管的结构示意图；
- [0012] 图2为本发明提供的垂直双扩散金属氧化物半导体场效应管的制造方法一个实施例的流程示意图；
- [0013] 图3为图2所示实施例中在衬底表面形成外延层的结构示意图；
- [0014] 图4为图2所示实施例中在外延层表面形成栅氧化层的结构示意图；
- [0015] 图5为图2所示实施例中在栅氧化层表面形成多晶硅层的结构示意图；
- [0016] 图6为图2所示实施例中对多晶硅层进行刻蚀处理的结构示意图；
- [0017] 图7为图2所示实施例中在外延层中形成体区的结构示意图；
- [0018] 图8为图2所示实施例中对体区进行驱入处理的结构示意图；
- [0019] 图9为图2所示实施例中在体区中形成源区的结构示意图；
- [0020] 图10为图2所示实施例中在未被刻蚀的多晶硅层表面形成氮化硅层的结构示意图；
- [0021] 图11为图2所示实施例中在体区中形成接触区的结构示意图；
- [0022] 图12为图2所示实施例中在氮化硅层表面形成绝缘层的结构示意图；
- [0023] 图13为图2所示实施例中对绝缘层进行回流处理的结构示意图；
- [0024] 图14为图2所示实施例中对栅氧化层、氮化硅层和回流处理后的绝缘层进行刻蚀处理的结构示意图。

具体实施方式

- [0025] 下面通过具体的实施例及附图,对本发明的技术方案做进一步的详细描述。
- [0026] 图2为本发明提供的垂直双扩散金属氧化物半导体场效应管的制造方法一个实施例的流程示意图。如图2所示,该方法具体可以包括:
- [0027] S201,在氮化硅层表面淀积绝缘层。
- [0028] S202,在设定温度下对绝缘层进行回流处理,设定温度小于漏源软击穿的阈值温度。
- [0029] 参照图1,本领域技术人员可以理解的是,在步骤S201之前,还包括以下在衬底11上依次形成外延层12、栅氧化层13、多晶硅层14、体区15、源区16、氮化硅层17和接触区18的步骤S101~S109:
- [0030] S101,在第一导电类型的衬底的表面生长第一导电类型的外延层。
- [0031] 具体的,图3为图2所示实施例中在衬底表面形成外延层的结构示意图。如图3所示,第一导电类型可以为N型或P型,例如在第一导电类型(N型)的衬底11的表面生长第一导电类型(N型)的外延层12。
- [0032] S102,在第一导电类型的外延层的表面生长栅氧化层。
- [0033] 具体的,图4为图2所示实施例中在外延层表面形成栅氧化层的结构示意图。如图4所示,在图3所示结构的表面生长栅氧化层13。栅氧化层13的厚度具体可以为1000埃(Å)。
- [0034] S103,在栅氧化层的表面淀积多晶硅层。
- [0035] 具体的,图5为图2所示实施例中在栅氧化层表面形成多晶硅层的结构示意图。如图5所示,在图4所示结构的表面淀积多晶硅层14。多晶硅层14的厚度具体可以为6000~7000埃(Å)。

[0036] S104,对目标槽区内的多晶硅层进行刻蚀,露出栅氧化层。

[0037] 具体的,图6为图2所示实施例中对多晶硅层进行刻蚀处理的结构示意图。如图6所示,在图5所示结构的基础上对多晶硅层14进行刻蚀。具体可以通过光刻的方式对光刻板目标槽区内的多晶硅层14进行刻蚀,露出栅氧化层13,保留下来的多晶硅层14作为垂直双扩散金属氧化物半导体场效应管的栅极。

[0038] S105,利用多晶硅层被刻蚀区域作屏蔽,进行第二导电类型的体区的注入。

[0039] 具体的,图7为图2所示实施例中在外延层中形成体区的结构示意图。如图7所示,在图6所示结构的基础上进行第二导电类型的体区15的注入。具体可以利用多晶硅层14被刻蚀区域作屏蔽,采用自对准方式将第二导电类型(例如P型)的体区15经栅氧化层13注入至第一导电类型(例如N型)的外延层12中。现有技术中,通过在此步骤增加体区15的注入剂量,来解决器件漏源软击穿的问题。

[0040] S106,对第二导电类型的体区进行驱入。

[0041] 具体的,图8为图2所示实施例中对体区进行驱入处理的结构示意图。如图8所示,在图7所示结构的基础上对第二导电类型的体区15进行驱入。具体可以采用1100℃~1150℃的高温将第二导电类型(例如P型)的体区15推至需要的深度(包括横向和纵向)。现有技术中,通过在此步骤增加体区15的驱入时间,来解决器件漏源软击穿的问题。

[0042] S107,进行第一导电类型的源区的注入。

[0043] 具体的,图9为图2所示实施例中在体区中形成源区的结构示意图。如图9所示,在图8所示结构的基础上进行第一导电类型的源区16的注入。具体可以将第一导电类型(例如N型)的源区16经栅氧化层13注入至第二导电类型(例如P型)的体区15中。

[0044] S108,在未被刻蚀的多晶硅层和露出的栅氧化层的表面生长氮化硅层。

[0045] 具体的,图10为图2所示实施例中在未被刻蚀的多晶硅层表面形成氮化硅层的结构示意图。如图10所示,在图9所示结构的表面生长氮化硅层17。氮化硅层17的厚度应保证不能填满多晶硅层14被刻蚀的区域,即氮化硅层17的厚度应小于多晶硅层14的厚度,具体可以为1500~2000埃(Å)。

[0046] S109,利用氮化硅层在多晶硅层的侧壁形成的侧墙,进行第二导电类型的接触区的注入。

[0047] 具体的,图11为图2所示实施例中在体区中形成接触区的结构示意图。如图11所示,在图10所示结构的基础上进行第二导电类型的接触区18的注入。具体可以利用氮化硅层17在多晶硅层14侧壁形成的侧墙,采用自对准方式将第二导电类型(例如P型)的接触区18经栅氧化层13注入至第二导电类型(例如P型)的体区15中。

[0048] 完成以上步骤S109~S109后,继续执行步骤S201。具体的,图12为图2所示实施例中在氮化硅层表面形成绝缘层的结构示意图。如图12所示,在图11所示结构的表面淀积绝缘层19。绝缘层19的厚度应保证能够填满多晶硅层14被刻蚀区域中未被氮化硅层17填充的区域,即绝缘层19的厚度应大于多晶硅层14的厚度,具体可以为8000~10000埃(Å)。

[0049] 完成步骤S201后继续执行步骤S202。具体的,图13为图2所示实施例中对绝缘层进行回流处理的结构示意图。如图13所示,在图12所示结构的基础上对绝缘层19进行回流处理,经过回流处理,绝缘层19的表面会变得更加平坦,同时将源区16和接触区18推至需要的结深。对于构成绝缘层19的不同材料,应根据膜层结构特性选择合适的回流温度,以保证回

流效果,例如绝缘层19采用硼磷硅玻璃(BPSG),则为保证回流效果,回流温度通常选择在800℃~1000℃之间。在其他工艺参数确定的情况下,当回流温度超过漏源软击穿的阈值温度时,器件会出现漏源软击穿问题,而当回流温度未超过漏源软击穿的阈值温度时,器件不会出现漏源软击穿问题。在其他工艺参数确定的情况下,漏源软击穿的阈值温度根据绝缘层19的材料确定,例如在验证试验中,绝缘层19采用硼磷硅玻璃(BPSG),回流温度从950℃降低至875℃,器件漏源软击穿问题消失。

[0050] 参照图1,本领域技术人员可以理解的是,在步骤S202之后,还包括以下对栅氧化层13、氮化硅层17和回流处理后的绝缘层19进行刻蚀以及在刻蚀后的绝缘层19表面生长金属层20的步骤S301~S302:

[0051] S301,对目标槽区内的栅氧化层、氮化硅层和回流处理后的绝缘层进行刻蚀,露出第一导电类型的源区的一部分和第二导电类型的接触区。

[0052] 具体的,图14为图2所示实施例中,对栅氧化层、氮化硅层和回流处理后的绝缘层进行刻蚀处理的结构示意图。如图14所示,在图13所示结构的基础上对栅氧化层13、氮化硅层17和回流处理后的绝缘层19进行刻蚀。具体可以通过光刻的方式对光刻板目标槽区内的栅氧化层13、氮化硅层17和回流处理后的绝缘层19进行刻蚀,露出第一导电类型(例如N型)的源区16的一部分和第二导电类型(例如P型)的接触区18。

[0053] S302,在未被刻蚀的绝缘层、露出的第一导电类型的源区的一部分和第二导电类型的接触区的表面生长金属层。

[0054] 具体的,如图1所示,在图14所示结构的表面生长金属层20。金属层20的厚度应保证能够填满栅氧化层13、氮化硅层17和绝缘层19被刻蚀的区域,即金属层20的厚度应大于栅氧化层13、多晶硅层14、氮化硅层17和绝缘层19的厚度之和。

[0055] 本发明提供的垂直双扩散金属氧化物半导体场效应管的制造方法,在小于漏源软击穿的阈值温度的设定温度下对绝缘层进行回流处理,通过降低回流处理时的温度,使得源区横向扩散的距离变短,体区的有效沟道长度变长,降低了器件体区/外延层漂移区结反向偏置状态下体区耗尽层穿通到源区的风险,达到解决器件漏源软击穿的目的。且该方法对器件的其余电性参数基本无影响,避免了人力物力的浪费。

[0056] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

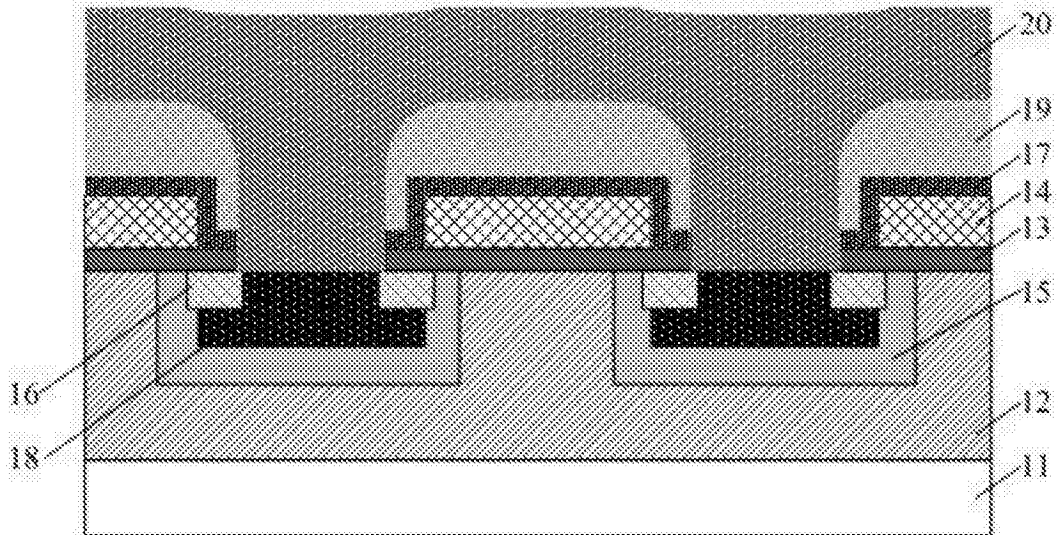


图1

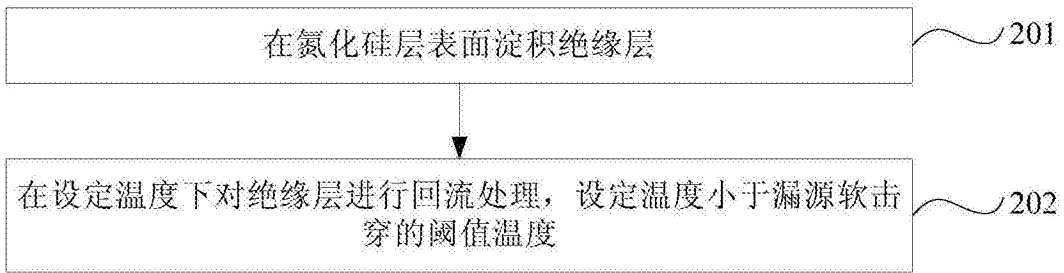


图2

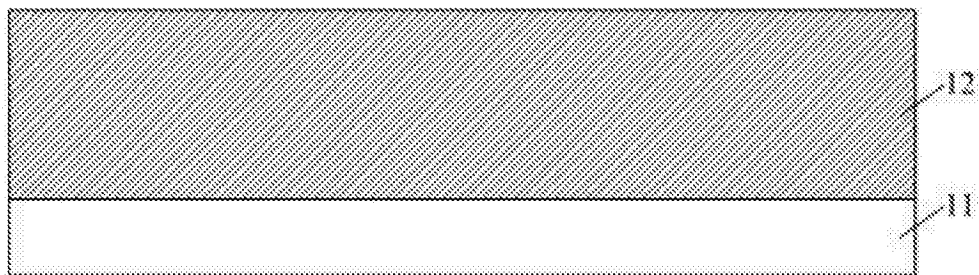


图3

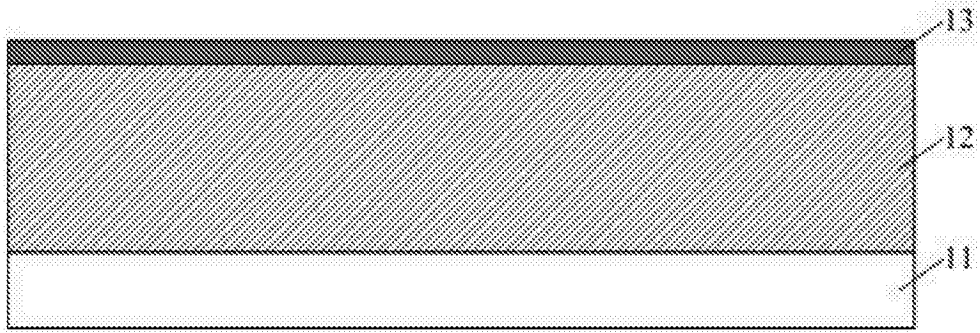


图4

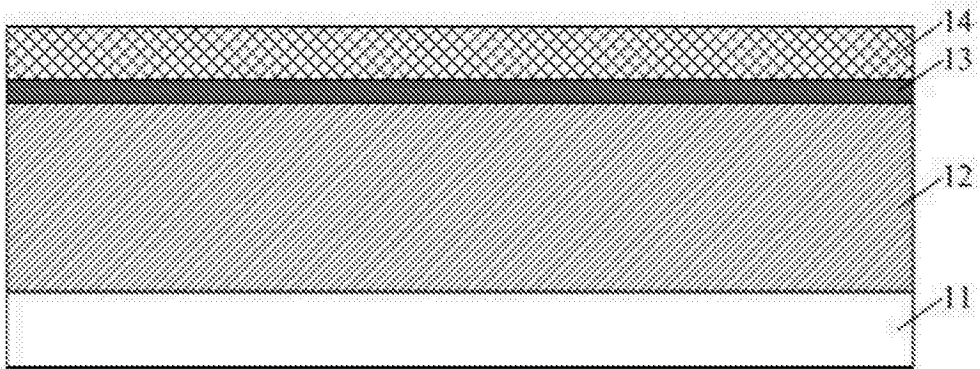


图5

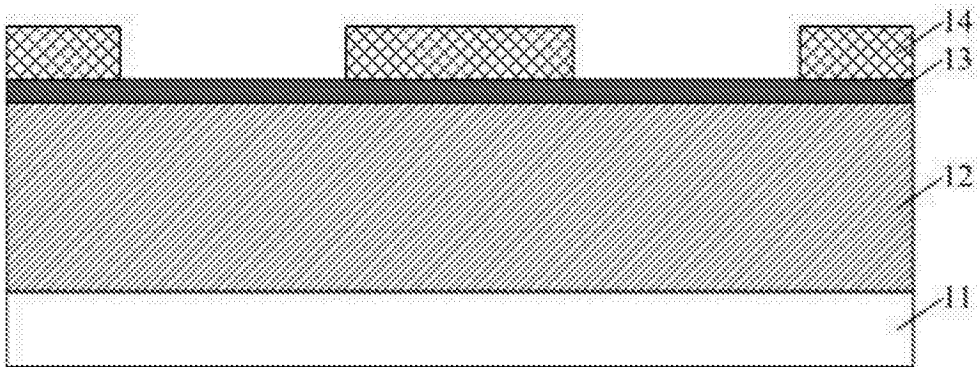


图6

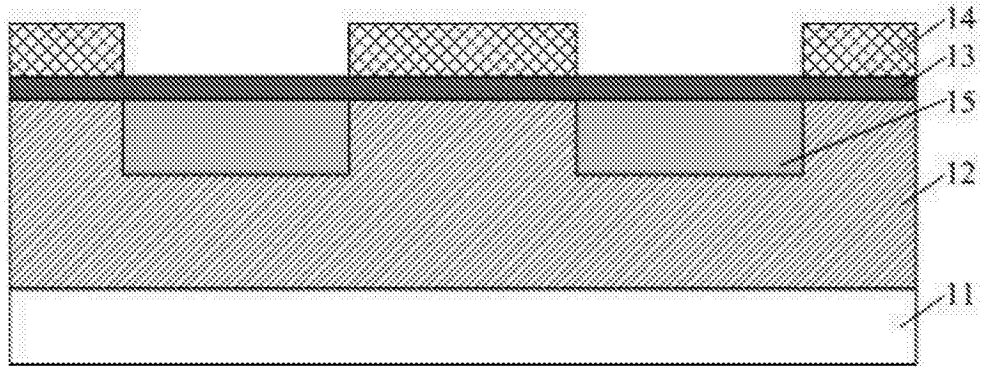


图7

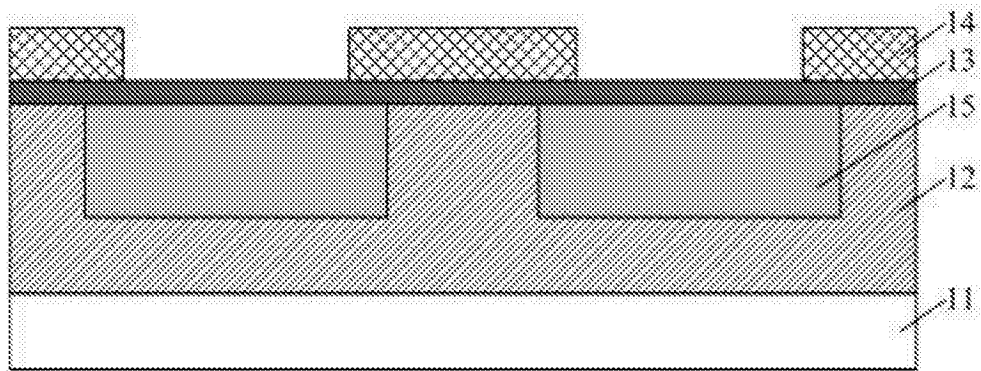


图8

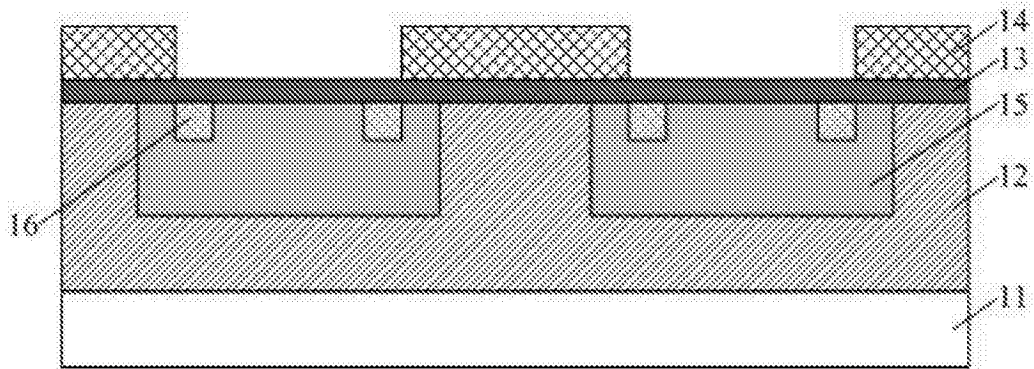


图9

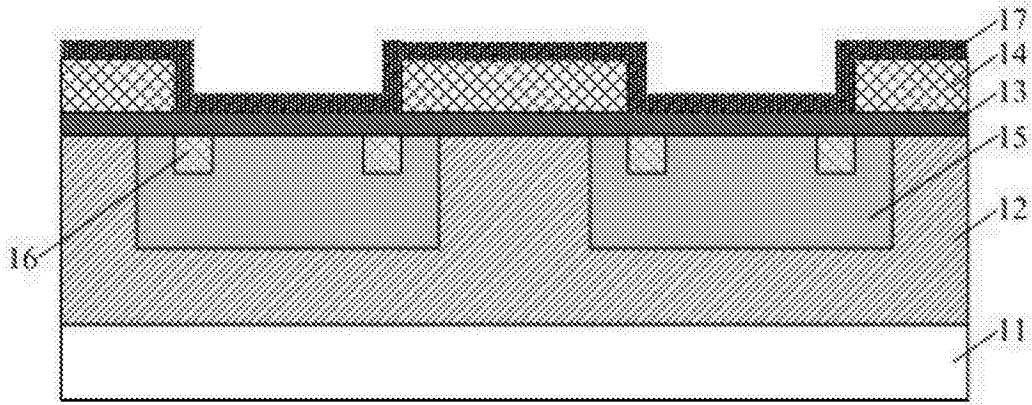


图10

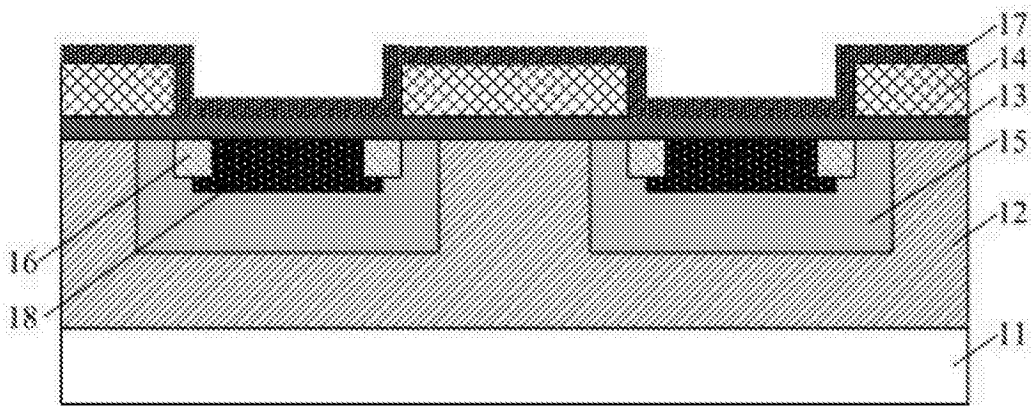


图11

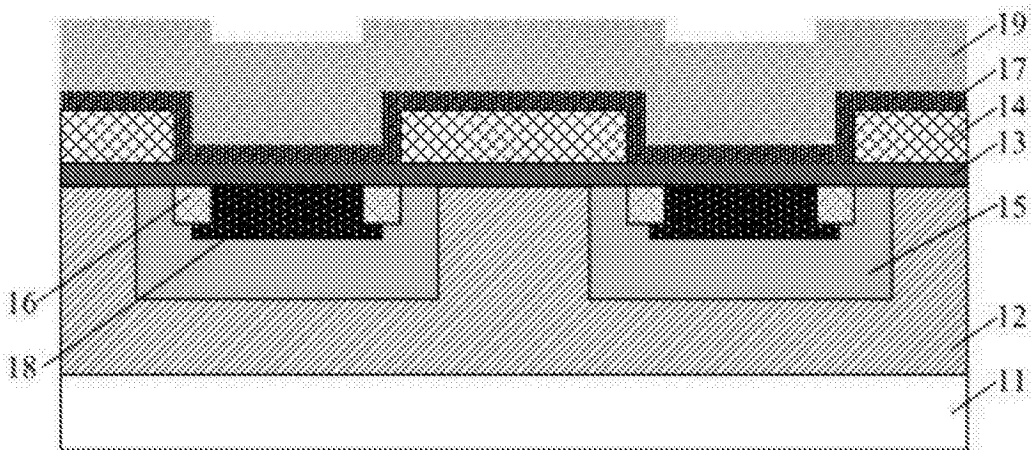


图12

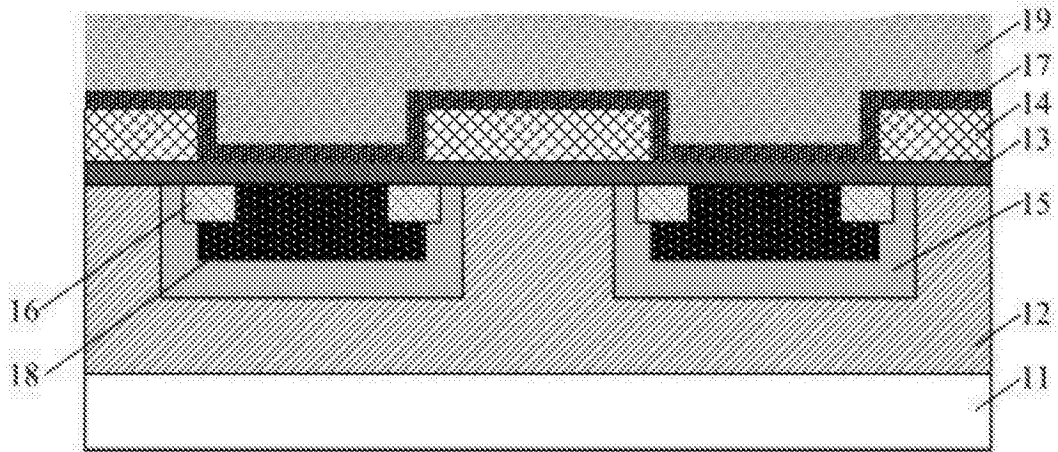


图13

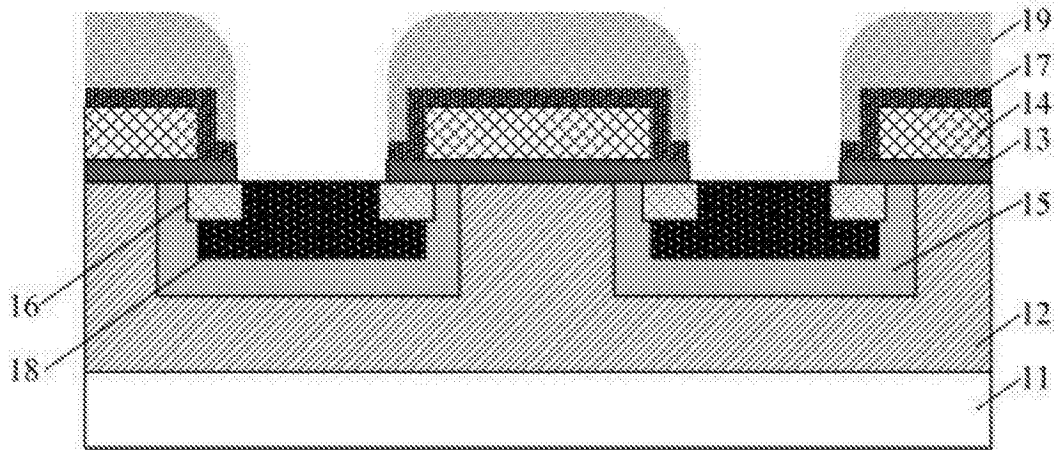


图14