

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5730419号  
(P5730419)

(45) 発行日 平成27年6月10日(2015.6.10)

(24) 登録日 平成27年4月17日(2015.4.17)

(51) Int. Cl.	F 1	
<b>GO2B 7/28 (2006.01)</b>	GO2B 7/28	N
<b>GO2B 7/34 (2006.01)</b>	GO2B 7/34	
<b>GO2B 7/36 (2006.01)</b>	GO2B 7/36	
<b>HO4N 5/232 (2006.01)</b>	HO4N 5/232	H
<b>HO4N 5/238 (2006.01)</b>	HO4N 5/238	Z

請求項の数 2 (全 27 頁) 最終頁に続く

(21) 出願番号	特願2014-4871 (P2014-4871)	(73) 特許権者	306037311 富士フイルム株式会社
(22) 出願日	平成26年1月15日(2014.1.15)		東京都港区西麻布2丁目26番30号
(62) 分割の表示	特願2010-187599 (P2010-187599) の分割	(74) 代理人	100115107 弁理士 高松 猛
原出願日	平成22年8月24日(2010.8.24)	(74) 代理人	100151194 弁理士 尾澤 俊之
(65) 公開番号	特開2014-112242 (P2014-112242A)	(74) 代理人	100164758 弁理士 長谷川 博道
(43) 公開日	平成26年6月19日(2014.6.19)	(72) 発明者	大槻 康夫 埼玉県さいたま市北区植竹町1丁目324 番地 富士フイルム株式会社内
審査請求日	平成26年2月14日(2014.2.14)	(72) 発明者	井上 知己 神奈川県足柄上郡開成町宮台798番地 富士フイルム株式会社内

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項1】

瞳分割用の画素部のペアを複数有する撮像素子を備える撮像装置であって、  
前記撮像素子に含まれる全ての画素部が、前記瞳分割用の画素部であり、  
前記ペアを構成する2つの瞳分割用の画素部の間には画素部同士を分離するための素子  
分離領域が設けられており、  
前記撮像素子の前方に配置されたフォーカスレンズと、  
前記撮像素子で撮影して得られる撮像画像信号に基づいて前記フォーカスレンズの位置  
を調節する焦点調節処理を行う焦点調節部とを備え、  
前記焦点調節処理は、前記ペアの信号を用いて位相差検出方式により焦点調節を行う位  
相差AF処理と、前記撮像画像信号に基づいてコントラスト検出方式により焦点調節を行  
うコントラストAF処理とを含み、  
前記撮像装置が撮影モードに設定されると、前記撮像素子によりライブビュー画像表示  
用の動画撮影を開始し、前記撮像素子から出力される撮像画像信号に基づいて露出値を算  
出し、前記算出した露出値が閾値以上の場合に前記位相差AF処理を行い、前記算出した  
露出値が閾値未満の場合に前記コントラストAF処理を行い、  
全ての前記ペアの一方の瞳分割用の画素部から得られる撮像画像信号と、全ての前記ペ  
アの他方の瞳分割用の画素部から得られる撮像画像信号とをそれぞれ画像処理して視差の  
ある複数の撮像画像データを生成する画像処理部を更に備える撮像装置。

【請求項2】

請求項 1 記載の撮像装置であって、  
前記撮像素子の被写体側に配置されたメカニカルシャッタを備え、  
前記撮影モードが設定されると前記メカニカルシャッタを開いてライブビュー画像表示用の動画撮影を開始し、シャッタボタンが半押しされた時点で前記露出値を算出する撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置に関する。

【背景技術】

10

【0002】

焦点検出技術の 1 つとして位相差検出方式が知られている。この方式は、撮影レンズの異なる瞳領域を通過する光束を受光する一对の瞳分割用画素を設け、この一对の瞳分割用画素からの信号を用いることで、撮影レンズのデフォーカス量を検出するものである。この位相差検出方式によれば、コントラスト AF 方式の焦点検出技術に比べて高速に焦点調節を行うことができる。このような位相差検出方式の原理を適用した撮像装置として、特許文献 1, 2 に記載のものが知られている。

【0003】

特許文献 1 に記載の固体撮像素子は、1 つのマイクロレンズ下方にある光電変換領域を 2 分割することで、一对の瞳分割用画素を形成するものである。しかし、この構成では、微細化するほど製造が難しくなるだけでなく、混色も発生しやすくなり、位相差検出精度に欠ける。また、様々な入射角に対するタフネス性に欠ける。

20

【0004】

特許文献 2 には、光電変換素子上方に設ける遮光膜開口を偏心させることで瞳分割用画素を形成した固体撮像素子が記載されている。しかし、この構成は、光電変換素子の上方に遮光膜がある構成が前提となっており、光電変換素子の上方に遮光膜が不要となる裏面照射型の撮像素子（例えば特許文献 3、4 参照）等には簡単に適用できない。

【0005】

また、特許文献 1, 2 に記載の固体撮像素子は、瞳分割用画素で得られた信号は感度不足となるため、記録用の撮影を行う際には、瞳分割用画素で得られた信号を周囲の信号で補間する欠陥補正処理を行う必要がある。このため、偽色の発生の可能性があり、高画質な画像を得ることが難しい。また、信号を補間生成する演算を行う分、撮影から撮像画像データ記録までに要する時間（撮影時間）が長くなり、シャッタチャンス逃してしまう可能性がある。

30

【0006】

高画質かつ高速撮影を可能にするには、欠陥補正処理が不要になるよう、瞳分割用画素と通常の撮影用の画素とで同じ構造とするのが理想的であるが、これでは瞳分割を行うことができない。

【先行技術文献】

【特許文献】

40

【0007】

【特許文献 1】特開 2007 - 281296 号公報

【特許文献 2】特開 2008 - 312073 号公報

【特許文献 3】特開 2005 - 20024 号公報

【特許文献 4】特開 2008 - 103668 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、上記事情に鑑みてなされたものであり、裏面照射型、表面照射型に関わらず容易に製造することができ、かつ、撮影時間を短くして高画質の撮影を行うことが可能な

50

瞳分割機能を有する撮像素子、これを備える撮像装置、及びこれを用いた撮像方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の撮像装置は、瞳分割用の画素部のペアを複数有する撮像素子を備える撮像装置であって、前記撮像素子に含まれる全ての画素部が、前記瞳分割用の画素部であり、前記ペアを構成する2つの瞳分割用の画素部の間には画素部同士を分離するための素子分離領域が設けられており、前記撮像素子の前方に配置されたフォーカスレンズと、前記撮像素子で撮影して得られる撮像画像信号に基づいて前記フォーカスレンズの位置を調節する焦点調節処理を行う焦点調節部とを備え、前記焦点調節処理は、前記ペアの信号を用いて位相差検出方式により焦点調節を行う位相差AF処理と、前記撮像画像信号に基づいてコントラスト検出方式により焦点調節を行うコントラストAF処理とを含み、前記撮像装置が撮影モードに設定されると、前記撮像素子によりライブビュー画像表示用の動画撮影を開始し、前記撮像素子から出力される撮像画像信号に基づいて露出値を算出し、前記算出した露出値が閾値以上の場合に前記位相差AF処理を行い、前記算出した露出値が閾値未満の場合に前記コントラストAF処理を行うものである。

10

本発明の撮像装置は、前記撮像素子の被写体側に配置されたメカニカルシャッタを備え、前記撮影モードが設定されると前記メカニカルシャッタを開いてライブビュー画像表示用の動画撮影を開始し、シャッタボタンが半押しされた時点で前記露出値を算出するものである。

20

本発明の撮像装置は、全ての前記ペアの一方の瞳分割用の画素部から得られる撮像画像信号と、全ての前記ペアの他方の瞳分割用の画素部から得られる撮像画像信号とをそれぞれ画像処理して視差のある複数の撮像画像データを生成する画像処理部を備えるものである。

本発明の撮像装置は、瞳分割用の画素部のペアを複数有する撮像素子を備える撮像装置であって、前記ペアを構成する2つの画素部は、それぞれ、半導体基板内に形成され電荷を発生する第一導電型の電荷発生領域と、前記半導体基板内で前記電荷発生領域に接して形成され前記電荷発生領域で発生した電荷を蓄積する前記電荷発生領域よりも不純物濃度の高い前記第一導電型の電荷蓄積領域と、前記電荷蓄積領域と前記電荷発生領域のうち前記電荷発生領域に接して形成された前記第一導電型と反対導電型の障壁領域と、前記障壁領域に隣接して形成された前記第一導電型の電荷排出領域とを含み、前記ペアを構成する2つの画素部の一方の画素部の前記電荷発生領域が前記障壁領域と接する部分は、当該電荷発生領域の中心よりも瞳分割方向の一方側にあり、前記ペアを構成する2つの画素部の他方の画素部の前記電荷発生領域が前記障壁領域と接する部分は、当該電荷発生領域の中心よりも瞳分割方向の他方側にあり、前記撮像素子の前方に配置されたフォーカスレンズと、前記撮像素子で撮影して得られる撮像画像信号に基づいて前記フォーカスレンズの位置を調節する焦点調節処理を行う焦点調節部とを備え、前記焦点調節処理は、前記ペアの信号を用いて位相差検出方式により焦点調節を行う位相差AF処理と、前記撮像画像信号に基づいてコントラスト検出方式により焦点調節を行うコントラストAF処理とを含み、撮影モードに設定されると、前記撮像素子によりライブビュー画像表示用の動画撮影を開始し、前記撮像素子から出力される撮像画像信号に基づいて露出値を算出し、前記算出した露出値が閾値以上の場合に前記位相差AF処理を行い、前記算出した露出値が閾値未満の場合に前記コントラストAF処理を行うものである。

30

40

【0010】

本発明の撮像装置は、瞳分割用の画素部のペアを複数有する撮像素子であって、前記ペアを構成する2つの画素部は、それぞれ、半導体基板内に形成され電荷を発生する第一導電型の電荷発生領域と、前記半導体基板内で前記電荷発生領域に接して形成され前記電荷発生領域で発生した電荷を蓄積する前記電荷発生領域よりも不純物濃度の高い前記第一導電型の電荷蓄積領域と、前記電荷蓄積領域と前記電荷発生領域のうち前記電荷発生領域のみに接して形成された前記第一導電型と反対導電型の障壁領域と、前記障壁領域に隣接し

50

て形成された前記第一導電型の電荷排出領域とを含み、前記ペアを構成する2つの画素部の一方の画素部の前記電荷発生領域が前記障壁領域と接する部分は、当該電荷発生領域の中心よりも瞳分割方向の一方側にあり、前記ペアを構成する2つの画素部の他方の画素部の前記電荷発生領域が前記障壁領域と接する部分は、当該電荷発生領域の中心よりも瞳分割方向の他方側にあるものである。

#### 【0011】

この構成によれば、障壁領域で形成されるポテンシャル障壁を消滅させた場合には、電荷発生領域の障壁領域と接している部分近辺で発生した電荷が電荷排出領域に移動し、電荷発生領域の障壁領域と接していない部分で発生した電荷が電荷蓄積領域に移動する。ペアを構成する2つの画素部の電荷発生領域が障壁領域と接している部分の位置は瞳分割方向で互いに逆となっているため、ペアを構成する2つの画素部の電荷排出領域に移動する電荷は、異なる瞳領域を通過した光に対応する電荷とすることができる。この結果、ペアを構成する2つの画素部の電荷蓄積領域は、それぞれ異なる瞳領域を通過した光に対応する電荷を蓄積することが可能になり、瞳分割が可能となる。

#### 【0012】

特許文献1, 2に記載された瞳分割の手法では、撮影を行う際に瞳分割用画素で得られた信号を周囲から補間生成する必要がある。これに対し、上記構成によれば、ポテンシャル障壁が形成されるようにした状態で撮影を行うことで、ペアの2つの画素部を撮影用の画素部として機能させることが可能である。このため、信号補間のための演算処理は不要となり、高画質かつ撮影時間の短縮が可能となる。また、上記構成によれば、光学的に開口を狭めて瞳分割を行わずにすむため、裏面照射型撮像素子に適用したとしても、裏面照射型撮像素子の最大の利点である高い感度を損なうことがない。また、遮光膜等を形成する工程を追加する必要がないため、製造コストの増加、混色の発生等を防ぐことができる。また、微細化にも容易に対応することができる。

#### 【発明の効果】

#### 【0013】

本発明によれば、裏面照射型、表面照射型に関わらず容易に製造することができ、かつ、撮影時間を短くして高画質の撮影を行うことが可能な瞳分割機能を有する撮像素子、これを備える撮像装置、及びこれを用いた撮像方法を提供することができる。

#### 【図面の簡単な説明】

#### 【0014】

【図1】本発明の一実施形態を説明するための撮像装置の機能ブロック図

【図2】図1に示した撮像装置における撮像素子の概略構成を示す平面模式図

【図3】図2に示した撮像素子における瞳分割用の画素部の1つのペアのA-A線断面模式図

【図4】図2に示したペアの2つの画素部を拡大した平面模式図

【図5】図2に示した撮像素子のローレベル状態での画素部のシリコン基板内のポテンシャル分布を示した図

【図6】図2に示した撮像素子のハイレベル状態での画素部のシリコン基板内のポテンシャル分布を示した図

【図7】図2に示した撮像素子の瞳分割原理を説明するための図

【図8】図1に示した撮像装置の撮影動作を説明するためのフローチャート

【図9】図1に示した撮像装置の撮影動作を説明するためのタイミングチャート

【図10】図1に示した撮像装置に3D撮影モードを搭載したときの撮影動作を説明するためのフローチャート

【図11】図1に示した撮像装置に搭載する撮像素子の第一の変形例を示す図

【図12】図1に示した撮像装置に搭載する撮像素子の第二の変形例を示す図

【図13】図12に示した画素部10, 11の電荷排出領域15aに、障壁領域16によって形成されるポテンシャル障壁を消滅させるハイレベルの電圧を印加したときの状態を示した図

10

20

30

40

50

【図14】図1に示した撮像装置に搭載する撮像素子の第三の変形例を示す図

【図15】図14のB-B線断面模式図

【図16】図14のC-C線断面模式図

【図17】図14のD-D線断面模式図

【図18】図1に示した撮像装置に搭載する撮像素子の第四の変形例を示す図

【図19】図1に示した撮像装置に搭載する撮像素子の第五の変形例を示す図

【図20】図1に示した撮像装置に搭載する撮像素子の第六の変形例を示す図

【図21】図1に示した撮像装置に搭載する撮像素子の第七の変形例を示す図

【発明を実施するための形態】

【0015】

10

以下、本発明の実施形態について図面を参照して説明する。

【0016】

図1は、本発明の一実施形態を説明するための撮像装置100の機能ブロック図である。撮像装置100の撮像系は、撮影レンズ系41と、絞り42と、メカニカルシャッタ43と、撮像素子44と、アナログデジタル(AD)変換部45とを備える。

【0017】

撮像素子44はいわゆる裏面照射型のイメージセンサであり、半導体基板としてのシリコン基板(Si基板)の一方の面(裏面)から光を受光し、当該光に応じてシリコン基板内で発生した電荷を、シリコン基板の他方の面(表面)に形成された読み出し回路を用いて読み出すものである。読み出し回路としては、CCD(Charge Coupled Device)及びアンプで構成されるCCD回路と、MOS(Metal-Oxide-Semiconductor)トランジスタで構成されるMOS回路のどちらを用いてもよいが、以下ではMOS回路を採用した場合について説明する。

20

【0018】

撮影レンズ系41の背部には、絞り42が配置され、撮影レンズ系41と絞り42により撮影光学系を構成している。

【0019】

絞り42の背部には、詳細は後述するCMOS型かつ裏面照射型の撮像素子44が配置されている。絞り42と撮像素子44の間にはメカニカルシャッタ43が配置されている。撮影レンズ系41、絞り42、及びメカニカルシャッタ43をこの順に通って撮像素子44の受光面に入射した被写体光像に対応する撮像画像信号が、AD変換部45でデジタルデータに変換され、バス56に出力される。

30

【0020】

バス56には、この撮像装置100の全体を統括制御する中央制御部(CPU)46と、シャッタボタンを含む操作ボタン等で構成される操作部48と、DSP等で構成されCPU46の指示の基に撮像画像信号に対して周知の画像処理を施す画像処理部49と、撮像画像信号を画像処理して得られた撮像画像データを表示用のデータに変換するビデオエンコーダ50と、ビデオエンコーダ50で変換された撮像画像データを表示部52に表示するドライバ53と、メモリ51と、メディア制御部54とが接続される。メディア制御部54には着脱自在に記録媒体(メモリカード)55が装着される。

40

【0021】

CPU46には、デバイス制御部47が接続される。デバイス制御部47は、CPU46からの指示に従い、撮像素子44の駆動制御を行い、絞り42の開口量調整制御を行い、撮影レンズ系41のフォーカスレンズの位置制御やズームレンズの位置制御を行い、メカニカルシャッタ43の開閉制御を行う。

【0022】

図2は、図1に示した撮像装置100における撮像素子44の概略構成を示す平面模式図である。図2では、撮像素子44をシリコン基板の表面側から見た図を示した。

【0023】

図2に示したように、撮像素子44は、複数の画素部10(細線のブロック)からなる

50

第一グループと、複数の画素部 1 1 (太線のブロック) からなる第二グループとを備える。撮像素子 4 4 に含まれる全ての画素部は、行方向 X とこれに直交する列方向 Y に二次元状 (図 2 の例では正方格子状) に配列されている。そして、左から数えて偶数番目の列にある画素部が、画素部 1 1 となっている。

【 0 0 2 4 】

各画素部 1 0 と、各画素部 1 0 に対して同一の方向で隣接する画素部 1 1 (図 2 の例では各画素部 1 0 の右隣にある画素部 1 1) は、撮影光学系の異なる瞳領域を通過する光束を受光する瞳分割用の画素部のペアを構成する。撮像素子 4 4 は、このペアを二次元状に複数配列したものであるということもできる。

【 0 0 2 5 】

図 3 は、図 2 に示した撮像素子 4 4 における瞳分割用の画素部のペアの A - A 線断面模式図である。

【 0 0 2 6 】

画素部 1 0 のシリコン基板内には、裏面側に電荷発生領域 1 7 が形成されている。電荷発生領域 1 7 は、シリコン基板の裏面側から入射する光に応じた電荷を発生する N 型不純物層からなる領域である。

【 0 0 2 7 】

画素部 1 0 のシリコン基板内の電荷発生領域 1 7 よりもシリコン基板の表面側には、電荷発生領域 1 7 に接して電荷蓄積領域 1 3 が形成されている。電荷蓄積領域 1 3 は、シリコン基板の裏面側から入射する光に応じた電荷を発生すると共に、電荷発生領域 1 7 及び電荷蓄積領域 1 3 自身で発生した電荷を蓄積する。電荷蓄積領域 1 3 は、電荷発生領域 1 7 よりも不純物濃度の高い N 型不純物層からなる領域である。電荷発生領域 1 7 と電荷蓄積領域 1 3 が画素部 1 0 の光電変換領域 (フォトダイオード) を構成している。

【 0 0 2 8 】

図 3 の例では、電荷発生領域 1 7 は画素部 1 0 の行方向 X の端から端まで形成されており、電荷蓄積領域 1 3 は、電荷発生領域 1 7 よりも行方向 X の幅が小さくなっており、かつ、その行方向 X の中心が電荷発生領域 1 7 の行方向 X の中心に対して左方向に偏心して配置されている。

【 0 0 2 9 】

画素部 1 0 のシリコン基板内の電荷蓄積領域 1 3 とシリコン基板表面との間には、電荷蓄積領域 1 3 での暗電流発生等を抑制するための P 型不純物層からなる表面 P 領域 1 2 が形成されている。

【 0 0 3 0 】

画素部 1 0 のシリコン基板内の電荷発生領域 1 7 よりもシリコン基板の表面側には、電荷発生領域 1 7 に接して障壁領域 1 6 が形成されている。障壁領域 1 6 は、電荷発生領域 1 7 に対してポテンシャル障壁を形成する P 型不純物層からなる領域である。障壁領域 1 6 の電荷発生領域 1 7 と接する部分は、当該電荷発生領域 1 7 の行方向 X の中心よりも瞳分割方向 (行方向 X) の一方側 (右側) にある。言い換えると、障壁領域 1 6 は、電荷発生領域 1 7 の行方向 X の端部のうちの一方の端部 (図 3 の例では右端部) に接して形成されている。

【 0 0 3 1 】

画素部 1 0 のシリコン基板内の障壁領域 1 6 とシリコン基板表面との間には、電荷発生領域 1 7 と同じ導電型の N 型不純物層からなる電荷排出領域 1 5 が形成されている。電荷排出領域 1 5 は、図 3 の例では、電荷蓄積領域 1 3 よりも不純物濃度の高い領域となっている。電荷排出領域 1 5 には、シリコン基板表面上方に形成された配線 3 0 が電氣的に接続されており、この配線 3 0 は、図 1 に示したデバイス制御部 4 7 に接続されている。

【 0 0 3 2 】

画素部 1 0 のシリコン基板内の表面 P 領域 1 2 及び電荷蓄積領域 1 3 と、障壁領域 1 6 及び電荷排出領域 1 5 との間には、障壁領域 1 6 よりも不純物濃度の高い P 型不純物層からなる素子分離領域 1 4 が形成されている。この素子分離領域 1 4 によって、表面 P 領域

10

20

30

40

50

1 2 及び電荷蓄積領域 1 3 と、障壁領域 1 6 及び電荷排出領域 1 5 とが分離されている。

【 0 0 3 3 】

画素部 1 1 の断面形状は、画素部 1 0 の断面形状を瞳分割方向（行方向 X）で反転させたものとなっているだけであるため、同一機能を持つ領域には画素部 1 0 と同一の符号を付して説明を省略する。

【 0 0 3 4 】

シリコン基板内の画素部 1 0 と画素部 1 1 の間には、画素部同士を分離するための P 型不純物層からなる素子分離領域 1 8 が形成されている。また、画素部 1 0 , 1 1 の電荷発生領域 1 7 とシリコン基板の裏面との間には、高濃度の P 型不純物層からなる裏面 P 領域 1 9 が形成されている。

10

【 0 0 3 5 】

図 4 は、図 2 に示したペアを構成する 2 つの画素部を拡大した平面模式図である。

【 0 0 3 6 】

画素部 1 0 のシリコン基板表面にある表面 P 領域 1 2 の隣にはフローティングディフュージョン F D が形成されている。フローティングディフュージョン F D と表面 P 領域 1 2 との間のシリコン基板上方には、図示しない絶縁膜を介して転送ゲート電極 3 1 が形成されている。この転送ゲート電極 3 1 に高電圧が印加されると、電荷蓄積領域 1 3 に蓄積された電荷がフローティングディフュージョン F D に転送される。

【 0 0 3 7 】

フローティングディフュージョン F D の右隣にはドレイン領域 2 7 が形成されている。ドレイン領域 2 7 には配線 2 5 が接続され、この配線 2 5 には電源電圧 V D D が供給される。フローティングディフュージョン F D とドレイン領域 2 7 との間のシリコン基板上方には、図示しない絶縁膜を介してリセットゲート電極 2 1 が形成されている。リセットゲート電極 2 1 に高電圧が印加されると、フローティングディフュージョン F D の電荷がドレイン領域 2 7 へと排出されて、フローティングディフュージョン F D がリセットされる。フローティングディフュージョン F D とリセットゲート電極 2 1 とドレイン領域 2 7 が、フローティングディフュージョン F D の電荷をリセットするリセットトランジスタを構成する。

20

【 0 0 3 8 】

ドレイン領域 2 7 の右隣にはソース領域 2 8 が形成されている。ドレイン領域 2 7 とソース領域 2 8 の間のシリコン基板上方には、図示しない絶縁膜を介してゲート電極 2 2 が形成されている。ゲート電極 2 2 には配線 2 4 が接続され、この配線 2 4 がフローティングディフュージョン F D に電氣的に接続されている。ドレイン領域 2 7 とゲート電極 2 2 とソース領域 2 8 が、フローティングディフュージョン F D の電位に応じた信号を出力する出力トランジスタを構成する。

30

【 0 0 3 9 】

ソース領域 2 8 の右隣にはドレイン領域 2 9 が形成されている。ソース領域 2 8 とドレイン領域 2 9 の間のシリコン基板上方には、図示しない絶縁膜を介してゲート電極 2 3 が形成されている。ドレイン領域 2 9 には信号出力線 2 6 が接続されている。ソース領域 2 8 とゲート電極 2 3 とドレイン領域 2 9 が、出力トランジスタからの出力信号を信号出力線 2 6 に選択的に出力する選択トランジスタを構成する。この選択トランジスタがオンすることで、出力トランジスタからの出力信号を信号出力線 2 6 に出力することができる。

40

【 0 0 4 0 】

以上のように、画素部 1 0 は、シリコン基板の表面側に周知の M O S 回路（図 3 の例ではフローティングディフュージョン F D と 3 つのトランジスタからなる M O S 回路）が読み出し回路として形成されている。なお、画素部 1 1 の読み出し回路の構成は、画素部 1 0 の構成を左右反転させただけであるため、その説明は省略する。また、この読み出し回路のレイアウトは一例であり、シリコン基板表面側の空いているスペースを利用して周知の M O S 回路を形成することができる。

【 0 0 4 1 】

50

次に、このように構成された瞳分割用の画素部 10, 11 の瞳分割の原理について説明する。

【0042】

撮像装置 100 では、デバイス制御部 47 が、電荷排出領域 15 に接続された配線 30 に供給する電圧を制御することで、画素部 10, 11 を瞳分割用画素部として機能させたり、瞳分割機能を持たない通常の撮影用の画素部として機能させたりする。具体的には、デバイス制御部 47 は、電荷排出領域 15 に接続された配線 30 に供給する電圧を、障壁領域 16 によって形成されるポテンシャル障壁を消滅させることのできるハイレベルの電圧と、当該ポテンシャル障壁を消滅させずに形成しておくことのできるローレベルの電圧とで切り替える。以下では、電荷排出領域 15 にローレベルの電圧を印加した状態をローレベル状態といい、電荷排出領域 15 にハイレベルの電圧を印加した状態をハイレベル状態という。

10

【0043】

図 5 は、ローレベル状態での画素部 10 のシリコン基板内のポテンシャル分布を示した図である。図 5 において、FIG 5 A は、図 3 に示した断面図における B - B 線の断面ポテンシャル図であり、FIG 5 B は、図 3 に示した断面図における C - C 線の断面ポテンシャル図である。図 6 は、ハイレベル状態での画素部 10 のシリコン基板内のポテンシャル分布を示した図である。図 6 において、FIG 6 A は、図 3 に示した断面図における B - B 線の断面ポテンシャル図であり、FIG 6 B は、図 3 に示した断面図における C - C 線の断面ポテンシャル図である。

20

【0044】

ローレベル状態では、FIG 5 B に示したように、障壁領域 16 のポテンシャルが電荷発生領域 17 に対して障壁として機能する。このため、電荷発生領域 17 のうち、障壁領域 16 と接する部分の近辺で発生した電荷は、この障壁を越えられずに、FIG 5 A に示した電荷蓄積領域 13 によって形成されるポテンシャル井戸に移動する。つまり、ローレベル状態では、電荷発生領域 17 で発生する全ての電荷が、電荷蓄積領域 13 に蓄積されることになる。

【0045】

これに対し、ハイレベル状態では、FIG 6 B に示したように、障壁領域 16 によって形成されていたポテンシャル障壁が消滅し、障壁領域 16 のポテンシャルが電荷発生領域 17 に対して障壁として機能しなくなる。このため、電荷発生領域 17 のうち、障壁領域 16 と接する部分の近辺で発生した電荷は、障壁領域 16 を通って電荷排出領域 15 に移動し、電荷蓄積領域 13 には蓄積されない。一方で、電荷発生領域 17 のうち、障壁領域 16 と接しない部分で発生した電荷は、FIG 6 A に示した電荷蓄積領域 13 によって形成されるポテンシャル井戸に移動する。つまり、ハイレベル状態では、電荷発生領域 17 で発生する電荷のうち、電荷発生領域 17 の行方向 X の右端で発生する電荷以外の電荷だけが電荷蓄積領域 13 に蓄積されることになる。

30

【0046】

ここまでは、画素部 10 についての説明であるが、画素部 11 については、画素部 10 と左右反転の構造となっているため、ハイレベル状態では、電荷発生領域 17 で発生する電荷のうち、電荷発生領域 17 の行方向 X の左端で発生する電荷以外の電荷だけが電荷蓄積領域 13 に蓄積され、ローレベル状態では、電荷発生領域 17 で発生する全ての電荷が電荷蓄積領域 13 に蓄積されることになる。

40

【0047】

このように、ハイレベル状態では、画素部 10 と画素部 11 とで、電荷蓄積領域 13 に蓄積される電荷の成分が異なるものとなる。この結果、画素部 10 と画素部 11 とで瞳分割が可能となる。図 7 を用いて瞳分割の原理について更に説明する。

【0048】

図 7 の FIG 7 A は、ローレベル状態での画素部 10 内での電荷の移動を説明するための図である。図 7 の FIG 7 B は、ハイレベル状態での画素部 10 内での電荷の移動を説

50

明するための図である。

【 0 0 4 9 】

画素部 1 0 にシリコン基板の裏面側から入射する光には、画素部 1 0 に対して左側から入射してくる成分と、右側から入射してくる成分とが存在する。左側から入射してくる光成分は、F I G 7 A に示すように、電荷発生領域 1 7 の右側の端部に入射し、ここで電荷（丸印に - を記入したもの）を発生する。逆に、右側から入射してくる光成分は、電荷発生領域 1 7 の左側の端部に入射し、ここで電荷を発生する。

【 0 0 5 0 】

ローレベル状態では、障壁領域 1 6 が電荷発生領域 1 7 に対してポテンシャル障壁を形成するため、電荷発生領域 1 7 で発生した全ての電荷は、F I G 7 A の矢印で示すように、電荷蓄積領域 1 3 に移動して、ここで蓄積される。

10

【 0 0 5 1 】

一方、ハイレベル状態では、F I G 7 B に示すように、障壁領域 1 6 のポテンシャル障壁が消滅して、斜線部分で示すように電荷排出領域 1 5 から空乏層が広がるため、左側から入射してきた光成分に応じた電荷は、この空乏層を介して電荷排出領域 1 5 に移動し、右側から入射してきた光成分に応じた電荷は、電荷蓄積領域 1 3 に移動して蓄積される。

【 0 0 5 2 】

画素部 1 1 についての電荷の流れは、図 7 を左右反転させたものとなる。

【 0 0 5 3 】

したがって、ハイレベル状態では、画素部 1 0 は、右側から入射してくる光成分に応じた電荷を主に蓄積し、画素部 1 1 は、左側から入射してくる光成分に応じた電荷を主に蓄積する。この結果、画素部 1 0 と画素部 1 1 とで、それぞれに入射してくる光の光路は全く変えることなく、配線 3 0 に印加する電圧を変えするという電氣的な制御だけで、瞳分割を行うことができる。画素部 1 0 と画素部 1 1 は、従来の裏面照射型撮像素子に対し、主にシリコン基板内の構造を変えることで実現することができる。このため、特許文献 1 , 2 に記載のように、シリコン基板外の素子光学系（マイクロレンズや遮光膜）の構成を変えて瞳分割用画素部を作る場合と比較して、感度の低下を防ぐことができる、微細化に容易に対応することができる、製造コストの増大を防ぐことができる等の利点がある。

20

【 0 0 5 4 】

なお、ハイレベル状態において、電荷発生領域 1 7 の F I G 7 B の斜線部分以外の領域で発生した電荷が、電荷排出領域 1 5 に積極的に流れてしまえば、瞳分割性能が劣化してしまう。このため、ハイレベル状態において、画素部 1 0 の電荷発生領域 1 7 の障壁領域 1 6 と接しない部分で発生した電荷が、電荷蓄積領域 1 3 に積極的に移動するように、電荷発生領域 1 7 と電荷蓄積領域 1 3 と障壁領域 1 6 の濃度を決めておくのが好ましい。例えば、図 6 に示したように、ハイレベル状態において、電荷発生領域 1 7 から電荷蓄積領域 1 3 に向かうポテンシャルの傾斜が、電荷発生領域 1 7 から障壁領域 1 6 に向かうポテンシャルの傾斜よりも大きくなるように、各領域の濃度を設定するのがよい。

30

【 0 0 5 5 】

上述した瞳分割方式で特に優れている点は、ローレベル状態のときは、画素部 1 0 と画素部 1 1 とで瞳分割は行われなため、瞳分割用の画素部を通常の撮影用の画素部として使用できる点である。このため、撮像装置 1 0 0 は、撮像画像データを記録するための本撮影時にはローレベル状態にして本撮影を行い、従来行っていた瞳分割用画素部の信号の欠陥補正処理を完全になくしている。以下では、撮像装置 1 0 0 の撮影時の動作について説明する。

40

【 0 0 5 6 】

図 8 は、図 1 に示した撮像装置 1 0 0 の撮影動作を説明するためのフローチャートである。図 9 は、図 1 に示した撮像装置 1 0 0 の撮影動作を説明するためのタイミングチャートである。なお、デバイス制御部 4 7 は、撮影モードが設定されると、電荷排出領域 1 5 にローレベルの電圧を印加する。

【 0 0 5 7 】

50

撮影モードに設定されるとCPU46は、デバイス制御部47を介してメカニカルシャッター43を開にするとともに、撮像素子44によりライブビュー画像表示用の動画撮影(図9のMV)を開始する。そして、操作部48に含まれるシャッターボタンが半押しされると(ステップS1: YES)、CPU46は、半押しされた時点で撮像素子44から出力された撮像画像信号を取得し、この撮像画像信号に基づいて露出値(EV値)を算出する(ステップS2、図9の“AE”)。

【0058】

次に、CPU46は、算出したEV値が閾値 $t_h$ 以上か否かを判定し(ステップS3)、判定の結果がNOであった場合はステップS4の処理を行い、判定の結果がYESであった場合はステップS5の処理を行う。

【0059】

ステップS4では、CPU46が、デバイス制御部47を介して、周知の方法により、コントラスト検出方式による焦点調節処理を実行する(図9の“AF”)。具体的には、撮影レンズ系41のフォーカスレンズを移動させながら焦点調節用の仮撮影を行い、コントラスト値がピークになったときのフォーカスレンズ位置を合焦位置として、焦点調節を行う。

【0060】

ステップS5では、CPU46が、デバイス制御部47を介して、電荷排出領域15に印加する電圧をローレベルからハイレベルに変更する。

【0061】

ステップS5の後、CPU46は、撮像素子44により焦点調節用の仮撮影を行い、この仮撮影で撮像素子44から出力された撮像画像信号に基づいて、周知の位相差検出方式により焦点調節を行う(ステップS6、図9の“AF”)。具体的には、撮像素子44の全ての画素部10から得られた撮像画像信号と、撮像素子44の全ての画素部11から得られた撮像画像信号との比較によって位相差を検出し、この位相差に基づいて被写体までの距離を測定して、合焦位置を決定し、焦点調節を行う。

【0062】

なお、位相差検出方式により焦点調節を行う場合は、撮像素子44の全ての画素部10から得られた撮像画像信号と、撮像素子44の全ての画素部11から得られた撮像画像信号とを必ずしも用いなくてよい。例えば、撮像素子44の特定領域(例えばユーザが指定した領域、顔が検出された領域、予め決められた領域等)にある全ての画素部10から得られた撮像画像信号と当該特定領域にある全ての画素部11から得られた撮像画像信号との比較により、位相差検出を行ってもよい。

【0063】

この場合、仮撮影時において全ての画素部10, 11をハイレベル状態にする必要はなく、位相差検出に使用する撮像信号を出力する画素部10, 11だけをハイレベル状態とし、他の画素部10, 11についてはローレベル状態とすることも考えられるが、全ての画素部10, 11をハイレベル状態にして仮撮影を行うことが好ましい。このようにすることで、不純物領域15の電圧を画素部毎に独立に制御できるようにするための配線30の形成が不要となり、設計が容易になる。

【0064】

ステップS6で位相差検出方式による合焦位置の算出が終わると、CPU46は、デバイス制御部47を介して、電荷排出領域15に印加する電圧をハイレベルからローレベルに変更する(ステップS7)。

【0065】

ステップS4, S7の処理が終わり、一定期間中にシャッターボタンの全押しがなされると(ステップS8: YES)、CPU46は、ステップS2で算出したEV値とステップS4又はステップS6で決定した合焦位置等の撮影条件にしたがって、撮像素子44により本撮影を行う(ステップS9、図9の“露光”)。一定期間中にシャッターボタンの全押しがなされなかった場合(ステップS8: NO)、CPU46は、ステップS2に戻って

10

20

30

40

50

再びEV値の算出を行う。

【0066】

CPU46は、本撮影の実行後、設定した露光時間が経過すると、メカニカルシャッタ43を閉じて本撮影を終了する。本撮影の終了後、撮像素子44の全ての画素部から撮像信号が出力され(図9の“読み出し”)、この全ての撮像信号の集合である撮像画像信号に対し、画像処理部49にて画像処理がなされて、1つの撮像画像データが生成される。この画像処理には、従来行っていた瞳分割用の画素部の感度低下に伴う欠陥補正処理は含まれない。生成された撮像画像データは、表示部52にプレビュー表示されると共に、メモリカード55に記録される。

【0067】

以上のように、撮像装置100によれば、撮像素子44を搭載していることにより、電氣的な制御によって、瞳分割を行った撮影と瞳分割を行わない撮影とを簡単に切り替えることができる。このため、焦点調節を行うための仮撮影時には、瞳分割を行った撮影によって位相差検出処理を実施して、焦点調節を高速に行うことができると共に、記録用の撮像画像データを得るための本撮影時には、瞳分割を行わない撮影によって、欠陥補正の必要のない撮像画像信号を得て、撮影処理終了までの時間を短縮することができる。この結果、欠陥補正処理がなくなることによって画質向上を実現できると共に、撮影時間の短縮によってシャッタチャンス逃してしまう可能性を低くすることができる。

【0068】

また、撮像装置100によれば、本撮影前に決定する露出値に応じて、コントラスト検出方式と位相差検出方式を切り替えて焦点調節を行うことができる。露出値が小さいときには、位相差検出方式よりもコントラスト検出方式の方が、焦点調節精度が高くなるため、図8に示したフローにしたがって焦点調節を行うことで、被写体に応じた最適な焦点調節を行うことができる。閾値 $t_h$ は、これよりも露出値が低くなると、コントラスト検出方式の焦点調節精度の方が位相差検出方式の焦点調節精度よりも高くなる時の露出値とすればよい。

【0069】

なお、図8のフローチャートでは、露出値に応じてコントラスト検出方式と位相差検出方式を切り替えるものとしたが、露出値に関わらず、常に位相差検出方式を行ってもよい。つまり、図8において、ステップS3、S4を削除し、ステップS2の後にステップS5に移行するフローとしてもよい。

【0070】

また、画素部10と画素部11を瞳分割用の画素部として機能させた場合、全ての画素部10から得られる撮像画像信号と、全ての画素部11から得られる撮像画像信号の間には、画素部10と画素部11の瞳分割方向(行方向X)において視差が発生する。このため、この2つの撮像画像信号を独立に画像処理して視差のある2つの撮像画像データを生成し、これらを立体表示可能な形式で記録することで、撮像装置100に3D撮影機能を持たせることもできる。

【0071】

図10は、図1に示した撮像装置100に3D撮影モード(視差のある複数の撮像画像データを撮影して記録するモード)を搭載したときの撮影動作を説明するためのフローチャートである。

【0072】

まず、CPU46は、撮影モードを判定し、撮影モードが3D撮影モードであった場合(ステップS21: YES)には、ステップS22以降の処理を行う。撮影モードが、3D撮影モード以外の撮影モード、例えば2D撮影モード(視差のない撮像画像データを記録するモード)であった場合(ステップS21: NO)には、図8のステップS1以降の処理を行う。

【0073】

ステップS22では、CPU46が、デバイス制御部47を介して、電荷排出領域15

10

20

30

40

50

に印加する電圧をローレベルからハイレベルに変更する。

【 0 0 7 4 】

次に、操作部 4 8 に含まれるシャッターボタンが半押しされると（ステップ S 2 3 : Y E S）、CPU 4 6 は、撮像素子 4 4 で焦点調節用の仮撮影を行い、この仮撮影によって得られた撮像画像信号（全ての画素部 1 0 からの撮像画像信号と、全ての画素部 1 1 からの撮像画像信号との 2 つ）に基づいて、位相差検出方式による焦点調節処理を行う（ステップ S 2 4）。

【 0 0 7 5 】

ステップ S 2 4 の処理が終わり、一定期間中にシャッターボタンの全押しがなされなかった場合（ステップ S 2 5 : N O）、CPU 4 6 は、ステップ S 2 4 に処理を戻す。

10

【 0 0 7 6 】

ステップ S 2 4 の処理が終わり、一定期間中にシャッターボタンの全押しがなされると（ステップ S 2 5 : Y E S）、CPU 4 6 は、ステップ S 2 4 で決定した合焦位置等の撮影条件にしたがって、撮像素子 4 4 により本撮影を行う。この本撮影によって撮像素子 4 4 から出力された撮像画像信号（全ての画素部 1 0 からの撮像画像信号と、全ての画素部 1 1 からの撮像画像信号との 2 つ）は、画像処理部 4 9 によって処理され、左眼用の撮像画像データと右眼用の撮像画像データが生成される。そして、これら 2 つの撮像画像データが立体表示可能な形式でメモリカード 5 5 に記録される（ステップ S 2 6）。

【 0 0 7 7 】

CPU 4 6 は、本撮影の実行後、3 D 撮影モードを終了するかどうかを判定し、3 D 撮影モードを終了する場合（ステップ S 2 7 : Y E S）には、電荷排出領域 1 5 に印加する電圧をハイレベルからローレベルに変更して、3 D 撮影モードを終了する。3 D 撮影モードを終了しない場合（ステップ S 2 7 : N O）には、ステップ S 2 3 に処理を戻す。

20

【 0 0 7 8 】

このように、図 1 に示した撮像装置 1 0 0 によれば、2 D 撮影モードと 3 D 撮影モードを電気的な制御だけで簡単に切り替えることができる。しかも、このような機能を、単一の撮影光学系と単一の撮像素子 4 4 で実現することができる。このため、2 D 撮影と 3 D 撮影を併用できる撮像装置をコンパクトかつ低コストで実現することができる。

【 0 0 7 9 】

また、撮像装置 1 0 0 によれば、2 D 撮影モード時には、ローレベル状態で本撮影が行われるため、全ての画素部の感度を十分に確保することができると共に、全ての画素部の数に相当する画素数の撮像画像データを作ることができる。したがって、複雑な画像処理を行うことなく、高感度かつ高解像度の撮像画像データを得ることができる。

30

【 0 0 8 0 】

なお、これまでの説明では、撮像素子 4 4 に含まれる全ての画素部を、瞳分割兼撮影用の画素部としているが、特許文献 1 , 2 に記載されているように、撮像素子 4 4 に含まれる全ての画素部の一部を、瞳分割兼撮影用の画素部とし、残りの画素部については、撮影専用の画素部としてもよい。

【 0 0 8 1 】

この場合、撮影専用の画素部は、画素部 1 0 と画素部 1 1 のどちらかの構成と同じにするか、又は、画素部 1 0 , 1 1 とは異なる構成（例えば画素部 1 0 において素子分離領域 1 4、電荷排出領域 1 5、及び障壁領域 1 6 を削除し、これらが存在していた領域に、表面 P 領域 1 2 と電荷蓄積領域 1 3 を広げた構成）とすればよい。撮影専用の画素部を画素部 1 0 , 1 1 とは異なる構成にした場合には、撮影専用の画素部と画素部 1 0 , 1 1 とで、ローレベル状態で行う本撮影時に若干の感度差が生じる。しかし、この感度差は、従来のような周囲からの信号補間による欠陥補正処理が必要なほどではない。このため、画素部 1 0 , 1 1 から得られる信号のゲインを調整することで簡単に揃えることが可能である。したがって、撮影専用の画素部を設ける構成であっても、撮影時間の短縮を図ることができる。ただし、このような構成にした場合は、3 D 撮影機能を持たせることはできない。

40

50

## 【 0 0 8 2 】

次に、図 1 に示した撮像装置 1 0 0 に搭載する撮像素子 4 4 の変形例について説明する。

## 【 0 0 8 3 】

( 第一の変形例 )

図 1 1 は、図 1 に示した撮像装置 1 0 0 に搭載する撮像素子 4 4 の第一の変形例を示す図であり、図 3 に対応する図である。

## 【 0 0 8 4 】

図 1 1 に示した断面構成は、電荷排出領域 1 5 及び障壁領域 1 6 が画素部 1 0 と画素部 1 1 とで共有されている点を除いては、図 3 に示した断面構成と同じである。

10

## 【 0 0 8 5 】

図 2 に例示したように、ペアを構成する画素部 1 0 , 1 1 が互いに隣接する配置の場合には、図 1 1 に示したように、電荷排出領域 1 5 を、画素部 1 0 と画素部 1 1 で共通化して 1 つにすることが可能である。このようにすることで、電荷排出領域 1 5 に接続する配線数を図 3 の場合と比較して減らすことができ、配線レイアウトの自由度を向上させることができる。また、ペアを構成する画素部 1 0 と画素部 1 1 とで、電荷排出領域 1 5 及び障壁領域 1 6 を 1 つにすることで、電荷排出領域 1 5 及び障壁領域 1 6 の画素部毎の製造ばらつきを吸収することができ、画質向上を図ることができる。なお、障壁領域 1 6 については共通化せずに、画素部 1 0 と画素部 1 1 で別々に持っていてよい。

## 【 0 0 8 6 】

20

( 第二の変形例 )

図 1 2 は、図 1 に示した撮像装置 1 0 0 に搭載する撮像素子 4 4 の第二の変形例を示す図であり、図 3 に対応する図である。

## 【 0 0 8 7 】

図 3、図 1 1 に示した例では、電荷発生領域 1 7 よりもシリコン基板の表面側に障壁領域 1 6 が形成され、障壁領域 1 6 よりもシリコン基板の表面側に電荷排出領域 1 5 が形成されている。これに対し、図 1 2 に示した構成は、電荷発生領域 1 7 と同じ層に障壁領域 1 6 を形成し、この障壁領域 1 6 の隣に、シリコン基板の表面側に伸びる電荷排出領域 ( 1 5 a、1 5 b ) を形成した点が、図 3 , 1 1 とは大きく異なる。

## 【 0 0 8 8 】

30

図 1 2 に示すように、画素部 1 0 のシリコン基板内の電荷発生領域 1 7 の行方向 X の右隣には障壁領域 1 6 が形成されている。図 1 2 に示す構成においても、電荷発生領域 1 7 と障壁領域 1 6 とが接する部分は、電荷発生領域 1 7 の行方向 X の中心よりも右側に存在している。

## 【 0 0 8 9 】

障壁領域 1 6 の右隣には電荷発生領域 1 7 と同じ導電型の不純物層からなる電荷排出領域 1 5 b が形成されている。

## 【 0 0 9 0 】

電荷排出領域 1 5 b とシリコン基板表面との間には、電荷排出領域 1 5 b と同じ導電型でかつ電荷排出領域 1 5 b よりも不純物濃度の高い不純物層からなる電荷排出領域 1 5 a が形成されている。図 1 2 の例では、電荷排出領域 1 5 b と電荷排出領域 1 5 a は、ペアを構成する画素部 1 0 , 1 1 で共有されているが、画素部 1 0 と画素部 1 1 で別々に形成しておいてもよい。電荷排出領域 1 5 a と電荷排出領域 1 5 b は、図 3 で説明した電荷排出領域 1 5 と同じ機能を有しており、ここに印加する電圧を制御することでここに接している障壁領域 1 6 のポテンシャルを制御することができる。

40

## 【 0 0 9 1 】

電荷蓄積領域 1 3 及び表面 P 領域 1 2 の行方向 X の幅は、電荷発生領域 1 7 と同じになっており、電荷蓄積領域 1 3 及び表面 P 領域 1 2 と電荷排出領域 1 5 a との間には素子分離領域 1 4 が形成されている。この素子分離領域 1 4 により、電荷蓄積領域 1 3 及び表面 P 領域 1 2 と、電荷排出領域 1 5 b、電荷排出領域 1 5 a、及び障壁領域 1 6 とが分離さ

50

れている。

【 0 0 9 2 】

電荷排出領域 1 5 a には配線 3 0 が接続されており、配線 3 0 はデバイス制御部 4 7 に接続される。

【 0 0 9 3 】

画素部 1 1 の構成は、画素部 1 0 を行方向 X で反転させたものである。

【 0 0 9 4 】

図 1 3 は、図 1 2 に示した画素部 1 0 , 1 1 の瞳分割原理を説明するための図であり、電荷排出領域 1 5 a に、障壁領域 1 6 によって形成されるポテンシャル障壁を消滅させるハイレベルの電圧を印加したときの状態を示した図である。

10

【 0 0 9 5 】

電荷排出領域 1 5 a にハイレベルの電圧が印加されると、電荷排出領域 1 5 b、電荷排出領域 1 5 a の電位が深くなり、これに引きずられて障壁領域 1 6 のポテンシャルも深い方向に移動して、障壁領域 1 6 によって形成されていたポテンシャル障壁が消滅する。つまり、図 1 3 の斜線で示したように電荷排出領域 1 5 b から空乏層が広がり、この斜線で示した領域で発生した電荷は、電荷蓄積領域 1 3 には移動せずに、電荷排出領域 1 5 b を介して電荷排出領域 1 5 a に移動し、ここから基板外に排出される。

【 0 0 9 6 】

このように、図 1 2 に示すような構成であっても、前述してきたのと同様の原理で瞳分割を行うことができる。

20

【 0 0 9 7 】

図 1 2 に示した構成によれば、電荷発生領域 1 7、電荷蓄積領域 1 3、及び表面 P 領域 1 2 を平面視において同一面積とすることができ、これらの形状が単純になる。このため、シリコン基板裏面上方に画素部対応でマイクロレンズを形成する場合にも、その設計が容易になる。

【 0 0 9 8 】

また、図 1 2 に示した構成によれば、電荷排出領域 1 5 b をシリコン基板の裏面に近い位置に形成することができるため、シリコン基板の裏面上方に配線 3 0 を形成し、シリコン基板の裏面側から配線 3 0 と電荷排出領域 1 5 b とを接続することができる。この結果、シリコン基板表面側の設計自由度を向上させることができる。また、シリコン基板の裏面上方には、混色防止等を目的に、画素部同士の境界に遮光膜を設けることも考えられるが、この遮光膜を設けた場合には、この遮光膜を配線 3 0 と兼用することも可能であり、製造工程の簡略化を図ることができる。

30

【 0 0 9 9 】

また、図 1 2 に示した構成は、裏面照射型に限らず、表面照射型の撮像素子にも適用することができる。図 1 2 に示した構成を表面照射型に適用する場合は、シリコン基板の表面側にカラーフィルタやマイクロレンズ等を配置して、表面側から光を入射するものとするればよい。この場合、入射光のうちの長波長の光（赤色の光）は、シリコン基板の深部にある電荷発生領域 1 7 まで到達する。このため、障壁領域 1 6 の近傍の電荷発生領域 1 7 において発生する当該長波長の光に応じた電荷については、ハイレベル状態において電荷排出領域 1 5 a からこれを排出することができる。一方、入射光のうちの短波長の光（青色、緑色の光）は、電荷発生領域 1 7 までほとんど到達せず、電荷蓄積領域 1 3 で電荷に変換されるため、ハイレベル状態であっても、電荷排出領域 1 5 a からこれを排出することはほとんどできない。したがって、表面照射型であっても、入射光のうちの長波長の光については、原理的には瞳分割を行うことができる。

40

【 0 1 0 0 】

（第三の変形例）

図 1 4 は、図 1 に示した撮像装置 1 0 0 に搭載する撮像素子 4 4 の第三の変形例を示す図であり、図 2 の画素部 1 0 をシリコン基板表面側からみたときのシリコン基板内部の構成要素の配置を示した図である。図 1 5 は、図 1 4 の B - B 線断面模式図であり、図 1 6

50

は、図 1 4 の C - C 線断面模式図であり、図 1 7 は、図 1 4 の D - D 線断面模式図である。

【 0 1 0 1 】

図 3、図 1 1、図 1 2 に示した例では、電荷発生領域 1 7 よりもシリコン基板の表面側に電荷蓄積領域 1 3 が形成されている。これに対し、第三の変形例では、電荷発生領域 1 7 と同じ層に電荷蓄積領域 1 3 を形成した点が、図 3、1 1、1 2 とは大きく異なる。

【 0 1 0 2 】

図 1 4 及び図 1 5 に示すように、電荷発生領域 1 7 と電荷蓄積領域 1 3 は、P 型のシリコン基板内において列方向 Y に並べてかつ互いに接して形成されている。電荷蓄積領域 1 3 の不純物濃度は電荷発生領域 1 7 よりも高くなっているため、電荷発生領域 1 7 から電荷蓄積領域 1 3 に向かってポテンシャルスロープが形成され、電荷発生領域 1 7 で発生した電荷は、電荷蓄積領域 1 3 に移動して蓄積される。電荷発生領域 1 7 及び電荷蓄積領域 1 3 とシリコン基板表面との間には表面 P 層 1 2 が形成されている。

【 0 1 0 3 】

図 1 4 及び図 1 6 に示すように、電荷発生領域 1 7 の左隣にはこれに接して障壁領域 1 6 が形成されている。障壁領域 1 6 の上には絶縁膜 7 1 を介して制御電極 7 2 が形成されている。この制御電極 7 2 には、図 3 で説明した配線 3 0 が接続されており、この配線に供給する電圧を制御することで、障壁領域 1 6 に電荷発生領域 1 7 に対するポテンシャル障壁を形成する状態と、当該ポテンシャル障壁を消滅させる状態とを切り替えることができる。

【 0 1 0 4 】

障壁領域 1 6 の左隣には、これに接して電荷排出領域 1 5 が形成されている。電荷排出領域 1 5 は固定電源に接続されている。図 1 4 に示すように、電荷蓄積領域 1 3 と障壁領域 1 6 及び電荷排出領域 1 5 との間は P 型シリコン基板によって分離されている。第三の変形例の撮像素子では、電荷発生領域 1 7 と障壁領域 1 6 と電荷排出領域 1 5 とを全て同じ層に形成している。このため、電荷排出領域 1 5 の電位を制御する代わりに、制御電極 7 2 の電圧を制御することでハイレベル状態とローレベル状態を切り替えることができる。もちろん、電荷排出領域 1 5 に配線 3 0 を接続してローレベル状態とハイレベル状態を切り替えてもよい。この場合は、制御電極 7 2 は不要である。

【 0 1 0 5 】

図 1 7 に示すように、電荷蓄積領域 1 3 の左隣には少し離間して、図 4 で例示したような MOS 回路 7 0 の半導体領域が形成されている。当該半導体領域のうちのフローティングディフュージョンと電荷蓄積領域 1 3 との間のシリコン基板上方には転送ゲート電極 7 3 が形成されている。転送ゲート電極 7 3 と平面視で重なるシリコン基板の領域に電荷読み出し領域 4 0 が形成されている。なお、シリコン基板の裏面上方には、電荷発生領域 1 7 及び電荷蓄積領域 1 3 以外を遮光する遮光膜を設けておくことが好ましい。

【 0 1 0 6 】

ここまでは図 2 に示した画素部 1 0 について説明したが、画素部 1 1 については、図 1 4 に示した平面図を行方向 X に反転させたものとなる。瞳分割用画素部は撮影にも使うため、全ての画素部 1 0、1 1 の光電変換領域は等間隔で二次元状に配置することが好ましい。

【 0 1 0 7 】

図 1 6 に示すように、画素部 1 0 では、電荷発生領域 1 7 の左端に障壁領域 1 6 が接しているため、画素部 1 1 では、電荷発生領域 1 7 の右端に障壁領域 1 6 が接する構成となる。このため、撮像素子をハイレベル状態で駆動することで、これまで説明してきたのと同様の原理で瞳分割を行うことが可能になる。

【 0 1 0 8 】

図 1 4 に示した構成によれば、障壁領域 1 6 の電位を制御電極 7 2 によって直接制御することができるため、素子設計が容易になる。なお、図 3、図 1 1、図 1 2 に示したように、電荷発生領域 1 7 と電荷蓄積領域 1 3 をシリコン基板内で積層した構成によれば、画

10

20

30

40

50

素部に占める電荷発生領域の割合を図14に示す構成よりも増やすことができ、高感度化を図れるという利点がある。

【0109】

なお、図14に示した画素部の構成においても、例えば、図14に示す構成を画素部11の構成とし、図14の構成を行方向Xで反転させたものを画素部10とすることで、電荷排出領域15及び読み出し回路70を、画素部10と画素部11で共有することができる。これらを共有することができれば、各画素部の電荷発生領域17及び電荷蓄積領域13の面積を大きくすることができ、高感度化を図ることができる。

【0110】

また、図14に示した構成は、裏面照射型に限らず、表面照射型の撮像素子にも適用することができる。図14に示した構成を表面照射型に適用する場合は、シリコン基板の表面側にカラーフィルタやマイクロレンズ等を配置して、表面側から光を入射するものとするればよい。この場合、図15～17に破線で示したように、シリコン基板表面上方に、電荷発生領域17及び電荷蓄積領域13以外の領域を遮光する遮光膜Wを設ける。図14の構成を表面照射型にした場合でも、電荷発生領域17及び電荷蓄積領域13が画素部の光電変換領域となる。図14に示す構成によれば、表面照射型であっても、入射光の波長によらずに、瞳分割を行うことができる。

【0111】

(第四の変形例)

図18は、図1に示した撮像装置100に搭載する撮像素子44の第四の変形例を示す図であり、図2に対応する図である。図18に示す撮像素子44aは、各画素部のシリコン基板裏面(シリコン基板の光入射側の面)上方にカラーフィルタを設けた点を除いては、図2に示した撮像素子44と同じ構成である。

【0112】

図18において、赤色の光を透過するRカラーフィルタを持つ画素部10, 11については、ブロック内に“R”の文字を記入し、緑色の光を透過するGカラーフィルタを持つ画素部10, 11については、ブロック内に“G”の文字を記入し、青色の光を透過するBカラーフィルタを持つ画素部10, 11については、ブロック内に“B”の文字を記入してある。

【0113】

図18に示す撮像素子44aは、全ての画素部10に含まれるカラーフィルタの配列が全体としてベイヤ配列となっており、全ての画素部11に含まれるカラーフィルタの配列も全体としてベイヤ配列となっている。そして、ペアを構成する2つの画素部10, 11に含まれるカラーフィルタは同色のものとなっている。

【0114】

このような構成により、カラー撮像にも対応することができる。

【0115】

撮像素子44aを搭載する撮像装置100は、撮像素子44aによりローレベル状態にて本撮影を行って1つの撮像画像データを得る際には、ペア毎に、当該ペアの画素部10, 11から得られた2つの撮像信号を加算して1つの撮像信号を生成し、全てのペアの数と同数の撮像信号からなる撮像画像信号に画像処理を行って1つの撮像画像データを生成し、記録すればよい。このようにすることで、信号加算によって感度を更に向上させたカラーの撮像画像データを得ることができる。

【0116】

なお、撮像素子44aのペアを構成する2つの画素部の構成は、図11, 12, 14～17で説明した構成であってもよい。

【0117】

(第五の変形例)

図19は、図1に示した撮像装置100に搭載する撮像素子44の第五の変形例を示す図であり、図2に対応する図である。図19に示す撮像素子44bは、各画素部のシリコ

10

20

30

40

50

ン基板裏面（シリコン基板の光入射側の面）上方にカラーフィルタを設けた点、各画素部の配置を変更した点を除いては、図2に示した撮像素子44と同じ構成である。

【0118】

図19において、赤色の光を透過するRカラーフィルタを持つ画素部10, 11については、ブロック内に“R”の文字を記入し、緑色の光を透過するGカラーフィルタを持つ画素部10, 11については、ブロック内に“G”の文字を記入し、青色の光を透過するBカラーフィルタを持つ画素部10, 11については、ブロック内に“B”の文字を記入してある。

【0119】

図19に示す撮像素子44bの画素部10は行方向Xと列方向Yに正方格子状に配列され、画素部11は行方向Xと列方向Yに正方格子状に配列されている。画素部10と画素部11は、配列ピッチ及び総数が同じになっている。全ての画素部10に含まれるカラーフィルタの配列は全体としてベイヤ配列になっており、全ての画素部11に含まれるカラーフィルタの配列も全体としてベイヤ配列になっている。

10

【0120】

画素部11は、全ての画素部10を斜め45°右下方向にずらした位置に配置されている。また、各画素部10に対して同じ方向（図19の例では斜め右下方向）に隣接する画素部11は、当該各画素部10に含まれるカラーフィルタと同色のカラーフィルタを含むものとなるように、画素部10と画素部11が配置されている。そして、各画素部10と、当該各画素部10に対して斜め右下方向で隣接する画素部11とが瞳分割用の画素部のペアを構成している。

20

【0121】

図19におけるA'-A'断面は図3に示した図になる。なお、図19におけるペアを構成する2つの画素部の構成は、図11, 12, 14~17で説明した構成であってもよい。

【0122】

このような構成により、カラー撮像にも対応することができる。また、図18に示した構成と比較して、1つの画素部あたりの面積を大きくすることができ、更なる高感度化を図ることができる。

【0123】

（第六の変形例）

図20は、図1に示した撮像装置100に搭載する撮像素子44の第六の変形例を示す図であり、図2に対応する図である。図20に示す撮像素子44cは、各画素部のシリコン基板裏面（シリコン基板の光入射側の面）上方にカラーフィルタを設けた点、各画素部の配置を変更した点を除いては、図2に示した撮像素子44と同じ構成である。

30

【0124】

図20において、赤色の光を透過するRカラーフィルタを持つ画素部10, 11については、ブロック内に“R”の文字を記入し、緑色の光を透過するGカラーフィルタを持つ画素部10, 11については、ブロック内に“G”の文字を記入し、青色の光を透過するBカラーフィルタを持つ画素部10, 11については、ブロック内に“B”の文字を記入してある。

40

【0125】

図2では、奇数列の画素部を画素部10とし、偶数列の画素部を画素部11としたが、撮像素子44cでは、画素部10と画素部11を2列おきに交互に配置している。そして、全ての画素部に含まれるカラーフィルタの配列は、全体としてベイヤ配列になっている。撮像素子44cでは、図中の実線又は破線で示すように、画素部10と、これに行方向Xで最も近い位置にある当該画素部10と同色のカラーフィルタを含む画素部11とで、瞳分割用の画素部のペアを構成している。

【0126】

このような構成により、カラー撮像にも対応することができる。撮像素子44cによれ

50

ば、カラーフィルタ配列が全体としてベイヤ配列となっているため、ローレベル状態にて本撮影を行って1つの撮像画像データを得る場合に、画素部10と画素部11の撮像信号を加算しなくとも、ベイヤ配列の撮像画像信号を得ることができ、画像処理が容易になると共に、高解像度の撮像画像データを生成することができる。

【0127】

なお、図2、図18、20に示した構成は、行方向Xに瞳分割を行う場合を例示したものであるが、瞳分割を行う方向は任意であり、例えば列方向Yとしてもよい。この場合、図2、図18、図20に示した撮像素子において、全ての画素部の配列を右又は左に90°回転させた配列とすれば、列方向Yに瞳分割機能を持った撮像素子を実現することができる。

10

【0128】

また、図19に示した構成の場合は、行方向Xと列方向Yの各々に対して45°の方向に瞳分割を行うことができるが、例えば、画素部10の右端部(四角形ブロックの右の角部)に障壁領域16を設け、画素部11の左端部(四角形ブロックの左の角部)に障壁領域16を設けることで、行方向Xに瞳分割を行ったり、画素部10の下端部(四角形ブロックの下の角部)に障壁領域16を設け、画素部11の上端部(四角形ブロックの上の角部)に障壁領域16を設けることで、列方向Yに瞳分割を行ったりすることも可能である。

【0129】

また、図2、図18、図19、図20に示した構成では、ペアを構成する画素部10、11の各々の障壁領域16の平面視における中心を、電荷発生領域13の平面視における中心に対し、瞳分割を行う方向において互いに近づく方向に偏心させているが、この各々の障壁領域16の中心は、瞳分割を行う方向において互いに遠ざかる方向に偏心させてもよい。例えば、図3の断面図において、画素部10のシリコン基板内の構造を左右反転し、画素部11のシリコン基板内の構造を左右反転した断面形状としても、同様に、行方向Xに瞳分割を行うことができる。図3のような構造にした場合には、図11に例示したように、電荷排出領域15をペアの画素部で共有できるため、好ましい。

20

【0130】

また、瞳分割を行う方向は1方向に限らず、複数方向にしてもよい。以下では、複数方向で瞳分割を行うことが可能な撮像素子について説明する。

30

【0131】

(第七の変形例)

図21は、図1に示した撮像装置100に搭載する撮像素子44の第七の変形例を示す図であり、図2に対応する図である。

【0132】

図21に示す撮像素子44eは、複数の画素部を、図19と同様の配列で配置した構成である。図19と大きく異なるのは、互いに隣接する4つの画素部60a、60b、60c、60dを1つのグループとし、グループ内の4つの画素部の各々が有するカラーフィルタを同色としている点、各グループにおいて4つの画素部で電荷排出領域15を共有している点である。図21において、赤色の光を透過するRカラーフィルタを持つ画素部については、ブロック内に“R”の文字を記入し、緑色の光を透過するGカラーフィルタを持つ画素部については、ブロック内に“G”の文字を記入し、青色の光を透過するBカラーフィルタを持つ画素部については、ブロック内に“B”の文字を記入してある。

40

【0133】

各グループに含まれる4つの画素部60a、60b、60c、60dのうち、画素部60bと画素部60dは、行方向Xに瞳分割を行う瞳分割用のペアを構成し、画素部60aと画素部60cは、列方向Yに瞳分割を行う瞳分割用のペアを構成している。全ての瞳分割用のペアの画素部の構成は、図3、11、12、14で説明した構成を適用できる。例えば、図21に示したa-a線断面とb-b線断面は、いずれも図11又は図12に示した断面と同じである。ただし、各画素部60a、60b、60c、60dに含まれる電荷

50

排出領域 15 ( 15 a , 15 b ) は、グループ内に 1 つだけとなっており、4 つの画素部 60 a , 60 b , 60 c , 60 d で共有されている。

【 0 1 3 4 】

このような構成により、2 つの方向での瞳分割を行うことができる。また、この構成によれば、4 つの画素部で電荷排出領域 15 を共有することができるため、配線 30 の引き回しが容易になる。

【 0 1 3 5 】

なお、撮像素子 44 e をローレベル状態にして本撮影を行った場合は、各グループから得られる 4 つの撮像信号を加算してグループの総数分の撮像信号からなる撮像画像信号を生成し、これを画像処理して 1 つの撮像画像データを生成して記録すればよい。また、撮像素子 44 e をハイレベル状態にして本撮影を行った場合は、全ての画素部 60 a から得られる撮像画像信号を画像処理して撮像画像データ ( 上 ) を生成し、全ての画素部 60 b から得られる撮像画像信号を画像処理して撮像画像データ ( 左 ) を生成し、全ての画素部 60 c から得られる撮像画像信号を画像処理して撮像画像データ ( 下 ) を生成し、全ての画素部 60 d から得られる撮像画像信号を画像処理して撮像画像データ ( 右 ) を生成し、これらに対応付けて記録すればよい。

【 0 1 3 6 】

例えば、撮像画像データ ( 右 ) と撮像画像データ ( 左 ) は、行方向 X に視差のあるデータとなっているため、これらを立体視可能に表示することができる。また、撮像画像データ ( 上 ) と撮像画像データ ( 下 ) は、列方向 Y に視差のあるデータとなっているため、これらを立体視可能に表示することもできる。このように、撮像素子 44 e によれば、1 度の撮影で、異なる方向に視差を持つ撮像画像データの組を得ることができ、同一の被写体を、様々な視点で見たときの立体画像を再現することが可能になる。

【 0 1 3 7 】

また、撮像素子 44 e の各画素部はカラーフィルタを搭載していなくてもよい。この場合でも、1 度の撮影で、異なる方向に視差を持つモノクロの撮像画像データを得ることができる。

【 0 1 3 8 】

また、以上の説明では、電子を信号として読み出す例を示したが、正孔を信号として読み出す構成であってもよい。この場合、これまで説明してきた P 型と N 型を逆にすればよい。

【 0 1 3 9 】

以上のように、本明細書には次の事項が開示されている。

【 0 1 4 0 】

開示された撮像素子は、瞳分割用の画素部のペアを複数有する撮像素子であって、前記ペアを構成する 2 つの画素部は、それぞれ、半導体基板内に形成され電荷を発生する第一導電型の電荷発生領域と、前記半導体基板内で前記電荷発生領域に接して形成され前記電荷発生領域で発生した電荷を蓄積する前記電荷発生領域よりも不純物濃度の高い前記第一導電型の電荷蓄積領域と、前記電荷蓄積領域と前記電荷発生領域のうち前記電荷発生領域のみに接して形成された前記第一導電型と反対導電型の障壁領域と、前記障壁領域に隣接して形成された前記第一導電型の電荷排出領域とを含み、前記ペアを構成する 2 つの画素部の一方の画素部の前記電荷発生領域が前記障壁領域と接する部分は、当該電荷発生領域の中心よりも瞳分割方向の一方側にあり、前記ペアを構成する 2 つの画素部の他方の画素部の前記電荷発生領域が前記障壁領域と接する部分は、当該電荷発生領域の中心よりも瞳分割方向の他方側にあるものである。

【 0 1 4 1 】

開示された撮像素子は、前記撮像素子が、前記電荷蓄積領域に蓄積された電荷に応じた信号を、前記半導体基板の光入射側の面とは反対の面側に形成された読み出し回路により読み出す裏面照射型であるものを含む。

【 0 1 4 2 】

開示された撮像素子は、前記ペアを構成する2つの画素部の一方の画素部の前記電荷発生領域、前記電荷蓄積領域、前記障壁領域、及び前記電荷排出領域の瞳分割方向における断面形状は、前記ペアを構成する2つの画素部の他方の画素部の前記電荷発生領域、前記電荷蓄積領域、前記障壁領域、及び前記電荷排出領域の瞳分割方向における断面形状を、瞳分割方向で反転させたものとなっているものである。

【0143】

この構成により、瞳分割を精度よく行うことができる。

【0144】

開示された撮像素子は、前記ペアを構成する2つの画素部の各々に含まれる前記電荷発生領域が、前記半導体基板の光入射側の面側に形成され、前記ペアを構成する2つの画素部の各々に含まれる前記電荷蓄積領域が、前記半導体基板内の前記光入射側の反対の面側に形成されているものである。

10

【0145】

開示された撮像素子は、前記障壁領域が、前記電荷発生領域よりも前記半導体基板の前記反対の面側に形成され、前記電荷排出領域が、前記障壁領域よりも前記半導体基板の前記反対の面側に形成されているものである。

【0146】

開示された撮像素子は、前記障壁領域が、前記電荷発生領域と同じ層に形成され、前記電荷排出領域が、前記障壁領域の隣から前記半導体基板の前記反対の面側に伸びて形成されているものである。

20

【0147】

開示された撮像素子は、前記電荷排出領域に接続される電圧印加用の配線を備え、前記配線が、前記半導体基板の前記光入射側の面上方に設けられているものである。

【0148】

開示された撮像素子は、前記ペアを構成する2つの画素部の各々に含まれる前記電荷発生領域と前記電荷蓄積領域と前記障壁領域と前記電荷排出領域とが同じ層に形成されているものである。

【0149】

開示された撮像素子は、前記撮像素子に含まれる全ての画素部が、前記瞳分割用の画素部であり、前記全ての画素部は、二次元状に配列された複数の第一の画素部と、二次元状に配列された複数の第二の画素部とで構成され、前記第一の画素部及び前記第二の画素部は、それぞれ、前記半導体基板の光入射側の面上方にカラーフィルタを備え、前記複数の第一の画素部に含まれるカラーフィルタは全体としてベイヤ配列であり、前記複数の第二の画素部に含まれるカラーフィルタは全体としてベイヤ配列であり、前記複数の第一の画素部と前記複数の第二の画素部は、各第一の画素部に対して同じ方向に隣接する位置に当該各第一の画素部に含まれるカラーフィルタと同色のカラーフィルタを含む前記第二の画素部が配置されるように配列されており、前記第一の画素部と、当該第一の画素部に前記同じ方向で隣接する前記第二の画素部とで前記ペアを構成しているものである。

30

【0150】

開示された撮像素子は、前記撮像素子に含まれる全ての画素部が、前記瞳分割用の画素部であり、前記全ての画素部は、それぞれ、前記半導体基板の光入射側の面上方にカラーフィルタを備え、前記全ての画素部に含まれるカラーフィルタは全体としてベイヤ配列であり、前記画素部と、当該画素部に最も近い位置にある当該画素部に含まれるカラーフィルタと同色のカラーフィルタを持つ画素部とで前記ペアを構成しているものである。

40

【0151】

開示された撮像素子は、前記ペアを構成する2つの画素部が隣接して配置され、前記電荷排出領域が、当該2つの画素部で共有されているものである。

【0152】

開示された撮像素子は、前記ペアが、瞳分割方向の異なる2種類のペアを含み、前記2種類のペアを構成する4つの画素部が互いに隣接して配置され、前記電荷排出領域が、当

50

該4つの画素部で共有されているものである。

【0153】

開示された撮像素子は、前記撮像素子に含まれる全ての画素部が、前記瞳分割用の画素部であり、前記全ての画素部は、それぞれ、前記半導体基板の光入射側の面上方にカラーフィルタを備え、前記2種類のペアを構成する4つの画素部に含まれるカラーフィルタは全て同色となっているものである。

【0154】

開示された撮像装置は、前記撮像素子と、前記撮像素子の前方に配置されたフォーカスレンズと、前記障壁領域によって前記電荷発生領域に対するポテンシャル障壁を形成した状態で撮影を行う第一の撮影処理と、前記ポテンシャル障壁を消滅させた状態で撮影を行う第二の撮影処理とを切り替えて行う駆動部と、前記撮像素子で仮撮影して得られる撮像画像信号に基づいて前記フォーカスレンズの位置を調節する焦点調節処理を行う焦点調節部とを備え、前記焦点調節処理は、前記第二の撮像処理で前記撮像素子から得られる撮像画像信号に基づいて、位相差検出方式により焦点調節を行う位相差AF処理を含み、前記駆動部は、前記焦点調節処理後に行う本撮影時には、前記第一の撮像処理を行うものである。

10

【0155】

開示された撮像装置は、前記焦点調節処理は、前記第一の撮像処理で前記撮像素子から得られる撮像画像信号に基づいてコントラスト検出方式により焦点調節を行うコントラストAF処理を含み、前記焦点調節部は、前記本撮影前の撮影時に算出される露出値が閾値以上の場合に前記位相差AF処理を実行し、前記露出値が閾値未満の場合に前記コントラストAF処理を実行するものである。

20

【0156】

開示された撮像装置は、視差のある複数の撮像画像データを撮影して記録する3D撮影モードを備え、前記3D撮影モード時には、前記駆動部が前記第二の撮像処理で前記仮撮影及び前記本撮影を行い、前記焦点調節部が前記位相差AF処理を行うものである。

【0157】

開示された撮像方法は、前記撮像素子を用いた撮像方法であって、前記障壁領域によって前記電荷発生領域に対するポテンシャル障壁を形成した状態で撮影を行う第一の撮影処理と、前記ポテンシャル障壁を消滅させた状態で撮影を行う第二の撮影処理とを切り替えて行う駆動ステップと、前記撮像素子で仮撮影して得られる撮像画像信号に基づいて前記撮像素子の前方に配置されたフォーカスレンズの位置を調節する焦点調節処理を行う焦点調節ステップとを備え、前記焦点調節処理は、前記第二の撮像処理で前記撮像素子から得られる撮像画像信号に基づいて、位相差検出方式により焦点調節を行う位相差AF処理を含み、前記駆動ステップでは、前記焦点調節処理後に行う本撮影時には前記第一の撮像処理を行うものである。

30

【0158】

開示された撮像方法は、前記焦点調節処理は、前記第一の撮像処理で前記撮像素子から得られる撮像画像信号に基づいてコントラスト検出方式により焦点調節を行うコントラストAF処理を含み、前記焦点調節ステップでは、前記本撮影前の撮影時に算出される露出値が閾値以上の場合に前記位相差AF処理を実行し、前記露出値が閾値未満の場合に前記コントラストAF処理を実行するものである。

40

【0159】

開示された撮像方法は、視差のある複数の撮像画像データを撮影して記録する3D撮影モード時には、前記第二の撮像処理で前記仮撮影及び前記本撮影を行い、前記位相差AF処理で焦点調節を行うものである。

【符号の説明】

【0160】

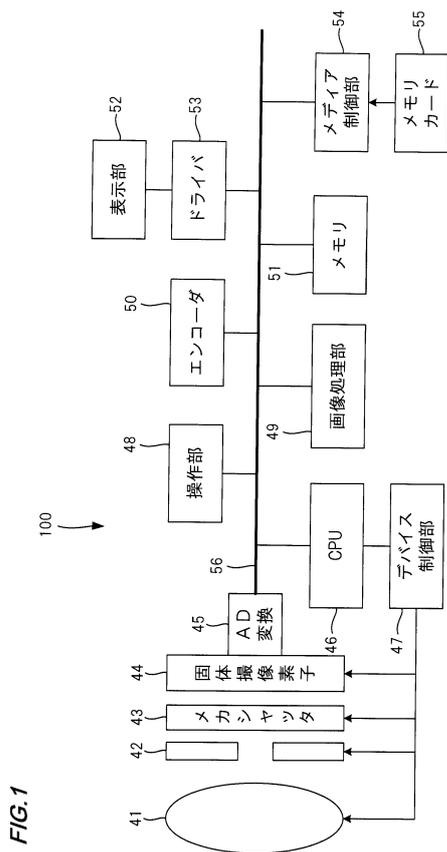
10, 11 瞳分割用の画素部

13 電荷蓄積領域

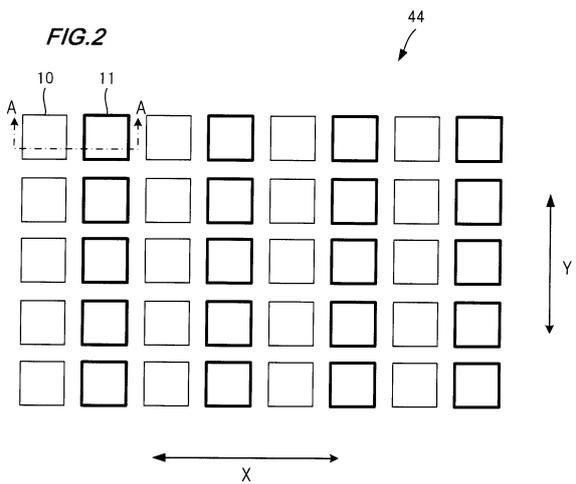
50

- 1 5 電荷排出領域
- 1 6 障壁領域
- 1 7 電荷発生領域
- 3 0 配線

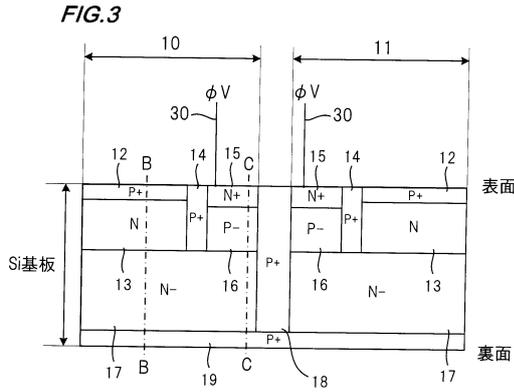
【 図 1 】



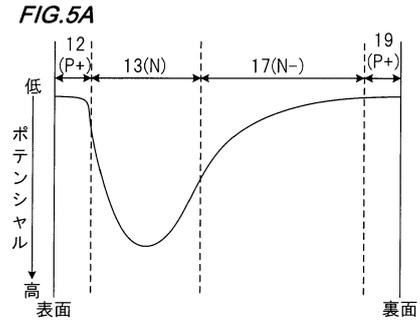
【 図 2 】



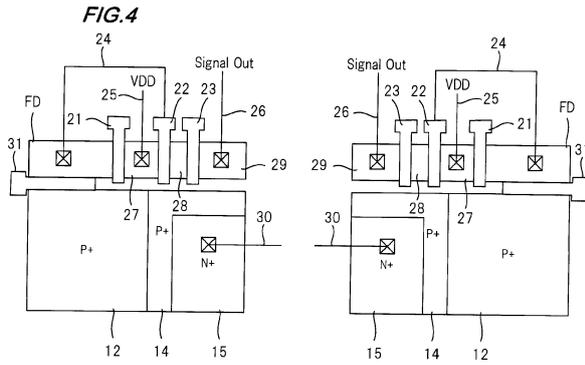
【図3】



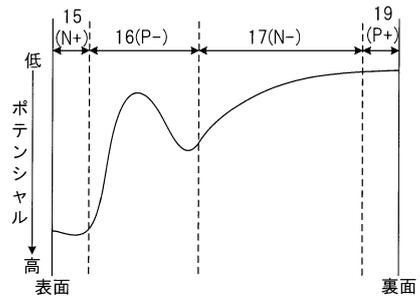
【図5】



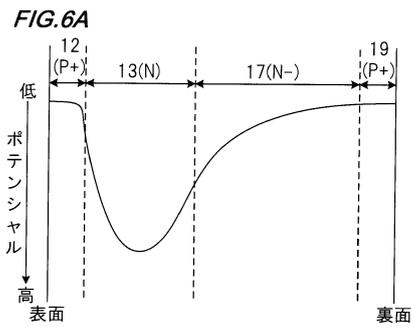
【図4】



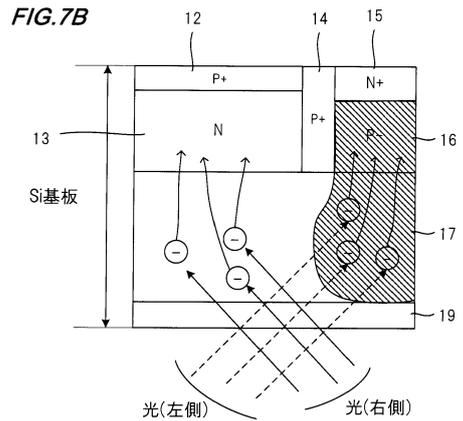
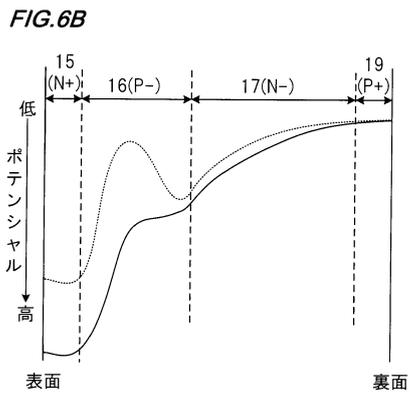
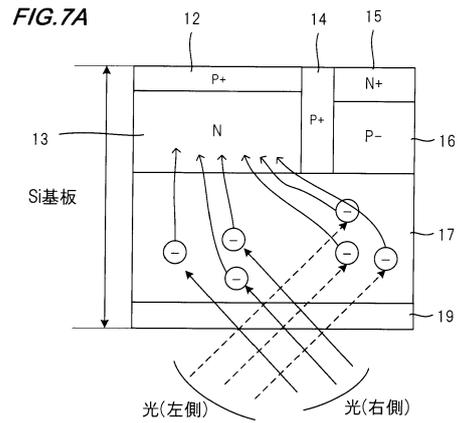
**FIG.5B**



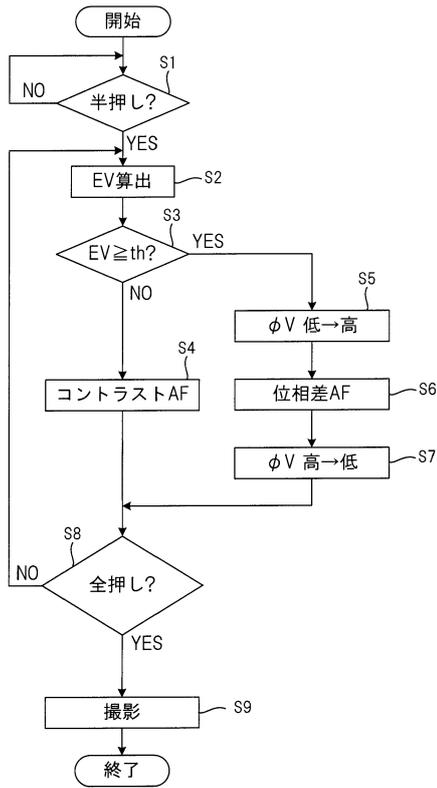
【図6】



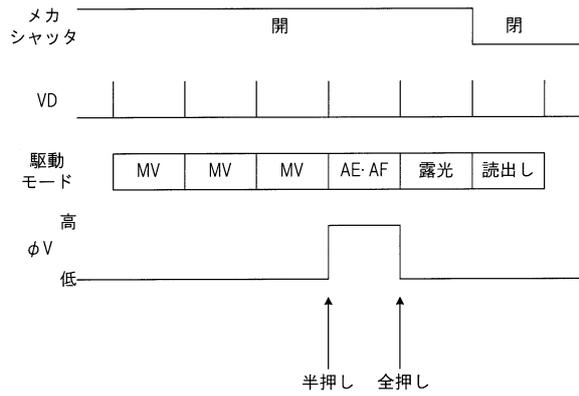
【図7】



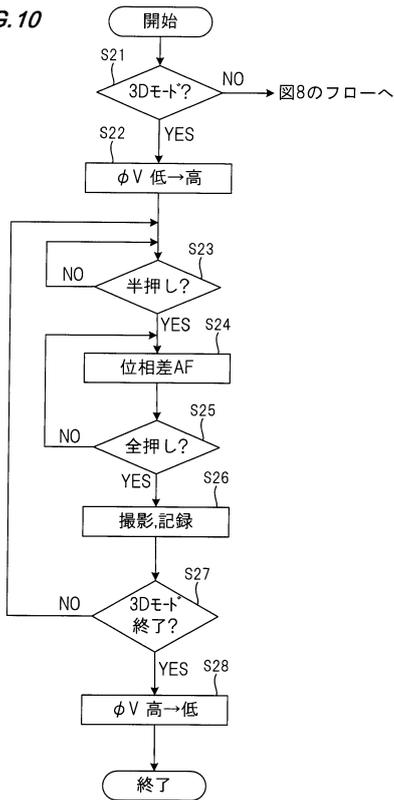
【図8】  
FIG.8



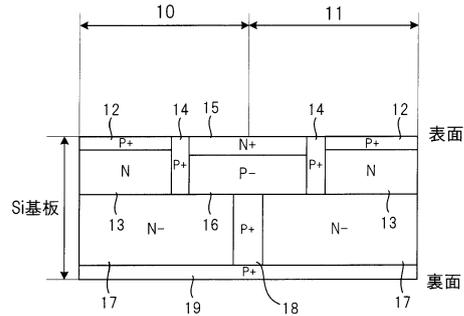
【図9】  
FIG.9



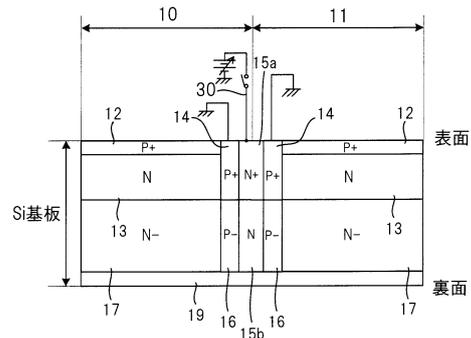
【図10】  
FIG.10



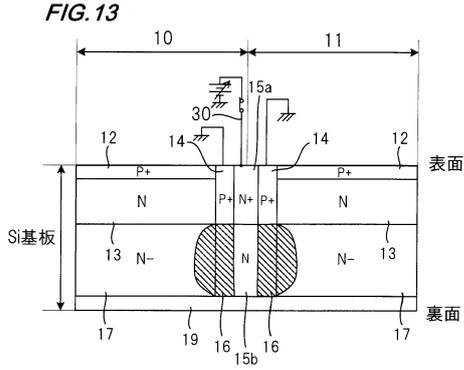
【図11】  
FIG.11



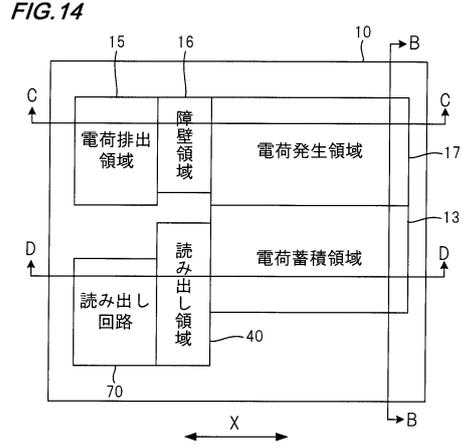
【図12】  
FIG.12



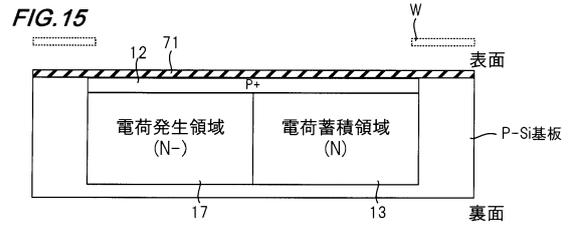
【図13】



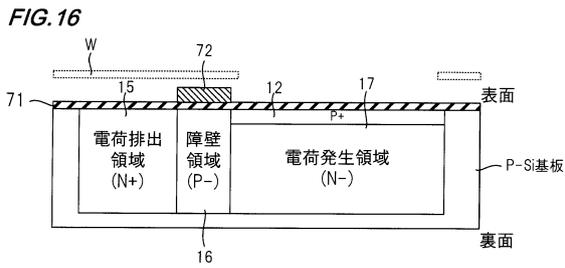
【図14】



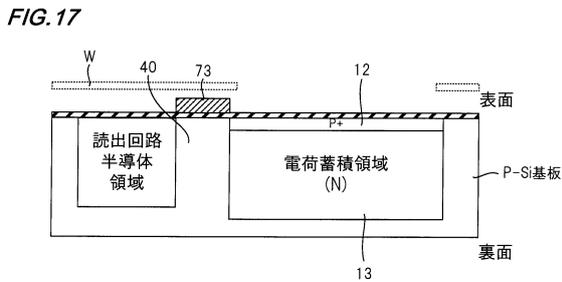
【図15】



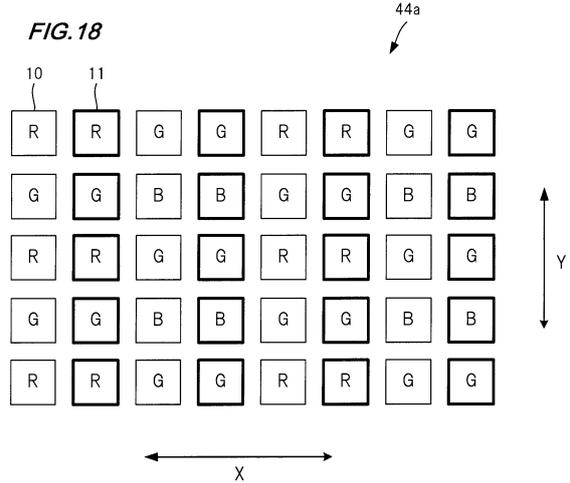
【図16】



【図17】

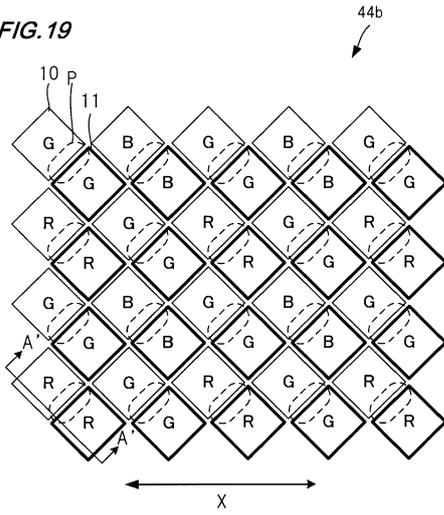


【図18】



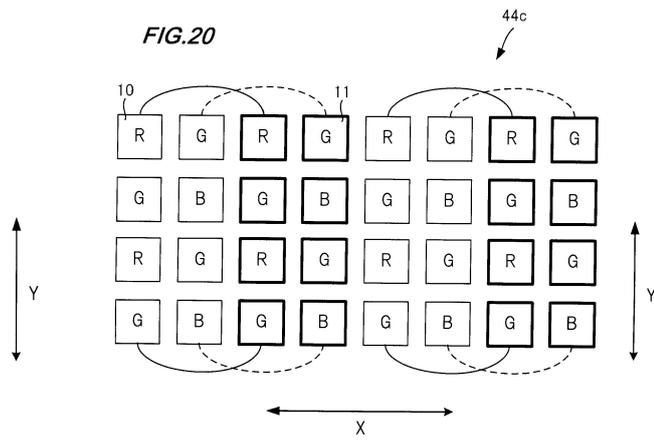
【 図 19 】

FIG.19



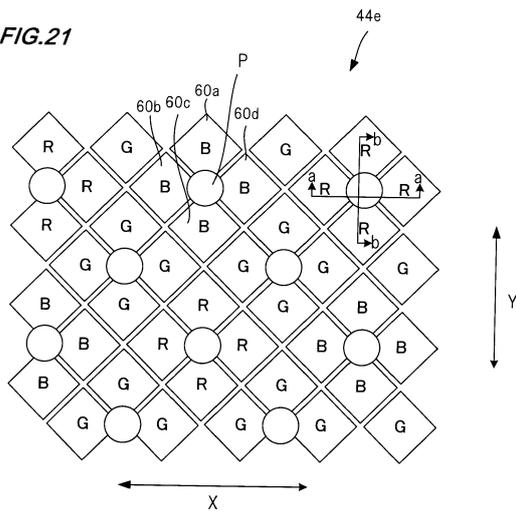
【 図 20 】

FIG.20



【 図 21 】

FIG.21



## フロントページの続き

(51)Int.Cl.		F I		
<i>H 0 4 N</i>	<i>5/369</i>	<i>(2011.01)</i>	<i>H 0 4 N</i>	<i>5/335</i> <i>6 9 0</i>
<i>H 0 4 N</i>	<i>5/225</i>	<i>(2006.01)</i>	<i>H 0 4 N</i>	<i>5/225</i> <i>B</i>
<i>G 0 3 B</i>	<i>35/08</i>	<i>(2006.01)</i>	<i>H 0 4 N</i>	<i>5/225</i> <i>Z</i>
<i>G 0 3 B</i>	<i>13/36</i>	<i>(2006.01)</i>	<i>G 0 3 B</i>	<i>35/08</i>
<i>H 0 1 L</i>	<i>27/146</i>	<i>(2006.01)</i>	<i>G 0 3 B</i>	<i>13/36</i>
			<i>H 0 1 L</i>	<i>27/14</i> <i>A</i>

審査官 居島 一仁

- (56)参考文献 特開2008-052151(JP,A)  
 特開2008-164731(JP,A)  
 特開2005-092085(JP,A)  
 特開2008-242182(JP,A)  
 米国特許出願公開第2008/0240701(US,A1)  
 特開2010-057067(JP,A)  
 米国特許出願公開第2010/0053354(US,A1)

## (58)調査した分野(Int.Cl., DB名)

G 0 2 B 7 / 2 8 - 7 / 4 0  
 G 0 3 B 3 / 0 0 - 3 / 1 2  
 G 0 3 B 1 3 / 3 0 - 1 3 / 3 6  
 G 0 3 B 3 5 / 0 0 - 3 7 / 0 6  
 H 0 4 N 5 / 2 2 2 - 5 / 2 5 7