



(12)发明专利申请

(10)申请公布号 CN 111201622 A

(43)申请公布日 2020.05.26

(21)申请号 201780095757.5

(74)专利代理机构 北京市金杜律师事务所
11256

(22)申请日 2017.12.19

代理人 鄧迅

(30)优先权数据

15/795,763 2017.10.27 US

(51)Int.Cl.

H01L 39/22(2006.01)

(85)PCT国际申请进入国家阶段日

2020.04.09

(86)PCT国际申请的申请数据

PCT/IB2017/058102 2017.12.19

(87)PCT国际申请的公布数据

W02019/081970 EN 2019.05.02

(71)申请人 国际商业机器公司

地址 美国纽约阿芒克

(72)发明人 S·罗森布拉特 R·O·托帕洛谷

J·B·赫兹博格 W·劳施

权利要求书3页 说明书8页 附图18页

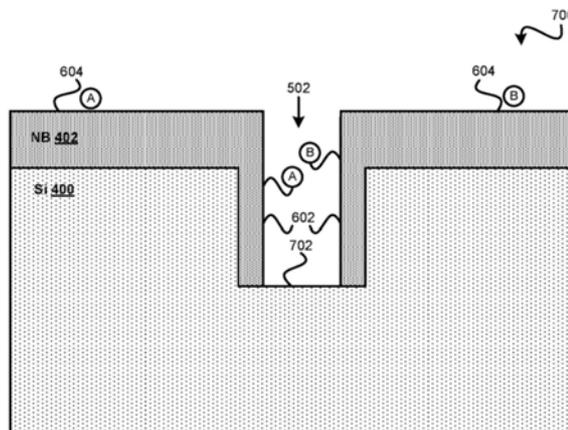
(54)发明名称

用于传输量子位的垂直超导电容器

将所述超导量子逻辑电路中的数据完整性保持在阈值水平内。

(57)摘要

一种垂直q电容器(202,302,700,1100,1400,1800)包括穿过超导材料(402)的层(602,1302,1304)的衬底(400)中的沟槽(304,502,902,1202,1204,1602)。超导体沉积在沟槽(304,502,902,1202,1204,1602)中,在沟槽(304,502,902,1202,1204,1602)的第一表面上形成第一膜,在第二表面上形成第二膜,并且在第三表面上形成所述超导体的第三膜。所述第一表面和所述第二表面基本上平行,并且沟槽(304,502,902,1202,1204,1602)中的所述第三表面将所述第一表面和所述第二表面分开。通过蚀刻暴露所述第三膜下方的电介质。在所述第一膜和超导量子逻辑电路中的第一接触之间形成第一耦合,在所述第二膜和所述超导量子逻辑电路中的第二接触之间形成第二耦合。所述第一耦合和所述第二耦合使得所述第一膜和所述第二膜操作为垂直q电容器(202,302,700,1100,1400,1800),所述垂直q电容器(202,302,700,1100,1400,1800)



1. 一种垂直q电容器,包括:

穿过超导材料层的沟槽,所述沟槽到达衬底中的深度,所述深度基本上与所述衬底的制造平面正交;

沉积在所述沟槽中的超导材料,其中沉积的超导材料在所述沟槽的第一表面上形成所述超导材料的第一膜,在所述沟槽的第二表面上形成所述超导材料的第二膜,并且在所述沟槽的第三表面上形成所述超导材料的第三膜,其中所述第二表面基本上平行于所述第一表面,并且所述沟槽中的所述第三表面将所述第一表面和所述第二表面分开;

在所述第三膜下面的介电材料,其中通过蚀刻所述第三膜暴露所述介电材料;

在所述第一膜与超导量子逻辑电路中的第一接触之间的第一耦合;以及

在所述第二膜与所述超导量子逻辑电路中的第二接触之间的第二耦合,所述第一耦合和所述第二耦合使得所述第一膜和所述第二膜操作为所述垂直q电容器,所述垂直q电容器将所述超导量子逻辑电路中的数据的完整性维持在阈值水平内。

2. 根据权利要求1所述的垂直q电容器,还包括:

在所述沟槽的所述第一表面与所述沟槽的所述第二表面之间的空间,其中真空占据所述空间,其中所述第三表面是所述沟槽的底表面,并且其中所述真空在所述第一膜与所述第二膜之间形成间隙。

3. 根据权利要求1所述的垂直q电容器,还包括:

第二介电材料的结构,

其中所述沟槽包括第一沟槽和第二沟槽,其中所述沟槽的深度是所述第一沟槽的第一深度,并且所述第二沟槽的第二深度基本上平行于所述第一沟槽的所述第一深度,

其中所述结构形成在所述第一沟槽和所述第二沟槽之间,

其中所述沟槽的所述第一表面包括由所述结构形成的所述第一沟槽的表面,

其中所述沟槽的所述第二表面包括由所述结构形成的所述第二沟槽的表面,以及

其中所述沟槽的所述第三表面包括分离所述第一表面和所述第二表面的所述结构的表面。

4. 根据权利要求3所述的垂直q电容器,其中所述结构的所述第二介电材料包括所述衬底的材料。

5. 根据权利要求3所述的垂直q电容器,还包括:

沉积在所述衬底的制造平面上的所述第二介电材料,其中超导材料沉积在所述第二介电材料上,其中所述第一深度和所述第二深度在所述第二介电材料中结束而没有到达所述衬底。

6. 根据权利要求1所述的垂直q电容器,还包括:

在所述第一膜与所述第一接触之间的第一耦合,所述第一耦合使用所述超导材料形成;以及

在所述第二膜与所述第二接触之间的第二耦合,所述第二耦合使用所述超导材料形成。

7. 根据权利要求1所述的垂直q电容器,还包括:

沉积在所述衬底上的所述超导材料。

8. 根据权利要求1所述的垂直q电容器,其中所述超导材料是铌(Nb)并且所述衬底包括

高电阻率硅(Si)。

9. 一种方法,包括:

在制造垂直q电容器时,形成穿过超导材料层的沟槽,所述沟槽到达衬底中的深度,所述深度基本上与所述衬底的制造平面正交;

在所述沟槽中沉积超导材料,其中所述沉积使得所述超导材料的第一膜沉积在所述沟槽的第一表面上,所述超导材料的第二膜沉积在所述沟槽的第二表面上,并且所述超导材料的第三膜沉积在所述沟槽的第三表面上,其中所述第二表面基本上平行于所述第一表面,并且所述沟槽中的所述第三表面分离所述第一表面和所述第二表面;

蚀刻所述第三膜以暴露所述第三膜下面的介电材料;以及

将所述第一膜耦合到超导量子逻辑电路中的第一接触,并且将所述第二膜耦合到所述超导量子逻辑电路中的第二接触,所述耦合使得所述第一膜和所述第二膜操作为所述垂直q电容器,所述垂直q电容器将所述超导量子逻辑电路中的数据的完整性保持在阈值水平内。

10. 根据权利要求9所述的方法,还包括:

作为形成所述沟槽的一部分,在所述沟槽的所述第一表面与所述沟槽的所述第二表面之间产生空间,其中真空占据所述空间,并且其中所述第三表面是所述沟槽的底表面;以及使用真空作为所述第一膜和所述第二膜之间的间隙。

11. 根据权利要求9所述的方法,还包括:

作为形成所述沟槽的一部分,产生第二介电材料的结构,

其中所述沟槽包括第一沟槽和第二沟槽,其中所述沟槽的深度是所述第一沟槽的第一深度,并且所述第二沟槽的第二深度基本上平行于所述第一沟槽的所述第一深度,

其中所述结构形成在所述第一沟槽和所述第二沟槽之间,

其中所述沟槽的所述第一表面包括由所述结构形成的所述第一沟槽的表面,

其中所述沟槽的所述第二表面包括由所述结构形成的所述第二沟槽的表面,以及

其中所述沟槽的所述第三表面包括分离所述第一表面和所述第二表面的所述结构的表面。

12. 根据权利要求11所述的方法,其中所述结构的所述第二介电材料包括所述衬底的材料。

13. 根据权利要求11所述的方法,还包括:

在所述衬底的所述制造平面上沉积所述第二介电材料;以及

在所述第二介电材料上沉积所述超导材料,其中所述第一深度和所述第二深度在所述第二介电材料中结束而没有到达所述衬底。

14. 根据权利要求9所述的方法,还包括:

使用所述超导材料在所述第一膜和所述第一接触之间形成第一耦合;以及

使用所述超导材料在所述第二膜和所述第二接触之间形成第二耦合。

15. 根据权利要求9所述的方法,还包括:

在所述衬底上沉积所述超导材料。

16. 如权利要求9所述的方法,其中所述超导材料是铌(Nb),并且所述衬底包括高电阻率硅(Si)。

17. 一种包括光刻部件的半导体制造系统,所述半导体制造系统在被操作以制造半导体器件时执行根据权利要求9至16中任一项所述的方法。

用于传输量子位的垂直超导电容器

技术领域

[0001] 本发明一般涉及用于减少超导量子逻辑电路中的电容性器件的占用面积的半导体器件、制造方法和制造系统。更具体地,本发明涉及用于传输量子位(垂直q电容器)的垂直超导电容器的装置、方法和系统。

背景技术

[0002] 在下文中,除非在使用时明确区分,否则短语的词中的“Q”或“q”前缀指示在量子计算上下文中引用该词或短语。

[0003] 分子和亚原子粒子遵循量子力学的定律,量子力学是探索物理世界如何在最基本的水平上工作的物理分支。在这个水平,粒子以奇怪的方式表现,同时呈现多于一个状态,并且与非常远的其他粒子相互作用。量子计算利用这些量子现象来处理信息。

[0004] 我们现在使用的计算机被称为传统计算机(这里也称为“传统”计算机或传统节点,或“CN”)。传统的计算机使用传统的处理器,该处理器使用半导体材料和技术、半导体存储器和磁或固态存储设备来制造,这被称为冯诺依曼架构。特别地,传统计算机中的处理器是二进制处理器,即,对以1和0表示的二进制数据进行操作。

[0005] 量子处理器(q处理器)使用纠缠量子位器件(在本文中被简称为“量子位”,多个“量子位”)的奇数性质来执行计算任务。在量子力学工作的特定领域,物质粒子可以以多种状态存在,例如“开”状态、“关”状态以及同时“开”和“关”状态。在使用半导体处理器的二进制计算限于仅使用开和关状态(等效于二进制码中的1和0)的情况下,量子处理器利用这些物质的量子状态来输出可用于数据计算的信号。

[0006] 常规计算机以比特对信息进行编码。每个位可采用1或0的值。这些1和0用作最终驱动计算机功能的开/关开关。另一方面,量子计算机基于量子位,量子位根据量子物理学的两个关键原理来操作:叠加和纠缠。叠加意味着每个量子位可以同时表示1和0。纠缠意味着叠加中的量子位可以以非经典方式彼此相关;即,一个的状态(是1或0或两者)可以取决于另一个的状态,并且当两个量子位纠缠时比当它们被单独处理时有更多的信息可以被确定。

[0007] 使用这两个原理,量子位作为更复杂的信息处理器来运行,使量子计算机能以允许它们解决使用常规计算机难以处理的难题的方式起作用。IBM已经成功地构建并证明了量子处理器的可操作性(IBM是国际商业机器公司在美国和其它国家的注册商标)。

[0008] 超导量子位可以包括一个约瑟夫逊结。约瑟夫逊结是通过用非超导材料分离两个薄膜超导金属层而形成的。当超导层中的金属变成超导时,例如通过将金属的温度降低到特定的低温温度,电子对可以从一个超导层通过非超导层隧穿到另一个超导层。在超导量子位中,具有较小电感的约瑟夫逊结与形成非线性谐振器的一个或多个电容性器件并联电耦合。

[0009] 由量子位处理的信息以微波频率范围内的微波能量的形式发射。捕获、处理和分析微波发射,以便译解其中编码的量子信息。为了量子位的量子计算是可靠的,量子电路,

例如量子位本身、与量子位相关联的读出电路、以及其他类型的超导量子逻辑电路,必须不以任何显著的方式改变这些颗粒的能量状态或微波发射。对利用量子信息操作的任何电路的这种操作约束使得在制造用于这种电路中的半导体结构时需要特别考虑。

[0010] 必须根据这种操作约束来制造在超导量子逻辑电路中特别是在量子位(例如与约瑟夫逊结结合)中使用的电容器。目前在量子位中使用的电容器结构在尺寸上显著大于其中约瑟夫逊结的尺寸。图1示出了目前制造的量子位的按比例缩放的视图。可以看出,量子位100的几乎整个面积都被电容器结构102占据。与电容器结构102占据的面积相比,约瑟夫逊结104占据量子位100相对不显著的面积。

[0011] 电容器的大尺寸限制了在制造过程中每个管芯可以制造的量子位和其它量子读出电路的数量。需要一种制造q电容器(q-capacitor)的方法,与目前在量子电路(例如量子位100)中使用的电容器相比,该q电容器在芯片上占据的面积显著地更小。q电容器是使用超导材料制造的电容性器件结构,其中电容性结构可用于在量子逻辑电路的操作周期期间存储和使用单个量子的微波能量的超导量子逻辑电路中。这种能量的任何吸收或耗散、任何自发的能量添加、或在q电容器中出现的电容波动将降低电路性能。可以为q电容器定义这些效应的可接受的最大阈值,以在量子逻辑电路中起作用。如本文所述,可以通过在半导体制造工艺中在硅衬底上使用一种或多种超导材料来制造q电容器。

发明内容

[0012] 本发明的示例提供了一种半导体器件及其制造方法和系统。体现本发明的半导体器件包括垂直q电容器,其包括穿过超导材料层的沟槽,该沟槽到达衬底中的深度,该深度基本上与衬底的制造平面正交。该装置还包括沉积在沟槽中的超导材料,其中沉积的超导材料在沟槽的第一表面上形成超导材料的第一膜,在沟槽的第二表面上形成超导材料的第二膜,并且在沟槽的第三表面上形成超导材料的第三膜,其中所述第二表面基本上平行于所述第一表面,并且沟槽中的所述第三表面分离所述第一表面和所述第二表面。该实施例还包括在所述第三膜下方的介电材料,其中通过蚀刻所述第三膜来暴露所述介电材料。该器件还包括所述第一膜和超导量子逻辑电路中的第一接触之间的第一耦合。该器件还包括在所述第二膜和所述超导量子逻辑电路中的第二接触之间的第二耦合,所述第一耦合和所述第二耦合使得所述第一膜和所述第二膜操作作为所述垂直q电容器,所述垂直q电容器将超导量子逻辑电路中的数据的完整性保持在阈值水平内。因此,与目前使用的电容器相比,该器件提供了占据量子位上显著更小的空间的垂直q电容器。

[0013] 体现本发明的另一器件还包括所述沟槽的所述第一表面和所述沟槽的所述第二表面之间的空间,其中真空占据所述空间,其中所述第三表面是所述沟槽的底表面,并且其中所述真空在所述第一膜和所述第二膜之间形成间隙。因此,所述器件提供了单沟槽真空间隙垂直q电容器,其中所述电介质是所述真空。

[0014] 体现本发明的另一器件还包括第二介电材料的结构,其中沟槽包括第一沟槽和第二沟槽,其中所述沟槽的深度是所述第一沟槽的第一深度,并且所述第二沟槽的第二深度基本上平行于所述第一沟槽的所述第一深度,其中所述结构形成在所述第一沟槽和所述第二沟槽之间,其中所述沟槽的所述第一表面包括由所述结构形成的所述第一沟槽的表面,其中所述沟槽的所述第二表面包括由所述结构形成的所述第二沟槽的表面,并且其中所述

沟槽的所述第三表面包括分离所述第一表面和所述第二表面的结构的表面。因此,该器件提供了多沟槽垂直q电容器。

[0015] 在体现本发明的另一器件中,所述结构的所述第二介电材料包括所述衬底的材料。因此,该器件提供了多沟槽垂直q电容器,其中所述电介质是衬底材料。

[0016] 体现本发明的另一器件还包括沉积在所述衬底的制造平面上的所述第二介电材料,其中超导材料沉积在所述第二介电材料上,其中所述第一深度和所述第二深度在所述第二介电材料中结束而没有到达衬底。因此,该器件提供了多沟槽垂直q电容器,其中所述电介质是第二介电材料的选择。

[0017] 体现本发明的另一器件还包括在所述第一膜和所述第一接触之间使用超导材料形成的第一耦合。该器件还包括在所述第二膜和所述第二接触之间使用超导材料形成的第二耦合。因此,该器件提供了将垂直q电容器耦合到超导量子逻辑电路的方式。

[0018] 体现本发明的另一种器件还包括沉积在所述衬底上的超导材料。因此,该器件提供了在所述衬底上形成超导层的方式。

[0019] 在体现本发明的另一器件中,超导材料是铌(Nb)并且衬底包括高电阻率硅(Si)。因此,该器件提供了可用于形成垂直q电容器的特定材料。

[0020] 本发明的另一方面,提供了一种用于制造所述半导体器件的制造方法。

[0021] 本发明的另一方面,提供了一种用于制造所述半导体器件的制造系统。

附图说明

[0022] 本发明的新颖特征在所附权利要求中阐述。然而,通过参考结合附图阅读的以下详细描述,将最好地理解本发明本身及其优选使用模式、进一步的目的和优点,其中:

[0023] 图1示出了量子位的按比例缩放的视图;

[0024] 图2示出了体现本发明的量子位中的q电容器的示意图;

[0025] 图3示出了体现本发明的垂直q电容器的结构的模拟三维视图;

[0026] 图4示出了体现本发明的垂直q电容器的示例制造工艺中的步骤;

[0027] 图5至7示出了体现本发明的真空间隙垂直q电容器的示例制造工艺中的步骤;

[0028] 图8至11示出了体现本发明的真空间隙垂直q电容器的替代示例制造工艺中的步骤;

[0029] 图12至14示出了体现本发明的硅电介质垂直q电容器的示例制造工艺中的步骤;以及

[0030] 图15至18示出了在体现本发明的硅电介质垂直q电容器的替代示例制造工艺中的步骤。

具体实施方式

[0031] 用于描述本发明的示例性实施例一般地说明和解决了上述对垂直q电容器和垂直q电容器的制造方法的需要。

[0032] 本发明的一个实施例可以被实施为超导量子逻辑电路中的一个电容性器件,包括但不限于被实施为量子位芯片中耦合到约瑟夫逊结上的q电容器。一种用于垂直q电容器的制造方法可以至少部分地被实现为软件应用。实现本发明实施例的应用可被配置为结合现

有半导体制造系统(例如光刻系统)的操作。

[0033] 为了描述清楚,并且不意味着对其的任何限制,使用附图中的示例q电容器的简化图来描述本发明的实施例。在q电容器的实际制造中,在不脱离本发明的范围的情况下,可以存在这里未示出或描述的附加结构,或者与这里示出和描述的结构不同的结构。类似地,在说明性实施例的范围内,可不同地制造示例q电容器中的所展示或所描述的结构以产生如本文所描述的类似操作或结果。

[0034] 如本文所述,示例性结构、层和形成物的二维图中的不同阴影部分旨在表示示例性制造中的不同结构、层、材料和形成物。不同的结构、层、材料和构造可以使用本领域普通技术人员已知的合适材料来制造。

[0035] 本文所描述的形状的具体形状、位置、定位或尺寸不是旨在限制本发明,除非这种特征被明确地描述为本发明实施例的特征。选择形状、位置、方位、尺寸或其某种组合仅是为了附图和描述的清楚,并且可能已经被夸大、最小化或以其他方式改变从实际光刻中可能使用的实际形状、位置、方位或尺寸,以实现本发明的实施例中的目的。

[0036] 本发明的实施例在应用中实现时使得制造过程执行如本文所述的某些步骤。在几个附图中描述了制造过程的步骤。在特定的制造过程中,并非所有的步骤都是必需的。一些制造工艺可以以不同的顺序实施步骤、组合某些步骤、移除或替换某些步骤、或执行这些步骤的某些组合和其它步骤操作,而不脱离本发明的范围。

[0037] 本发明的优选实施例仅作为示例来描述关于某些类型的材料、电特性、结构、形成、层取向、方向、步骤、操作、平面、尺寸、数量、数据处理系统、环境、组件和应用。这些和其它类似的人为因素的任何特定表现形式不是要限制本发明。在本发明的范围内可以选择这些和其它类似的人工产物的任何适当的表现形式。

[0038] 仅使用特定设计、架构、布局、示意图和工具作为示例来描述本发明的优选实施例,并且不限制本发明。所描述的实施例可以结合其他相当的或类似目的设计、架构、布局、示意图和工具来使用。

[0039] 本文所述的实施例仅用于使说明书清楚,而不是对本发明的限制。本文列出的任何优点仅是示例,而不旨在限制本发明。本发明的特定实施例可以实现附加的或不同的优点。此外,特定实施例可具有上文所列优点中的一些、全部或不具有上文所列优点。

[0040] 量子位仅用作其中可以使用本发明实施例的非限制性示例超导量子逻辑电路。从该描述中,本领域普通技术人员将能够设想许多其它可以使用本发明的垂直q电容器的超导量子逻辑电路,并且在本发明的范围内可以设想相同的超导量子逻辑电路。

[0041] 参考图2,该图示出了根据本发明实施例的在量子位中使用的q电容器的示意图。Q电容器202代表一个以在此描述的方式制造的q电容器,并且被耦接到量子位200中的约瑟夫逊结104上。

[0042] 参考图3,该图示出了根据实施例的垂直q电容器中使用的结构的模拟三维视图。为了方便起见,示出了X-Y-Z坐标轴。制造的衬底(未示出)平面是XY平面。根据说明性实施例的垂直q电容器是其中在基本上垂直于制造平面的方向上在衬底中垂直地形成板的q电容器。

[0043] 在所描述的例子中,约瑟夫逊结104是使用铝(A1)金属薄膜和合适的介电材料(例如氧化铝)制造的,该铝(A1)金属薄膜在1.2开氏度的转变温度下变为超导。A1薄膜在XY平

面上取向或基本上平行于XY平面取向,在Z方向上通过介电材料彼此分开。

[0044] 垂直q电容器302包括在衬底中沿Z方向开槽的沟槽304,沟槽的深度低于制造约瑟夫逊结104的XY平面。半导体衬底占据了在沟槽对304中将沟槽彼此分开的空间。当如本文所述适当制造时,沟槽304形成薄膜(板,多个板),其如本文所述的单沟槽实施例(真空电介质)中那样跨越沟槽侧壁的相对侧上的电极之间的间隙或如本发明的具有多个沟槽的实施例(硅电介质)中所述的邻近沟槽之间的间隙保持电容器的电荷。垂直q电容器302还包括到约瑟夫逊结104的超导引线或连接306。q电容器的引线和结的引线可以电容耦合。

[0045] 铌(Nb)是用于制造垂直q电容器302的示例超导材料。例如,如本文所述,使用Nb制造沟槽304和引线306。在适当的特定实现环境下,可以用其它超导材料代替Nb,并且这种代替被认为在本发明的范围内。钛、氮化钛、氮化铌、氮化铌钛和钽是在某些情况下可以以类似方式使用的一些其它可能的超导材料。

[0046] 参考图4,该图描绘了根据本发明的实施例的垂直q电容器的示例制造工艺中的步骤。作为示例,衬底400由高电阻率硅(Si)形成。或者,可以使用蓝宝石代替高电阻率硅。基本上,这些类型的衬底与微波领域的低损耗相适应。

[0047] 合适的超导材料402(在这种情况下为Nb)层叠在衬底400上。对于非限制性的分层沉积方法,可以使用溅射。

[0048] 参考图5,该图示出了根据本发明实施例的真空间隙垂直q电容器的示例制造工艺中的步骤。在衬底中制造的q电容器具有两个电场分量:从一个板跨越将板分离的间隙到另一板,以及从一个板穿过下面的衬底到另一板。该图示出了制造垂直q电容器302的方式,其中板之间的真空用作隔离物。

[0049] 如图所示,沟槽502穿过超导材料402和衬底400形成。在一个示例性制造工艺中,可以通过从沟槽502的位置图案化和蚀刻掉材料直到沟槽502的指定深度来形成沟槽502。在一个非限制性示例实现中,可以利用光刻来完成图案化,并且蚀刻可以是诸如Bosch蚀刻(深反应离子蚀刻)的深蚀刻。用KOH或TMAH的化学蚀刻工艺也是可能的,但是需要牺牲材料,例如氮化物或氧化物,其残余物可能不利地影响量子位性能。

[0050] 参考图6,该图示出了根据本发明实施例的真空间隙垂直q电容器的示例制造工艺中的另一步骤。沟槽502的侧壁和底面衬有超导材料402。例如,使用合适的沉积方法,如图所示,超导材料402的层602沉积在沟槽502的侧壁和底面上。超导材料402的部分604将形成图3所示的引线306。

[0051] 同样,如果Nb用作超导材料,则可以使用沉积的溅射方法。以这种方式沉积Nb可以消除随后为了在沟槽和芯片上的其它超导电路周围限定Nb而对Nb的减蚀刻。在一种替代方法中,通过ALD(原子层沉积)沉积氮化钛(TiN),其是保形的,且因此以相同的量涂覆所有表面。TiN可以单独使用或与Nb结合使用。

[0052] 实际上,沟槽502的深蚀刻将在沟槽502中留下倾斜壁,其将在形成层602的沉积步骤中被溅射的Nb作为层602覆盖。但是因为侧壁是倾斜的,所以除非沉积了足够的材料,否则沟槽502的侧壁上的Nb层602的最终厚度将是较薄的。用于调整层602中Nb的厚度的解决方案是从多于一个方向执行成角度的蒸发,以便涂覆沟槽502的倾斜壁。另一解决方案是利用ALD在沟槽502的所有表面上共形地沉积相同厚度的TiN。

[0053] 参考图7,该图示出了根据本发明实施例的真空间隙垂直q电容器的示例制造工艺

中的另一步骤。从沟槽502的底面去除超导材料402。例如,使用合适的图案化和蚀刻工艺,超导材料402的层602的底面部分被去除以暴露沟槽502的底面702,如图所示。底面702与其余侧壁部分602电去耦。例如,602的侧壁部分A形成垂直q电容器的一个板(板A),602的侧壁部分B形成垂直q电容器的另一个板(板B),板A连接到垂直q电容器的引线A604,板B连接到垂直q电容器的引线B 604。板A和B之间的沟槽502中的真空形成间隙。注意,沟槽502中的真空不必是完全真空,而是可以被产生到对于给定的实施方式合适且足够的程度。因此,根据本发明的实施例,垂直q电容器700形成有真空间隙。

[0054] 参考图8,该图示出了根据本发明实施例的真空间隙垂直q电容器的替代示例制造工艺中的替代步骤。使用与图7的图案化和蚀刻相比不同的方法从沟槽502的底面去除超导材料402。

[0055] 在该可选步骤中,在超导材料402沉积在沟槽502中以形成层602之后,光学平面化层(OPL)材料802沉积在超导材料402上,同时还用OPL 802填充沟槽502。在OPL 802上形成合适的光致抗蚀剂材料或包含这种材料的叠层的层804。

[0056] 参考图9,该图示出了根据本发明实施例的真空间隙垂直q电容器的替代示例制造工艺中的另一步骤。如图所示,通过抗蚀剂804和OPL 802形成沟槽902。在一个示例性制造工艺中,可以通过从沟槽902的位置图案化和蚀刻掉材料来形成沟槽902,包括从层602的侧壁部分之间去除OPL 802,直到层602的底面部分,同时使层602基本上未受干扰。

[0057] 参考图10,该图示出了根据本发明实施例的真空间隙垂直q电容器的替代制造工艺中的另一步骤。从沟槽902的底面去除超导材料402。例如,使用合适的蚀刻工艺,如图所示,超导材料402的层602的底面部分被去除以暴露沟槽502的底面1002。底面1002使602剩余的侧壁部分A和B电去耦。602的侧壁部分A形成垂直q电容器的一个板(板A),602的侧壁部分B形成垂直q电容器的另一个板(板B)。板A和B之间的沟槽502中的真空形成间隙。

[0058] 参考图11,该图示出了根据本发明实施例的真空间隙垂直q电容器的替代制造工艺中的另一步骤。从形成引线604的超导材料402去除剩余的抗蚀剂材料804和剩余的OPL材料802。板A 602连接到垂直q电容器的引线A604,并且板B 602连接到垂直q电容器的引线B 604。因此,根据本发明的另一实施例,垂直q电容器1100形成有真空间隙。

[0059] 参考图12,该图示出了根据本发明实施例的硅电介质垂直q电容器的示例制造工艺中的步骤。该图示出了制造垂直q电容器302的方式,其中来自衬底的硅被形成到垂直q电容器的极板之间的电介质结构中。

[0060] 如图所示,沟槽1202和1204穿过超导材料402和衬底400形成。在一个示例性制造工艺中,可以通过从沟槽1202和1204的位置图案化和蚀刻掉材料直到沟槽1202和1204的指定深度来形成沟槽1202和1204。

[0061] 参考图13,该图示出了根据本发明实施例的硅电介质垂直Q电容器的示例制造工艺中的另一步骤。沟槽1202和1204的侧壁和底面衬有超导材料402。例如,使用合适的沉积方法,例如,对于Nb的溅射或对于TiN的ALD,超导材料402的层1302和1304分别沉积在沟槽1202和1204的侧壁和底面上,如图所示。结构1306因此由衬底材料400形成,并且如图所示被夹在两层超导材料402之间。超导材料402的部分604将形成图3所示的引线306。

[0062] 参考图14,该图示出了根据本发明实施例的硅电介质垂直q电容器的示例制造工艺中的另一步骤。超导材料402从夹层衬底材料结构1306的顶部移除。例如,使用合适的图

案化和蚀刻工艺,超导材料402的直接在结构1306上方的部分被移除以暴露结构1306的顶部1402,如图所示。

[0063] 特别地,该蚀刻不需要深蚀刻,因为仅超导材料必须被蚀刻。例如,该蚀刻工艺可以是基于氯的反应离子蚀刻。正如在前一示例中,可能需要OPL,因为由于不平坦的地貌,不可能用常规抗蚀剂来图案化深沟槽上方的开口。

[0064] 顶部1402使层1302和1304的剩余侧壁部分电去耦。例如,层1302的侧壁部分A形成垂直q电容器的一个板(板A),1304的侧壁部分B形成垂直q电容器的另一个板(板B),板A连接到垂直q电容器的引线A604,板B连接到垂直q电容器的引线B604。在板A和板B之间的结构1306中的衬底材料400形成电介质。因此,根据本发明的实施例,垂直电容器1400由硅电介质形成。

[0065] 衬底材料400仅作为本发明的示例性实施例用于结构1306中。从该描述中,本领域普通技术人员将能够使用与超导量子器件的低微波损耗要求一致并且适合于该低微波损耗要求的其他介电材料,以用于以类似的方式形成结构1306,并且这种形成和具有不同电介质的所得垂直q电容器被预期在本发明的范围内。

[0066] 参考图15,该图示出了根据本发明实施例的硅电介质垂直q电容器的替代示例制造工艺中的替代步骤。使用与图14的图案化和蚀刻相比不同的方法从结构1306的顶部去除超导材料402。

[0067] 在该可选步骤中,在超导材料402沉积在沟槽1202和1204中以分别形成层1302和1304之后,OPL材料1502沉积在超导材料402上,同时还用OPL 1502填充沟槽1202和1204。在OPL 1502上形成合适的光致抗蚀剂材料的层1504或包含这种材料的叠层。

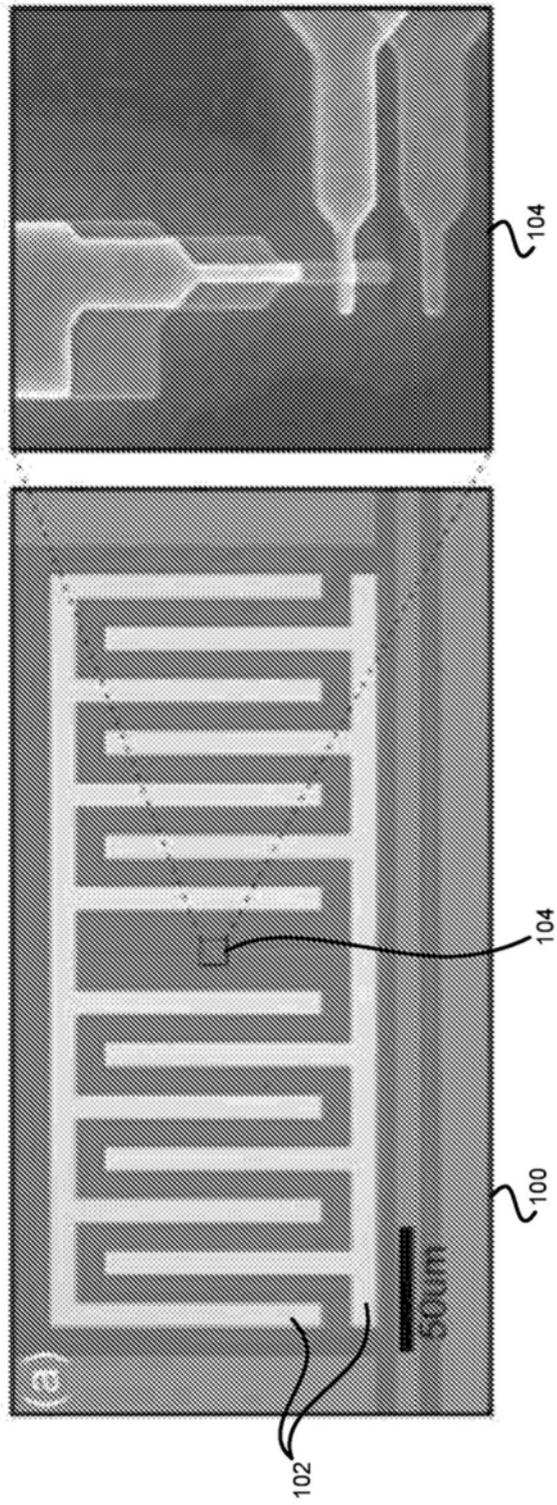
[0068] 参考图16,该图示出了根据本发明实施例的硅电介质垂直q电容器的替代示例制造工艺中的另一步骤。如图所示,通过抗蚀剂1504和OPL 1502形成沟槽1602。在一个示例制造工艺中,可以通过从沟槽1602的位置图案化和蚀刻掉材料来形成沟槽1602,包括从超导材料402(其在层1302和层1304的沉积期间沉积)的部分1604上方去除OPL 1502,并且直到并暴露部分1604的顶部。

[0069] 参考图17,该图示出了根据本发明实施例的硅电介质垂直q电容器的替代制造工艺中的另一步骤。从沟槽1602中去除部分1604。例如,使用合适的图案化和蚀刻工艺,超导材料402的部分1604被移除以暴露结构1306的衬底材料400,如图所示。结构1306的顶部1702使其余侧壁部分1302A和1304B电去耦。1302的侧壁部分A形成垂直q电容器的一个板(板A),1304的侧壁部分B形成垂直q电容器的另一个板(板B)。在板A和板B之间的结构1306中的衬底材料400形成电介质。

[0070] 参考图18,该图示出了根据本发明实施例的硅电介质垂直q电容器的替代制造工艺中的另一步骤。从形成引线604的超导材料402的顶部去除剩余的抗蚀剂材料1504和剩余的OPL材料1502。板A1302连接到垂直q电容器的引线A604,板B1304连接到垂直q电容器的引线B604。因此,根据本发明另一实施例,垂直q电容器1800由硅电介质形成。

[0071] 在结构1306中使用衬底材料400作为电介质,这仅作为本发明的示例实施例。从该描述中,本领域普通技术人员将能够使用适合于并且符合超导量子器件的低微波损耗要求的其他介电材料,用于以类似的方式形成结构1306,并且这样的形成以及具有不同电介质的所得垂直q电容器被预期在本发明的范围内。

[0072] 对于类似的电容值,与现有技术的量子位平面电容器相比,根据本发明实施例形成的仅具有5微米过孔高度(沟槽的深度)的真空间隙垂直q电容器仅占据量子位芯片上的表面面积的大约30%。对于类似的电容值,与现有技术的量子位平面电容器相比,根据本发明的实施例形成的仅具有25微米过孔高度(硅介电结构的高度)的硅介电垂直q电容器仅占据量子位芯片上的表面面积的大约7.5%。



(现有技术)

图1

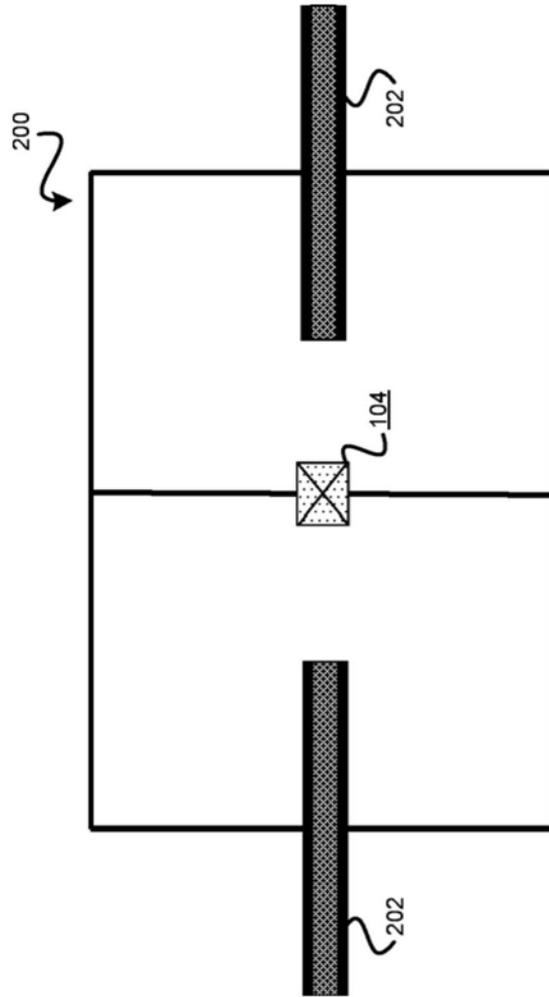


图2

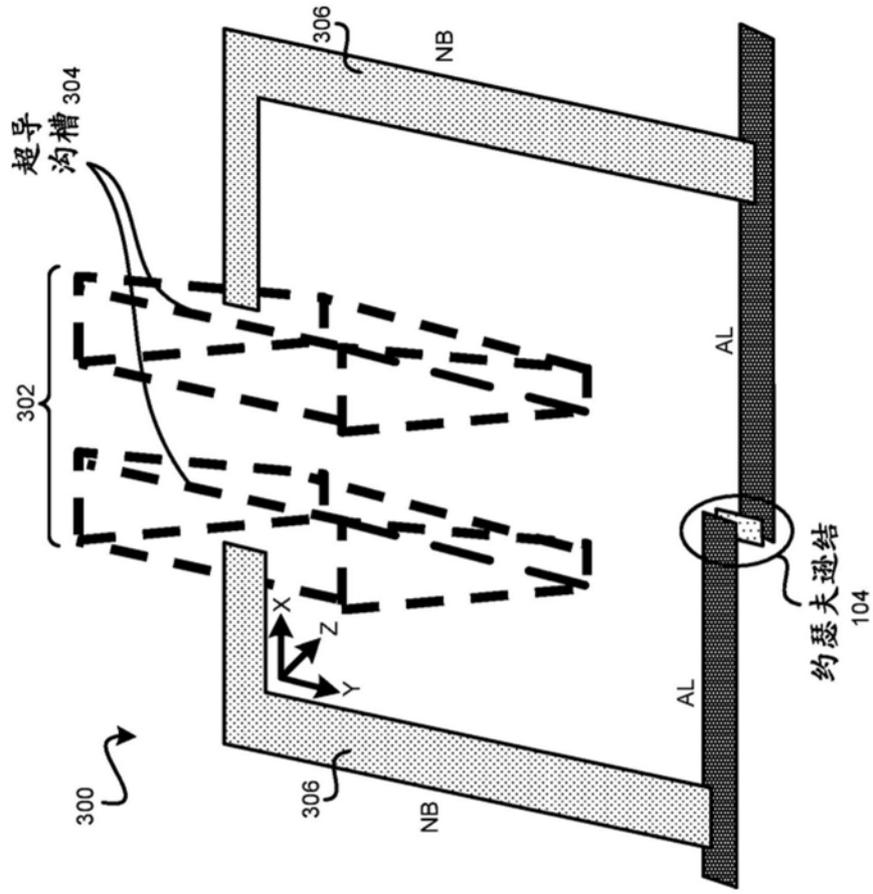


图3

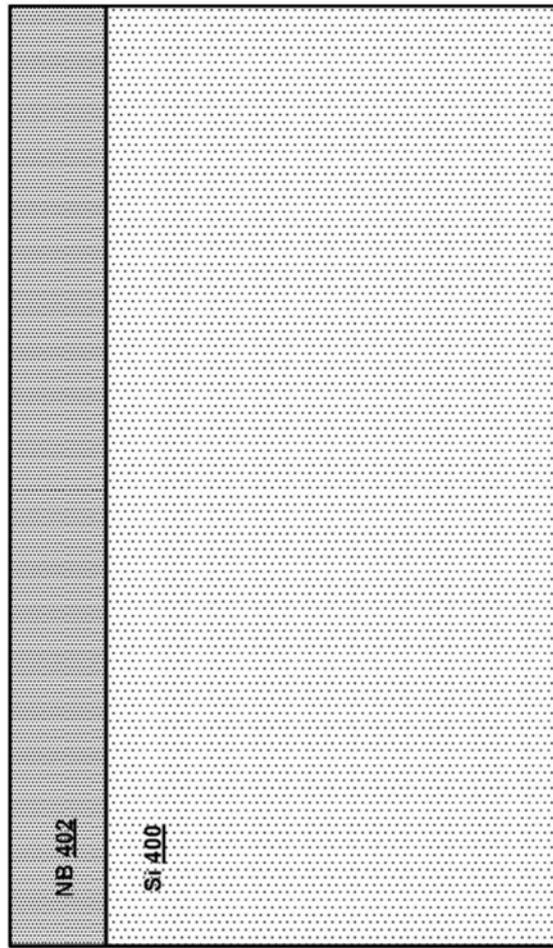


图4

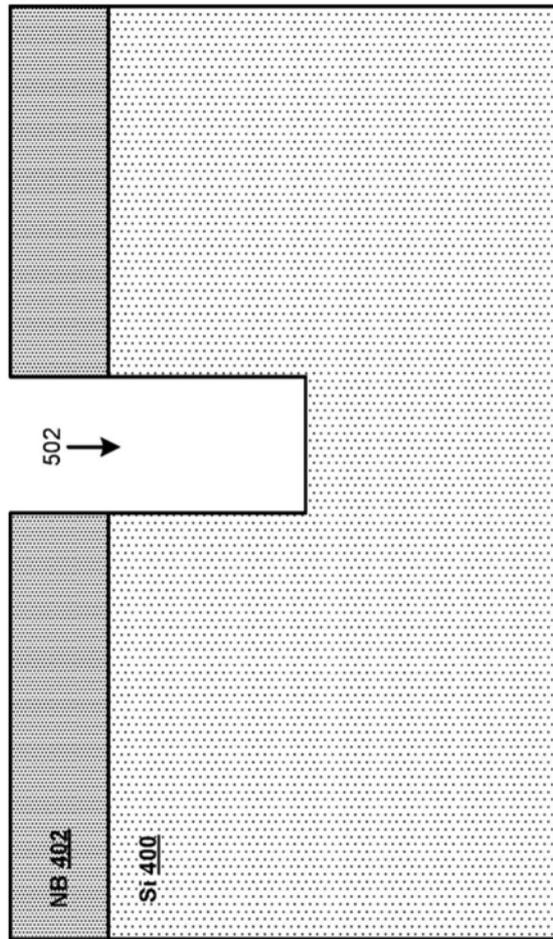


图5

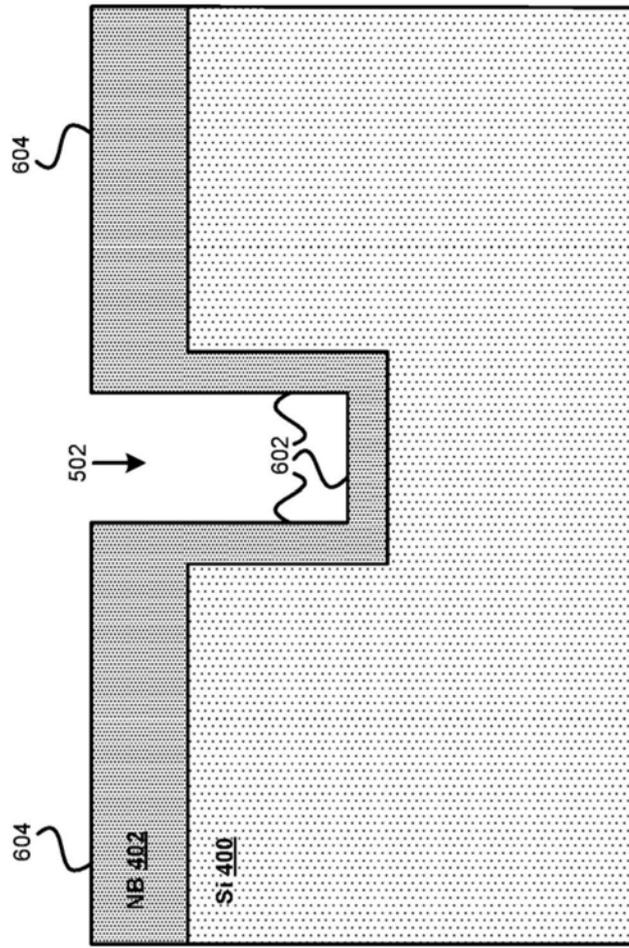


图6

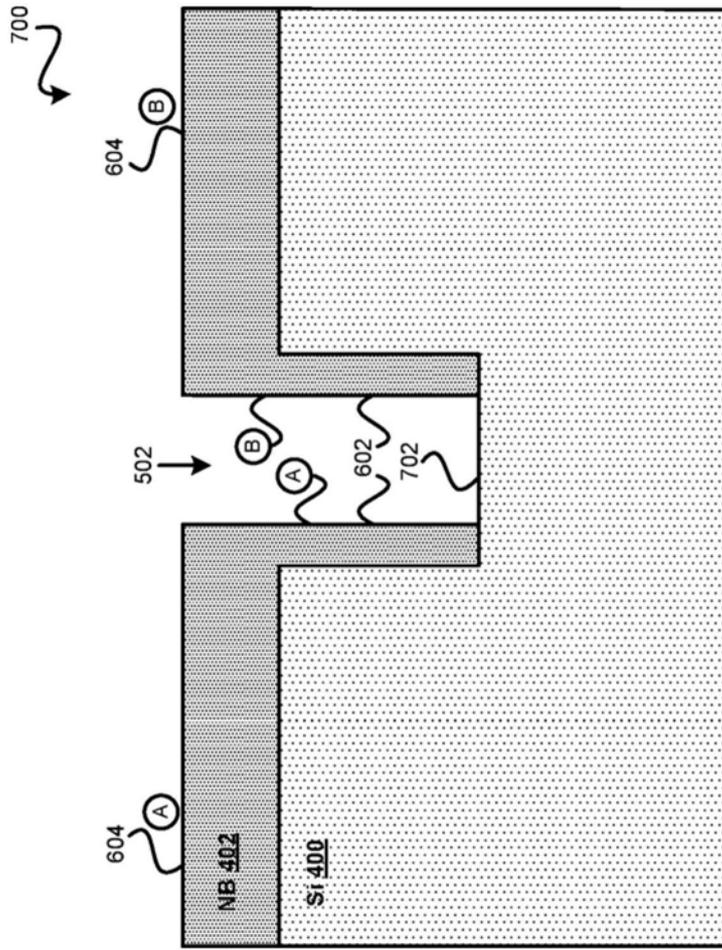


图7

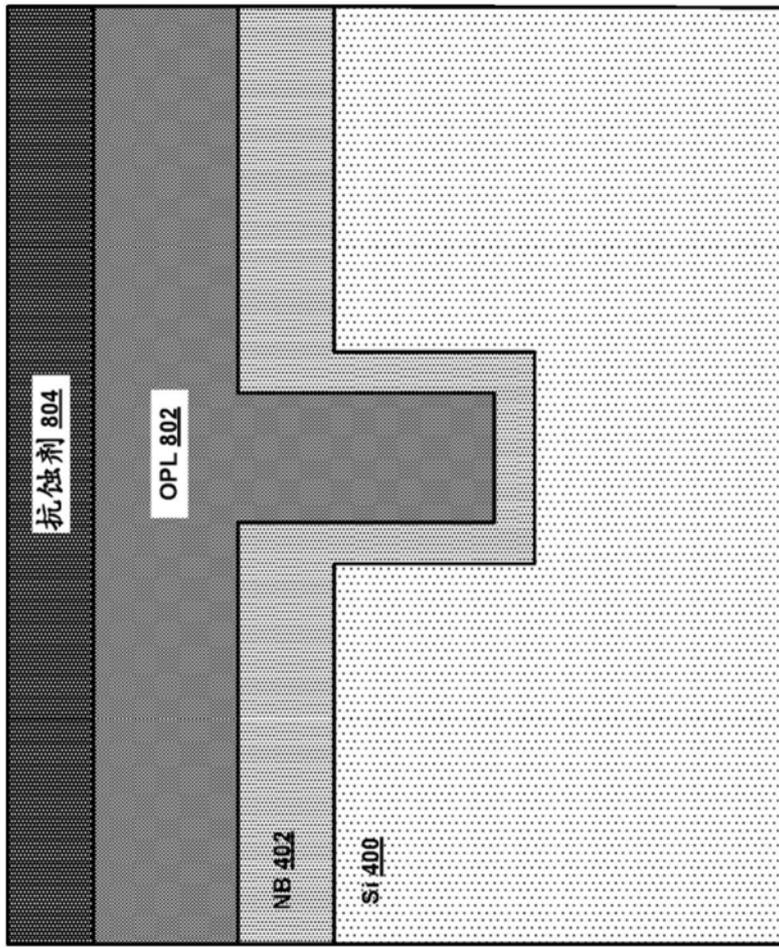


图8

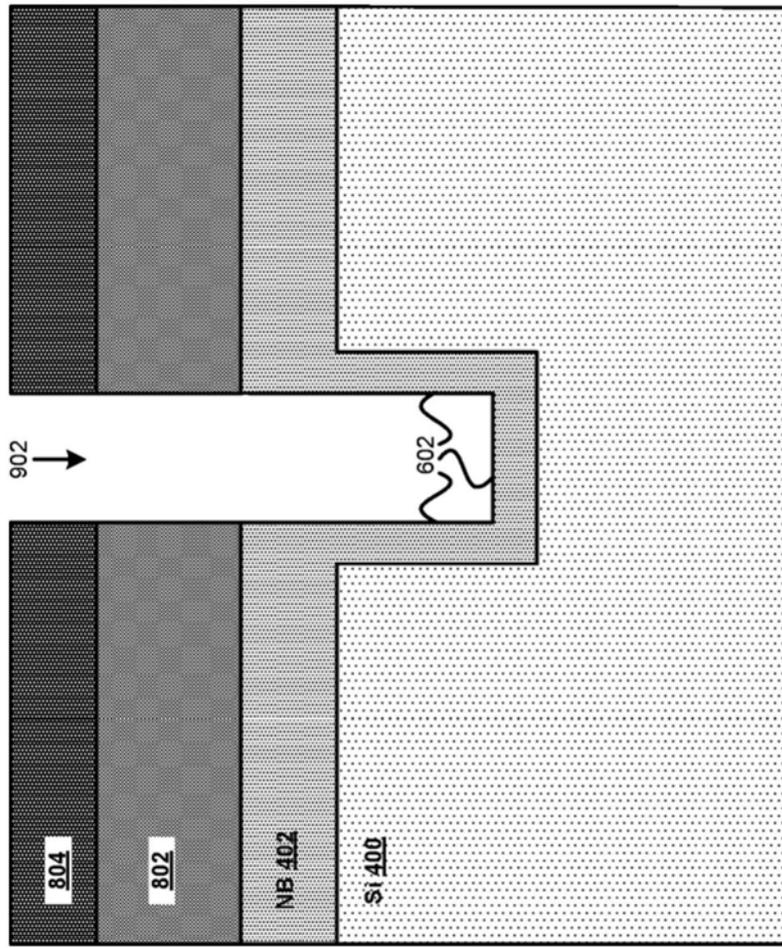


图9

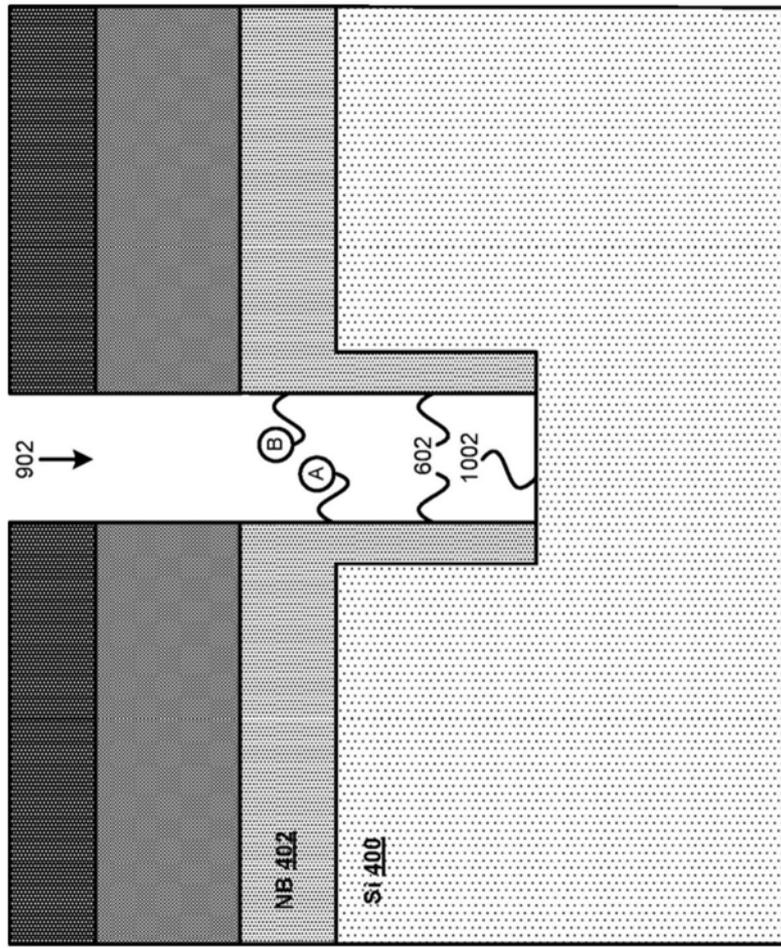


图10

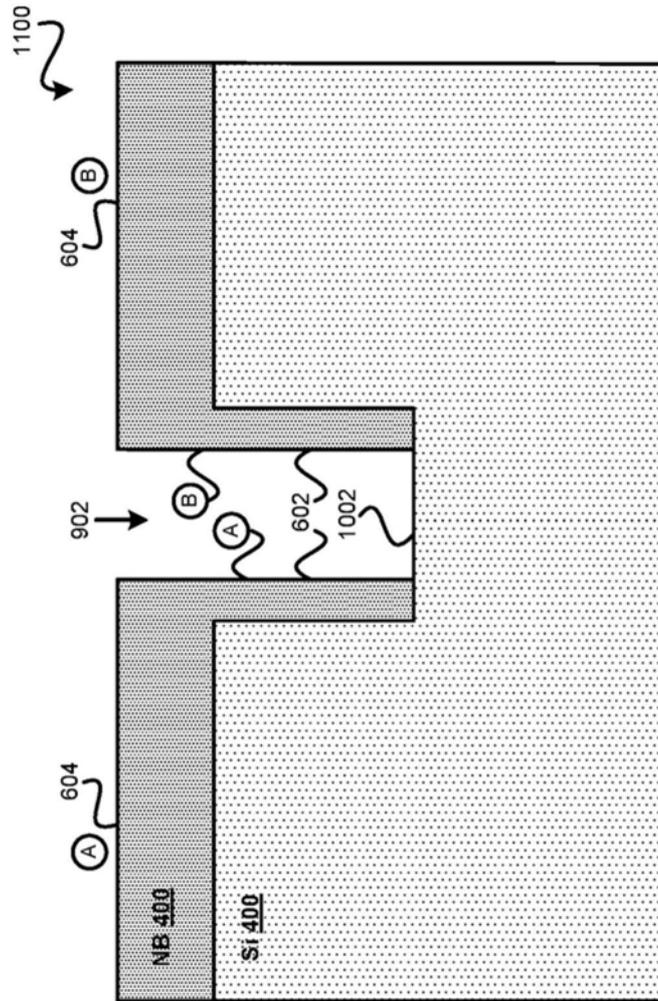


图11

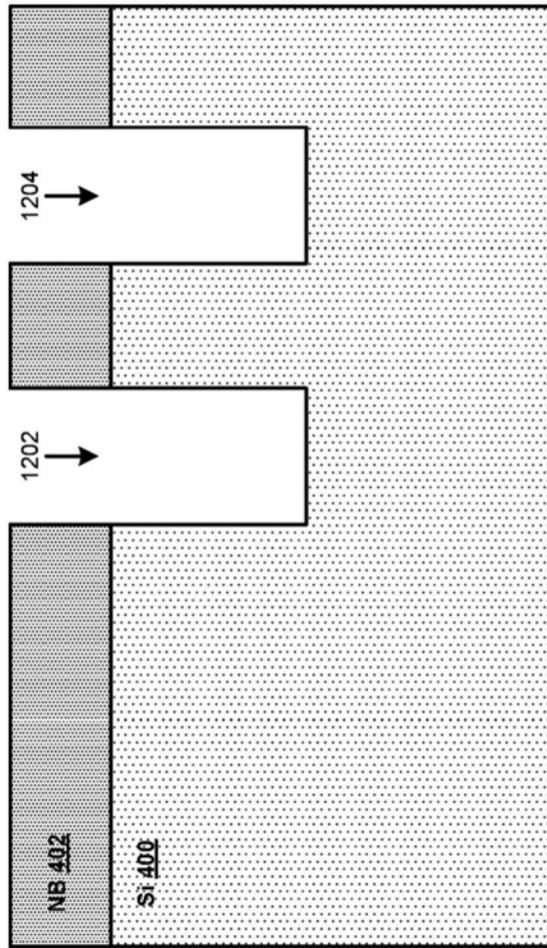


图12

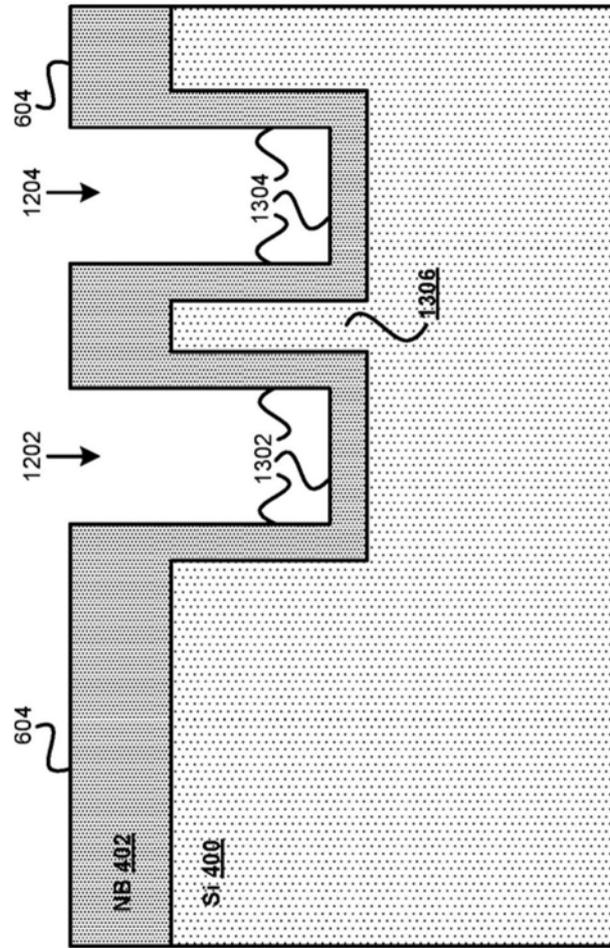


图13

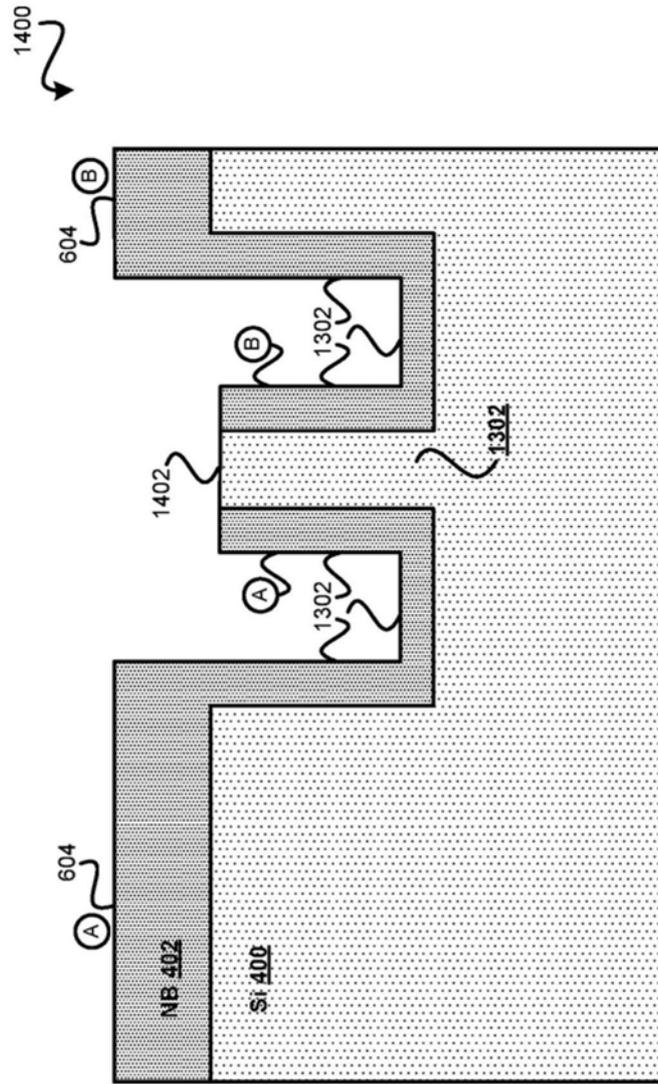


图14

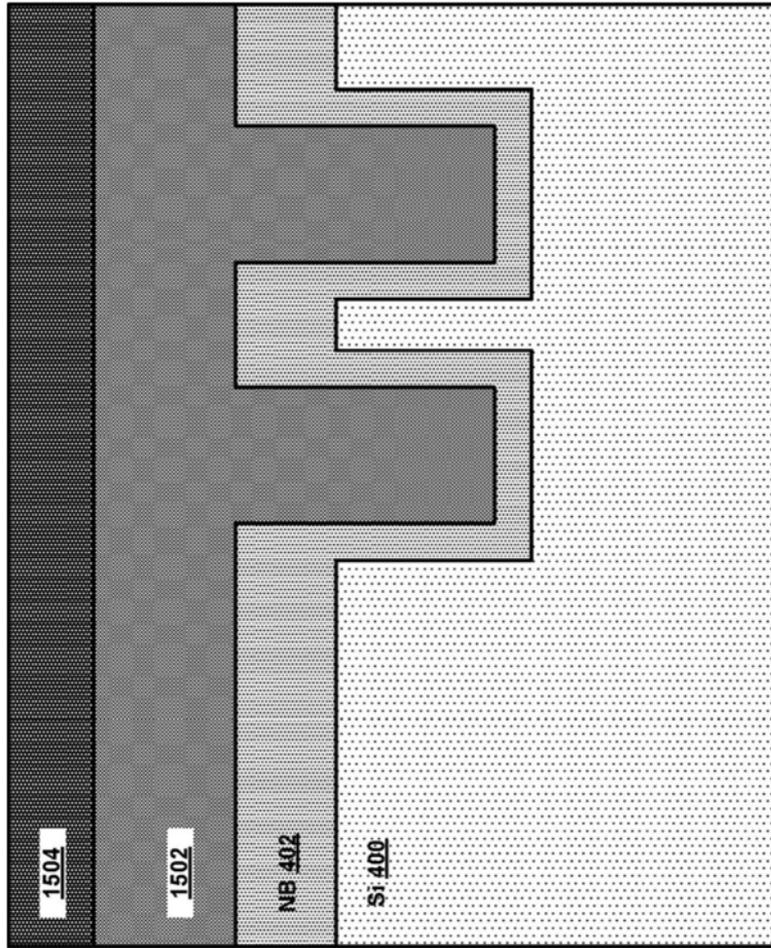


图15

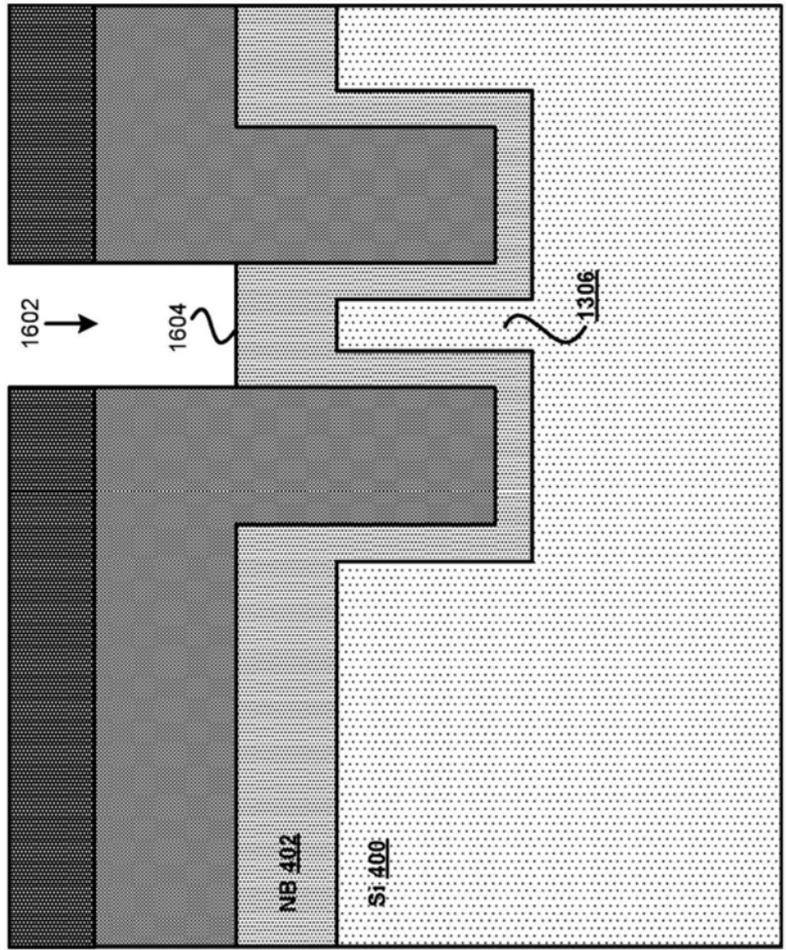


图16

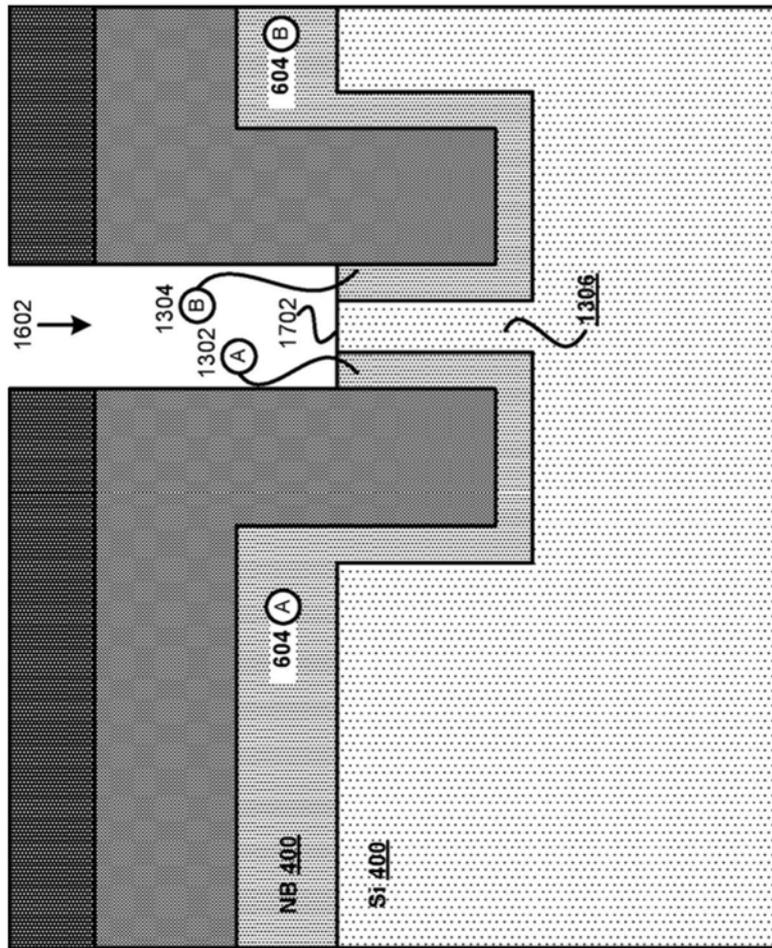


图17

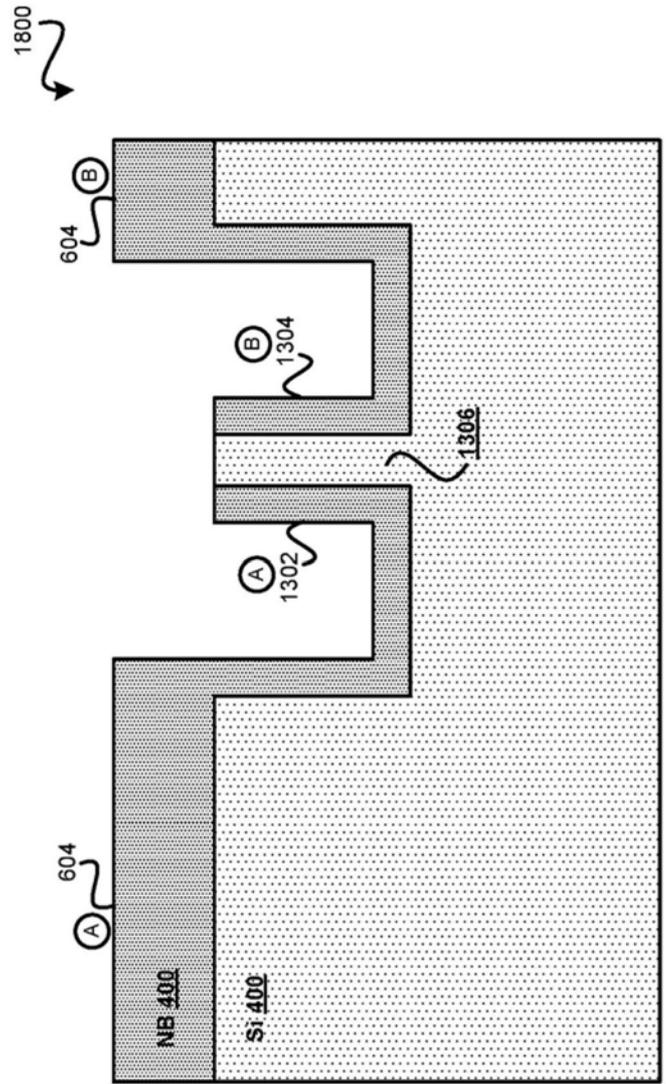


图18