



(21) 申请号 202110221162.8

(22) 申请日 2021.02.26

(71) 申请人 合肥维信诺科技有限公司

地址 230000 安徽省合肥市新站区魏武路  
与新蚌埠路交叉口西南角

(72) 发明人 刘家昌 袁鑫 曹曙光 范文志  
张明

(74) 专利代理机构 北京远智汇知识产权代理有  
限公司 11659

代理人 范坤坤

(51) Int. Cl.

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

H01L 27/12 (2006.01)

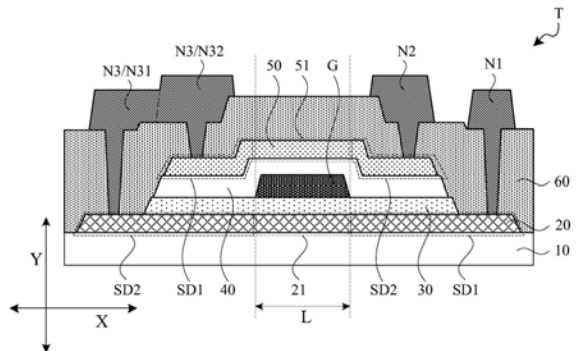
权利要求书2页 说明书9页 附图6页

(54) 发明名称

薄膜晶体管及其制备方法以及显示面板

(57) 摘要

本发明实施例公开了一种薄膜晶体管及其制备方法以及显示面板。薄膜晶体管包括衬底以及依次位于衬底上的第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层和第三绝缘层；第一电极和第二电极，第一电极和第二电极均位于第三绝缘层远离衬底的一侧；第一有源层和第二有源层均包括第一源/漏极区和第二源/漏极区；第一电极至少与第一有源层的第一源/漏极区电连接，第二电极至少与第二有源层的第二源/漏极区电连接；第一有源层的第一源/漏极区和第二有源层的第一源/漏极区中的一个，与第二有源层的第二源/漏极区和第二源/漏极区中的一个电连接。本发明的技术方案，能够通过减小薄膜晶体管占用的尺寸来提升显示面板的显示分辨率，从而优化显示效果。



1. 一种薄膜晶体管,其特征在于,包括:

衬底,以及依次位于所述衬底上的第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层和第三绝缘层;

第一电极和第二电极,所述第一电极和所述第二电极均位于所述第三绝缘层远离所述衬底的一侧;所述第一有源层和所述第二有源层均包括第一源/漏极区和第二源/漏极区;所述第一电极至少与所述第一有源层的所述第一源/漏极区电连接,所述第二电极至少与所述第二有源层的所述第二源/漏极区电连接;所述第一有源层的所述第一源/漏极区和所述第二源/漏极区中的一个,与所述第二有源层的所述第一源/漏极区和所述第二源/漏极区中的一个电连接。

2. 根据权利要求1所述的薄膜晶体管,其特征在于,所述第一电极与所述第一有源层的所述第一源/漏极区电连接,所述第二电极与所述第二有源层的所述第二源/漏极区电连接;

所述薄膜晶体管还包括连接部,所述连接部位于所述第三绝缘层远离所述衬底的一侧,所述第一有源层的所述第二源/漏极区与所述第二有源层的所述第一源/漏极区通过所述连接部电连接。

3. 根据权利要求1所述的薄膜晶体管,其特征在于,所述第一电极分别与所述第一有源层的所述第一源/漏极区以及所述第二有源层的所述第一源/漏极区电连接;所述第二电极分别与所述第一有源层的所述第二源/漏极区以及所述第二有源层的所述第二源/漏极区电连接。

4. 根据权利要求1-3中任一所述的薄膜晶体管,其特征在于,所述第一有源层在所述衬底上的垂直投影以及所述第二有源层在所述衬底上的垂直投影,均与所述栅极在所述衬底上的垂直投影相交叠。

5. 根据权利要求4所述的薄膜晶体管,其特征在于,所述第二有源层的长度小于所述第一有源层的长度,沿所述第一有源层和所述第二有源层的长度方向,所述第一有源层在所述衬底上的垂直投影,与所述第二有源层在所述衬底上的垂直投影相交叠。

6. 根据权利要求4所述的薄膜晶体管,其特征在于,所述第一有源层包括主体部和至少一个分支部,所述主体部沿所述第一有源层的长度方向延伸,所述分支部沿所述第一有源层的宽度方向延伸,所述主体部与所述分支部连接;

沿所述第一有源层和所述第二有源层的长度方向,所述主体部在所述衬底上的垂直投影,与所述第二有源层在所述衬底上的垂直投影相交叠;所述第一有源层的至少部分源/漏极区位于所述分支部;所述第二有源层的所述第一源/漏极区和所述第二源/漏极区,分别位于所述第二有源层沿长度方向的两侧。

7. 根据权利要求6所述的薄膜晶体管,其特征在于,沿所述第一有源层的长度方向,所述第一有源层的所述第一源/漏极区位于所述主体部的一侧,所述主体部的另一侧连接所述分支部,且所述第一有源层的至少部分所述第二源/漏极区位于所述分支部。

8. 根据权利要求6所述的薄膜晶体管,其特征在于,所述至少一个分支部包括第一分支部和第二分支部,沿所述第一有源层的长度方向,所述主体部的一侧连接所述第一分支部,另一侧连接所述第二分支部;

所述第一有源层的至少部分所述第一源/漏极区位于所述第一分支部,所述第一有源

层的至少部分所述第二源/漏极区位于所述第二分支部。

9. 一种薄膜晶体管的制备方法,其特征在于,包括:

在衬底的一侧依次形成第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层和第三绝缘层;

在所述第三绝缘层远离所述衬底的一侧开设过孔,并在所述第三绝缘层远离所述衬底的一侧形成第一电极和第二电极;所述第一有源层和所述第二有源层均包括第一源/漏极区和第二源/漏极区;所述第一电极至少与所述第一有源层的所述第一源/漏极区电连接,所述第二电极至少与所述第二有源层的所述第二源/漏极区电连接;所述第一有源层的至少部分源/漏极区与所述第二有源层的至少部分源/漏极区电连接。

10. 一种显示面板,其特征在于,包括权利要求1-8中任一所述的薄膜晶体管。

## 薄膜晶体管及其制备方法以及显示面板

### 技术领域

[0001] 本发明实施例涉及显示技术领域,尤其涉及一种薄膜晶体管及其制备方法以及显示面板。

### 背景技术

[0002] 随着显示技术的不断发展,人们对于显示装置的显示效果要求越来越高。

[0003] 显示装置包括显示面板,显示面板包括用于驱动发光器件发光的像素电路,像素电路通常由多个薄膜晶体管(Thin Film Transistor,TFT)构成。受限于现有制作工艺,薄膜晶体管的尺寸一般很难进一步缩小,导致显示面板的显示分辨率难以提高,影响了显示效果。

### 发明内容

[0004] 本发明实施例提供一种薄膜晶体管及其制备方法以及显示面板,以通过减小薄膜晶体管占用的尺寸来提升显示面板的显示分辨率,从而优化显示效果。

[0005] 第一方面,本发明实施例提供了一种薄膜晶体管,包括:

[0006] 衬底,以及依次位于所述衬底上的第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层和第三绝缘层;

[0007] 第一电极和第二电极,所述第一电极和所述第二电极均位于所述第三绝缘层远离所述衬底的一侧;所述第一有源层和所述第二有源层均包括第一源/漏极区和第二源/漏极区;所述第一电极至少与所述第一有源层的所述第一源/漏极区电连接,所述第二电极至少与所述第二有源层的所述第二源/漏极区电连接;所述第一有源层的所述第一源/漏极区和所述第二源/漏极区中的一个,与所述第二有源层的所述第一源/漏极区和所述第二源/漏极区中的一个电连接。

[0008] 可选地,所述第一电极与所述第一有源层的所述第一源/漏极区电连接,所述第二电极与所述第二有源层的所述第二源/漏极区电连接;

[0009] 所述薄膜晶体管还包括连接部,所述连接部位于所述第三绝缘层远离所述衬底的一侧,所述第一有源层的所述第二源/漏极区与所述第二有源层的所述第一源/漏极区通过所述连接部电连接。

[0010] 可选地,所述第一电极分别与所述第一有源层的所述第一源/漏极区以及所述第二有源层的所述第一源/漏极区电连接;所述第二电极分别与所述第一有源层的所述第二源/漏极区以及所述第二有源层的所述第二源/漏极区电连接。

[0011] 可选地,所述第一有源层在所述衬底上的垂直投影以及所述第二有源层在所述衬底上的垂直投影,均与所述栅极在所述衬底上的垂直投影相交叠。

[0012] 可选地,所述第二有源层的长度小于所述第一有源层的长度,沿所述第一有源层和所述第二有源层的长度方向,所述第一有源层在所述衬底上的垂直投影,与所述第二有源层在所述衬底上的垂直投影相交叠。

[0013] 可选地,所述第一有源层包括主体部和至少一个分支部,所述主体部沿所述第一有源层的长度方向延伸,所述分支部沿所述第一有源层的宽度方向延伸,所述主体部与所述分支部连接;

[0014] 沿所述第一有源层和所述第二有源层的长度方向,所述主体部在所述衬底上的垂直投影,与所述第二有源层在所述衬底上的垂直投影相交叠;所述第一有源层的至少部分源/漏极区位于所述分支部;所述第二有源层的所述第一源/漏极区和所述第二源/漏极区,分别位于所述第二有源层沿长度方向的两侧。

[0015] 可选地,沿所述第一有源层的长度方向,所述第一有源层的所述第一源/漏极区位于所述主体部的一侧,所述主体部的另一侧连接所述分支部,且所述第一有源层的至少部分所述第二源/漏极区位于所述分支部。

[0016] 可选地,所述至少一个分支部包括第一分支部和第二分支部,沿所述第一有源层的长度方向,所述主体部的一侧连接所述第一分支部,另一侧连接所述第二分支部;

[0017] 所述第一有源层的至少部分所述第一源/漏极区位于所述第一分支部,所述第一有源层的至少部分所述第二源/漏极区位于所述第二分支部。

[0018] 第二方面,本发明实施例还提供了一种薄膜晶体管的制备方法,包括:

[0019] 在衬底的一侧依次形成第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层和第三绝缘层;

[0020] 在所述第三绝缘层远离所述衬底的一侧开设过孔,并在所述第三绝缘层远离所述衬底的一侧形成第一电极和第二电极;所述第一有源层和所述第二有源层均包括第一源/漏极区和第二源/漏极区;所述第一电极至少与所述第一有源层的所述第一源/漏极区电连接,所述第二电极至少与所述第二有源层的所述第二源/漏极区电连接;所述第一有源层的至少部分源/漏极区与所述第二有源层的至少部分源/漏极区电连接。

[0021] 第三方面,本发明实施例还提供了一种显示面板,包括第一方面所述的薄膜晶体管。

[0022] 本发明实施例提供的薄膜晶体管及其制备方法以及显示面板,通过在衬底上依次设置第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层、第三绝缘层、第一电极和第二电极,并设置第一电极至少与第一有源层的第一源/漏极区电连接,第二电极至少与第二有源层的第二源/漏极区电连接,第一有源层的第一源/漏极区和第二源/漏极区中的一个,与第二有源层的第一源/漏极区和第二源/漏极区中的一个电连接,使第一有源层和第二有源层中均能形成导电沟道,相当于在垂直于衬底的方向上形成了两个共栅极的薄膜晶体管,与现有技术中的两个同等尺寸的薄膜晶体管相比,本方案能够使每个薄膜晶体管的沟道区的尺寸得到保证,并且两个薄膜晶体管在第一有源层的长度方向上仅占用约一个薄膜晶体管的面积,相当于减小了单个薄膜晶体管的尺寸,将本发明实施例提供的薄膜晶体管应用于显示面板中的像素电路时,有助于通过减小显示区中的薄膜晶体管占用的平面尺寸,来提升显示面板的显示分辨率,从而优化显示效果。

## 附图说明

[0023] 图1是现有技术中的薄膜晶体管的结构示意图;

[0024] 图2是图1所示薄膜晶体管的俯视图;

- [0025] 图3是本发明实施例提供的一种薄膜晶体管的结构示意图；
- [0026] 图4是本发明实施例提供的另一种薄膜晶体管的结构示意图；
- [0027] 图5是图3所示薄膜晶体管的结构简图；
- [0028] 图6是图3所示薄膜晶体管的一种俯视图；
- [0029] 图7是图4所示薄膜晶体管的结构简图；
- [0030] 图8是图4所示薄膜晶体管的一种俯视图；
- [0031] 图9是图3所示薄膜晶体管的另一种俯视图；
- [0032] 图10是图4所示薄膜晶体管的另一种俯视图；
- [0033] 图11是本发明实施例提供的一种薄膜晶体管的制备方法的流程示意图；
- [0034] 图12是本发明实施例提供的一种显示面板的结构示意图；
- [0035] 图13是本发明实施例提供的另一种显示面板的结构示意图。

### 具体实施方式

[0036] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0037] 正如背景技术所述，现有显示面板中的薄膜晶体管的尺寸很难进一步缩小，导致显示面板的显示分辨率难以提高，影响了显示效果。经发明人研究发现，出现上述问题的原因具体如下：图1是现有技术中的薄膜晶体管的结构示意图；图2是图1所示薄膜晶体管的俯视图。该薄膜晶体管可以是显示面板中的薄膜晶体管，图1示意性地示出了位于显示面板中的显示区的两个薄膜晶体管M的结构，图2仅示出了薄膜晶体管M的有源层1和栅极2。结合图1和图2，该薄膜晶体管M包括有源层1、栅极2、源极S和漏极D，其中有源层1和栅极2之间设置有绝缘层，栅极2与源极S和漏极D之间设置有绝缘层。有源层1和栅极2相交叠的区域形成薄膜晶体管M的沟道区，受限于现有制作工艺以及薄膜晶体管的性能需求，沟道区的长度L'和宽度W'很难进一步缩小，使得显示面板的显示区中的薄膜晶体管M的整体尺寸难以缩小。然而，显示区中的薄膜晶体管的尺寸对像素密度(Pixels Per Inch, PPI)存在影响，即对显示分辨率存在影响，显示区中的薄膜晶体管的尺寸越小，越有利于像素密度和显示分辨率的提升。然而，现有薄膜晶体管的尺寸限制，制约了显示分辨率的提高，影响了显示效果。

[0038] 针对上述问题，本发明实施例提供了一种薄膜晶体管。图3是本发明实施例提供的一种薄膜晶体管的结构示意图；图4是本发明实施例提供的另一种薄膜晶体管的结构示意图。参见图3和图4，本发明实施例提供的薄膜晶体管T包括衬底10，以及依次位于衬底10上的第一有源层20、第一绝缘层30、栅极G、第二绝缘层40、第二有源层50和第三绝缘层60；还包括第一电极N1和第二电极N2，第一电极N1和第二电极N2均位于第三绝缘层60远离衬底10的一侧；第一有源层20和第二有源层50均包括第一源/漏极区SD1和第二源/漏极区SD2；第一电极N1至少与第一有源层20的第一源/漏极区SD1电连接，第二电极N2至少与第二有源层50的第二源/漏极区SD2电连接；第一有源层20的第一源/漏极区SD1和第二源/漏极区SD2中的一个，与第二有源层50的第一源/漏极区SD1和第二源/漏极区SD2中的一个电连接。

[0039] 具体地，薄膜晶体管T的衬底10能够起到缓冲及阻水氧等作用，以阻挡外界杂质对薄膜晶体管的影响，例如衬底10的材质可以是硅氧化物(SiO<sub>x</sub>)。第一有源层20形成在衬底

10上,第一有源层20包括掺有n型或p型杂质的第一源/漏极区SD1、第二源/漏极区SD2以及用于连接第一源/漏极区SD1和第二源/漏极区SD2的沟道区21。栅极G形成在第一有源层20的上方,栅极G与第一有源层20之间通过第一绝缘层30绝缘,栅极G为具有导电性能的金属电极,第一绝缘层30为栅极绝缘层。栅极G与第一有源层20在垂直于衬底10的方向Y相交叠,栅极G与第一有源层20相交叠的区域,对应第一有源层20的沟道区21。第二有源层50形成在栅极G的上方,第二有源层50与栅极G之间通过第二绝缘层40绝缘,第二绝缘层40也为栅极绝缘层。第二有源层50同样包括掺有n型或p型杂质的第一源/漏极区SD1和第二源/漏极区SD2,还包括用于连接第一源/漏极区SD1和第二源/漏极区SD2的沟道区51。栅极G与第二有源层50在垂直于衬底10的方向Y相交叠,栅极G与第二有源层50相交叠的区域,对应第二有源层50的沟道区51。第一有源层20和第二有源层50中的第一源/漏极区SD1和第二源/漏极区SD2均可以是源极区或漏极区,当第一源/漏极区SD1和第二源/漏极区SD2中的一个为源极区时,另一个为漏极区。第一有源层20和第二有源层50均可由半导体材料形成,例如第一有源层20和第二有源层50可由多晶硅(Polycrystalline Silicon, Psi)、非晶硅(amorphous Silicon,  $\alpha$ -Si)、氧化物半导体或有机半导体等材料形成。

[0040] 第一电极N1和第二电极N2均通过第三绝缘层60与第二有源层50绝缘,第三绝缘层60可以是层间绝缘层,第一电极N1和第二电极N2可作为薄膜晶体管T的源极和漏极,当第一电极N1和第二电极N2中的一个作为薄膜晶体管T的源极时,另一个作为薄膜晶体管T的漏极。第一电极N1至少与第一有源层20的第一源/漏极区SD1电连接,第一电极N1还可以与第二有源层50的源/漏极区电连接。第二电极N2至少与第二有源层50的第二源/漏极区SD2电连接,第二电极N2还可以与第一有源层20的源/漏极区电连接。第一有源层20与第二有源层50电连接,并至少通过第一有源层20的第一源/漏极区SD1和第二源/漏极区SD2中的一个,与第二有源层50的第一源/漏极区SD1和第二源/漏极区SD2中的一个电连接。

[0041] 示例性地,图3示出了第一有源层20的沟道区21左侧为第二源/漏极区SD2,右侧为第一源/漏极区SD1,第二有源层50的沟道区51左侧为第一源/漏极区SD1,右侧为第二源/漏极区SD2的情况。参见图3,薄膜晶体管T的第一电极N1与第一有源层20的第一源/漏极区SD1电连接,第二电极N2与第二有源层50的第二源/漏极区SD2电连接,第一有源层20的第二源/漏极区SD2与第二有源层50的第一源/漏极区SD1电连接。当薄膜晶体管T处于导通状态时,第一有源层20的第一源/漏极区SD1与第二源/漏极区SD2之间的沟道区21形成导电沟道,第二有源层50的第一源/漏极区SD1与第二源/漏极区SD2之间的沟道区51形成导电沟道,第二有源层50的第一源/漏极区SD1和第二源/漏极区SD2通过沟道区51电连接,第一电极N1、第一有源层20、第二有源层50和第二电极N2之间形成导电路径。

[0042] 示例性地,图4示出了第一有源层20的沟道区21左侧为第一源/漏极区SD1,右侧为第二源/漏极区SD2,第二有源层50的沟道区51左侧为第一源/漏极区SD1,右侧为第二源/漏极区SD2的情况。参见图4,薄膜晶体管T的第一电极N1与第一有源层20的第一源/漏极区SD1和第二有源层50的第一源/漏极区SD1电连接,也即第一有源层20的第一源/漏极区SD1和第二有源层50的第一源/漏极区SD1通过第一电极N1电连接,第二电极N2与第一有源层20的第二源/漏极区SD2和第二有源层50的第二源/漏极区SD2电连接,也即第一有源层20的第二源/漏极区SD2和第二有源层50的第二源/漏极区SD2通过第二电极N2电连接。当薄膜晶体管T处于导通状态时,第一有源层20的第一源/漏极区SD1与第二源/漏极区SD2之间的沟道区

21形成导电沟道,第二有源层50的第一源/漏极区SD1与第二源/漏极区SD2之间的沟道区51形成导电沟道,第一电极N1、第一有源层20、第二有源层50和第二电极N2之间形成导电路径。

[0043] 在图1所示的现有技术方案中,每个薄膜晶体管M仅包括一层有源层1,并且在其处于导通状态时,有源层1中与栅极2相交叠的区域仅形成一条导电沟道,两个薄膜晶体管M在其排列方向上占用两个薄膜晶体管的尺寸。参见图3和图4,本发明实施例提供的薄膜晶体管T包括两层有源层,在薄膜晶体管T处于导通状态时,第一有源层20的沟道区21和第二有源层50的沟道区51中均能形成导电沟道,相当于在垂直于衬底10的方向Y上形成了两个共栅极的薄膜晶体管,该两个薄膜晶体管形成纵向(即垂直于衬底10的方向Y)共面结构,第一有源层20的沟道区21中形成的导电沟道对应于其中一个薄膜晶体管的导电沟道,第二有源层50的沟道区51中形成的导电沟道对应于另一个薄膜晶体管的导电沟道,与图1所示现有技术中的两个横向排布的同尺寸薄膜晶体管相比,本方案能够使每个薄膜晶体管的沟道区的尺寸得到保证,并且两个共栅极的薄膜晶体管在第一有源层20和第二有源层50的长度方向X上仅占用约一个薄膜晶体管的面积,相当于减小了单个薄膜晶体管的尺寸,将该薄膜晶体管应用于显示面板中的像素电路时,有助于通过减小显示区中的薄膜晶体管占用的平面尺寸,来提升显示面板的显示分辨率,从而优化显示效果。

[0044] 本发明实施例提供的薄膜晶体管,通过在衬底上依次设置第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层、第三绝缘层、第一电极和第二电极,并设置第一电极至少与第一有源层的第一源/漏极区电连接,第二电极至少与第二有源层的第二源/漏极区电连接,第一有源层的第一源/漏极区和第二源/漏极区中的一个,与第二有源层的第一源/漏极区和第二源/漏极区中的一个电连接,使第一有源层和第二有源层中均能形成导电沟道,相当于在垂直于衬底的方向上形成了两个共栅极的薄膜晶体管,与现有技术中的两个同尺寸薄膜晶体管相比,本方案能够使每个薄膜晶体管的沟道区的尺寸得到保证,并且两个薄膜晶体管在第一有源层的长度方向上仅占用约一个薄膜晶体管的面积,相当于减小了单个薄膜晶体管的尺寸,将本发明实施例提供的薄膜晶体管应用于显示面板中的像素电路时,有助于通过减小显示区中的薄膜晶体管占用的平面尺寸,来提升显示面板的显示分辨率,从而优化显示效果。

[0045] 图5是图3所示薄膜晶体管的结构简图;图6是图3所示薄膜晶体管的一种俯视图。其中图6仅示出了薄膜晶体管T中的栅极G、第一有源层20和第二有源层50,图6对应图3所示薄膜晶体管T的第一有源层20和第二有源层50的一种设置情况。结合图3、图5和图6,可选地,第一电极N1与第一有源层20的第一源/漏极区SD1电连接,第二电极N2与第二有源层50的第二源/漏极区SD2电连接;薄膜晶体管T还包括连接部N3,连接部N3位于第三绝缘层60远离衬底10的一侧,第一有源层20的第二源/漏极区SD2与第二有源层50的第一源/漏极区SD1通过连接部N3电连接。

[0046] 示例性地,连接部N3可以是金属电极,在薄膜晶体管的制备工艺中,可依次在衬底10一侧形成第一有源层20、第一绝缘层30、栅极G、第二绝缘层40、第二有源层50和第三绝缘层60,然后在第三绝缘层60对应于第一有源层20和第二有源层50的第一源/漏极区SD1及第二源/漏极区SD2的位置处打孔,随后在第三绝缘层60远离衬底10的一侧形成第一电极N1、第二电极N2及连接部N3,以使第一电极N1与第一有源层20的第一源/漏极区SD1电连接,第



二电极N2与第二有源层50的第二源/漏极区SD2电连接,连接部N3与第一有源层20的第二源/漏极区SD2和第二有源层50的第一源/漏极区SD1电连接。

[0047] 示例性地,连接部N3可近似看作由互相电连接的第一连接部N31和第二连接部N32构成,其中,第一连接部N31与第一有源层20的第二源/漏极区SD2电连接,第二连接部N32与第二有源层50的第一源/漏极区SD1电连接。薄膜晶体管T的内部形成两个共栅极的薄膜晶体管,即薄膜晶体管T11和薄膜晶体管T12,薄膜晶体管T11和薄膜晶体管T12共用栅极G,第一电极N1构成薄膜晶体管T11的第一极,第一连接部N31构成薄膜晶体管T11的第二极,第二连接部N32构成薄膜晶体管T12的第一极,第二电极N2构成薄膜晶体管T12的第二极,薄膜晶体管T11的第二极与薄膜晶体管T12的第一极电连接,使薄膜晶体管T11和薄膜晶体管T12在薄膜晶体管T的内部形成串联结构,第一电极N1和第二电极N2中的一个可作为薄膜晶体管T的源极,另一个可作为薄膜晶体管T的漏极。

[0048] 在薄膜晶体管T处于导通状态时,第一有源层20的沟道区21中形成导电沟道,将第一电极N1和第一连接部N31电连接,第二有源层50的沟道区51中形成导电沟道,将第二电极N2和第二连接部N32电连接,第一有源层20的沟道区21和第二有源层50的沟道区51中形成导电沟道的长度均为L,薄膜晶体管T的实际导电沟道长度相当于2L,本方案通过设置薄膜晶体管T的内部形成两个共栅极的薄膜晶体管,且两个薄膜晶体管串联,在减小了单个薄膜晶体管的尺寸的同时,还增大了薄膜晶体管T的导电沟道长度,导电沟道长度的增加有利于减小薄膜晶体管T的关态电流,并减轻薄膜晶体管T的漏电现象,将该薄膜晶体管T应用于显示面板中的像素电路,例如将其应用在像素电路中的开关晶体管,不但有助于通过减小显示区中的薄膜晶体管占用的平面尺寸,来提升显示面板的显示分辨率,以优化显示效果,还能提升像素电路的工作性能。

[0049] 图7是图4所示薄膜晶体管的结构简图;图8是图4所示薄膜晶体管的一种俯视图。其中,图8仅示出了薄膜晶体管T中的栅极G、第一有源层20和第二有源层50,图8对应图4所示薄膜晶体管T的第一有源层20和第二有源层50的一种设置情况。结合图4、图7和图8,可选地,第一电极N1分别与第一有源层20的第一源/漏极区SD1以及第二有源层50的第一源/漏极区SD1电连接;第二电极N2分别与第一有源层20的第二源/漏极区SD2以及第二有源层50的第二源/漏极区SD2电连接。

[0050] 具体地,在薄膜晶体管的制备工艺中,在形成第三绝缘层60之后,可以在第三绝缘层60对应于第一有源层20和第二有源层50的第一源/漏极区SD1及第二源/漏极区SD2的位置处打孔,并在第三绝缘层60远离衬底10的一侧形成第一电极N1和第二电极N2,以使第一电极N1分别与第一有源层20的第一源/漏极区SD1以及第二有源层50的第一源/漏极区SD1电连接,第二电极N2分别与第一有源层20的第二源/漏极区SD2以及第二有源层50的第二源/漏极区SD2电连接。

[0051] 示例性地,第一电极N1可近似看作由互相电连接的第一电极部N11和第二电极部N12构成,第一电极部N11与第二有源层50的第一源/漏极区SD1电连接,第二电极部N12与第一有源层20的第一源/漏极区SD1电连接。第二电极N2可近似看作由互相电连接的第三电极部N21和第四电极部N22构成,第三电极部N21与第二有源层50的第二源/漏极区SD2电连接,第四电极部N22与第一有源层20的第二源/漏极区SD2电连接。薄膜晶体管T的内部形成两个共栅极的薄膜晶体管,即薄膜晶体管T21和薄膜晶体管T22,薄膜晶体管T21和薄膜晶体管

T22共用栅极G,第一电极部N11构成薄膜晶体管T21的第一极,第三电极部N21构成薄膜晶体管T21的第二极,第二电极部N12构成薄膜晶体管T22的第一极,第四电极部N22构成薄膜晶体管T22的第二极,薄膜晶体管T21的第一极与薄膜晶体管T22的第一极电连接,薄膜晶体管T21的第二极与薄膜晶体管T22的第二极电连接,使薄膜晶体管T21和薄膜晶体管T22在薄膜晶体管T的内部形成并联结构,第一电极N1和第二电极N2中的一个可作为薄膜晶体管T的源极,另一个可作为薄膜晶体管T的漏极。

[0052] 在薄膜晶体管T处于导通状态时,第一有源层20的沟道区21中形成导电沟道,将第二电极部N12和第四电极部N22电连接,第二有源层50的沟道区51中形成导电沟道,将第一电极部N11和第三电极部N21电连接,第一有源层20的沟道区21和第二有源层50的沟道区51中形成导电沟道的宽度均为W,薄膜晶体管T的实际导电沟道宽度相当于2W,本方案通过设置薄膜晶体管T的内部形成两个共栅极的薄膜晶体管,且两个薄膜晶体管并联,在减小了单个薄膜晶体管的尺寸的同时,还增大了薄膜晶体管T的导电沟道宽度,导电沟道宽度的增加有利于增大薄膜晶体管T的开态电流,将该薄膜晶体管T应用于显示面板中的像素电路,例如将其应用在像素电路中的驱动晶体管,不但有助于通过减小显示区中的薄膜晶体管占用的平面尺寸,来提升显示面板的显示分辨率,以优化显示效果,还能提升像素电路的驱动能力。

[0053] 在上述各方案的基础上,可选地,设置第一有源层20在衬底10上的垂直投影以及第二有源层50在衬底10上的垂直投影,均与栅极G在衬底10上的垂直投影相交叠。这样,第一有源层20中与栅极G相交叠的区域可形成沟道区21,第二有源层50中与栅极G相交叠的区域可形成沟道区51,以使薄膜晶体管T内部形成的两个薄膜晶体管共用栅极G,进而形成纵向共面的共栅极薄膜晶体管,并减小单个薄膜晶体管的尺寸。

[0054] 结合图3和图6,或者结合图4和图8,可选地,第二有源层50的长度L2小于第一有源层20的长度L1,沿第一有源层20和第二有源层50的长度方向X,第一有源层20在衬底10上的垂直投影,与第二有源层50在衬底10上的垂直投影相交叠。具体地,设置沿第一有源层20和第二有源层50的长度方向X,第一有源层20在衬底10上的垂直投影,与第二有源层50在衬底10上的垂直投影相交叠,能够减小第二有源层50在其长度方向X上占用的尺寸。结合图3和图6,设置第二有源层50的长度L2小于第一有源层20的长度L1,能够便于通过连接部N3连接第一有源层20的第二源/漏极区SD2与第二有源层50的第一源/漏极区SD1。结合图4和图8,设置第二有源层50的长度L2小于第一有源层20的长度L1,能够便于通过第一电极N1连接第一有源层20的第一源/漏极区SD1和第二有源层50的第一源/漏极区SD1,并便于通过第二电极N2连接第一有源层20的第二源/漏极区SD2和第二有源层50的第二源/漏极区SD2。

[0055] 图9是图3所示薄膜晶体管的另一种俯视图;图10是图4所示薄膜晶体管的另一种俯视图。其中图9和图10仅示出了薄膜晶体管T中的栅极G、第一有源层20和第二有源层50,图9对应图3所示薄膜晶体管T的第一有源层20和第二有源层50的另一种设置情况,图10对应图4所示薄膜晶体管T的第一有源层20和第二有源层50的另一种设置情况。参见图9和图10,可选地,第一有源层20包括主体部210和至少一个分支部,主体部210沿第一有源层20的长度方向X延伸,分支部沿第一有源层20的宽度方向延伸,主体部210与分支部连接;沿第一有源层20和第二有源层50的长度方向X,主体部210在衬底10上的垂直投影,与第二有源层50在衬底10上的垂直投影相交叠;第一有源层20的至少部分源/漏极区位于分支部;第二有

源层50的第一源/漏极区SD1和第二源/漏极区SD2,分别位于第二有源层50沿长度方向X的两侧。

[0056] 具体地,设置第一有源层20包括沿其长度方向X延伸的主体部210,以及沿其宽度(W)方向延伸的分支部,能够减小第一有源层20沿其长度方向X上占用的尺寸,将其应用在像素电路中的薄膜晶体管时,有助于通过减小显示区中的薄膜晶体管占用的平面尺寸。第一有源层20的至少部分源/漏极区位于分支部,可选地,如图9所示,当第一有源层20包括主体部210和第一分支部220时,设置沿第一有源层20的长度方向X,第一有源层20的第一源/漏极区SD1位于主体部210的一侧,主体部210的另一侧连接第一分支部220,且第一有源层20的至少部分第二源/漏极区SD2位于第一分支部220。这样设置的好处在于,能够在减小第一有源层20沿其长度方向X上占用的尺寸的同时,便于连接部N3连接第一分支部220中的第二源/漏极区SD2和第二有源层50的第一源/漏极区SD1,以实现薄膜晶体管T内部的两个晶体管之间的串联。

[0057] 参见图10,可选地,至少一个分支部包括第一分支部220和第二分支部230,沿第一有源层20的长度方向X,主体部210的一侧连接第一分支部220,另一侧连接第二分支部230;第一有源层20的至少部分第一源/漏极区SD1位于第一分支部220,第一有源层20的至少部分第二源/漏极区SD2位于第二分支部230。具体地,第一有源层20由主体部210、第一分支部220和第二分支部230构成,能够进一步减小第一有源层20沿其长度方向X上占用的尺寸,将其应用在像素电路中的薄膜晶体管时,有助于通过减小显示区中的薄膜晶体管占用的平面尺寸。设置第一有源层20的至少部分第一源/漏极区SD1位于第一分支部220,第一有源层20的至少部分第二源/漏极区SD2位于第二分支部230,能够便于通过第一电极N1连接第一有源层20的第一源/漏极区SD1和第二有源层50的第一源/漏极区SD1,并便于通过第二电极N2连接第一有源层20的第二源/漏极区SD2和第二有源层50的第二源/漏极区SD2,以实现薄膜晶体管T内部的两个晶体管之间的并联。

[0058] 本发明实施例还提供了一种薄膜晶体管的制备方法,图11是本发明实施例提供的一种薄膜晶体管的制备方法的流程示意图,如图11所示,该制备方法具体包括:

[0059] S110、在衬底的一侧依次形成第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层和第三绝缘层。

[0060] 具体地,参见图3和图4,首先提供一衬底10,并在衬底10的一侧形成第一有源层20、第一绝缘层30、栅极G、第二绝缘层40、第二有源层50和第三绝缘层60。其中,第一有源层20和第二有源层50在衬底10上的垂直投影,均与栅极G在衬底10上的垂直投影相交叠。

[0061] S120、在第三绝缘层远离衬底的一侧开设过孔,并在第三绝缘层远离衬底的一侧形成第一电极和第二电极;第一有源层和第二有源层均包括第一源/漏极区和第二源/漏极区;第一电极至少与第一有源层的第一源/漏极区电连接,第二电极至少与第二有源层的第二源/漏极区电连接;第一有源层的至少部分源/漏极区与第二有源层的至少部分源/漏极区电连接。

[0062] 示例性地,参见图3,在第三绝缘层60对应于第一有源层20和第二有源层50的第一源/漏极区SD1及第二源/漏极区SD2的位置处打孔,随后在第三绝缘层60远离衬底10的一侧形成第一电极N1、第二电极N2及连接部N3,以使第一电极N1与第一有源层20的第一源/漏极区SD1电连接,第二电极N2与第二有源层50的第二源/漏极区SD2电连接,连接部N3与第一有

源层20的第二源/漏极区SD2和第二有源层50的第一源/漏极区SD1电连接。示例性地,也可以参见图4,在形成第三绝缘层60之后,可以在第三绝缘层60对应于第一有源层20和第二有源层50的第一源/漏极区SD1及第二源/漏极区SD2的位置处打孔,并在第三绝缘层60远离衬底10的一侧形成第一电极N1和第二电极N2,以使第一电极N1分别与第一有源层20的第一源/漏极区SD1以及第二有源层50的第一源/漏极区SD1电连接,第二电极N2分别与第一有源层20的第二源/漏极区SD2以及第二有源层50的第二源/漏极区SD2电连接。

[0063] 本发明实施例提供的薄膜晶体管的制备方法,通过在衬底上依次设置第一有源层、第一绝缘层、栅极、第二绝缘层、第二有源层、第三绝缘层、第一电极和第二电极,并设置第一电极至少与第一有源层的第一源/漏极区电连接,第二电极至少与第二有源层的第二源/漏极区电连接,第一有源层的第一源/漏极区和第二源/漏极区中的一个,与第二有源层的第一源/漏极区和第二源/漏极区中的一个电连接,使第一有源层和第二有源层中均能形成导电沟道,相当于在垂直于衬底的方向上形成了两个共栅极的薄膜晶体管,与现有技术中的两个同等尺寸的薄膜晶体管相比,本方案能够使每个薄膜晶体管的沟道区的尺寸得到保证,并且两个薄膜晶体管在第一有源层的长度方向上仅占用约一个薄膜晶体管的面积,相当于减小了单个薄膜晶体管的尺寸,将本发明实施例提供的薄膜晶体管应用于显示面板中的像素电路时,有助于通过减小显示区中的薄膜晶体管占用的平面尺寸,来提升显示面板的显示分辨率,从而优化显示效果。

[0064] 本发明实施例还提供了一种显示面板,图12是本发明实施例提供的一种显示面板的结构示意图,图13是本发明实施例提供的另一种显示面板的结构示意图。结合图3和图12,或者结合图4和图13,本发明实施例提供的显示面板,包括本发明上述任意实施例提供的薄膜晶体管,即薄膜晶体管T,还包括基底100和位于基底100一侧层的多层金属层;多层金属层包括自基底100一侧依次层叠设置的第一金属层M1、第二金属层M2和第三金属层M3;栅极G位于第一金属层M1,第一电极N1和第二电极N2均位于第三金属层M3。

[0065] 具体地,显示面板中包括像素电路,像素电路中的存储电容的第一极板C1通常设置在第一金属层M1,存储电容的第二极板C2通常设置在第二金属层M2,用于向像素电路传输电源信号的电源线(如VDD信号线),以及传输数据电压信号的数据线通常设置在第三金属层M3,将薄膜晶体管T的栅极G设置在第一金属层M1,并将第一电极N1和第二电极N2设置在第三金属层M3,有助于简化显示面板的制作工艺流程。本发明实施例所提供的显示面板,包括本发明任意实施例所提供的薄膜晶体管,因此具有薄膜晶体管相应的功能结构和有益效果,这里不再赘述。

[0066] 注意,上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解,本发明不限于这里所述的特定实施例,对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此,虽然通过以上实施例对本发明进行了较为详细的说明,但是本发明不仅仅限于以上实施例,在不脱离本发明构思的情况下,还可以包括更多其他等效实施例,而本发明的范围由所附的权利要求范围决定。

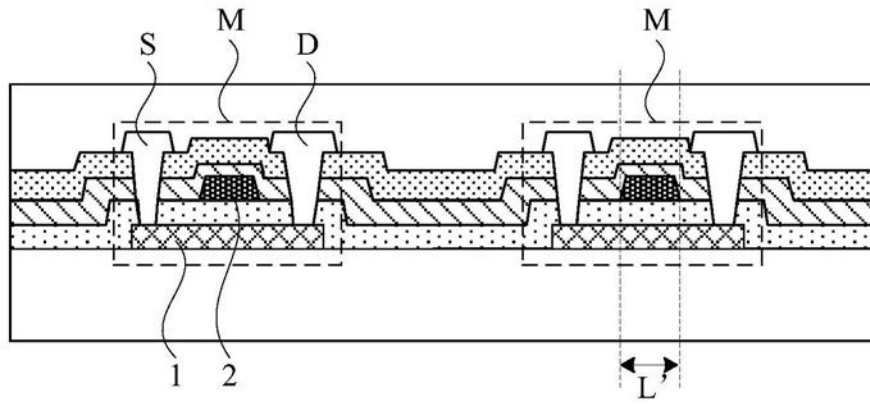


图1

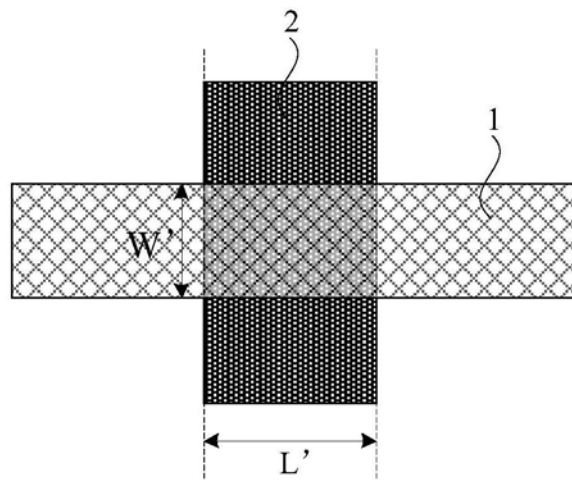


图2

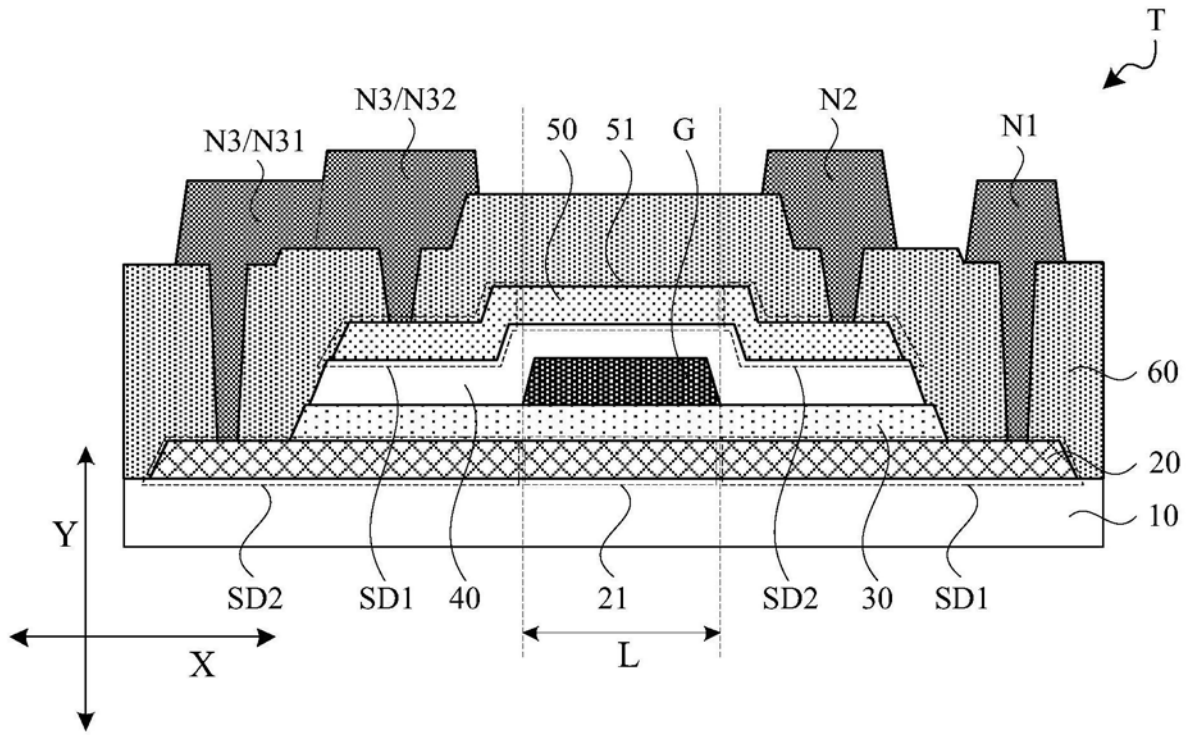


图3

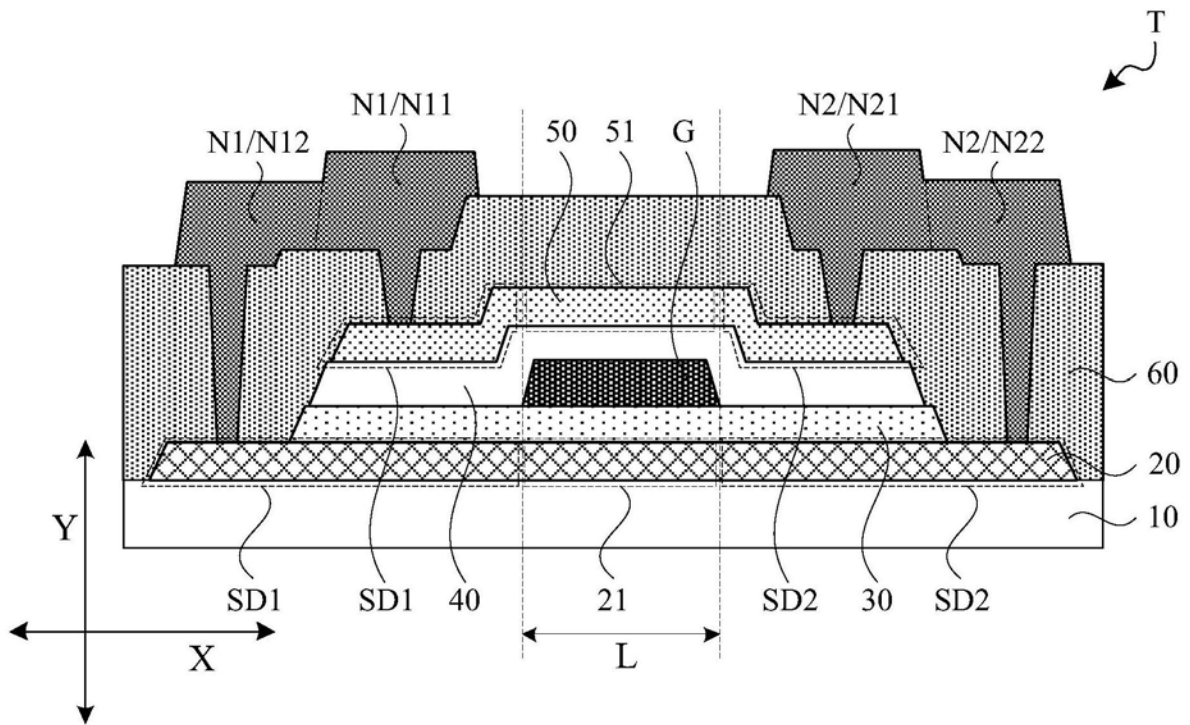


图4

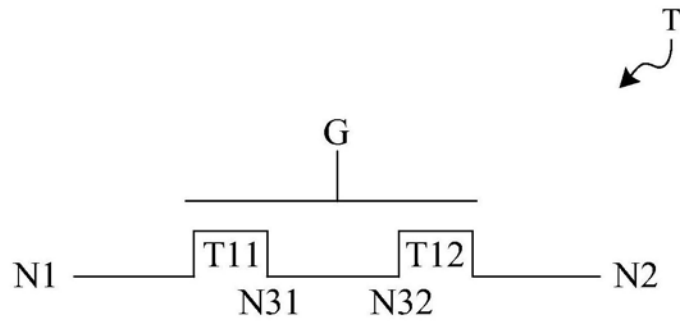


图5

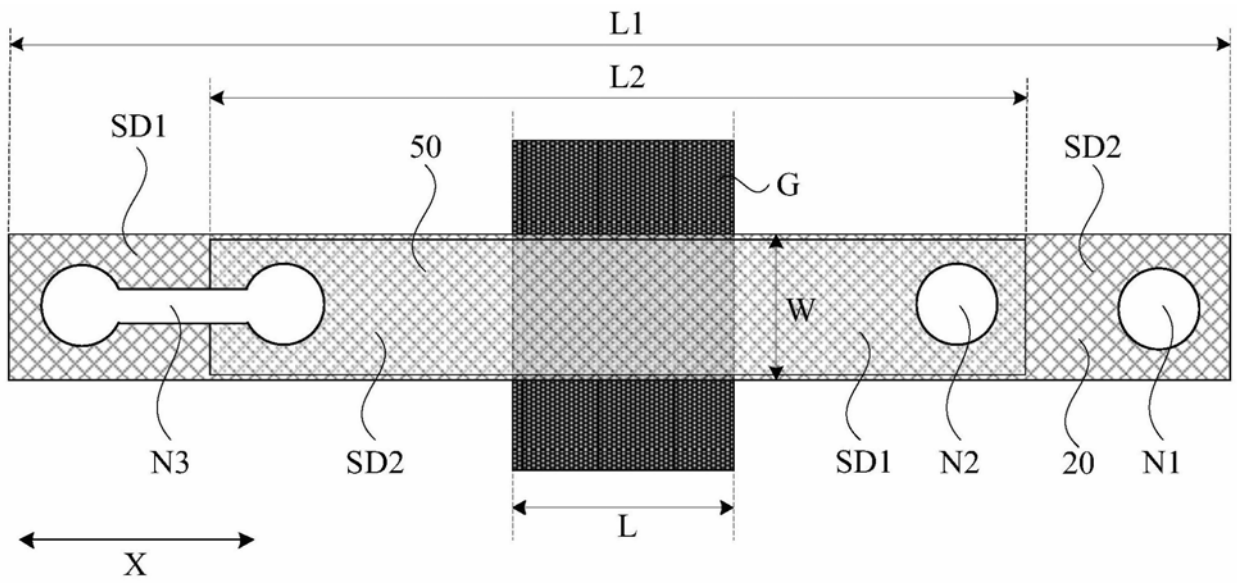


图6

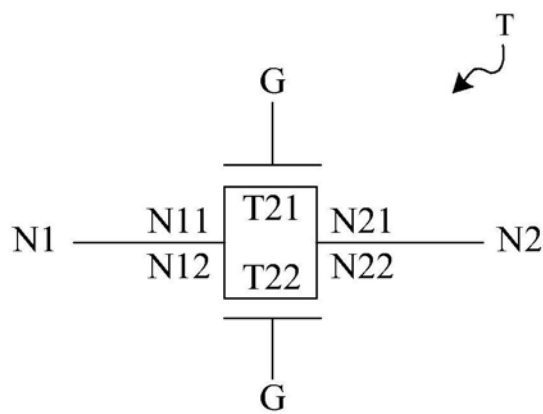


图7

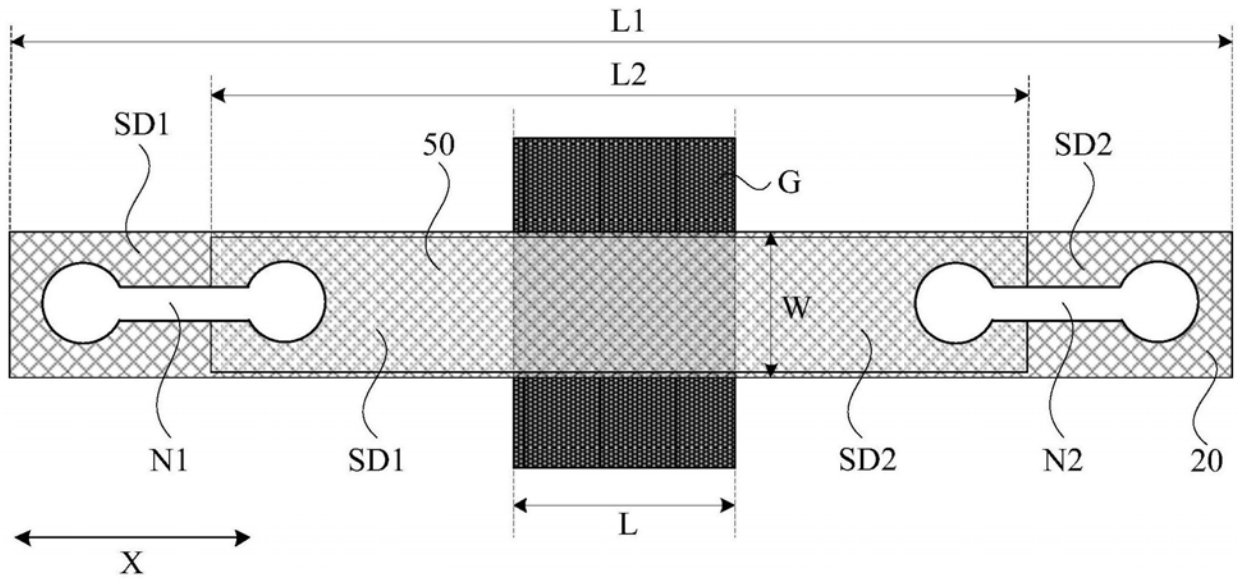


图8

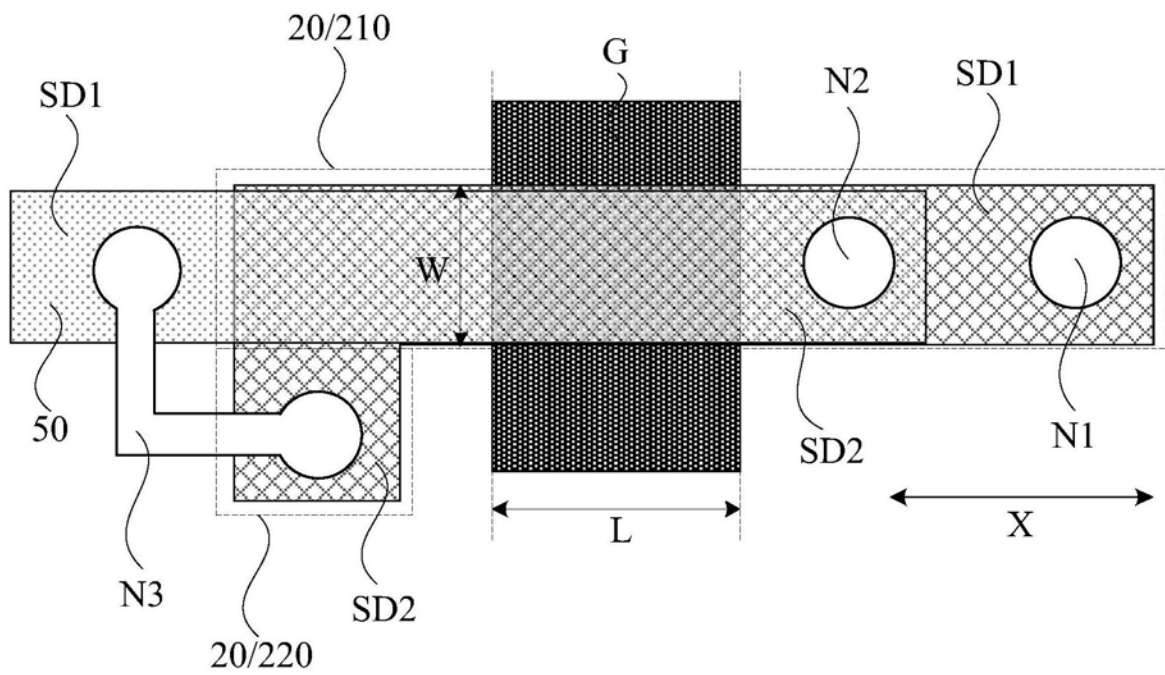


图9



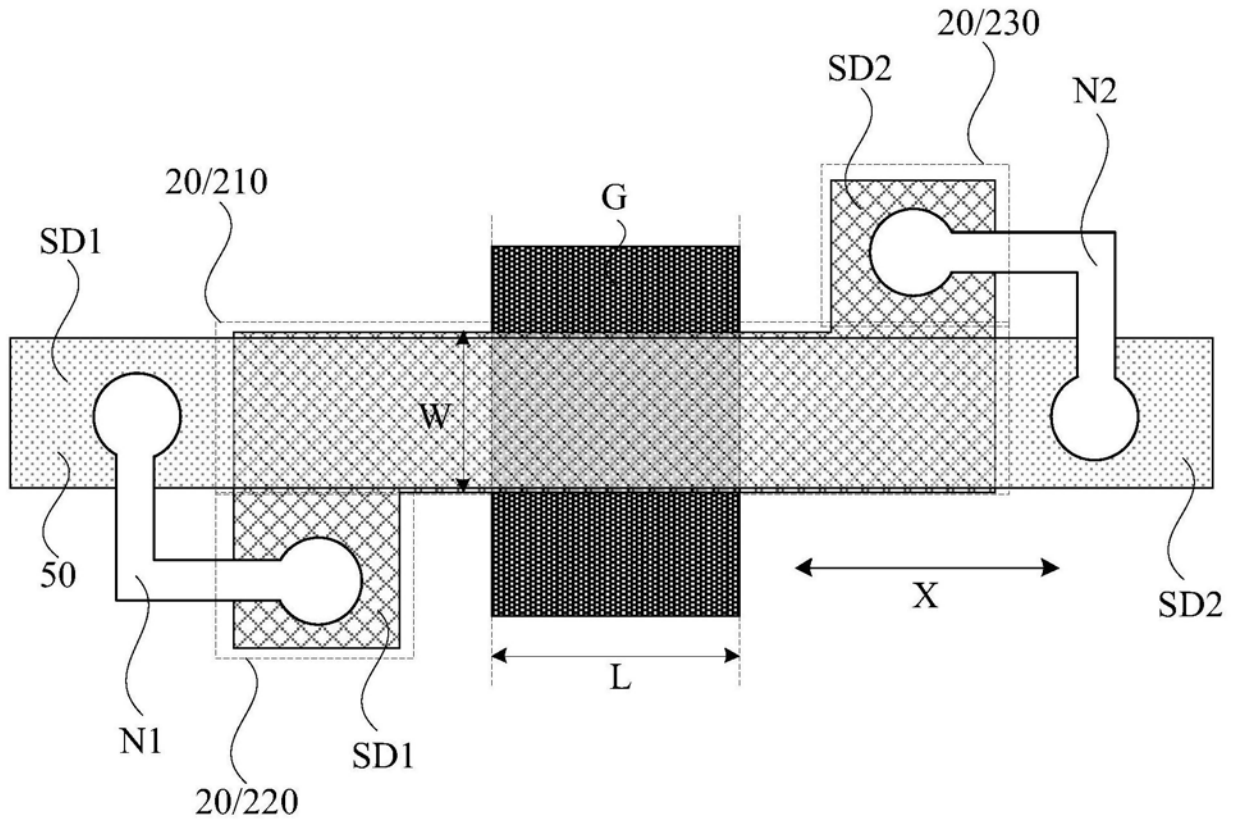


图10

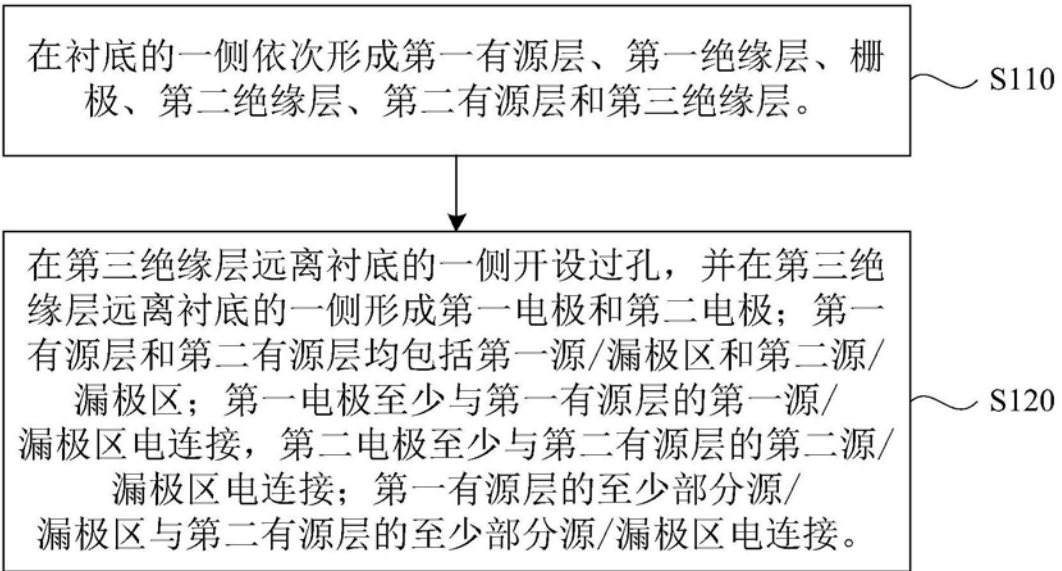


图11

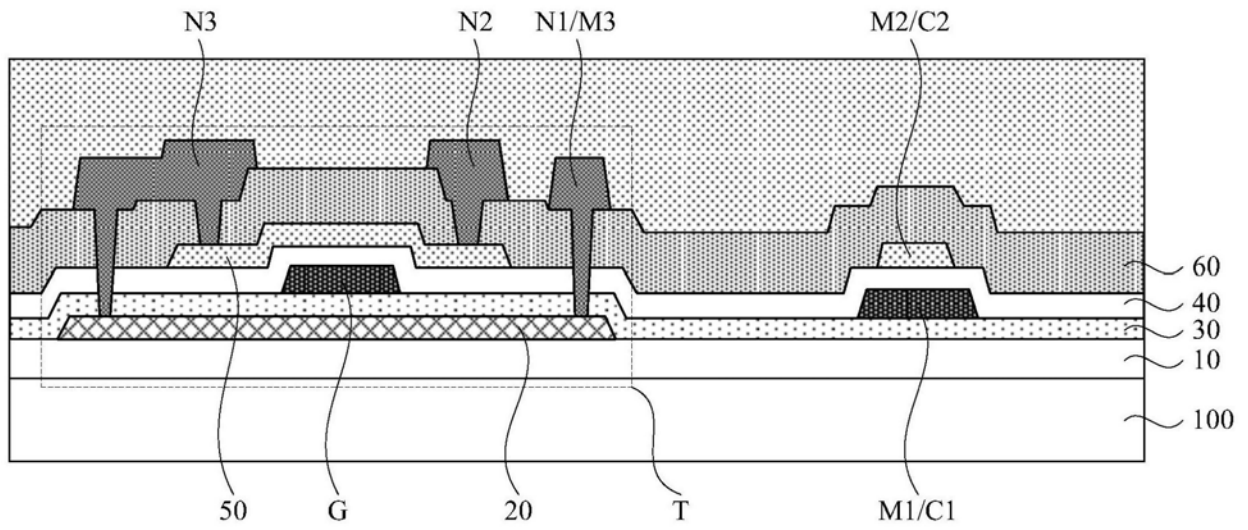


图12

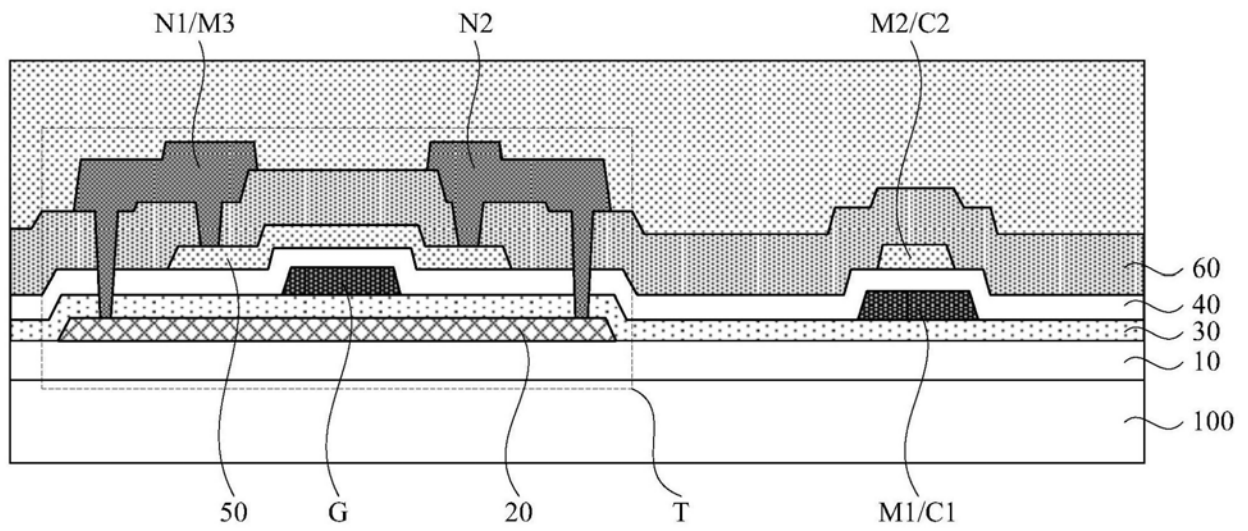


图13