

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6645793号
(P6645793)

(45) 発行日 令和2年2月14日(2020.2.14)

(24) 登録日 令和2年1月14日(2020.1.14)

| (51) Int. Cl. | F I |
|------------------------------|-----------------|
| H03K 19/173 (2006.01) | H03K 19/173 130 |
| H03K 19/00 (2006.01) | H03K 19/00 210 |
| H01L 29/786 (2006.01) | H01L 29/78 613B |
| G06F 7/57 (2006.01) | H01L 29/78 618B |
| | G06F 7/57 204 |

請求項の数 2 (全 55 頁)

(21) 出願番号 特願2015-199944 (P2015-199944)
 (22) 出願日 平成27年10月8日 (2015.10.8)
 (65) 公開番号 特開2016-82587 (P2016-82587A)
 (43) 公開日 平成28年5月16日 (2016.5.16)
 審査請求日 平成30年10月4日 (2018.10.4)
 (31) 優先権主張番号 特願2014-212710 (P2014-212710)
 (32) 優先日 平成26年10月17日 (2014.10.17)
 (33) 優先権主張国・地域又は機関
 日本国(JP)
 (31) 優先権主張番号 特願2014-212807 (P2014-212807)
 (32) 優先日 平成26年10月17日 (2014.10.17)
 (33) 優先権主張国・地域又は機関
 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 黒川 義元
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 及川 尚人

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

論理回路を複数有し、

前記論理回路は、別の論理回路から出力された信号をコンフィギュレーションデータに応じて演算し、さらに別の論理回路に出力する機能を有する半導体装置であって、

前記論理回路は、複数のラッチ回路と、演算回路と、遅延回路と、出力タイミング生成回路と、レジスタと、出力信号生成回路と、を有し、

複数の前記ラッチ回路はそれぞれ、

前記別の論理回路から出力された時分割の第1のパルス信号が入力され、前記第1のパルス信号を遅延させて生成した第1の信号を出力する機能と、

前記第1のパルス信号の論理値を判定し、前記第1の信号よりも遅延した第2の信号を出力する機能と、

リセット信号が入力されて初期化される機能と、

を有し、

前記演算回路は、

複数の前記第2の信号が入力され、複数の前記第2の信号を前記コンフィギュレーションデータに応じて演算処理して第4の信号を出力する機能と、

複数の前記第1の信号の論理演算によって得られる第3の信号が入力され、前記第3の信号によって電源の供給が開始される機能と、

を有し、

前記遅延回路は、

前記第 3 の信号が入力され、前記第 3 の信号を前記演算回路が有するクリティカル・パスでの遅延時間に相当する時間分遅延をさせた第 5 の信号を出力する機能と、

前記第 3 の信号によって電源の供給が開始される機能と、
を有し、

前記出力タイミング生成回路は、前記第 3 の信号と前記第 5 の信号との論理演算によって得られる第 6 の信号が入力され、前記第 6 の信号を遅延させた第 7 の信号と、前記第 7 の信号を遅延された第 8 の信号と、前記第 8 の信号を遅延された第 9 の信号と、を出力する機能を有し、

前記レジスタは、

前記第 4 の信号を保持する機能と、

前記第 8 の信号にしたがって保持した前記第 4 の信号を前記出力信号生成回路に出力する機能と、

を有し、

前記出力信号生成回路は、前記レジスタから入力された前記第 4 の信号の論理値に応じた信号を、前記第 7 の信号のタイミングと前記第 9 の信号のタイミングとで出力することによって、時分割の第 2 のパルス信号として前記さらに別の論理回路に出力する機能を有し、

前記第 9 の信号は、前記リセット信号として前記ラッチ回路に入力される半導体装置。

【請求項 2】

請求項 1 において、

前記コンフィギュレーションデータは、チャンネル形成領域に酸化物半導体を有するトランジスタを有するメモリ回路に記憶される半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、電子部品、および電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンビネーション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、又は、それらの製造方法、を一例として挙げるができる。

【0003】

なお、本明細書等において、半導体装置は、半導体特性を利用することで機能しうる素子、回路、又は装置等を指す。一例としては、トランジスタ、ダイオード等の半導体素子は半導体装置である。また別の一例としては、半導体素子を有する回路は、半導体装置である。また別の一例としては、半導体素子を有する回路を備えた装置は、半導体装置である。

【背景技術】

【0004】

酸化物半導体をチャンネル形成領域に有するトランジスタ（以下、OSトランジスタ）を用いた、リコンフィギュラブル（再構成可能）な回路として機能する半導体装置が提案されている（特許文献 1 乃至 4 を参照）。

【0005】

コンフィギュレーションデータを記憶するコンフィギュレーションメモリとして、OSトランジスタを利用することで、コンフィギュレーションメモリを小面積で配置することが容易となり、コンフィギュレーションメモリの集積度を高め易い。そのため、動作中にコンフィギュレーションデータを書き換えることができるマルチコンテキスト方式の構成と

10

20

30

40

50

することも容易となる。さらに、ブースティング効果により、配線間スイッチのスイッチング速度の向上が期待できる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】米国特許出願公開第2013/0285697号明細書

【特許文献2】米国特許出願公開第2013/0293263号明細書

【特許文献3】米国特許出願公開第2013/0314124号明細書

【特許文献4】米国特許出願公開第2013/0321025号明細書

【発明の概要】

【発明が解決しようとする課題】

【0007】

半導体装置が有する、コンフィギュレーションデータを記憶できる論理回路は、同期回路が採用されている。同期回路の場合、グローバル・クロック信号を用いるため、当該グローバル・クロック信号の分配に要する消費電力が膨大となり、瞬間的に大きな電流が流れるなどの問題がある。

【0008】

また、同期回路の場合、回路動作上律速となる信号経路、いわゆるクリティカル・パスにより回路全体の性能が決まるため、設計上は悲観的な性能見積りを行うことになる。つまり、グローバル・クロック信号の周期を長くして設計の性能見積りを行うことになる。そのため、論理回路毎にパワー・ゲーティングする構成では、演算が完了している論理回路であっても、グローバル・クロック信号の周期を待ってパワー・ゲーティングするより他なく、パワー・ゲーティングすることによる低消費電力化の効果を十分に発揮できないことになる。

【0009】

また、グローバル・クロック信号を用いない非同期回路の場合、信号が回路間を順次伝播していく構成となる。この場合、論理回路間の信号の授受を所謂ハンドシェイク方式で行う。ハンドシェイク方式とは、信号送信側と信号受信側とで、要求(Request)信号と受諾(Acknowledge)信号との授受をしながらデータ信号を送受する方式である。しかしながら、上記ハンドシェイク方式をリコンフィギュラブルな回路として機能する半導体装置に採用する場合、データ信号用の配線に加えて要求信号及び受諾信号用の配線が必要であり、配線数が膨大になるなどの不都合がある。

【0010】

また、非同期回路が入出力される論理回路であっても、同期回路へ回路構成を切り替えることや、入力される信号がパルス信号、あるいはバイナリの信号であっても、柔軟に回路構成を変更すること、が可能な論理回路が望まれている。

【0011】

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することを課題の一とする。

【0012】

又は、本発明の一態様は、回路間の配線数を低減できる、新規な構成の半導体装置等を提供することを課題の一とする。又は、本発明の一態様は、低消費電力化が図られた、新規な構成の半導体装置等を提供することを課題の一とする。

【0013】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、および/又は他の課題のうち、少なくとも一つの課題を解決するものである。

10

20

30

40

50

【課題を解決するための手段】**【0014】**

本発明の一態様は、コンフィギュレーションデータを記憶できる論理回路を有する半導体装置であって、論理回路は、ラッチ回路と、演算回路と、遅延回路と、出力タイミング生成回路と、を有し、ラッチ回路は、別の論理回路からパルス信号が入力され、第1の信号および第2の信号を出力する機能を有し、第1の信号は、複数の第1の信号の論理演算によって得られる第3の信号をもとに、演算回路および遅延回路への電源の供給を制御する信号であり、第2の信号は、第1の信号を遅延させた信号であり、演算回路は、第2の信号が入力され、第4の信号を出力する機能を有し、遅延回路は、第3の信号が入力され、第5の信号を出力する機能を有し、第5の信号は、第3の信号を、演算回路が有するクリティカル・パスでの遅延に相当する遅延をさせた信号であり、出力タイミング生成回路は、第3の信号と、第5の信号との論理演算によって得られる第6の信号が入力され、ラッチ回路をリセットする機能を有する半導体装置である。

10

【0015】

本発明の一態様は、コンフィギュレーションデータを記憶できる論理回路を有する半導体装置であって、論理回路は、ラッチ回路と、マルチプレクサと、演算回路と、遅延回路と、出力タイミング生成回路と、を有し、ラッチ回路は、別の論理回路からパルス信号が入力され、第1の信号および第2の信号を出力する機能を有し、第1の信号は、複数の第1の信号の論理演算によって得られる第3の信号をもとに、演算回路および遅延回路への電源の供給を制御する信号であり、マルチプレクサは、演算回路に入力する信号を、第2の信号または別の論理回路からのバイナリ信号のいずれかに切り替えて出力する機能を有し、第2の信号は、第1の信号を遅延させた信号であり、演算回路は、第2の信号または別の論理回路からのバイナリ信号が入力され、第4の信号を出力する機能を有し、遅延回路は、第3の信号が入力され、第5の信号を出力する機能を有し、第5の信号は、第3の信号を、演算回路が有するクリティカル・パスでの遅延に相当する遅延をさせた信号であり、出力タイミング生成回路は、第3の信号と、第5の信号との論理演算によって得られる第6の信号が入力され、ラッチ回路をリセットする機能を有する半導体装置である。

20

【0016】

本発明の一態様において、論理回路は、レジスタと、出力信号生成回路と、を有し、出力タイミング生成回路は、第7乃至第9の信号を出力する機能を有し、レジスタは、第4の信号を第7の信号にしたがって出力信号生成回路に出力する機能を有し、出力信号生成回路は、レジスタで出力された第4の信号を第8の信号および第9の信号にしたがって別の論理回路に出力する機能を有する半導体装置が好ましい。

30

【0017】

本発明の一態様において、演算回路は、コンフィギュレーションデータで機能の切り替えを行うことができる機能を有する半導体装置が好ましい。

【0018】

本発明の一態様において、コンフィギュレーションデータは、チャネル形成領域に酸化物半導体を有するトランジスタを有するメモリ回路に記憶される半導体装置が好ましい。

【0019】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、および図面に記載されている。

40

【発明の効果】**【0020】**

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することができる。

【0021】

又は、本発明の一態様は、回路間の配線数を低減できる、新規な構成の半導体装置等を提供することができる。又は、本発明の一態様は、低消費電力化が図られた、新規な構成の半導体装置等を提供することができる。又は、入出力される信号に応じてリコンフィギュアブルな回路構成にできる、新規な構成の半導体装置等を提供することができる。

50

【 0 0 2 2 】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、および/又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【 0 0 2 3 】

10

【図 1】本発明の一態様を説明するためのブロック図。

【図 2】本発明の一態様を説明するためのタイミングチャート。

【図 3】本発明の一態様を説明するための回路図およびタイミングチャート。

【図 4】本発明の一態様を説明するための回路図およびタイミングチャート。

【図 5】本発明の一態様を説明するための回路図。

【図 6】本発明の一態様を説明するための回路図。

【図 7】本発明の一態様を説明するための回路図。

【図 8】本発明の一態様を説明するためのブロック図。

【図 9】本発明の一態様を説明するための回路図。

20

【図 10】本発明の一態様を説明するための回路図。

【図 11】本発明の一態様を説明するためのブロック図。

【図 12】本発明の一態様を説明するためのタイミングチャート。

【図 13】本発明の一態様を説明するためのタイミングチャート。

【図 14】本発明の一態様を説明するためのブロック図。

【図 15】本発明の一態様を説明するためのタイミングチャート。

【図 16】本発明の一態様を説明するための回路図。

【図 17】本発明の一態様を説明するためのブロック図。

【図 18】本発明の一態様を説明するためのタイミングチャート。

【図 19】本発明の一態様を説明するためのタイミングチャート。

【図 20】本発明の一態様を説明する断面図。

30

【図 21】本発明の一態様を説明する断面図。

【図 22】電子部品の作製工程を示すフローチャート図および斜視模式図。

【図 23】電子部品を用いた電子機器。

【図 24】本発明の一態様を説明するための回路図。

【発明を実施するための形態】

【 0 0 2 4 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

40

【 0 0 2 5 】

なお本明細書等において、「第 1」、「第 2」、「第 3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第 2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第 1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略して言及することもありうる。

【 0 0 2 6 】

なお図面において、同一の要素又は同様な機能を有する要素、同一の材質の要素、あるいは

50

は同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0027】

(実施の形態1)

本発明の一態様の半導体装置の構成について、図1を用いて説明する。

【0028】

本明細書等において半導体装置とは、半導体特性を有する装置全般を指す。又は、半導体特性を利用した回路、あるいは該回路を含むシステム全体を半導体装置という場合がある。

【0029】

図1は、本発明の一態様の半導体装置の構成を示すブロック図である。

【0030】

図1に示す半導体装置100は、コンフィギュレーションデータを記憶できる論理回路としての機能を有する。半導体装置100は、リコンフィギュラブルな論理回路として機能する。半導体装置100は、PLE(Programmable Logic Element)という場合もある。

【0031】

半導体装置100は、ラッチ回路101[0]乃至101[3]、演算回路102、遅延回路103、出力タイミング生成回路104、レジスタ105、出力信号生成回路106、ANDゲート107、およびANDゲート108を有する。

【0032】

図1に示す半導体装置100は、グローバル・クロック信号を用いることなく、入力データの入出力を行うことができる機能を有する。そのため、グローバル・クロック信号の分配に要する消費電力を抑え、低消費電力化を図ることができる。

【0033】

また、図1に示す半導体装置100は、グローバル・クロック信号の周期を待つことなく、演算回路102および遅延回路103のパワー・ゲーティングを行うことができる。そのため、演算処理が終了した回路から順にパワー・ゲーティングを行うことができるため、パワー・ゲーティングすることによる低消費電力化の効果を十分に発揮できる。

【0034】

また図1に示す半導体装置100は、グローバル・クロック信号を用いない非同期回路として用いることができる。この場合、信号が回路間を順次伝播していく構成となる。当該構成において、図1に示す半導体装置100は、論理回路間の信号の授受をハンドシェイク方式とすることなく行うことができる。そのため、ハンドシェイク方式を実現するための回路間の配線を設ける必要がなくなり、配線数を低減できる。

【0035】

以下、半導体装置100の各構成、動作、各構成の回路例について説明する。

【0036】

<半導体装置の構成について>

ラッチ回路101[0]乃至101[3]は、パルス信号である他の半導体装置から出力された信号PLE__IN[0]乃至PLE__IN[3]を受信すると、演算回路102および遅延回路103の電源をオンにするための信号PON[0]乃至PON[3]を生成する機能を有する回路である。また、ラッチ回路101[0]乃至101[3]は、入力されるパルス信号から他の半導体装置から出力された信号の論理値("0"又は"1")を判定し、データ信号LMI[0]乃至LMI[3]を演算回路102に出力する機能を有する回路である。また、ラッチ回路101[0]乃至101[3]は、入力されるリセット信号RSTによって初期化される機能を有する回路である。ラッチ回路101[0]乃至101[3]は、RSラッチを有し、信号PLE__IN[0]乃至PLE__IN[3]が入力されるタイミングから特定の時間だけ遅延して生成した、信号PON[0]乃至PON[3]を出力することができる。また、ラッチ回路101[0]乃至101[3]

10

20

30

40

50

は、信号 P O N [0] 乃至 P O N [3] をさらに特定の時間だけ遅延して生成した、データ信号 L M I [0] 乃至 L M I [3] を出力することができる。

【 0 0 3 7 】

なお図 1 では、ラッチ回路として、4 つのラッチ回路 1 0 1 [0] 乃至 1 0 1 [3] を示したが、数はこれに限らない。例えば、ラッチ回路の数は、信号 P L E _ I N [0] 乃至 P L E _ I N [3] の数に対応して設ければよい。なおラッチ回路は、入力ラッチ (I n p u t L a t c h) という場合がある。

【 0 0 3 8 】

なお信号 P L E _ I N [0] 乃至 P L E _ I N [3] は、パルス状の波形 (パルス) を有する信号であり、パルス信号という場合がある。

10

【 0 0 3 9 】

演算回路 1 0 2 は、データ信号 L M I [0] 乃至 L M I [3] に従って演算処理を行い、信号 L M O を出力する機能を有する。演算回路 1 0 2 は、演算回路 1 0 2 で行う演算処理は、コンフィギュレーションデータに従って行うことができる。コンフィギュレーションデータを変更することで、演算回路 1 0 2 で行う演算処理を変更することができ、リコンフィギュラブルな回路を有する半導体装置を実現できる。演算回路 1 0 2 は、ルックアップテーブル (L U T : L o o k U p T a b l e) およびマルチプレクサ (M U X) を有し、コンフィギュレーションデータを記憶するコンフィギュレーションメモリを有する。

【 0 0 4 0 】

20

コンフィギュレーションメモリの詳細な構成については後述するが、コンフィギュレーションメモリが有する記憶素子として、不揮発性の記憶素子を有することが好適である。不揮発性の記憶素子を有するコンフィギュレーションメモリとすることで、演算回路 1 0 2 をパワー・ゲーティングしても、コンフィギュレーションデータを記憶し続けることができる。そのため、演算回路 1 0 2 がパワー・ゲーティングから復帰して通常動作に戻る場合にコンフィギュレーションデータの再書き込みが不要であり、相当する分の電力を削減でき、低消費電力化を図ることができる。

【 0 0 4 1 】

A N D ゲート 1 0 7 は、信号 P O N [0] 乃至 P O N [3] の論理演算、ここでは論理積をとり、信号 P O N を生成する機能を有する。信号 P O N は、演算回路 1 0 2 および遅延回路 1 0 3 の電源をオンにする機能を有する信号である。

30

【 0 0 4 2 】

A N D ゲート 1 0 7 によって、ラッチ回路 1 0 1 [0] 乃至 1 0 1 [3] に信号 P L E _ I N [0] 乃至 P L E _ I N [3] が到達した後に演算回路 1 0 2 および遅延回路 1 0 3 の電源をオンにする信号 P O N を生成することができる。従って、信号 P L E _ I N [0] 乃至 P L E _ I N [3] がすべて到達するまで、演算回路 1 0 2 および遅延回路 1 0 3 の電源をオフにでき、回路を動作させる直前で電源をオンにさせることができる。そのため、より効率的な電源の供給を実現できる、パワー・ゲーティングの動作とすることができる。

【 0 0 4 3 】

40

遅延回路 1 0 3 は、信号 P O N が入力されてから、演算回路 1 0 2 が有するクリティカル・パスでの遅延時間に相当する時間が経過した後、信号 R O を生成する機能を有する。なお遅延回路 1 0 3 は、演算回路 1 0 2 が有するクリティカル・パスでの回路と同等の遅延を生じさせる回路を有し、' R e p l i c a ' という場合がある。

【 0 0 4 4 】

A N D ゲート 1 0 8 は、信号 P O N と、信号 R O との論理積をとり、信号 D L を生成する機能を有する。信号 D L は、出力タイミング生成回路 1 0 4 に入力される。

【 0 0 4 5 】

A N D ゲート 1 0 8 によって、演算回路 1 0 2 で信号 L M O を演算し終えたことを伝える信号 D L を生成することができる。信号 D L は、信号 P O N と信号 R O が共にハイレベル

50

になる時、すなわち、信号 P O N が A N D ゲート 1 0 7 で生成されてから、演算回路 1 0 2 のクリティカル・パスでの遅延に相当する遅延時間だけ経過した後には信号 R O が生成した時にハイレベルとなる。つまり、信号 D L は、演算回路 1 0 2 での演算が終わり、信号 L M O が確定したタイミングで生成することになる。従って、信号 D L により、演算回路 1 0 2 での演算が完了した直後のタイミングを把握することができる。さらに、信号 D L を利用して、演算回路 1 0 2 をパワー・ゲーティングするためのタイミング信号および上記演算結果を半導体装置 1 0 0 の出力信号として出力するための複数のタイミング信号を生成させることができる。例えば、信号 D L が入力される出力タイミング生成回路 1 0 4 では、リセット信号 R S T 等を生成することができ、演算回路 1 0 2 および遅延回路 1 0 3 での動作が完了した直後に電源をオフにさせることができる。そのため、より効率的な電源の供給を実現できる、パワー・ゲーティングの動作とすることができる。

10

【 0 0 4 6 】

また、出力タイミング生成回路 1 0 4 は、信号 D L が入力され、複数の信号 T G C 1 乃至 T G C 3 を生成する機能を有する。なお出力タイミング生成回路 1 0 4 は、' O u t p u t T i m i n g G e n e r a t o r ' という場合がある。出力タイミング生成回路 1 0 4 は、R S ラッチを有し、信号 D L が入力されるタイミングから特定の時間だけ遅延して生成した、信号 T G C 1 乃至 T G C 3 を出力することができる。出力タイミング生成回路 1 0 4 は、信号 D L が入力されるタイミングから特定の時間だけ遅延して生成した信号 T G C 1、さらに特定の時間だけ遅延して生成した信号 T G C 2、さらに特定の時間だけ遅延して生成した信号 T G C 3 を出力することができる。

20

【 0 0 4 7 】

レジスタ 1 0 5 は、信号 T G C 2 の制御によって信号 L M O をラッチし、信号 L M O L として出力する機能を有する。レジスタ 1 0 5 を有することによって、演算回路 1 0 2 がパワー・ゲーティングした後も所定のタイミングで保持してある信号 L M O を、信号 L M O L として出力することができる。

【 0 0 4 8 】

出力信号生成回路 1 0 6 は、信号 L M O L が入力され、信号 T G C 1 および信号 T G C 3 のタイミングによって、信号 L M O L の論理値に応じた信号 P L E _ O U T を出力する機能を有する。なお出力信号生成回路 1 0 6 は、' O u t p u t S i g n a l G e n e r a t o r ' という場合がある。出力信号生成回路 1 0 6 は、信号 T G C 1 のタイミングでパルスを出し、その後入力される信号 L M O L の論理値に応じて信号 T G C 3 のタイミングでパルスを出し、信号 P L E _ O U T による論理値を変えることができる。

30

【 0 0 4 9 】

< 半導体装置の動作について >

図 2 に図 1 で示した半導体装置 1 0 0 における各信号のタイミングチャートを示す。なお信号 P L E _ I N [0] 乃至 P L E _ I N [3] は、データが " 0 " の場合にパルス 1 個、データが " 1 " の場合にパルス 2 個で表すものとする。なおパルスは短い期間で電位が変化する信号であり、例えばローレベルからハイレベルに切り替わり、再びローレベルに切り替わる信号である。

【 0 0 5 0 】

時刻 T 1 において、信号 R S T をハイレベルとする。この時、ラッチ回路 1 0 1 [0] 乃至 1 0 1 [3] から出力される信号 P O N [0] 乃至 P O N [3] はローレベルとなり、信号 P O N もローレベルとなる。従って、演算回路 1 0 2 および遅延回路 1 0 3 の電源はオフとなる。

40

【 0 0 5 1 】

時刻 T 2 において、信号 P L E _ I N [0] をハイレベル、信号 P L E _ I N [1] をハイレベルとする。これは、信号 P L E _ I N [0]、信号 P L E _ I N [1] の第 1 のパルスが入力されたことを示す。続いて、時刻 T 3 において、信号 P L E _ I N [0] をローレベル、信号 P L E _ I N [1] をローレベルとする。これは、信号 P L E _ I N [0]、信号 P L E _ I N [1] の第 1 のパルスの入力が終わったことを意味し、この時、信

50

号 P O N [0] はハイレベル、信号 P O N [1] はハイレベルとなる。

【 0 0 5 2 】

時刻 T 3 において、信号 P L E _ I N [2] をハイレベルとする。これは、信号 P L E _ I N [2] の第 1 のパルスが入力されたことを示す。続いて、時刻 T 4 において、信号 P L E _ I N [2] をローレベルとする。これは、信号 P L E _ I N [2] の第 1 のパルスの入力が終わったことを意味し、この時、信号 P O N [2] はハイレベルとなる。

【 0 0 5 3 】

時刻 T 4 において、信号 P L E _ I N [3] をハイレベルとする。これは、信号 P L E _ I N [3] の第 1 のパルスが入力されたことを示す。続いて、時刻 T 5 において、信号 P L E _ I N [3] をローレベルとする。これは、信号 P L E _ I N [3] の第 1 のパルスの入力が終わったことを意味し、この時、信号 P O N [3] がハイレベルとなる。さらに、信号 P O N がハイレベルとなり、演算回路 1 0 2 および遅延回路 1 0 3 の電源がオンになる。

【 0 0 5 4 】

すなわち、信号 P L E _ I N [0] 乃至 P L E _ I N [3] をパルス信号とすることで、信号が受信したことを判定し、演算回路 1 0 2 および遅延回路 1 0 3 の電源を制御することができる。このような構成とすることで、信号を受信するまで電源をオフにすることができ、したがって、電源をオフしている時間を長くすることができる。また、ハンドシェイク方式とするための回路を用いないため、ハンドシェイク方式を実現する際に必要な制御信号が不要になり、したがって、配線数を低減することができる。

【 0 0 5 5 】

なお、時刻 T 4 で信号 P L E _ I N [1] をハイレベル、時刻 T 5 で信号 P L E _ I N [2] をハイレベルとする。これは、信号 P L E _ I N [1] および信号 P L E _ I N [2] の第 2 のパルスが入力されたことを示し、入力される信号のデータが論理値 " 1 " であることを示す。一方、信号 P L E _ I N [0] および信号 P L E _ I N [3] には第 2 のパルスが入力されないことで、入力される信号のデータが論理値 " 0 " であることを示す。すなわち、信号 P L E _ I N [0] 乃至 P L E _ I N [3] には、入力される信号のデータ " 0 " 、 " 1 " 、 " 1 " 、 " 0 " が入力されたことに相当する。

【 0 0 5 6 】

時刻 T 5 で信号 P O N がハイレベルとなり、演算回路 1 0 2 および遅延回路 1 0 3 の電源がオンになると、遅延回路 1 0 3 が出力する信号 R O は、特定の時間の遅延を経て、時刻 T 6 でローレベルからハイレベルとなる。この時、信号 L M O の値は確定していることになる。図 2 では、確定した信号 L M O の値をハイレベルとする。さらに、信号 R O がハイレベルとなることで、信号 D L がハイレベルとなる。

【 0 0 5 7 】

時刻 T 6 で信号 D L をハイレベルになると、時刻 T 6 で信号 T G C 1 がハイレベルとなり、続いて、時刻 T 7 で信号 T G C 2 がハイレベルとなり、時刻 T 8 で信号 T G C 3 がハイレベルとなる。信号 T G C 1 は、出力信号生成回路 1 0 6 で信号 P L E _ O U T の第 1 のパルスを出力するタイミングを与える信号となる。すなわち、時刻 T 6 で信号 P L E _ O U T がハイレベルを出力する。信号 T G C 2 は、演算回路 1 0 2 の出力をラッチするタイミングを与える信号となる。すなわち、時刻 T 7 で演算回路 1 0 2 の信号 L M O がラッチされ、信号 L M O L がハイレベルとなる。信号 T G C 3 は、出力信号生成回路 1 0 6 で信号 P L E _ O U T の第 2 のパルスを出力するタイミングを与える信号となる。すなわち、時刻 T 8 で信号 L M O L に対応して、信号 P L E _ O U T をハイレベルとして出力する。また、信号 T G C 3 はリセット信号 R S T となる。すなわち、時刻 T 8 でリセット信号がハイレベルとなり、前述の時刻 T 1 の状態に戻り、信号 P O N がローレベルとなり、演算回路 1 0 2 および遅延回路 1 0 3 の電源がオフする。

【 0 0 5 8 】

上述した構成とすることで、演算回路 1 0 2 が演算結果を出力するまでの必要十分な期間のみ電源をオンにすることができ、したがって、電源をオフしている時間を長くすること

10

20

30

40

50

ができる。

【0059】

以降、時刻T9以降において、時刻T2乃至時刻T8と同様の動作を繰り返す。なお、時刻T9以降の動作において、信号PLE_IN[0]乃至PLE_IN[3]には、データ"1"、"0"、"0"、"0"が入力されたとする。

【0060】

<半導体装置を構成する回路の一例について>

以下、半導体装置100を構成するラッチ回路101[0]乃至101[3]、出力タイミング生成回路104、出力信号生成回路106、演算回路102、および遅延回路103の構成例について説明する。また、コンフィギュレーションメモリを有し、当該コンフィギュレーションメモリのデータ(コンフィギュレーションデータ)を変更することで回路構成を変更できる論理回路として機能する半導体装置100を備えたPLD(Programmable Logic Device)の構成例、およびコンフィギュレーションメモリの構成例について説明する。

10

【0061】

<<ラッチ回路について>>

図3(A)は、ラッチ回路101[0]乃至101[3]に適用されるラッチ回路101の回路構成の一例である。また、図3(B)は、ラッチ回路101のタイミングチャートである。

【0062】

図3(A)において、ラッチ回路101は、NORゲート111乃至118を有する。ラッチ回路101は、NORゲート111および112、NORゲート114および115、並びにNORゲート117および118で構成されるRSラッチを有する。NORゲート113が出力する信号を信号Ni1、NORゲート116が出力する信号を信号Ni2とする。

20

【0063】

なお図3(A)中、信号INは図1で説明した信号PLE_IN[0]乃至PLE_IN[3]に相当する。また、図3(A)中、信号OUTは図1で説明した信号LMI[0]乃至LMI[3]に相当する。また、図3(A)中、信号PONは図1で説明した信号PON[0]乃至PON[3]に相当する。信号RSTは、図1で説明した信号RSTに相当する。信号TRGは、説明のため符号を付しているが、外部に出力しなくてもよい。

30

【0064】

図3(B)において、信号INによるデータが"1"の場合、すなわちパルスが2個の場合を説明する。まず時刻T11で信号RSTをハイレベルとすると、信号TRG、信号PON、信号OUT、信号Ni1、および信号Ni2はローレベルとなる。時刻T12で、信号INにハイレベルが入力されると、信号TRGがハイレベルとなる。続いて、時刻T13で信号INがローレベルになると、信号Ni1がハイレベル、信号PONがハイレベルとなり、以降、信号Ni1は信号INの反転信号を出力する。さらに続いて時刻T14で、信号INがハイレベルになると、信号Ni1はローレベル、信号Ni2はハイレベル、信号OUTはハイレベルとなり、以降、信号Ni2は信号Ni1の反転信号を出力するが、時刻T14で、信号INがローレベルのままだと、信号Ni2はローレベル、信号OUTはローレベルのままとなる。

40

【0065】

以降、時刻T15以降において、時刻T11乃至時刻T14と同様の動作を繰り返す。なお、時刻T15以降の動作において、信号INには、データ"0"、すなわちパルスが1個入力された場合に相当する。

【0066】

<<出力タイミング生成回路について>>

図4(A)は、出力タイミング生成回路104の回路構成の一例である。また、図4(B)は、出力タイミング生成回路104のタイミングチャートである。

50

【 0 0 6 7 】

図 4 (A) において、出力タイミング生成回路 1 0 4 は、N O R ゲート 1 2 1 乃至 1 2 6、インバータ 1 2 7、および A N D ゲート 1 2 8 乃至 1 3 0 を有する。出力タイミング生成回路 1 0 4 は、N O R ゲート 1 2 1 および 1 2 2、N O R ゲート 1 2 3 および 1 2 4、並びに N O R ゲート 1 2 5 および 1 2 6 で構成される R S ラッチを有する。N O R ゲート 1 2 1 が出力する信号を N t 1、N O R ゲート 1 2 3 が出力する信号を N t 2、N O R ゲート 1 2 5 が出力する信号を N t 3 とする。

【 0 0 6 8 】

なお図 4 (A) 中、信号 I N は図 1 で説明した信号 D L に相当する。また、図 4 (A) 中、信号 T G 1 は図 1 で説明した信号 T G C 1 に相当する。また、図 4 (A) 中、信号 T G 2 は図 1 で説明した信号 T G C 2 に相当する。信号 T G 3 は、図 1 で説明した信号 T G C 3 に相当する。

10

【 0 0 6 9 】

図 4 (B) において、まず時刻 T 2 1 で信号 I N、信号 N t 1、信号 N t 2、信号 N t 3、信号 T G 1、信号 T G 2、信号 T G 3 がローレベルとする。続いて、時刻 T 2 2 で、信号 I N にハイレベルが入力されると、R S ラッチにおける遅延時間だけ遅れて、時刻 T 2 3 で信号 N t 1 がハイレベルとなる。続いて、時刻 T 2 4、時刻 T 2 5 で、R S ラッチにおける遅延時間だけ遅れて、信号 N t 2、N t 3 が順次ハイレベルとなる。また、信号 I N がハイレベルで信号 N t 1 がローレベルの時に信号 T G 1 がハイレベル、信号 N t 1 がハイレベルで信号 N t 2 がローレベルの時に信号 T G 2 がハイレベル、信号 N t 2 がハイレベルで信号 N t 3 がローレベルの時に信号 T G 3 がハイレベルになる。したがって、信号 T G 1、信号 T G 2、および信号 T G 3 は、R S ラッチにおける遅延時間に依存したパルス幅を持つパルス信号を出力する。なお、続いて時刻 T 2 6 で信号 I N がローレベルとなると、信号 N t 1、信号 N t 2、および信号 N t 3 は順次ローレベルとなる。

20

【 0 0 7 0 】

なお、図 3 (A) のラッチ回路 1 0 1 と図 4 (A) の出力タイミング生成回路 1 0 4 とで同様の回路構成の R S ラッチ回路を用いることで、半導体装置 1 0 0 の動作に必要な十分なパルス幅の信号を用いることができる。これは、以下の理由による。すなわち、出力タイミング生成回路 1 0 4 で生成するパルス信号のパルス幅は、出力タイミング生成回路 1 0 4 における R S ラッチの動作で生じる遅延時間に相当する。そのため、ラッチ回路 1 0 1 で信号を取り込む際に、ラッチ回路 1 0 1 における R S ラッチの動作に必要なパルス幅となっているからである。なお、上記遅延時間はプロセステクノロジーや電源電圧、温度などに影響を受けるが、同様にラッチ回路 1 0 1 における R S ラッチの動作速度も上記影響を同様に受けるため、自己整合的に補正される。したがって、回路動作の安定性が保たれることになる。

30

【 0 0 7 1 】

< < 出力信号生成回路について > >

図 5 は、出力信号生成回路 1 0 6 の回路構成の一例である。

【 0 0 7 2 】

図 5 において、出力信号生成回路 1 0 6 は、A N D ゲート 1 3 1、および O R ゲート 1 3 2 を有する。A N D ゲート 1 3 1 に入力する信号を信号 I N、および信号 t g 3 とする。O R ゲート 1 3 2 に入力する信号を A N D ゲート 1 3 1 の出力信号、および信号 t g 1 とする。O R ゲート 1 3 2 が出力する信号を信号 O U T とする。

40

【 0 0 7 3 】

なお図 5 中、信号 I N は図 1 で説明した信号 L M O L に相当する。また、図 5 中、信号 t g 1 は図 1 で説明した信号 T G C 1 に相当する。また、図 5 中、信号 t g 3 は図 1 で説明した信号 T G C 3 に相当する。また、図 5 中、信号 O U T は図 1 で説明した信号 P L E _ O U T に相当する。

【 0 0 7 4 】

図 5 に示す出力信号生成回路 1 0 6 は、信号 t g 1 および t g 3 でタイミングを規定され

50

た信号OUTが出力される。なお、信号INがハイレベル（又はローレベル）の場合、信号tg3のタイミングで信号OUTはハイレベル（又はローレベル）となる。

【0075】

<< 演算回路について >>

図6(A)、(B)は、演算回路102の回路構成の一例を説明するための図である。

【0076】

図6(A)に示す演算回路102は、2入力のマルチプレクサ141乃至147を有する。マルチプレクサ141乃至マルチプレクサ144の各入力端子には、コンフィギュレーションメモリ148[1]乃至148[8]に保持されたコンフィギュレーションデータに対応した信号が与えられる。また図6(A)では、3つのデータ信号LMI[0]乃至LMI[2]が与えられ、信号LMOを出力するとして図示している。

10

【0077】

なお演算回路102は、マルチプレクサの他に、ダイオード、抵抗素子、論理素子、スイッチのいずれか又は全てを更に有していても良い。論理素子としては、バッファ、インバータ、NANDゲート、NORゲート、スリーステートバッファ、クロックドインバータ等を用いることができる。

【0078】

また、図6(A)に示す演算回路102の例では、3入力1出力の論理演算を行う場合について示したがこれに限定されない。演算回路の回路構成、コンフィギュレーションメモリに格納したコンフィギュレーションデータを適宜定めることによって、より多くの入力、多くの出力の論理演算を実現することができる。

20

【0079】

マルチプレクサ141乃至マルチプレクサ144の各入力端子に、コンフィギュレーションメモリ148[1]乃至148[8]から、コンフィギュレーションデータに対応した信号を入力することによって、演算回路102での演算の種類を定めることができる。

【0080】

例えば、図6(A)の演算回路102は、コンフィギュレーションメモリ148[1]乃至148[8]から論理値"0"、"1"、"0"、"1"、"0"、"1"、"1"、"1"のコンフィギュレーションデータに対応した信号をそれぞれ入力した場合、図6(B)に示すANDゲート149、およびORゲート150を有する回路の機能を実現することができる。

30

【0081】

<< 遅延回路について >>

図7(A)、(B)は、遅延回路103の回路構成の一例を説明するための図である。遅延回路103は、上述したように演算回路102が有するクリティカル・パスでの遅延時間に相当する遅延をさせた信号ROを生成する。

【0082】

演算回路102が図6(A)に示す回路構成の場合、例えばクリティカル・パスを図7(A)の太線で示す経路とする。すなわち、信号LMI[0]がハイレベルに変化してから、マルチプレクサ141が"1"側の入力データ(148[2]のデータ)を選択して対応するハイレベルの信号を出力し、マルチプレクサ145、マルチプレクサ147、を順次介して信号LMOがハイレベルとなる経路をクリティカル・パスとする。このとき、遅延回路103は、図6(A)が有する回路構成と同じ構成を有する、図7(B)に示す回路構成で実現することができる。

40

【0083】

なお図7(B)中、信号PONは図1で説明した信号PONに相当する。また、図7(B)中、信号ROは図1で説明した信号ROに相当する。なお図6(A)でその他のマルチプレクサの信号が入力される端子には、ハイレベルもしくはローレベルの信号を与える。

【0084】

なお、遅延回路103は、信号PONがハイレベルに変化してから、信号ROがハイレベ

50

ルに変化する構成が望ましい。そのため、演算回路 102 のクリティカル・パスが、ある入力の信号がローレベルに変化してから信号 LMO がハイレベルとなる経路である場合、遅延回路 103 の信号 PON の反転信号を当該クリティカル・パスに入力する構成が好ましい。また、演算回路 102 のクリティカル・パスが、ある入力の信号がハイレベルに変化してから信号 LMO がローレベルとなる経路である場合、遅延回路 103 の信号 RO として、信号 LMO の反転信号を出力する構成が好ましい。さらに、演算回路 102 のクリティカル・パスが、ある入力の信号がローレベルに変化してから信号 LMO がローレベルとなる経路である場合、遅延回路 103 の信号 PON の反転信号を当該クリティカル・パスに入力し、遅延回路 103 の信号 RO として、信号 LMO の反転信号を出力する構成が好ましい。なお、遅延回路 103 は、信号 PON がローレベルの場合は信号 RO がローレベルである構成が好ましい。このような構成とすることで、演算回路 102 の演算に要する期間を精密に見積もれ、演算回路 102 に電源電圧を供給する期間を必要十分な時間とすることができ、したがって、パワー・ゲーティングによる効果を高めることができる。

【0085】

<< PLD について >>

図 8 は、PLD のブロック図の一例である。PLD 300 は、論理回路 301 と、スイッチ 302、水平な配線群 303、垂直な配線群 304 を有する。

【0086】

論理回路 301 は、図 1 で説明した論理回路である。論理回路 301 は、コンフィギュレーションデータに応じて機能の切り替えが可能である。

【0087】

また、論理回路 301 を囲むように、複数の配線が形成されている。図 8 においては、これらの配線は複数の水平な配線群 303 と複数の垂直な配線群 304 とを有する。配線群とは、複数の配線からなる配線の束である。

【0088】

またスイッチ 302 は、水平な配線群 303 と垂直な配線群 304 とが交わる部分に設けられる。スイッチ 302 は、コンフィギュレーションデータに応じて端子間の導通状態（オン）又は非導通状態（オフ）の切り替えが可能である。スイッチ 302 は、水平な配線群 303 と垂直な配線群 304 との配線間の接続を制御するため、複数設けられる。

【0089】

また入出力端子 305 は、水平な配線群 303 および垂直な配線群 304 に接続される。入出力端子 305 は、PLD 300 の外部にある回路との信号の授受を行う。入出力端子 305 は、一例として示す図 8 において、それぞれ上下左右の側で水平な配線群 303 や垂直な配線群 304 と接続している。この水平な配線群 303 や垂直な配線群 304 を用いることで、論理回路 301 は、他の論理回路 301 に接続することができる。任意の論理回路 301 と、これと異なる論理回路 301 との接続経路は、スイッチ 302 によって決定される。

【0090】

スイッチ 302 のオン又はオフは、コンフィギュレーションデータを保持するコンフィギュレーションメモリに応じて決定される。スイッチ 302 に設けられるコンフィギュレーションメモリは、書き換え可能な構成とする場合、記憶するコンフィギュレーションデータが電源の供給の停止により消失しないよう、不揮発性の記憶素子を有する構成とすることが好ましい。

【0091】

<コンフィギュレーションメモリについて>

コンフィギュレーションメモリに適用できる回路構成例について、図 9、図 10 に示す。

【0092】

コンフィギュレーションメモリが有する記憶素子として、不揮発性の記憶素子を有することが好適である。不揮発性の記憶素子としては、例えば、フラッシュメモリの他、強誘電体メモリ（FeRAM）、磁気抵抗メモリ（MRAM）、相変化メモリ（PRAM）、抵

10

20

30

40

50

抗変化型メモリ（ReRAM）等を用いることができる。あるいはOSトランジスタにおいてオフ電流が極めて低いことを利用した、電荷の保持によりデータの保持を行う回路を記憶素子としてもよい。OSトランジスタを用いて記憶素子を形成することで、シリコン層を有するトランジスタと積層して設けることができる。

【0093】

なおコンフィギュレーションメモリが有する記憶素子として、揮発性の記憶素子としてもよい。例えば、SRAMのインバータループを利用して記憶素子を構成すればよい。

【0094】

図9は、OSトランジスタの低いオフ電流を利用して電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶するコンフィギュレーションメモリの一例である。また、図10は、SRAMのインバータループを利用して電位を保持し、コンフィギュレーションデータとして記憶するコンフィギュレーションメモリの一例である。

10

【0095】

図9（A）に示す、スイッチ302に設けられるコンフィギュレーションメモリ521Aは、OSトランジスタをコンフィギュレーションメモリに有する構成例である。コンフィギュレーションメモリに、OSトランジスタのオフ電流が低いという特性を利用して電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する構成を採用することで、シリコン半導体膜にチャネル形成領域を有するトランジスタ（以下、Siトランジスタ）の作製工程に続いてOSトランジスタを積層し、コンフィギュレーションメモリを作製することができる等、製造コストの削減の点でメリットが大きい。

20

【0096】

図9（A）に示すコンフィギュレーションメモリ521Aは、ノードmemAに電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する。そして保持されるコンフィギュレーションデータに従って、端子S1と端子S2との間の導通状態を制御する。

【0097】

図9（A）に示すコンフィギュレーションメモリ521Aは、トランジスタ511、トランジスタ512および容量素子514を有する。なお図面において、トランジスタ511は、OSトランジスタであることを示すために、OSの符号を付している。

【0098】

図9（A）に示すコンフィギュレーションメモリ521Aでトランジスタ511のゲートは、ワード線502に接続されている。また、トランジスタ511のソース又はドレインの一方はデータ線501に接続されている。また、トランジスタ511のソース又はドレインの他方は、トランジスタ512のゲートおよび容量素子514に接続されている。トランジスタ512のソース又はドレインの一方は、端子S1に接続されている。トランジスタ512のソース又はドレインの他方は、端子S2に接続されている。

30

【0099】

図9（A）に示すコンフィギュレーションメモリ521Aでは、ノードmemAにHレベル又はLレベルに対応する電位をコンフィギュレーションデータとして保持する。トランジスタ511としてオフ電流が低いトランジスタを用いることで、ノードmemAにコンフィギュレーションデータを記憶することができる。コンフィギュレーションデータの電位に応じてコンフィギュレーションメモリ521Aでは、トランジスタ512の導通状態が制御される。そしてトランジスタ513を導通状態とするタイミングで、端子S1および端子S2間のオン又はオフの制御を実現するスイッチとすることができる。

40

【0100】

図10（A）は、図9（A）での電荷を保持することでコンフィギュレーションデータを保持する構成とは異なり、インバータループ516を用いてHレベル又はLレベルに対応する電位を保持する構成である。図10（A）のコンフィギュレーションメモリ521Bの構成とすることで、OSトランジスタを用いることなく、図9（A）と同様に、コンフィギュレーションメモリの機能を実現することができる。

50

【 0 1 0 1 】

次いで図 9 (B) に示す、論理回路 3 0 1 に設けられるコンフィギュレーションメモリ 5 5 1 A は、OS トランジスタをコンフィギュレーションメモリに有する構成例である。そのため、Si トランジスタの作製工程に続いて OS トランジスタを積層し、コンフィギュレーションメモリを作製することができる等、製造コストの削減の点でメリットが大きい。

【 0 1 0 2 】

図 9 (B) に示すコンフィギュレーションメモリ 5 5 1 A は、ノード mem B 1 およびノード mem B 2 に電荷を保持し、該電荷に応じた電位をコンフィギュレーションデータとして記憶する。そして保持されるコンフィギュレーションデータに従って、端子 OUT に H レベル又は L レベルの電位を出力する。

10

【 0 1 0 3 】

図 9 (B) に示すコンフィギュレーションメモリ 5 5 1 A は、トランジスタ 5 3 1、トランジスタ 5 3 5、トランジスタ 5 3 2、トランジスタ 5 3 6、容量素子 5 3 4 および容量素子 5 3 8 を有する。なお図面において、トランジスタ 5 3 1 およびトランジスタ 5 3 5 は、OS トランジスタであることを示すために、OS の符号を付している。

【 0 1 0 4 】

図 9 (B) に示すコンフィギュレーションメモリ 5 5 1 A でトランジスタ 5 3 1 のゲートは、ワード線 5 4 2 に接続されている。また、トランジスタ 5 3 1 のソース又はドレインの一方はデータ線 5 4 1 に接続されている。また、トランジスタ 5 3 1 のソース又はドレインの他方は、トランジスタ 5 3 2 のゲートおよび容量素子 5 3 4 に接続されている。トランジスタ 5 3 2 のソース又はドレインの一方は、H レベル(ここでは電位 VDD)を与える配線に接続されている。トランジスタ 5 3 2 のソース又はドレインの他方は、出力端子 OUT に接続されている。

20

【 0 1 0 5 】

図 9 (B) に示すコンフィギュレーションメモリ 5 5 1 A でトランジスタ 5 3 5 のゲートは、ワード線 5 4 2 に接続されている。また、トランジスタ 5 3 5 のソース又はドレインの一方はインバータ 5 4 0 を介してデータ線 5 4 1 に接続されている。また、トランジスタ 5 3 5 のソース又はドレインの他方は、トランジスタ 5 3 6 のゲートおよび容量素子 5 3 8 に接続されている。トランジスタ 5 3 6 のソース又はドレインの一方は、L レベル(ここではグラウンド電位 GND)を与える配線に接続されている。トランジスタ 5 3 6 のソース又はドレインの他方は、出力端子 OUT に接続されている。

30

【 0 1 0 6 】

図 9 (B) に示すコンフィギュレーションメモリ 5 5 1 A では、ノード mem B 1 とノード mem B 2 とで、一方に H レベル、他方に L レベルとなるような電位をコンフィギュレーションデータとして保持する。トランジスタ 5 3 1 およびトランジスタ 5 3 5 としてオフ電流が低いトランジスタを用いることで、ノード mem B 1 およびノード mem B 2 にコンフィギュレーションデータを記憶することができる。コンフィギュレーションデータの電位に応じてコンフィギュレーションメモリ 5 5 1 A では、トランジスタ 5 3 2 およびトランジスタ 5 3 6 の導通状態が制御され、どちらか一方のみが導通状態となる。そしてトランジスタ 5 3 2 又はトランジスタ 5 3 6 の一方を導通状態とするタイミングで、出力端子 OUT に H レベルの電位又は L レベルの電位を与えることができる。

40

【 0 1 0 7 】

図 10 (B) は、図 9 (B) での電荷を保持することでコンフィギュレーションデータを保持する構成とは異なり、インバータループ 5 3 7、5 3 8 を用いて H レベル又は L レベルに対応する電位を保持する構成である。図 10 (B) のコンフィギュレーションメモリ 5 5 1 B の構成とすることで、OS トランジスタを用いることなく、図 9 (B) と同様に、コンフィギュレーションメモリの機能を実現することができる。なお図 9 (B)、図 10 (B) の回路構成は、図 2 4 (A)、(B) のようにワード線 5 4 2 A、5 4 2 B の 2 本とすることでデータ線 5 4 1 が分岐しない構成に変形することも可能である。

50

【 0 1 0 8 】

以上のような構成とすることで、PLE間の配線数を少なく、非同期回路を実現可能な構成とし、低消費電力な半導体装置を提供することができる。

【 0 1 0 9 】

(実施の形態2)

本実施の形態では、上記実施の形態1で説明した異なる構成の一例について説明する。

【 0 1 1 0 】

図11は、本発明の一態様の半導体装置の構成を示すブロック図である。

【 0 1 1 1 】

図11に示す半導体装置200は、図1で説明したラッチ回路101[0]乃至101[3]、演算回路102、遅延回路103、出力タイミング生成回路104、レジスタ105、出力信号生成回路106、ANDゲート107、およびANDゲート108を有する。また、図11に示す半導体装置200は、出力タイミング生成回路201、レジスタ202、203、マルチプレクサ205乃至207を有する。

10

【 0 1 1 2 】

図11に示す半導体装置200は、グローバル・クロック信号の周期を待つことなく、演算回路102及び遅延回路103のパワー・ゲーティングを行うことができる。そのため、演算処理が終了した回路から順にパワー・ゲーティングを行うことができるため、パワー・ゲーティングすることによる低消費電力化の効果を十分に発揮できる。また図11に示す半導体装置200は、半導体装置が出力する信号をクロック信号PH1に同期した信号のコンフィギュレーションとすることも可能である。

20

【 0 1 1 3 】

図11に示す半導体装置200の構成では、半導体装置の入出力信号として同期信号を扱う必要がある場合に有効である。これは、リコンフィギュラブルな半導体装置を有するPLDと組み合わせて使う外部の半導体装置が同期回路である場合に特に有効である。

【 0 1 1 4 】

以下、半導体装置200の各構成、動作、各構成の回路例について説明する。

【 0 1 1 5 】

<半導体装置の構成について>

図11に本実施の形態の半導体装置200の回路構成を示す。なお本実施の形態において実施の形態1での説明と重複する場合には、上記実施の形態での説明を援用し、説明を省略する。

30

【 0 1 1 6 】

ラッチ回路101[0]乃至101[3]は、実施の形態1での説明と同様である。すなわち、信号PLE_IN[0]乃至PLE_IN[3]を受信すると、信号PON[0]乃至PON[3]、データ信号LMI[0]乃至LMI[3]を生成し、リセット信号RSTでリセットされる。

【 0 1 1 7 】

演算回路102は、実施の形態1での説明と同様である。すなわち、データ信号LMI[0]乃至LMI[3]に従って演算処理を行い、信号LMOを出力する。

40

【 0 1 1 8 】

ANDゲート107は、実施の形態1での説明と同様である。すなわち、信号PON[0]乃至PON[3]の論理積をとり、信号PONを生成する。

【 0 1 1 9 】

遅延回路103は、実施の形態1での説明と同様である。すなわち、信号PONが入力され、信号ROを生成する。

【 0 1 2 0 】

ANDゲート108は、実施の形態1での説明と同様である。すなわち、信号PONと、信号ROとの論理積をとり、信号DLを生成する。

【 0 1 2 1 】

50

出力タイミング生成回路104は、実施の形態1での説明と同様である。すなわち、信号DLが入力され、複数の信号TGC1乃至TGC3を生成する。

【0122】

レジスタ105は、実施の形態1での説明と同様である。すなわち、信号TGC2の制御によって信号LMOをラッチし、信号LMOLとして出力する。なお信号TGC2を信号TG2という場合がある。

【0123】

レジスタ202は、クロック信号PH2の制御によって信号LMOLをラッチし、信号R2として出力する機能を有する。レジスタ202を有することによって、所定のタイミングで保持してある信号LMOLを、信号R2として出力することができる。

10

【0124】

レジスタ203は、クロック信号PH1の制御によって信号R2をラッチし、信号R1として出力する機能を有する。レジスタ203を有することによって、所定のタイミングで保持してある信号R2を、信号R1として出力することができる。

【0125】

マルチプレクサ207は、非同期でデータ信号を出力する場合に信号LMOLを選択し、クロック信号に同期させてデータ信号を出力する場合に信号R1を選択して、信号RCとして出力する機能を有する。マルチプレクサ207を有することで、信号PLE_OUTを非同期の信号か、あるいはクロック信号PH1に同期した信号か、を選択して出力することができる。なお図11中「reg_or_comb?」は、同期した信号、あるいは非同期の信号を信号PLE_OUTとして出力するかを選択するためのコンフィギュレーションデータに対応する。同期した信号の場合、信号R1が選択され、非同期の信号の場合、信号LMOLが、選択される。

20

【0126】

出力タイミング生成回路201は、クロック信号PH1が入力され、複数の信号TGR1およびTGR3を生成する機能を有する。出力タイミング生成回路201は、出力タイミング生成回路104と同じ回路構成を有する。すなわち、RSラッチを有し、クロック信号PH1が入力されるタイミングから特定の時間だけ遅延して生成した、信号TGR1およびTGR3を出力することができる。出力タイミング生成回路201は、クロック信号PH1が入力されるタイミングから特定の時間だけ遅延して生成した信号TGR1、さら

30

【0127】

マルチプレクサ205は、非同期でデータ信号を出力する場合に信号TGC1を選択し、クロック信号に同期させてデータ信号を出力する場合に信号TGR1を選択して、信号TG1として出力する機能を有する。マルチプレクサ205を有することで、信号PLE_OUTを非同期の信号か、あるいはクロック信号PH1に同期した信号か、を選択して出力することができる。同期した信号の場合、信号TGR1が選択され、非同期の信号の場合、信号TGC1が、選択される。

【0128】

マルチプレクサ206は、非同期でデータ信号を出力する場合に信号TGC3を選択し、クロック信号に同期させてデータ信号を出力する場合に信号TGR3を選択して、信号TG1として出力する機能を有する。マルチプレクサ206を有することで、信号PLE_OUTを非同期の信号か、あるいはクロック信号PH1に同期した信号か、を選択して出力することができる。同期した信号の場合、信号TGR3が選択され、非同期の信号の場合、信号TGC3が、選択される。

40

【0129】

出力信号生成回路106は、信号RCが入力され、信号TG1および信号TG3のタイミングによって、信号RCの論理値に応じた信号PLE_OUTを出力する機能を有する。出力信号生成回路106は、信号TG1のタイミングでパルスを出力し、その後入力される信号RCの論理値に応じて信号TG3のタイミングでパルスを出力し、信号PLE_O

50

UTによる論理値を変えることができる。

【0130】

<半導体装置の動作について>

図12、13に図11で示した半導体装置200における各信号のタイミングチャートを示す。なお図12は、信号PLE_OUTを非同期で出力する場合のタイミングチャートであり、図13は、信号PLE_OUTをクロック信号PH1に同期して出力する場合のタイミングチャートである。なお図12、13に示す各信号は、図11で示した半導体装置200における信号である。

【0131】

図12に示すタイミングチャートにおける時刻t1乃至t9の動作は、図2の時刻T1乃至T9で説明した動作と同様である。この場合、信号PLE_OUTを非同期で出力するため、クロック信号PH1およびPH2はローレベルのままとなる。そのため、出力タイミング生成回路201が動作せず、信号TGR1、TGR3もローレベルである。マルチプレクサ207では、信号LMOLが信号RCとして選択される。マルチプレクサ205では、信号TGC1が信号TG1として選択される。マルチプレクサ206では、信号TGC3が信号TG3として選択される。信号TG1、TG3のパルスが入力されるタイミングで、信号PLE_OUTが出力される。

10

【0132】

図13に示すタイミングチャートにおける時刻t11乃至t19の動作は、図11の時刻t1乃至t9で説明した動作と同様である。異なる点として、時刻t19でクロック信号PH2、時刻t20でクロック信号PH1がパルスを出力する点にある。レジスタ202および203では、クロック信号PH2およびPH1がパルスを出力した時点でラッチした信号R2およびR1を出力する。出力タイミング生成回路201では、クロック信号PH1の立ち上がりエッジから特定の時間だけ遅延して生成した、信号TGR1および信号TGR3を出力する。マルチプレクサ207では、信号R1が信号RCとして選択される。マルチプレクサ205では、信号TGR1が信号TG1として選択される。マルチプレクサ206では、信号TGR3が信号TG3として選択される。信号TG1、TG3のパルスが入力されるタイミングで、信号PLE_OUTが出力される。

20

【0133】

上述した構成とすることで、演算回路102が演算結果を出力するまでの必要十分な期間のみ電源をオンにすることができ、したがって、電源をオフしている時間を長くすることができる。そして、クロック信号に同期したタイミングで、信号PLE_OUTを出力することができる。

30

【0134】

<半導体装置を構成する回路の一例について>

半導体装置200を構成するラッチ回路101[0]乃至101[3]、出力タイミング生成回路104、出力信号生成回路106、演算回路102、および遅延回路103の構成例は、実施の形態1で説明した半導体装置100が有する各回路の構成と同様である。

【0135】

(実施の形態3)

本発明の一態様の半導体装置の構成について、図14を用いて説明する。なお本実施の形態において、上記実施の形態と重複する説明は省略し、上記説明を援用するものとする。

40

【0136】

図14は、本発明の一態様の半導体装置の構成を示すブロック図である。

【0137】

図14に示す半導体装置100Bは、コンフィギュレーションデータを記憶できる論理回路としての機能を有する。半導体装置100Bは、リコンフィギュラブルな論理回路として機能する。半導体装置100Bは、PLE(Programmable Logic Element)という場合もある。

【0138】

50

半導体装置 100B は、ラッチ回路 101[0] 乃至 101[3]、演算回路 102、遅延回路 103、出力タイミング生成回路 104、レジスタ 105、出力信号生成回路 106B、ANDゲート 107、ANDゲート 108、マルチプレクサ 109[0] 乃至 109[3]、ANDゲート 110、およびマルチプレクサ 204 を有する。

【0139】

図 14 に示す半導体装置 100B は、グローバル・クロック信号を用いることなく、入力データの入出力を行うことができる機能を有する。そのため、グローバル・クロック信号の分配に要する消費電力を抑え、低消費電力化を図ることができる。

【0140】

また、図 14 に示す半導体装置 100B は、グローバル・クロック信号の周期を待つことなく、演算回路 102 および遅延回路 103 のパワー・ゲーティングを行うことができる。そのため、演算処理が終了した回路から順にパワー・ゲーティングを行うことができるため、パワー・ゲーティングすることによる低消費電力化の効果を十分に発揮できる。

【0141】

また図 14 に示す半導体装置 100B は、グローバル・クロック信号を用いない非同期回路として用いることができる。この場合、信号が回路間を順次伝播していく構成となる。当該構成において、図 14 に示す半導体装置 100B は、論理回路間の信号の授受をハンドシェイク方式とすることなく行うことができる。そのため、ハンドシェイク方式を実現するための回路間の配線を設ける必要がなくなり、配線数を低減できる。

【0142】

また図 14 に示す半導体装置 100B は、入力される信号がパルス信号、あるいはバイナリの信号であっても、柔軟に回路構成を変更して用いることができる。そのため、利便性に優れたリコンフィギュラブルな論理回路として機能させることができる。

【0143】

以下、半導体装置 100B の各構成、動作、各構成の回路例について説明する。

【0144】

<半導体装置の構成について>

本実施の形態における、ラッチ回路 101[0] 乃至 101[3] は、信号 PLE__IN[0] 乃至 PLE__IN[3] がパルス信号の場合、他の半導体装置から出力された信号 PLE__IN[0] 乃至 PLE__IN[3] を受信すると、演算回路 102 および遅延回路 103 の電源をオンにするための信号 PON[0] 乃至 PON[3] を生成する機能を有する回路である。また、ラッチ回路 101[0] 乃至 101[3] は、入力されるパルス信号から他の半導体装置から出力された信号の論理値("0" 又は "1")を判定し、信号 OUT[0] 乃至 OUT[3] をマルチプレクサ 109[0] 乃至 109[3] に出力する機能を有する回路である。また、ラッチ回路 101[0] 乃至 101[3] は、入力されるリセット信号 RST によって初期化される機能を有する回路である。ラッチ回路 101[0] 乃至 101[3] は、RSラッチを有し、信号 PLE__IN[0] 乃至 PLE__IN[3] が入力されるタイミングから特定の時間だけ遅延して生成した、信号 PON[0] 乃至 PON[3] を出力することができる。また、ラッチ回路 101[0] 乃至 101[3] は、それぞれ、信号 PON[0] 乃至 PON[3] をさらに特定の時間だけ遅延して生成した、信号 OUT[0] 乃至 OUT[3] を出力することができる。

【0145】

また本実施の形態における、信号 PLE__IN[0] 乃至 PLE__IN[3] は、バイナリのデータ信号の場合、信号の論理値("0" 又は "1")の情報を含んでいるため、マルチプレクサ 109[0] 乃至 109[3] にラッチ回路 101[0] 乃至 101[3] を介さずに入力される。

【0146】

なお図 14 では、ラッチ回路として、4つのラッチ回路 101[0] 乃至 101[3] を示したが、数はこれに限らない。例えば、ラッチ回路の数は、信号 PLE__IN[0] 乃至 PLE__IN[3] の数に対応して設ければよい。なおラッチ回路は、入力ラッチ(I

10

20

30

40

50

input Latch) という場合がある。

【0147】

なお本実施の形態における、信号 PLE_IN[0] 乃至 PLE_IN[3] は、パルス状の波形 (パルス) を有する信号の場合、パルス信号という場合がある。また信号 PLE_IN[0] 乃至 PLE_IN[3] は、ハイレベルおよびローレベルの2値の信号の場合、バイナリ信号という場合がある。信号 PLE_IN[0] 乃至 PLE_IN[3] が、パルス信号か、バイナリ信号かは、半導体装置の機能に応じて変わるため、どちらの信号を扱うか予めコンフィギュレーションデータによって半導体装置の機能を設定しておく必要がある。パルス信号を用いる場合は、後述するように、パワー・ゲーティングによる電力削減効果が得られやすい。特に、動作周波数が低い場合には、パワー・ゲーティングする時間を相対的に長くできるので好都合である。また、バイナリ信号を用いる場合は、動作周波数を高めやすい。

10

【0148】

マルチプレクサ 109[0] 乃至 109[3] は、信号 PLE_IN[0] 乃至 PLE_IN[3] がパルス信号の場合、信号 OUT[0] 乃至 OUT[3] を選択して出力する機能を有する。また、マルチプレクサ 109[0] 乃至 109[3] は、信号 PLE_IN[0] 乃至 PLE_IN[3] がバイナリ信号の場合、信号 PLE_IN[0] 乃至 PLE_IN[3] を選択して出力する機能を有する。マルチプレクサ 109[0] 乃至 109[3] から出力される信号は、データ信号 LMI[0] 乃至 LMI[3] である。データ信号 LMI[0] 乃至 LMI[3] は、演算回路 102 に入力される。

20

【0149】

マルチプレクサ 109[0] 乃至 109[3] には、信号 OUT[0] 乃至 OUT[3] を選択するか、信号 PLE_IN[0] 乃至 PLE_IN[3] を選択するかを、予めコンフィギュレーションデータとして与えておくことが好ましい。なお図 14 中「input async?」は、入力される信号 PLE_IN[0] 乃至 PLE_IN[3] がパルス信号であるか、あるいは、バイナリ信号であるか、に応じて、信号 OUT[0] 乃至 OUT[3]、あるいは、信号 PLE_IN[0] 乃至 PLE_IN[3] を、マルチプレクサの出力信号として選択するためのコンフィギュレーションデータに対応する。

【0150】

演算回路 102 は、上記実施の形態 1 で説明と同様である。なおコンフィギュレーションメモリの詳細な構成については、上記実施の形態 1 で説明した構成を適用することができる。

30

【0151】

ANDゲート 107 は、上記実施の形態 1 で説明と同様である。

【0152】

NORゲート 110 は、信号 PON とコンフィギュレーションデータの否定論理和をとり、信号 PG を生成する機能を有する。信号 PG は、演算回路 102 および遅延回路 103 の電源をオンにする機能を有する信号である。なお信号 PG は、ローレベルで電源をオン、ハイレベルで電源をオフにする。

【0153】

本実施の形態における、ANDゲート 107 及び NORゲート 110 によって、コンフィギュレーションデータ「input async?」が、論理値 "1" でハイレベルの場合、信号 PLE_IN[0] 乃至 PLE_IN[3] がバイナリ信号とすると、信号 PG はローレベルとなり、継続して電源をオンにさせることができる。また、コンフィギュレーションデータ「input async?」が、論理値 "0" でローレベルの場合、信号 PLE_IN[0] 乃至 PLE_IN[3] がパルス信号とすると、信号 PG は、ラッチ回路 101[0] 乃至 101[3] に信号 PLE_IN[0] 乃至 PLE_IN[3] が到達して、PON[0] 乃至 PON[3] が "1" となり、PON が "1" となった後にローレベルとなり、演算回路 102 および遅延回路 103 の電源をオンにすることができる。従って、ラッチ回路 101[0] 乃至 101[3] に信号 PLE_IN[0] 乃至

40

50

PLE__IN[3]がすべて到達するまで、演算回路102および遅延回路103の電源をオフにでき、回路を動作させる直前で電源をオンにさせることができる。そのため、より効率的な電源の供給を実現できる、パワー・ゲーティングの動作とすることができる。

【0154】

ANDゲート107及びNORゲート110によって、ラッチ回路101[0]乃至101[3]に信号PLE__IN[0]乃至PLE__IN[3]が到達した後に演算回路102および遅延回路103の電源をオンにする信号PGを生成することができる。従って、信号PLE__IN[0]乃至PLE__IN[3]がすべて到達するまで、演算回路102および遅延回路103の電源をオフにでき、回路を動作させる直前で電源をオンにさせることができる。そのため、より効率的な電源の供給を実現できる、パワー・ゲーティングの動作とすることができる。

10

【0155】

遅延回路103は、上記実施の形態1で説明と同様である。

【0156】

ANDゲート108は、上記実施の形態1で説明と同様である。つまりANDゲート108によって、演算回路102で信号LMOを演算し終えたことを伝える信号DLを生成することができる。信号DLは、信号PONと信号ROが共にハイレベルになる時、すなわち、信号PONがANDゲート107で生成されてから、演算回路102のクリティカル・パスでの遅延に相当する遅延時間だけ経過した後に信号ROが生成した時にハイレベルとなる。つまり、信号DLは、演算回路102での演算が終わり、信号LMOが確定したタイミングで生成することになる。従って、信号DLにより、演算回路102での演算が完了した直後のタイミングを把握することができる。さらに、信号DLを利用して、演算回路102をパワー・ゲーティングするためのタイミング信号および上記演算結果を半導体装置100Bの出力信号として出力するための複数のタイミング信号を生成させることができる。例えば、信号DLが入力される出力タイミング生成回路104では、リセット信号RST等を生成することができ、演算回路102および遅延回路103での動作が完了した直後に電源をオフにさせることができる。そのため、より効率的な電源の供給を実現できる、パワー・ゲーティングの動作とすることができる。

20

【0157】

本実施の形態における、出力タイミング生成回路104は、信号DLが入力され、複数の信号TGC1乃至TGC3を生成する機能を有する。なお出力タイミング生成回路104は、'Output Timing Generator'という場合がある。出力タイミング生成回路104は、RSラッチを有し、信号DLが入力されるタイミングから特定の時間だけ遅延して生成した、信号TGC1乃至TGC3を出力することができる。出力タイミング生成回路104は、信号DLが入力されるタイミングから特定の時間だけ遅延して生成した信号TGC1、さらに特定の時間だけ遅延して生成した信号TGC2、さらに特定の時間だけ遅延して生成した信号TGC3を出力することができる。

30

【0158】

レジスタ105は、上記実施の形態1で説明と同様である。

【0159】

マルチプレクサ204は、信号PLE__IN[0]乃至PLE__IN[3]がパルス信号の場合、信号TGC2を選択して出力する機能を有する。また、マルチプレクサ204は、信号PLE__IN[0]乃至PLE__IN[3]がバイナリ信号の場合、電位VDD、すなわちハイレベルを選択して出力する機能を有する。マルチプレクサ204から出力される信号は、信号TG2である。レジスタ105は、信号TG2がハイレベルで、信号LMOを、信号LMOLとして出力することができる。

40

【0160】

出力信号生成回路106Bは、信号LMOLが入力され、信号TGC1および信号TGC3のタイミングによって、信号LMOLの論理値に応じた信号PLE__OUTを出力する機能を有する。なお出力信号生成回路106Bは、'Output Signal Ge

50

nerator' という場合がある。出力信号生成回路 106B は、信号 TGC1 のタイミングでパルスを出し、その後入力される信号 LMOL の論理値に応じて信号 TGC3 のタイミングでパルスを出し、信号 PLE_OUT による論理値を変えることができる。

【0161】

<半導体装置の動作について>

図 15 に図 14 で示した半導体装置 100B における各信号のタイミングチャートを示す。なお信号 PLE_IN[0] 乃至 PLE_IN[3] は、データが "0" の場合にパルス 1 個、"1" の場合にパルス 2 個で表すものとする。なおパルスは短い期間で電位が変化する信号であり、例えばローレベルからハイレベルに切り替わり、再びローレベルに切り替わる信号である。

10

【0162】

なお図 15 では、特に信号 PLE_IN[0] 乃至 PLE_IN[3] がパルス信号の場合の動作について説明する。上述した、信号 PLE_IN[0] 乃至 PLE_IN[3] がバイナリ信号の場合は、演算回路 102 及び遅延回路 103 への電源をオフにする動作がない。

【0163】

なおマルチプレクサ 109[0] 乃至 109[3] 及びマルチプレクサ 204 が出力する信号の選択は、コンフィギュレーションデータによって予め設定される。信号 PLE_IN[0] 乃至 PLE_IN[3] がパルス信号の場合、マルチプレクサ 109[0] 乃至 109[3] は、信号 OUT[0] 乃至 OUT[3] をデータ信号 LMI[0] 乃至 LMI[3] として選択する。また、マルチプレクサ 204 は、信号 TGC2 を信号 TG2 として選択する。

20

【0164】

時刻 T1 において、信号 RST をハイレベルとする。この時、ラッチ回路 101[0] 乃至 101[3] から出力される信号 PON[0] 乃至 PON[3] はローレベルとなり、信号 PON もローレベルとなる。従って、演算回路 102 および遅延回路 103 の電源はオフとなる。

【0165】

時刻 T2 において、信号 PLE_IN[0] をハイレベル、信号 PLE_IN[1] をハイレベルとする。これは、信号 PLE_IN[0]、信号 PLE_IN[1] の第 1 のパルスが入力されたことを示す。続いて、時刻 T3 において、信号 PLE_IN[0] をローレベル、信号 PLE_IN[1] をローレベルとする。これは、信号 PLE_IN[0]、信号 PLE_IN[1] の第 1 のパルスの入力が終わったことを意味し、この時、信号 PON[0] はハイレベル、信号 PON[1] はハイレベルとなる。

30

【0166】

時刻 T3 において、信号 PLE_IN[2] をハイレベルとする。これは、信号 PLE_IN[2] の第 1 のパルスが入力されたことを示す。続いて、時刻 T4 において、信号 PLE_IN[2] をローレベルとする。これは、信号 PLE_IN[2] の第 1 のパルスの入力が終わったことを意味し、この時、信号 PON[2] はハイレベルとなる。

40

【0167】

時刻 T4 において、信号 PLE_IN[3] をハイレベルとする。これは、信号 PLE_IN[3] の第 1 のパルスが入力されたことを示す。続いて、時刻 T5 において、信号 PLE_IN[3] をローレベルとする。これは、信号 PLE_IN[3] の第 1 のパルスの入力が終わったことを意味し、この時、信号 PON[3] がハイレベルとなる。さらに、信号 PON がハイレベルとなり、演算回路 102 および遅延回路 103 の電源がオンになる。

【0168】

すなわち、信号 PLE_IN[0] 乃至 PLE_IN[3] をパルス信号とすることで、信号が受信したことを判定し、演算回路 102 および遅延回路 103 の電源を制御するこ

50

とができる。このような構成とすることで、信号を受信するまで電源をオフにすることができ、したがって、電源をオフしている時間を長くすることができる。また、ハンドシェイク方式とするための回路を用いないため、ハンドシェイク方式を実現する際に必要な制御信号が不要になり、したがって、配線数を低減することができる。

【0169】

なお、時刻T4で信号PLE__IN[1]をハイレベル、時刻T5で信号PLE__IN[2]をハイレベルとする。これは、信号PLE__IN[1]および信号PLE__IN[2]の第2のパルスが入力されたことを示し、入力される信号のデータが論理値"1"であることを示す。一方、信号PLE__IN[0]および信号PLE__IN[3]には第2のパルスが入力されないことで、入力される信号のデータが論理値"0"であることを示す。すなわち、信号PLE__IN[0]乃至PLE__IN[3]には、入力される信号のデータ"0"、"1"、"1"、"0"が入力されたことに相当する。

10

【0170】

時刻T5で信号PONがハイレベルとなり、信号PGがローレベルとなり、演算回路102および遅延回路103の電源がオンになると、遅延回路103が出力する信号ROは、特定の時間の遅延を経て、時刻T6でローレベルからハイレベルとなる。この時、信号LMOの値は確定していることになる。図15では、確定した信号LMOの値をハイレベルとする。さらに、信号ROがハイレベルとなることで、信号DLがハイレベルとなる。

【0171】

時刻T6で信号DLをハイレベルとなると、時刻T6で信号TGC1がハイレベルとなり、続いて、時刻T7で信号TGC2がハイレベルとなり、時刻T8で信号TGC3がハイレベルとなる。信号TGC1は、出力信号生成回路106Bで信号PLE__OUTの第1のパルスを出力するタイミングを与える信号となる。すなわち、時刻T6で信号PLE__OUTがハイレベルを出力する。信号TGC2は、演算回路102の出力をラッチするタイミングを与える信号となる。すなわち、時刻T7で演算回路102の信号LMOがラッチされ、信号LMOLがハイレベルとなる。信号TGC3は、出力信号生成回路106Bで信号PLE__OUTの第2のパルスを出力するタイミングを与える信号となる。すなわち、時刻T8で信号LMOLに対応して、信号PLE__OUTをハイレベルとして出力する。また、信号TGC3はリセット信号RSTとなる。すなわち、時刻T8でリセット信号がハイレベルとなり、前述の時刻T1の状態に戻り、信号PONがローレベルとなり、信号PGがハイレベルとなり、演算回路102および遅延回路103の電源がオフする。

20

30

【0172】

上述した構成とすることで、演算回路102が演算結果を出力するまでの必要十分な期間のみ電源をオンにすることができ、したがって、電源をオフしている時間を長くすることができる。

【0173】

以降、時刻T9以降において、時刻T2乃至時刻T8と同様の動作を繰り返す。なお、時刻T9以降の動作において、信号PLE__IN[0]乃至PLE__IN[3]には、データ"1"、"0"、"0"、"0"が入力されたとする。

【0174】

<半導体装置を構成する回路の一例について>

以下、半導体装置100Bを構成するラッチ回路101[0]乃至101[3]、出力タイミング生成回路104、出力信号生成回路106B、演算回路102、および遅延回路103の構成例について説明する。また、コンフィギュレーションメモリを有し、当該コンフィギュレーションメモリのデータ(コンフィギュレーションデータ)を変更することで回路構成を変更できる論理回路として機能する半導体装置100Bを備えたPLD(Programmable Logic Device)の構成例、およびコンフィギュレーションメモリの構成例について説明する。

40

【0175】

ラッチ回路101[0]乃至101[3]は、実施の形態1での説明と同様である。すな

50

わち、信号 P L E _ I N [0] 乃至 P L E _ I N [3] を受信すると、信号 P O N [0] 乃至 P O N [3]、データ信号 O U T [0] 乃至 O U T [3] を生成し、リセット信号 R S T でリセットされる。

【 0 1 7 6 】

出力タイミング生成回路は、図 4 (A) で説明する回路構成、図 4 (B) で説明するタイミングチャートの通りである。

【 0 1 7 7 】

< < 出力信号生成回路について > >

図 1 6 は、出力信号生成回路 1 0 6 B の回路構成の一例である。

【 0 1 7 8 】

図 1 6 において、出力信号生成回路 1 0 6 B は、AND ゲート 1 3 1、OR ゲート 1 3 2、およびマルチプレクサ 1 3 3 を有する。AND ゲート 1 3 1 に入力する信号を信号 I N、および信号 t g 3 とする。OR ゲート 1 3 2 に入力する信号を AND ゲート 1 3 1 の出力信号、および信号 t g 1 とする。マルチプレクサ 1 3 3 に入力する信号を信号 I N、および OR ゲート 1 3 2 の出力信号とする。マルチプレクサ 1 3 3 が出力する信号を信号 O U T とする。

【 0 1 7 9 】

マルチプレクサ 1 3 3 には、信号 I N を選択するか、OR ゲート 1 3 2 の出力信号を選択するかを、予めコンフィギュレーションデータとして与えておくことが好ましい。なお図 1 6 中「output async?」は、信号 P L E _ O U T をパルス信号とするか、バイナリのデータ信号とするか、に応じて、マルチプレクサの出力信号を選択するためのコンフィギュレーションデータに対応する。

【 0 1 8 0 】

なお図 1 6 中、信号 I N は図 1 4 で説明した信号 L M O L に相当する。また、図 1 6 中、信号 t g 1 は図 1 4 で説明した信号 T G C 1 に相当する。また、図 1 6 中、信号 t g 3 は図 1 4 で説明した信号 T G C 3 に相当する。また、図 1 6 中、信号 O U T は図 1 4 で説明した信号 P L E _ O U T に相当する。

【 0 1 8 1 】

図 1 6 に示す出力信号生成回路 1 0 6 B は、バイナリのデータ信号を出力する場合、信号 I N を出力する。また、パルス信号を出力する場合、信号 t g 1 および t g 3 でタイミングを規定された信号 O U T が出力される。なお、信号 I N がハイレベル（又はローレベル）の場合、信号 t g 3 のタイミングで信号 O U T はハイレベル（又はローレベル）となる。

【 0 1 8 2 】

< < 演算回路について > >

演算回路は、図 6 (A)、(B) で説明する回路構成の通りである。

【 0 1 8 3 】

< < 遅延回路について > >

遅延回路は、図 7 (A)、(B) で説明する回路構成の通りである。

【 0 1 8 4 】

< < P L D について > >

P L D は、図 8 で説明するブロック図の通りである。

【 0 1 8 5 】

< コンフィギュレーションメモリについて >

コンフィギュレーションメモリは、図 9、図 1 0 で説明する回路構成の通りである。

【 0 1 8 6 】

以上のような構成とすることで、P L E 間の配線数を少なく、非同期回路を実現可能な構成とし、低消費電力な半導体装置を提供することができる。

【 0 1 8 7 】

(実施の形態 4)

10

20

30

40

50

本実施の形態では、上記実施の形態3で説明した異なる構成の一例について説明する。

【0188】

図17は、本発明の一態様の半導体装置の構成を示すブロック図である。

【0189】

図17に示す半導体装置200Bは、図14で説明したラッチ回路101[0]乃至101[3]、演算回路102、遅延回路103、出力タイミング生成回路104、レジスタ105、出力信号生成回路106B、ANDゲート107、ANDゲート108、マルチプレクサ109[0]乃至109[3]、ANDゲート110、およびマルチプレクサ204を有する。また、図17に示す半導体装置200Bは、出力タイミング生成回路201、レジスタ202、203、マルチプレクサ205乃至208を有する。

10

【0190】

図17に示す半導体装置200Bは、グローバル・クロック信号の周期を待つことなく、演算回路102及び遅延回路103のパワー・ゲーティングを行うことができる。そのため、演算処理が終了した回路から順にパワー・ゲーティングを行うことができるため、パワー・ゲーティングすることによる低消費電力化の効果を十分に発揮できる。また図17に示す半導体装置200Bは、半導体装置が出力する信号をクロック信号PH1に同期した信号のコンフィギュレーションとすることも可能である。

【0191】

図17に示す半導体装置200Bの構成では、半導体装置の入出力信号として同期信号を扱う必要がある場合に有効である。これは、リコンフィギュラブルな半導体装置を有するPLDと組み合わせて使う外部の半導体装置が同期回路である場合に特に有効である。

20

【0192】

また図17に示す半導体装置200Bは、入力される信号がパルス信号、あるいはバイナリの信号であっても、同期回路あるいは非同期回路を問わず、柔軟に回路構成を変更して用いることができる。そのため、利便性に優れたリコンフィギュラブルな論理回路として機能させることができる。

【0193】

以下、半導体装置200Bの各構成、動作、各構成の回路例について説明する。

【0194】

<半導体装置の構成について>

30

図17に本実施の形態の半導体装置200Bの回路構成を示す。なお本実施の形態において実施の形態1、および実施の形態3での説明と重複する場合には、上記実施の形態での説明を援用し、説明を省略する。

【0195】

ラッチ回路101[0]乃至101[3]は、実施の形態3での説明と同様である。すなわち、信号PLE__IN[0]乃至PLE__IN[3]を受信すると、信号PON[0]乃至PON[3]、データ信号OUT[0]乃至OUT[3]を生成し、リセット信号RSTでリセットされる。

【0196】

マルチプレクサ109[0]乃至109[3]は、実施の形態3での説明と同様である。すなわち信号PLE__IN[0]乃至PLE__IN[3]がパルス信号の場合、信号OUT[0]乃至OUT[3]を選択して出力し、信号PLE__IN[0]乃至PLE__IN[3]がバイナリ信号の場合、信号PLE__IN[0]乃至PLE__IN[3]を選択して出力する。

40

【0197】

演算回路102は、実施の形態3での説明と同様である。すなわち、データ信号LMI[0]乃至LMI[3]に従って演算処理を行い、信号LMOを出力する。

【0198】

ANDゲート107およびNORゲート110は、実施の形態3での説明と同様である。すなわち、ANDゲート107は、信号PON[0]乃至PON[3]の論理積をとり、

50

信号 P O N を生成する。また、N O R ゲート 1 1 0 は、信号 P O N とコンフィギュレーションデータの否定論理和をとり、信号 P G を生成する機能を有する。

【 0 1 9 9 】

遅延回路 1 0 3 は、実施の形態 3 での説明と同様である。すなわち、信号 P O N が入力され、信号 R O を生成する。

【 0 2 0 0 】

A N D ゲート 1 0 8 は、実施の形態 3 での説明と同様である。すなわち、信号 P O N と、信号 R O との論理積をとり、信号 D L を生成する。

【 0 2 0 1 】

出力タイミング生成回路 1 0 4 は、実施の形態 3 での説明と同様である。すなわち、信号 D L が入力され、複数の信号 T G C 1 乃至 T G C 3 を生成する。

【 0 2 0 2 】

レジスタ 1 0 5 は、実施の形態 3 での説明と同様である。すなわち、信号 T G 2 の制御によって信号 L M O をラッチし、信号 L M O L として出力する。

【 0 2 0 3 】

マルチプレクサ 2 0 4 は、実施の形態 3 での説明と同様である。すなわち、信号 P L E _ I N [0] 乃至 P L E _ I N [3] がパルス信号の場合、信号 T G C 2 を選択して出力し、信号 P L E _ I N [0] 乃至 P L E _ I N [3] がバイナリ信号の場合、電位 V D D 、すなわちハイレベルを選択して出力する。

【 0 2 0 4 】

レジスタ 2 0 2 は、クロック信号 P H 2 の制御によって信号 L M O L をラッチし、信号 R 2 として出力する機能を有する。レジスタ 2 0 2 を有することによって、所定のタイミングで保持してある信号 L M O L を、信号 R 2 として出力することができる。

【 0 2 0 5 】

レジスタ 2 0 3 は、クロック信号 P H 1 の制御によって信号 R 2 をラッチし、信号 R 1 として出力する機能を有する。レジスタ 2 0 3 を有することによって、所定のタイミングで保持してある信号 R 2 を、信号 R 1 として出力することができる。

【 0 2 0 6 】

マルチプレクサ 2 0 7 は、非同期でデータ信号を出力する場合に信号 L M O L を選択し、クロック信号に同期させてデータ信号を出力する場合に信号 R 1 を選択して、信号 R C として出力する機能を有する。マルチプレクサ 2 0 7 を有することで、信号 P L E _ O U T を非同期の信号か、あるいはクロック信号 P H 1 に同期した信号か、を選択して出力することができる。なお図 1 7 中「 r e g o r c o m b ? 」は、同期した信号、あるいは非同期の信号を信号 P L E _ O U T として出力するかを選択するためのコンフィギュレーションデータに対応する。同期した信号の場合、信号 R 1 が選択され、非同期の信号の場合、信号 L M O L が、選択される。

【 0 2 0 7 】

マルチプレクサ 2 0 8 は、信号 P L E _ O U T をバイナリのデータ信号として出力する場合に電位 G N D 、すなわちローレベルを選択して出力する機能を有する。また、マルチプレクサ 2 0 8 は、信号 P L E _ O U T をパルス信号として出力する場合にクロック P H 1 を選択して、信号 T G 1 として出力する機能を有する。

【 0 2 0 8 】

出力タイミング生成回路 2 0 1 は、信号 P L E _ O U T をパルス信号として出力する場合、クロック信号 P H 1 が入力され、複数の信号 T G R 1 および T G R 3 を生成する機能を有する。出力タイミング生成回路 2 0 1 は、信号 P L E _ O U T をバイナリのデータ信号として出力する場合、ローレベルが入力され、信号 T G R 1 および T G R 3 もローレベルを維持する。出力タイミング生成回路 2 0 1 は、出力タイミング生成回路 1 0 4 と同じ回路構成を有する。すなわち、R S ラッチを有し、クロック信号 P H 1 が入力されるタイミングから特定の時間だけ遅延して生成した、信号 T G R 1 および T G R 3 を出力することができる。出力タイミング生成回路 2 0 1 は、クロック信号 P H 1 が入力されるタイミン

10

20

30

40

50

グから特定の時間だけ遅延して生成した信号 T G R 1、さらに特定の時間だけ遅延して生成した信号 T G R 3 を出力することができる。

【 0 2 0 9 】

マルチプレクサ 2 0 5 は、非同期でデータ信号を出力する場合に信号 T G C 1 を選択し、クロック信号に同期させてデータ信号を出力する場合に信号 T G R 1 を選択して、信号 T G 1 として出力する機能を有する。マルチプレクサ 2 0 5 を有することで、信号 P L E _ O U T を非同期の信号か、あるいはクロック信号 P H 1 に同期した信号か、を選択して出力することができる。同期した信号の場合、信号 T G R 1 が選択され、非同期の信号の場合、信号 T G C 1 が、選択される。

【 0 2 1 0 】

マルチプレクサ 2 0 6 は、非同期でデータ信号を出力する場合に信号 T G C 3 を選択し、クロック信号に同期させてデータ信号を出力する場合に信号 T G R 3 を選択して、信号 T G 1 として出力する機能を有する。マルチプレクサ 2 0 6 を有することで、信号 P L E _ O U T を非同期の信号か、あるいはクロック信号 P H 1 に同期した信号か、を選択して出力することができる。同期した信号の場合、信号 T G R 3 が選択され、非同期の信号の場合、信号 T G C 3 が、選択される。

【 0 2 1 1 】

出力信号生成回路 1 0 6 B は、信号 R C が入力され、信号 T G 1 および信号 T G 3 のタイミングによって、信号 R C の論理値に応じた信号 P L E _ O U T をバイナリのデータ信号あるいはパルス信号で切り替えて、出力する機能を有する。出力信号生成回路 1 0 6 B は、パルス信号を出力する場合、信号 T G 1 のタイミングでパルスを出力し、その後入力される信号 R C の論理値に応じて信号 T G 3 のタイミングでパルスを出力し、信号 P L E _ O U T による論理値を変えることができる。

【 0 2 1 2 】

< 半導体装置の動作について >

図 1 8、1 9 に図 1 7 で示した半導体装置 2 0 0 B における各信号のタイミングチャートを示す。なお図 1 8 は、信号 P L E _ O U T を非同期で出力する場合のタイミングチャートであり、図 1 9 は、信号 P L E _ O U T をクロック信号 P H 1 に同期して出力する場合のタイミングチャートである。なお図 1 8、1 9 に示す各信号は、図 1 7 で示した半導体装置 2 0 0 B における信号である。

【 0 2 1 3 】

なお図 1 8、1 9 では、特に信号 P L E _ I N [0] 乃至 P L E _ I N [3]、及び信号 P L E _ O U T がパルス信号の場合の動作について説明する。上述した、信号 P L E _ I N [0] 乃至 P L E _ I N [3]、及び信号 P L E _ O U T がバイナリ信号の場合は、演算回路 1 0 2 及び遅延回路 1 0 3 への電源をオフにする動作がない。

【 0 2 1 4 】

なおマルチプレクサ 1 0 9 [0] 乃至 1 0 9 [3] 及びマルチプレクサ 2 0 4 が出力する信号の選択は、コンフィギュレーションデータによって予め設定される。信号 P L E _ I N [0] 乃至 P L E _ I N [3] がパルス信号の場合、マルチプレクサ 1 0 9 [0] 乃至 1 0 9 [3] は、信号 O U T [0] 乃至 O U T [3] をデータ信号 L M I [0] 乃至 L M I [3] として選択する。また、マルチプレクサ 2 0 4 は、信号 T G C 2 を信号 T G 2 として選択する。また、マルチプレクサ 2 0 8 は、クロック信号 P H 1 を選択する。

【 0 2 1 5 】

図 1 8 に示すタイミングチャートにおける時刻 t 1 乃至 t 9 の動作は、図 1 5 の時刻 T 1 乃至 T 9 で説明した動作と同様である。この場合、信号 P L E _ O U T を非同期で出力するため、クロック信号 P H 1 および P H 2 はローレベルのままとなる。そのため、出力タイミング生成回路 2 0 1 が動作せず、信号 T G R 1、T G R 3 もローレベルである。マルチプレクサ 2 0 7 では、信号 L M O L が信号 R C として選択される。マルチプレクサ 2 0 5 では、信号 T G C 1 が信号 T G 1 として選択される。マルチプレクサ 2 0 6 では、信号 T G C 3 が信号 T G 3 として選択される。信号 T G 1、T G 3 のパルスが入力されるタイ

10

20

30

40

50

ミングで、信号 P L E _ O U T が出力される。

【 0 2 1 6 】

図 1 9 に示すタイミングチャートにおける時刻 t 1 1 乃至 t 1 9 の動作は、図 1 8 の時刻 t 1 乃至 t 9 で説明した動作と同様である。異なる点として、時刻 t 1 9 でクロック信号 P H 2、時刻 t 2 0 で信号 P H 1 がパルスを出力する点にある。レジスタ 2 0 2 および 2 0 3 では、クロック信号 P H 2 および P H 1 がパルスを出力した時点でラッチした信号 R 2 および R 1 を出力する。出力タイミング生成回路 2 0 1 では、クロック信号 P H 1 から特定の時間だけ遅延して生成した、信号 T G R 1 および信号 T G R 3 を出力する。マルチプレクサ 2 0 7 では、信号 R 1 が信号 R C として選択される。マルチプレクサ 2 0 5 では、信号 T G R 1 が信号 T G 1 として選択される。マルチプレクサ 2 0 6 では、信号 T G R 3 が信号 T G 3 として選択される。信号 T G 1、T G 3 のパルスが入力されるタイミングで、信号 P L E _ O U T が出力される。

10

【 0 2 1 7 】

上述した構成とすることで、演算回路 1 0 2 が演算結果を出力するまでの必要十分な期間のみ電源をオンにすることができ、したがって、電源をオフしている時間を長くすることができる。そして、クロック信号に同期したタイミングで、信号 P L E _ O U T を出力することができる。

【 0 2 1 8 】

< 半導体装置を構成する回路の一例について >

半導体装置 2 0 0 B を構成するラッチ回路 1 0 1 [0] 乃至 1 0 1 [3]、出力タイミング生成回路 1 0 4、出力信号生成回路 1 0 6 B、演算回路 1 0 2、および遅延回路 1 0 3 の構成例は、実施の形態 3 で説明した半導体装置 1 0 0 B が有する各回路の構成と同様である。

20

【 0 2 1 9 】

(実施の形態 5)

本実施の形態では、上記実施の形態 1 で説明した O S トランジスタについて説明する。

【 0 2 2 0 】

< O S トランジスタの特性 >

O S トランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性又は実質的に真性にすることでオフ電流を低くすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

30

【 0 2 2 1 】

真性又は実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いいため、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

40

【 0 2 2 2 】

なおオフ電流を低くした O S トランジスタでは、室温 (2 5 程度) にてチャネル幅 $1 \mu\text{m}$ あたりの規格化されたオフ電流が $1 \times 10^{-18} \text{A}$ 以下、好ましくは $1 \times 10^{-21} \text{A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{A}$ 以下、又は 8 5 にて $1 \times 10^{-15} \text{A}$ 以下、好ましくは $1 \times 10^{-18} \text{A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{A}$ 以下とすることができる。

【 0 2 2 3 】

< オフ電流 >

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態 (非導

50

通状態、遮断状態、ともいう)にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

【0224】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。従って、トランジスタのオフ電流が I 以下となる V_{gs} が存在するときに、トランジスタのオフ電流が I 以下である、と言う場合がある。トランジスタのオフ電流は、 V_{gs} が所定の値であるときのオフ電流、 V_{gs} が所定の範囲内の値であるときのオフ電流、又は、 V_{gs} が十分に低減されたオフ電流が得られる値であるときのオフ電流を指す場合がある。

10

【0225】

一例として、しきい値電圧 V_{th} が 0.5V であり、 V_{gs} が 0.5V であるときのドレイン電流が $1 \times 10^{-9}\text{A}$ であり、 V_{gs} が 0.1V におけるドレイン電流が $1 \times 10^{-13}\text{A}$ であり、 V_{gs} が -0.5V におけるドレイン電流が $1 \times 10^{-19}\text{A}$ であり、 V_{gs} が -0.8V におけるドレイン電流が $1 \times 10^{-22}\text{A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が -0.5V において、又は、 V_{gs} が -0.5V 乃至 -0.8V の範囲において、 $1 \times 10^{-19}\text{A}$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}\text{A}$ 以下である、と言う場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}\text{A}$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}\text{A}$ 以下である、と言う場合がある。

20

【0226】

本明細書では、チャンネル幅 W を有するトランジスタのオフ電流を、チャンネル幅 W あたりの値で表す場合がある。また、所定のチャンネル幅(例えば $1\mu\text{m}$)あたりの電流値で表す場合がある。後者の場合、オフ電流の単位は、電流/長さ(例えば、 $\text{A}/\mu\text{m}$)で表される場合がある。

【0227】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 60 、 85 、 95 、又は 125 におけるオフ電流を表す場合がある。又は、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、又は、当該トランジスタが含まれる半導体装置等が使用される温度(例えば、 5 乃至 35 のいずれか一の温度)におけるオフ電流、を表す場合がある。室温、 60 、 85 、 95 、 125 、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、又は、当該トランジスタが含まれる半導体装置等が使用される温度(例えば、 5 乃至 35 のいずれか一の温度)、におけるトランジスタのオフ電流が I 以下となる V_{gs} が存在するときに、トランジスタのオフ電流が I 以下である、と言う場合がある。

30

【0228】

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} の絶対値が 0.1V 、 0.8V 、 1V 、 1.2V 、 1.8V 、 2.5V 、 3V 、 3.3V 、 10V 、 12V 、 16V 、又は 20V におけるオフ電流を表す場合がある。又は、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、又は、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。 V_{ds} が所定の値であるときに、トランジスタのオフ電流が I 以下となる V_{gs} が存在する場合、トランジスタのオフ電流が I 以下である、と言うことがある。ここで、所定の値とは、例えば、 0.1V 、 0.8V 、 1V 、 1.2V 、 1.8V 、 2.5V 、 3V 、 3.3V 、 10V 、 12V 、 16V 、 20V 、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} の値、又は、当該トランジスタが含まれる半導体装置等において使用される V_{ds} の

40

50

値である。

【0229】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0230】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

【0231】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

【0232】

< 酸化物半導体の組成 >

なおOSトランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にInおよびZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)およびアルミニウム(Al)の少なくともいずれかを有すればよい。

【0233】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0234】

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

【0235】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0236】

< 酸化物半導体中の不純物 >

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0237】

10

20

30

40

50

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0238】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化又はi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく（ゼロに近く）、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

10

【0239】

<酸化物半導体の構造>

酸化物半導体の構造について説明する。

【0240】

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

20

【0241】

また、本明細書において、結晶が三方晶又は菱面体晶である場合、六方晶系として表す。

【0242】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。又は、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0243】

なお、非単結晶酸化物半導体としては、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体、微結晶酸化物半導体などがある。

30

【0244】

まずは、CAAC-OS膜について説明する。

【0245】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0246】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

40

【0247】

試料面と略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) 又は上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面又は上面と平行に配列する。

50

【0248】

一方、試料面と略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状又は六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0249】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面又は上面に略垂直な方向を向いていることが確認できる。

10

【0250】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピーク他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0251】

CAAC-OS膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(又は分子半径)が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

【0252】

また、CAAC-OS膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

30

【0253】

不純物濃度が低く、欠陥準位密度が低い(酸素欠損の少ない)ことを、高純度真性又は実質的に高純度真性と呼ぶ。高純度真性又は実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性(ノーマリーオンともいう。)になることが少ない。また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

40

【0254】

また、CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0255】

次に、微結晶酸化物半導体膜について説明する。

【0256】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜

50

に含まれる結晶部は、1 nm以上100 nm以下、又は1 nm以上10 nm以下の大きさであることが多い。特に、1 nm以上10 nm以下、又は1 nm以上3 nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0257】

nc-OS膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

【0258】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0259】

次に、非晶質酸化物半導体膜について説明する。

【0260】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0261】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0262】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0263】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS:amorphous-like Oxide Semiconductor)膜と呼ぶ。

【0264】

a-like OS膜は、高分解能TEM像において鬆(ボイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電

10

20

30

40

50

子照射による結晶化はほとんど見られない。

【0265】

なお、*a-like* OS膜および*nc-OS*膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、 InGaZnO_4 の結晶は層状構造を有し、*In-O*層の間に、*Ga-Zn-O*層を2層有する。 InGaZnO_4 の結晶の単位格子は、*In-O*層を3層有し、また*Ga-Zn-O*層を6層有する、計9層が*c*軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(*d*値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶の*a-b*面に対応する。

10

【0266】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、*a-like* OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、*nc-OS*膜の密度および*CAAC-OS*膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

【0267】

20

上記について、具体例を用いて説明する。例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 となる。よって、例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、*a-like* OS膜の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満となる。また、例えば、 $\text{In:Ga:Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、*nc-OS*膜の密度および*CAAC-OS*膜の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満となる。

【0268】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることで、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせて算出することが好ましい。

30

【0269】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、*a-like* OS膜、微結晶酸化物半導体膜、*CAAC-OS*膜のうち、二種以上を有する積層膜であってもよい。

【0270】

以上説明したようにOSトランジスタは、極めて優れたオフ電流特性を実現できる。

【0271】

(実施の形態6)

40

本実施の形態では、開示する発明の一態様に係る半導体装置に用いられるトランジスタの断面構造の一例について、図面を参照して説明する。

【0272】

図20に、発明の一態様に係る回路部の断面構造の一部を、一例として示す。なお、図20では、上記実施の形態1の図9で図示したトランジスタ511、およびトランジスタ512の断面構造を、一例として示す。なお、破線A1-A2で示す領域では、トランジスタ511およびトランジスタ512のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ511およびトランジスタ512のチャンネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタ511のチャンネル長方向とトランジスタ512のチャンネル長方向とが、必ずしも一致していなくともよ

50

い。

【0273】

また、図20では、酸化物半導体膜にチャネル形成領域を有するトランジスタ511が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ512上に形成されている場合を例示している。

【0274】

トランジスタ512は、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体膜又は半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ512は、酸化物半導体膜又は酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜又は酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ511はトランジスタ512上に積層されていなくとも良く、トランジスタ511とトランジスタ512とは、同一の層に形成されていても良い。

10

【0275】

シリコンの薄膜を用いてトランジスタ512を形成する場合、当該薄膜には、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0276】

トランジスタ512が形成される基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図20では、単結晶シリコン基板を基板400として用いる場合を例示している。

20

【0277】

また、トランジスタ512は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いることができる。図20では、トレンチ分離法を用いてトランジスタ512を電氣的に分離する場合を例示している。具体的に、図20では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタ512を素子分離させる場合を例示している。

30

【0278】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタ512の不純物領域402および不純物領域403と、不純物領域402および不純物領域403に挟まれたチャネル形成領域404とが設けられている。さらに、トランジスタ512は、チャネル形成領域404を覆う絶縁膜405と、絶縁膜405を間に挟んでチャネル形成領域404と重なるゲート電極406とを有する。

【0279】

トランジスタ512では、チャネル形成領域404における凸部の側部および上部と、ゲート電極406とが絶縁膜405を間に挟んで重なることで、チャネル形成領域404の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ512の基板上における専有面積を小さく抑えつつ、トランジスタ512におけるキャリアの移動量を増加させることができる。その結果、トランジスタ512は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャネル形成領域404における凸部のチャネル幅方向の長さ(チャネル幅)をW、チャネル形成領域404における凸部の膜厚をTとすると、チャネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ512のオン電流をより大きくすることができ、電界効果移動度もより高められる。

40

【0280】

なお、バルクの半導体基板を用いたトランジスタ512の場合、アスペクト比は0.5以

50

上であることが望ましく、1以上であることがより望ましい。

【0281】

トランジスタ512上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域402、不純物領域403にそれぞれ電氣的に接続されている導電膜412、導電膜413と、ゲート電極406に電氣的に接続されている導電膜414とが、形成されている。

【0282】

そして、導電膜412は、絶縁膜411上に形成された導電膜416に電氣的に接続されており、導電膜413は、絶縁膜411上に形成された導電膜417に電氣的に接続されており、導電膜414は、絶縁膜411上に形成された導電膜418に電氣的に接続されている。

10

【0283】

導電膜416乃至導電膜418上には、絶縁膜420が設けられている。そして、絶縁膜420上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜421が設けられている。絶縁膜421は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜421として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

20

【0284】

絶縁膜421上には絶縁膜422が設けられており、絶縁膜422上には、トランジスタ511が設けられている。

【0285】

トランジスタ511は、絶縁膜422上に、酸化物半導体を含む半導体膜430と、半導体膜430に電氣的に接続された、ソース電極又はドレイン電極として機能する導電膜432および導電膜433と、半導体膜430を覆っているゲート絶縁膜431と、ゲート絶縁膜431を間に挟んで半導体膜430と重なるゲート電極434と、を有する。なお、絶縁膜420乃至絶縁膜422には開口部が設けられており、導電膜433は、上記開口部において導電膜418に接続されている。

30

【0286】

なお、図20において、トランジスタ511は、ゲート電極434を半導体膜430の片側において少なくとも有していれば良いが、絶縁膜422を間に挟んで半導体膜430と重なるゲート電極を、さらに有していても良い。

【0287】

トランジスタ511が、一对のゲート電極を有している場合、一方のゲート電極には導通状態又は非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他の配線から与えられている状態であっても良い。この場合、一对のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

40

【0288】

また、図20では、トランジスタ511が、一のゲート電極434に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ511は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【0289】

また、図20に示すように、トランジスタ511は、半導体膜430が、絶縁膜422上において順に積層された酸化物半導体膜430a乃至酸化物半導体膜430cを有する場

50

合を例示している。ただし、本発明の一態様では、トランジスタ511が有する半導体膜430が、単膜の金属酸化物膜で構成されていても良い。

【0290】

絶縁膜422は、加熱により酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜422は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

【0291】

絶縁膜422は、加熱により上記酸素の一部を酸化物半導体膜430a乃至酸化物半導体膜430cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜422は、プラズマCVD (Chemical Vapor Deposition) 法又はスパッタリング法等により、形成することができる。

10

【0292】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

20

【0293】

なお、図20に示すトランジスタ511は、チャネル領域が形成される酸化物半導体膜430bの端部のうち、導電膜432および導電膜433とは重ならない端部、言い換えると、導電膜432および導電膜433が位置する領域とは異なる領域に位置する端部と、ゲート電極434とが、重なる構成を有する。酸化物半導体膜430bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図20に示すトランジスタ511では、導電膜432および導電膜433とは重ならない酸化物半導体膜430bの端部と、ゲート電極434とが重なるため、ゲート電極434の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜430bの端部を介して導電膜432と導電膜433の間に流れる電流を、ゲート電極434に与える電位によって制御することができる。このようなトランジスタ511の構造を、Surrounded Channel (S-Channel) 構造とよぶ。

30

【0294】

具体的に、S-Channel構造の場合、トランジスタ511がオフとなるような電位をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ511では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化物半導体膜430bの端部における導電膜432と導電膜433の間の長さが短くなっても、トランジスタ511のオフ電流を小さく抑えることができる。よって、トランジスタ511は、チャネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

40

【0295】

また、具体的に、S-Channel構造の場合、トランジスタ511がオンとなるような電位をゲート電極434に与えたときは、当該端部を介して導電膜432と導電膜433の間に流れる電流を大きくすることができる。当該電流は、トランジスタ511の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜430bの端部と、ゲ

50

ート電極434とが重なることで、酸化物半導体膜430bにおいてキャリアの流れる領域が、ゲート絶縁膜431に近い酸化物半導体膜430bの界面近傍のみでなく、酸化物半導体膜430bの広い範囲においてキャリアが流れるため、トランジスタ511におけるキャリアの移動量が増加する。この結果、トランジスタ511のオン電流が大きくなると共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

【0296】

なお、図20を用いて述べたが、本発明の実施形態の一態様は、これに限定されない。例えば、図21に示すような構造でもよい。

10

【0297】

(実施の形態7)

本実施の形態では、上述の実施の形態で説明した、リコンフィギュラブルな回路として機能する半導体装置を電子部品に適用する例、および該電子部品を具備する電子機器に適用する例について、図22、図23を用いて説明する。

【0298】

図22(A)では上述の実施の形態で説明した、リコンフィギュラブルな回路として機能する半導体装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又はIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

20

【0299】

上記実施の形態6の図20に示すようなトランジスタで構成される回路部は、組み立て工程(後工程)を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

【0300】

後工程については、図22(A)に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップS1)した後、基板の裏面を研削する(ステップS2)。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

30

【0301】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップS3)。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【0302】

次いでリードフレームのリードとチップ上の電極とを、金属の細線(ワイヤー)で電氣的に接続する、ワイヤーボンディングを行う(ステップS4)。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

40

【0303】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップS5)。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができる。また水分や埃による特性の劣化を低減することができる。

【0304】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断および成形加工する(ステップS6)。このめっき処理によりリードの錆を防止し、後にプリント基板に実

50

装する際のはんだ付けをより確実に行うことができる。

【0305】

次いでパッケージの表面に印字処理（マーキング）を施す（ステップS7）。そして最終的な検査工程（ステップS8）を経て、リコンフィギュラブルな回路として機能する半導体装置を有する電子部品が完成する（ステップS9）。

【0306】

以上説明した電子部品は、上述の実施の形態で説明した、リコンフィギュラブルな回路として機能する半導体装置を含む構成とすることができる。そのため、低消費電力化、および回路間の配線数の低減が図られた電子部品を実現することができる。

【0307】

また、完成した電子部品の斜視模式図を図22（B）に示す。図22（B）では、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図22（B）に示す電子部品700は、リード701および回路部703を示している。図22（B）に示す電子部品700は、例えばプリント基板702に実装される。このような電子部品700が複数組み合わせられて、それぞれがプリント基板702上で電気的に接続されることで電子機器の内部に搭載することができる。完成した回路基板704は、電子機器等の内部に設けられる。

【0308】

次いで、コンピュータ、携帯情報端末（携帯電話、携帯型ゲーム機、音響再生装置なども含む）、電子ペーパー、テレビジョン装置（テレビ、又はテレビジョン受信機ともいう）、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

【0309】

図23（A）は、携帯型の情報端末であり、筐体901、筐体902、第1の表示部903a、第2の表示部903bなどによって構成されている。筐体901と筐体902の少なくとも一部には、先の実施の形態に示す、リコンフィギュラブルな回路として機能する半導体装置を有する電子部品が設けられている。そのため、低消費電力化、および回路間の配線数の低減が図られた携帯型の情報端末が実現される。

【0310】

なお、第1の表示部903aはタッチ入力機能を有するパネルとなっており、例えば図23（A）の左図のように、第1の表示部903aに表示される選択ボタン904により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図23（A）の右図のように第1の表示部903aにはキーボード905が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

【0311】

また、図23（A）に示す携帯型の情報端末は、図23（A）の右図のように、第1の表示部903aおよび第2の表示部903bのうち、一方を取り外すことができる。第2の表示部903bもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を図ることができ、一方の手で筐体902を持ち、他方の手で操作することができるため便利である。

【0312】

図23（A）は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子など）、記録媒体挿入部などを備える構成としてもよい。

【0313】

また、図23（A）に示す携帯型の情報端末は、無線で情報を送受信できる構成としても

10

20

30

40

50

よい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0314】

更に、図23(A)に示す筐体902にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【0315】

図23(B)は、電子ペーパーを実装した電子書籍であり、筐体911と筐体912の2つの筐体で構成されている。筐体911および筐体912には、それぞれ表示部913および表示部914が設けられている。筐体911と筐体912は、軸部915により接続されており、該軸部915を軸として開閉動作を行うことができる。また、筐体911は、電源916、操作キー917、スピーカー918などを備えている。筐体911、筐体912の少なくとも一には、リコンフィギュラブルな回路として機能する半導体装置を有する電子部品が設けられている。そのため、低消費電力化、および回路間の配線数の低減が図られた電子書籍が実現される。

10

【0316】

図23(C)は、テレビジョン装置であり、筐体921、表示部922、スタンド923などで構成されている。テレビジョン装置の操作は、筐体921が備えるスイッチや、リモコン操作機924により行うことができる。筐体921およびリモコン操作機924には、先の実施の形態に示す、リコンフィギュラブルな回路として機能する半導体装置を有する電子部品が搭載されている。そのため、低消費電力化、および回路間の配線数の低減が図られたテレビジョン装置が実現される。

20

【0317】

図23(D)は、スマートフォンであり、本体930には、表示部931と、スピーカー932と、マイク933と、操作ボタン934等が設けられている。本体930内には、先の実施の形態に示す、リコンフィギュラブルな回路として機能する半導体装置を有する電子部品が設けられている。そのため低消費電力化、および回路間の配線数の低減が図られたスマートフォンが実現される。

【0318】

図23(E)は、デジタルカメラであり、本体941、表示部942、操作スイッチ943などによって構成されている。本体941内には、先の実施の形態に示す、リコンフィギュラブルな回路として機能する半導体装置を有する電子部品が設けられている。そのため、低消費電力化、および回路間の配線数の低減が図られたデジタルカメラが実現される。

30

【0319】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る、リコンフィギュラブルな回路として機能する半導体装置を有する電子部品が搭載されている。このため、低消費電力化、および回路間の配線数の低減が図られた電子機器が実現される。

【0320】

(本明細書等の記載に関する付記)

以上の実施の形態、および実施の形態における各構成の説明について、以下に付記する。
<実施の形態で述べた本発明の一態様に関する付記>

40

【0321】

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0322】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、および/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

50

【0323】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0324】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、および／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0325】

また、各実施の形態において本発明の一態様を説明したが、本発明の一態様はこれらに限定されない。例えば、本発明の一態様として実施の形態1では、ハンドシェイク方式の非同期回路を用いない構成について示したが、本発明の一態様は、これに限定されない。状況に応じて、例えばハンドシェイク方式の非同期回路に適用することも可能である。

10

【0326】

< 図面を説明する記載に関する付記 >

【0327】

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

20

【0328】

また、「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0329】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されない。

30

【0330】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0331】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

40

【0332】

< 言い換え可能な記載に関する付記 >

【0333】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

50

【0334】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0335】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

10

【0336】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0337】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及したかった語句の定義について説明する。

<< スイッチについて >>

20

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0338】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0339】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

30

【0340】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

【0341】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

40

【0342】

<< チャネル長について >>

本明細書等において、チャネル長とは、例えば、トランジスタの上面図において、半導体（又はトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、又はチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

50

【0343】

なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値又は平均値とする。

【0344】

<<チャンネル幅について>>

本明細書等において、チャンネル幅とは、例えば、半導体（又はトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、又はチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

10

【0345】

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値又は平均値とする。

【0346】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

20

【0347】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

30

【0348】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅又は見かけ上のチャンネル幅を指す場合がある。又は、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

40

【0349】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0350】

<<接続について>>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電気的に接続されているものを含むものとする。ここで、AとBとが電気的に接続されているとは、AとBとの間で、何らかの電気的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

50

【 0 3 5 1 】

なお、例えば、トランジスタのソース（又は第 1 の端子など）が、Z 1 を介して（又は介さず）、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 を介して（又は介さず）、Y と電氣的に接続されている場合や、トランジスタのソース（又は第 1 の端子など）が、Z 1 の一部と直接的に接続され、Z 1 の別の一部が X と直接的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z 2 の一部と直接的に接続され、Z 2 の別の一部が Y と直接的に接続されている場合には、以下のように表現することが出来る。

【 0 3 5 2 】

例えば、「X と Y とトランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y の順序で電氣的に接続されている。」と表現することができる。又は、「トランジスタのソース（又は第 1 の端子など）は、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）は Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この順序で電氣的に接続されている」と表現することができる。又は、「X は、トランジスタのソース（又は第 1 の端子など）とドレイン（又は第 2 の端子など）とを介して、Y と電氣的に接続され、X、トランジスタのソース（又は第 1 の端子など）、トランジスタのドレイン（又は第 2 の端子など）、Y は、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

【 0 3 5 3 】

又は、別の表現方法として、例えば、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の接続経路を介して、X と電氣的に接続され、前記第 1 の接続経路は、第 2 の接続経路を有しておらず、前記第 2 の接続経路は、トランジスタを介した、トランジスタのソース（又は第 1 の端子など）とトランジスタのドレイン（又は第 2 の端子など）との間の経路であり、前記第 1 の接続経路は、Z 1 を介した経路であり、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有しておらず、前記第 3 の接続経路は、Z 2 を介した経路である。」と表現することができる。又は、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の接続経路によって、Z 1 を介して、X と電氣的に接続され、前記第 1 の接続経路は、第 2 の接続経路を有しておらず、前記第 2 の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の接続経路によって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の接続経路は、前記第 2 の接続経路を有していない。」と表現することができる。又は、「トランジスタのソース（又は第 1 の端子など）は、少なくとも第 1 の電氣的パスによって、Z 1 を介して、X と電氣的に接続され、前記第 1 の電氣的パスは、第 2 の電氣的パスを有しておらず、前記第 2 の電氣的パスは、トランジスタのソース（又は第 1 の端子など）からトランジスタのドレイン（又は第 2 の端子など）への電氣的パスであり、トランジスタのドレイン（又は第 2 の端子など）は、少なくとも第 3 の電氣的パスによって、Z 2 を介して、Y と電氣的に接続され、前記第 3 の電氣的パスは、第 4 の電氣的パスを有しておらず、前記第 4 の電氣的パスは、トランジスタのドレイン（又は第 2 の端子など）からトランジスタのソース（又は第 1 の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第 1 の端子など）と、ドレイン（又は第 2 の端子など）とを、区別して、技術的範囲を決定することができる。

【 0 3 5 4 】

10

20

30

40

50

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z 1、Z 2 は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【符号の説明】

【0355】

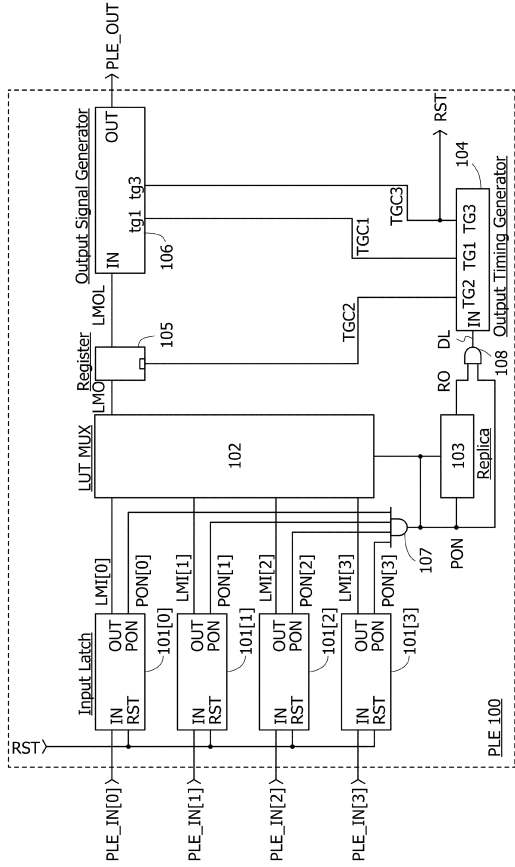
| | | |
|-----------|--------|----|
| A 1 - A 2 | 破線 | |
| A 3 - A 4 | 破線 | |
| mem B 1 | ノード | |
| mem B 2 | ノード | |
| N 1 | 信号 | 10 |
| N i 1 | 信号 | |
| N i 2 | 信号 | |
| N t 1 | 信号 | |
| N t 2 | 信号 | |
| N t 3 | 信号 | |
| P H 1 | クロック信号 | |
| P H 2 | クロック信号 | |
| R 1 | 信号 | |
| R 2 | 信号 | |
| S 1 | 端子 | 20 |
| S 2 | 端子 | |
| t 1 | 時刻 | |
| t 9 | 時刻 | |
| t 1 1 | 時刻 | |
| t 1 9 | 時刻 | |
| t 2 0 | 時刻 | |
| t 2 1 | 時刻 | |
| T 1 | 時刻 | |
| T 2 | 時刻 | |
| T 3 | 時刻 | 30 |
| T 4 | 時刻 | |
| T 5 | 時刻 | |
| T 6 | 時刻 | |
| T 7 | 時刻 | |
| T 8 | 時刻 | |
| T 9 | 時刻 | |
| T 1 1 | 時刻 | |
| T 1 2 | 時刻 | |
| T 1 3 | 時刻 | |
| T 1 4 | 時刻 | 40 |
| T 1 5 | 時刻 | |
| T 2 1 | 時刻 | |
| T 2 2 | 時刻 | |
| T 2 3 | 時刻 | |
| T 2 4 | 時刻 | |
| T 2 5 | 時刻 | |
| T 2 6 | 時刻 | |
| t g 1 | 信号 | |
| t g 3 | 信号 | |
| T G 1 | 信号 | 50 |

| | | |
|---------|----------------|----|
| T G 2 | 信号 | |
| T G 3 | 信号 | |
| T G C 1 | 信号 | |
| T G C 2 | 信号 | |
| T G C 3 | 信号 | |
| T G R 1 | 信号 | |
| T G R 3 | 信号 | |
| 3 0 | 論理回路 | |
| 3 1 | マルチプレクサ | |
| 3 4 | マルチプレクサ | 10 |
| 1 0 0 | 半導体装置 | |
| 1 0 1 | ラッチ回路 | |
| 1 0 2 | 演算回路 | |
| 1 0 3 | 遅延回路 | |
| 1 0 4 | 出力タイミング生成回路 | |
| 1 0 5 | レジスタ | |
| 1 0 6 | 出力信号生成回路 | |
| 1 0 6 B | 出力信号生成回路 | |
| 1 0 7 | A N Dゲート | |
| 1 0 8 | A N Dゲート | 20 |
| 1 1 0 | N O Rゲート | |
| 1 1 1 | N O Rゲート | |
| 1 1 3 | N O Rゲート | |
| 1 1 4 | N O Rゲート | |
| 1 1 6 | N O Rゲート | |
| 1 1 7 | N O Rゲート | |
| 1 1 8 | N O Rゲート | |
| 1 2 1 | N O Rゲート | |
| 1 2 3 | N O Rゲート | |
| 1 2 5 | N O Rゲート | 30 |
| 1 2 6 | N O Rゲート | |
| 1 2 7 | インバータ | |
| 1 2 8 | A N Dゲート | |
| 1 3 0 | A N Dゲート | |
| 1 3 1 | A N Dゲート | |
| 1 3 2 | O Rゲート | |
| 1 4 1 | マルチプレクサ | |
| 1 4 4 | マルチプレクサ | |
| 1 4 7 | マルチプレクサ | |
| 1 4 8 | コンフィギュレーションメモリ | 40 |
| 1 4 9 | A N Dゲート | |
| 1 5 0 | O Rゲート | |
| 2 0 0 | 半導体装置 | |
| 2 0 1 | 出力タイミング生成回路 | |
| 2 0 2 | レジスタ | |
| 2 0 3 | レジスタ | |
| 2 0 5 | マルチプレクサ | |
| 2 0 6 | マルチプレクサ | |
| 2 0 7 | マルチプレクサ | |
| 3 0 0 | P L D | 50 |

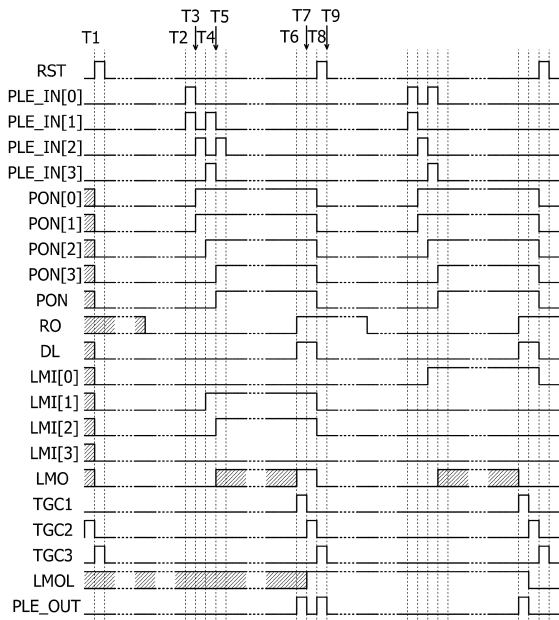
| | | |
|---------|----------------|----|
| 3 0 1 | 論理回路 | |
| 3 0 2 | スイッチ | |
| 3 0 3 | 配線群 | |
| 3 0 4 | 配線群 | |
| 3 0 5 | 入出力端子 | |
| 4 0 0 | 基板 | |
| 4 0 1 | 素子分離領域 | |
| 4 0 2 | 不純物領域 | |
| 4 0 3 | 不純物領域 | |
| 4 0 4 | チャネル形成領域 | 10 |
| 4 0 5 | 絶縁膜 | |
| 4 0 6 | ゲート電極 | |
| 4 1 1 | 絶縁膜 | |
| 4 1 2 | 導電膜 | |
| 4 1 3 | 導電膜 | |
| 4 1 4 | 導電膜 | |
| 4 1 6 | 導電膜 | |
| 4 1 7 | 導電膜 | |
| 4 1 8 | 導電膜 | |
| 4 2 0 | 絶縁膜 | 20 |
| 4 2 1 | 絶縁膜 | |
| 4 2 2 | 絶縁膜 | |
| 4 3 0 | 半導体膜 | |
| 4 3 0 a | 酸化物半導体膜 | |
| 4 3 0 b | 酸化物半導体膜 | |
| 4 3 0 c | 酸化物半導体膜 | |
| 4 3 1 | ゲート絶縁膜 | |
| 4 3 2 | 導電膜 | |
| 4 3 3 | 導電膜 | |
| 4 3 4 | ゲート電極 | 30 |
| 5 0 1 | データ線 | |
| 5 0 2 | ワード線 | |
| 5 1 1 | トランジスタ | |
| 5 1 2 | トランジスタ | |
| 5 1 3 | トランジスタ | |
| 5 1 4 | 容量素子 | |
| 5 1 6 | インバータループ | |
| 5 2 1 A | コンフィギュレーションメモリ | |
| 5 2 1 B | コンフィギュレーションメモリ | |
| 5 3 1 | トランジスタ | 40 |
| 5 3 2 | トランジスタ | |
| 5 3 4 | 容量素子 | |
| 5 3 5 | トランジスタ | |
| 5 3 6 | トランジスタ | |
| 5 3 7 | インバータループ | |
| 5 3 8 | 容量素子 | |
| 5 4 0 | インバータ | |
| 5 4 1 | データ線 | |
| 5 4 2 | ワード線 | |
| 5 5 1 A | コンフィギュレーションメモリ | 50 |

| | | |
|---------|----------------|----|
| 5 5 1 B | コンフィギュレーションメモリ | |
| 6 0 0 | トランジスタ | |
| 6 1 0 | トランジスタ | |
| 7 0 0 | 電子部品 | |
| 7 0 1 | リード | |
| 7 0 2 | プリント基板 | |
| 7 0 3 | 回路部 | |
| 7 0 4 | 回路基板 | |
| 9 0 1 | 筐体 | |
| 9 0 2 | 筐体 | 10 |
| 9 0 3 a | 表示部 | |
| 9 0 3 b | 表示部 | |
| 9 0 4 | 選択ボタン | |
| 9 0 5 | キーボード | |
| 9 1 1 | 筐体 | |
| 9 1 2 | 筐体 | |
| 9 1 3 | 表示部 | |
| 9 1 4 | 表示部 | |
| 9 1 5 | 軸部 | |
| 9 1 6 | 電源 | 20 |
| 9 1 7 | 操作キー | |
| 9 1 8 | スピーカー | |
| 9 2 0 | テレビジョン装置 | |
| 9 2 1 | 筐体 | |
| 9 2 2 | 表示部 | |
| 9 2 3 | スタンド | |
| 9 2 4 | リモコン操作機 | |
| 9 3 0 | 本体 | |
| 9 3 1 | 表示部 | |
| 9 3 2 | スピーカー | 30 |
| 9 3 3 | マイク | |
| 9 3 4 | 操作ボタン | |
| 9 4 1 | 本体 | |
| 9 4 2 | 表示部 | |
| 9 4 3 | 操作スイッチ | |

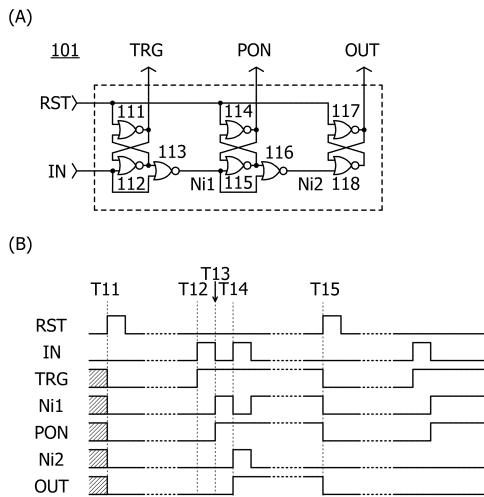
【 図 1 】



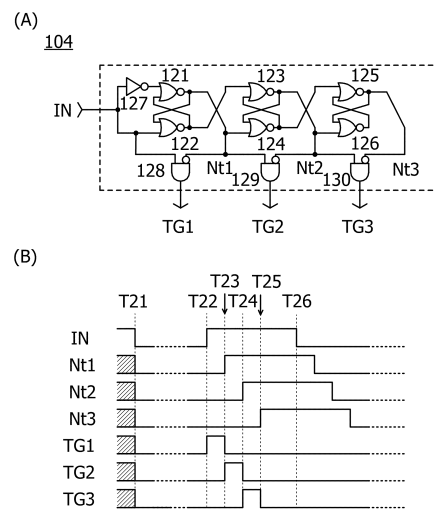
【 図 2 】



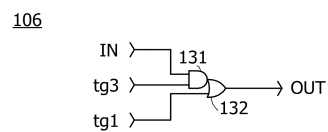
【 図 3 】



【 図 4 】

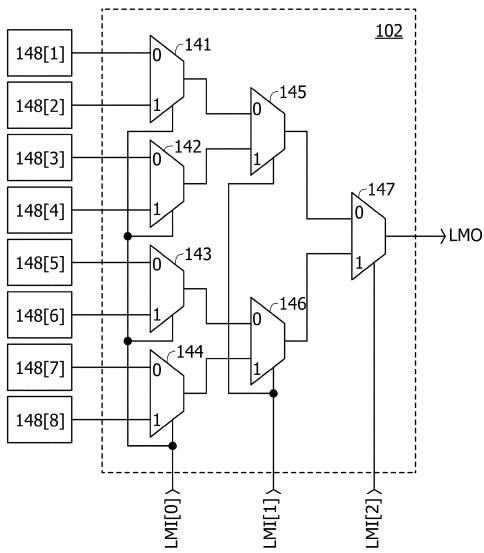


【 図 5 】

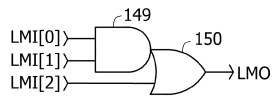


【 図 6 】

(A)

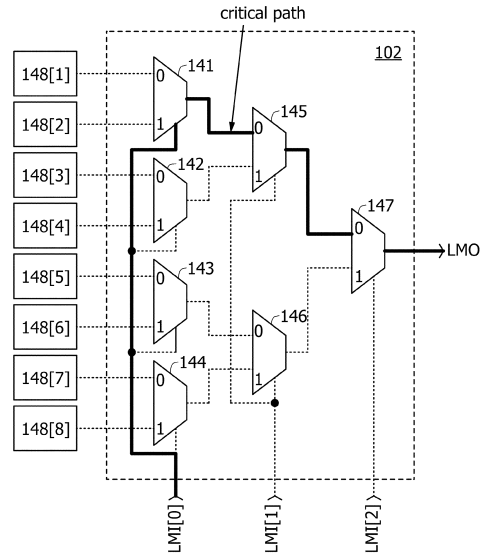


(B)

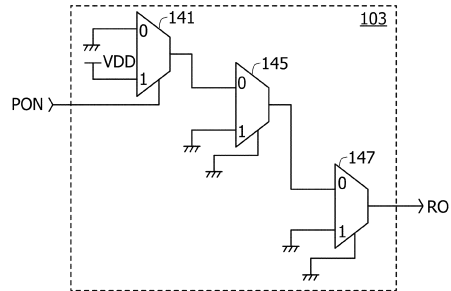


【 図 7 】

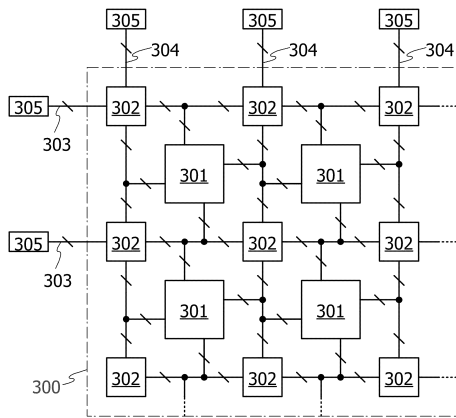
(A)



(B)

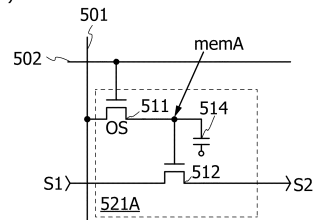


【 図 8 】

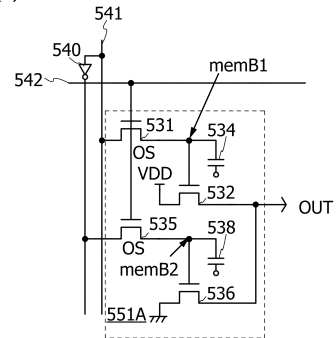


【 図 9 】

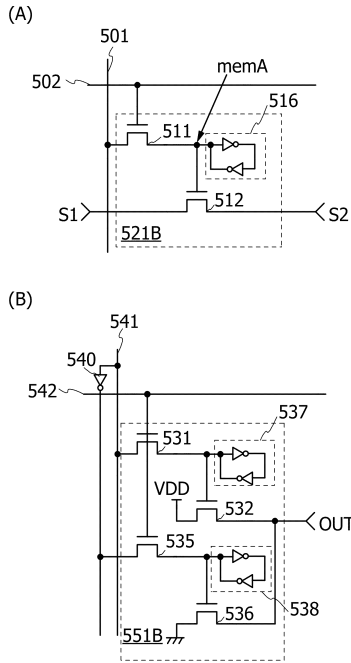
(A)



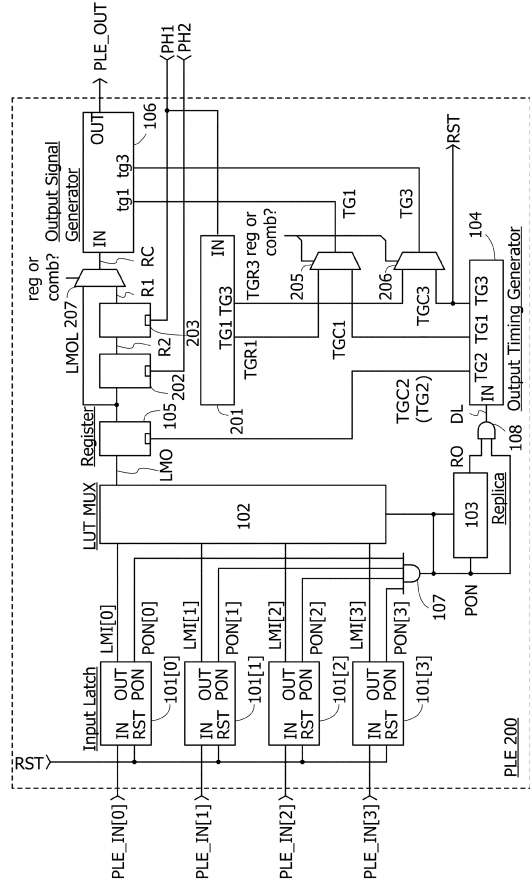
(B)



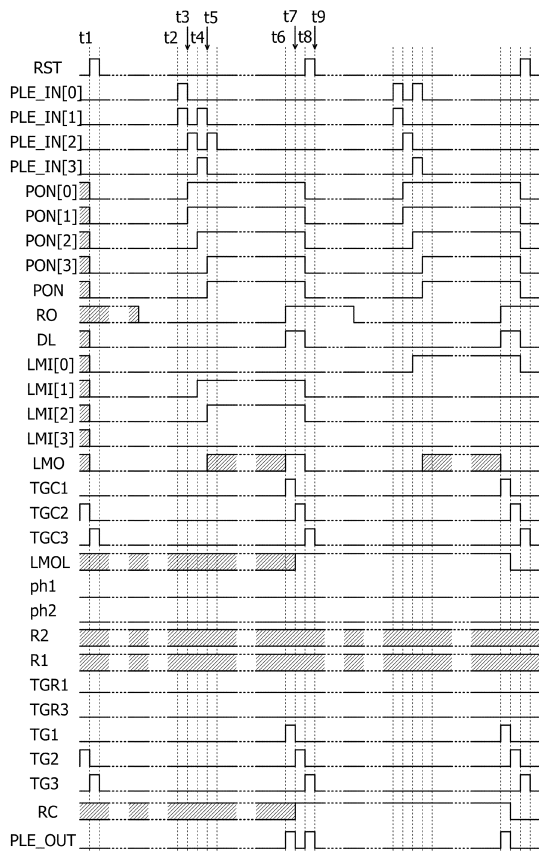
【 図 1 0 】



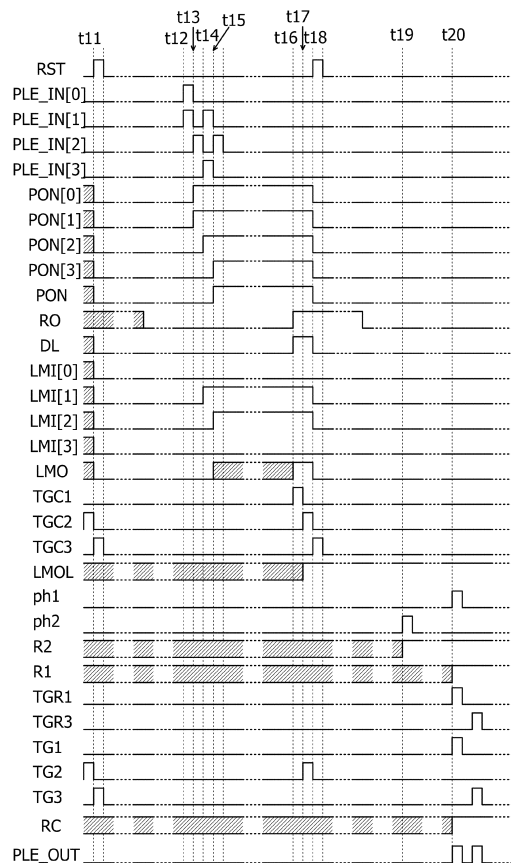
【 図 1 1 】



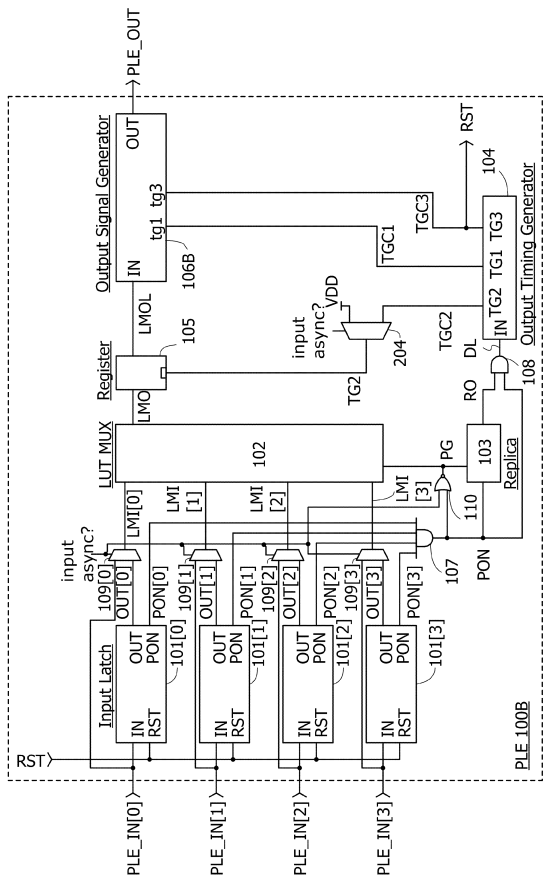
【 図 1 2 】



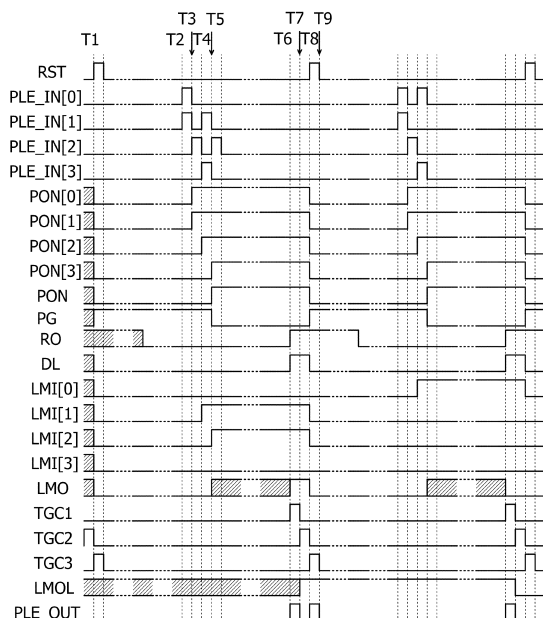
【 図 1 3 】



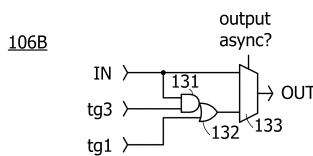
【 1 4 】



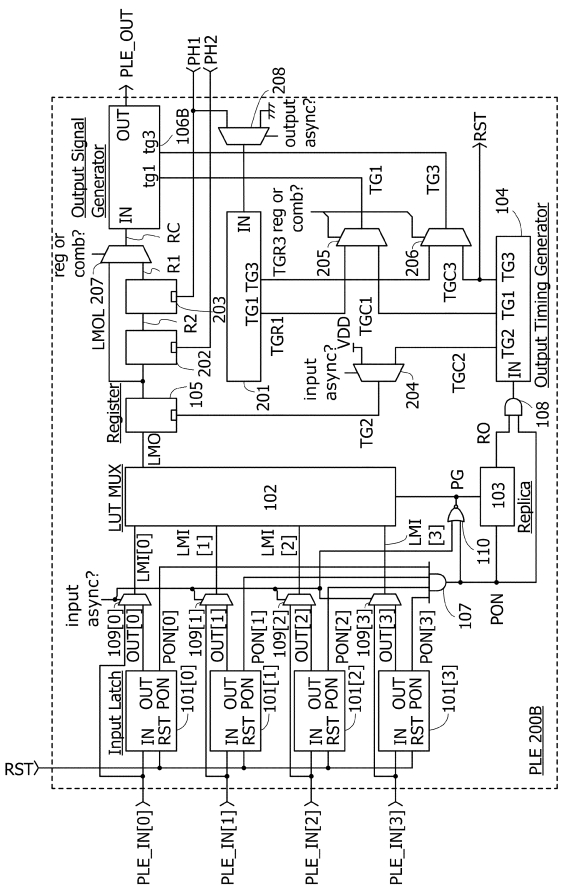
【 1 5 】



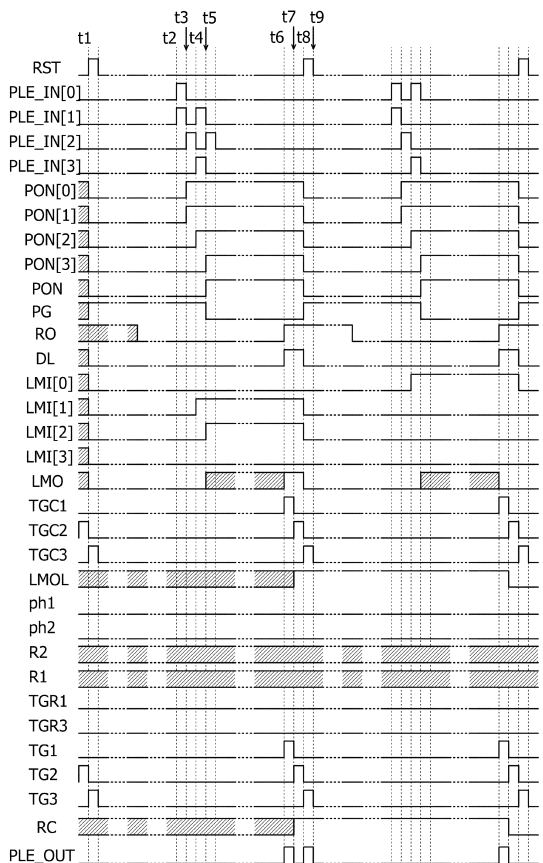
【 1 6 】



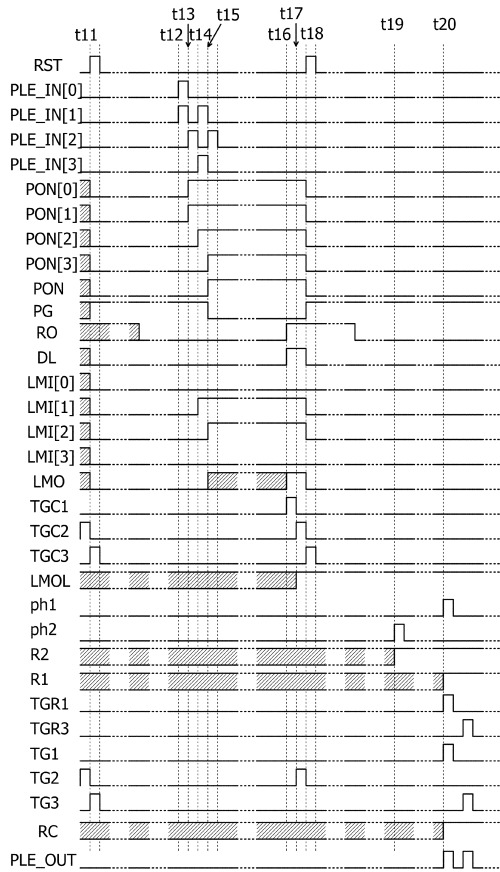
【 1 7 】



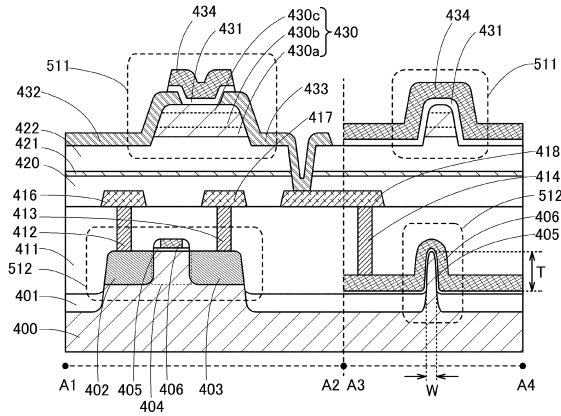
【 1 8 】



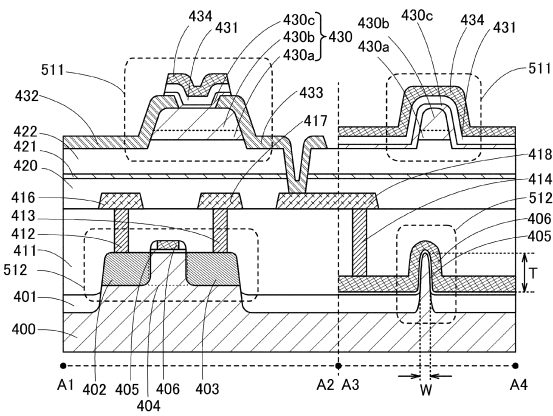
【図19】



【図20】

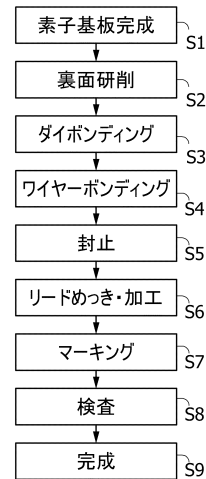


【図21】

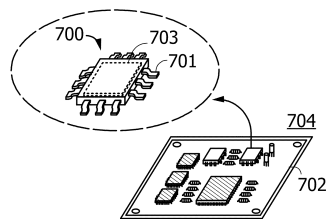


【図22】

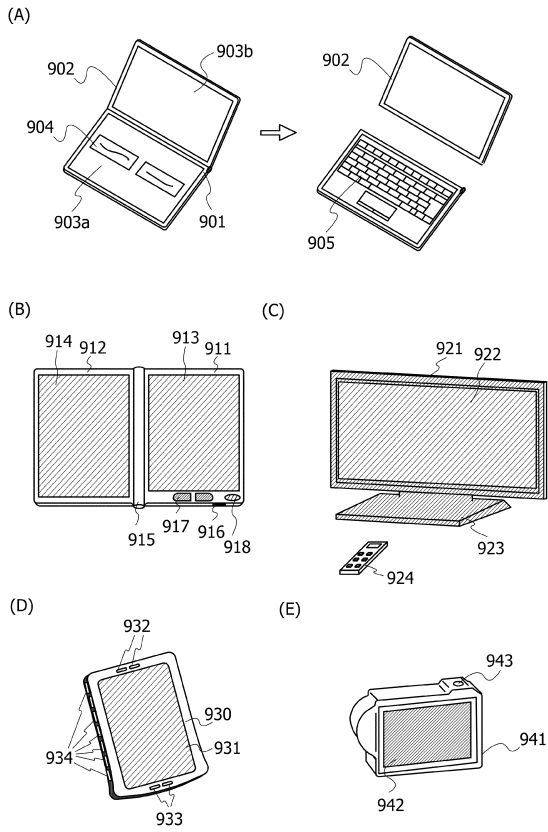
(A)



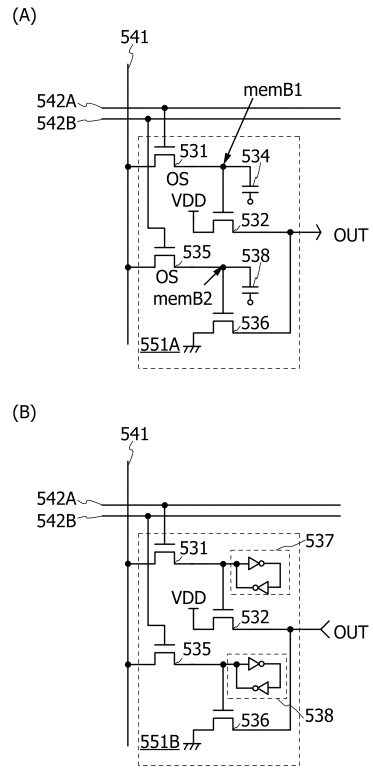
(B)



【 2 3 】



【 2 4 】



フロントページの続き

- (56)参考文献 特開2008-085085(JP,A)
特開昭60-021628(JP,A)
特開平07-131323(JP,A)
米国特許出願公開第2014/0159771(US,A1)
特開平10-056377(JP,A)
特表2011-508573(JP,A)
特表2003-532188(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/098 - 19/23
H03K 19/00 - 19/096
G06F 7/57
H01L 29/786