(19)日本国特許庁(JP)　(12)特 許 公 報(B2)　(11)特許番号
特許第5759115号
(P5759115)
(45)発行日 平成27年8月5日(2015.8.5)　(24)登録日 平成27年6月12日(2015.6.12)

(51)Int.Cl.　F I
B81B 7/02 (2006.01)　B81B 7/02
B81C 1/00 (2006.01)　B81C 1/00

請求項の数 6 外国語出願 (全 30 頁)

(21)出願番号 特願2010-139573 (P2010-139573)
(22)出願日 平成22年6月18日 (2010.6.18)
(65)公開番号 特開2011-16219 (P2011-16219A)
(43)公開日 平成23年1月27日 (2011.1.27)
審査請求日 平成25年6月3日 (2013.6.3)
(31)優先権主張番号 61/218,258
(32)優先日 平成21年6月18日 (2009.6.18)
(33)優先権主張国 米国 (US)

(73)特許権者 591060898
アイメック
ＩＭＥＣ
ベルギー、ベー－３００１ルーヴァン、カペルドリーフ７５番
(73)特許権者 599098493
カトリーケ・ユニフェルシテイト・ルーヴァン
Ｋａｔｈｏｌｉｅｋｅ Ｕｎｉｖｅｒｓｉｔｅｉｔ Ｌｅｕｖｅｎ
ベルギー、ベー－３０００ルーヴァン、ワーイストラート６番、ボックス５１０５、カーユー・ルーヴァン・アール・アンド・ディ

最終頁に続く

(54)【発明の名称】低コンタクト抵抗を有するＭＥＭＳデバイスの製造方法およびそれにより得られたデバイス

(57)【特許請求の範囲】
【請求項１】
第１シリコンゲルマニウム層（５、８）の上に形成された誘電体スタック（６）の上に形成された第２シリコンゲルマニウム層（８、４）を含み、誘電体層スタックは第１シリコンゲルマニウム層（５、８）を露出させる開口部（１１）を含むＭＥＭＳデバイス（１）であって、
界面層（１４）は、少なくとも開口部（１１）中の誘電体スタック（６）、および露出した第１シリコンゲルマニウム層（５、８）から、第２シリコンゲルマニウム層（８、４）層を分離し、
界面層（１４）は、ＴｉＮ層（１８）、ＴｉＮ（１８）／Ｔｉ（１７）層、ＴａＮ層（１８）、およびＴａＮ（１８）／Ｔａ（１７）層からなる組から選択されるＭＥＭＳデバイス。
【請求項２】
第２シリコンゲルマニウム層が開口部（１１）を埋める請求項１に記載のＭＥＭＳデバイス。
【請求項３】
第１シリコンゲルマニウム層（５、８）の上に形成された誘電体スタック（６）の上に形成された第２シリコンゲルマニウム層（８、４）を含み、誘電体層スタックは第１シリコンゲルマニウム層（５、８）を露出させる開口部（１１）を含むＭＥＭＳデバイス（１）であって、界面層（１４）は、少なくとも開口部（１１）中の誘電体スタック（６）、

および露出した第１シリコンゲルマニウム層（５、８）から、第２シリコンゲルマニウム層を分離するＭＥＭＳデバイスの製造方法であって、

第１シリコンゲルマニウム層（５、８）を提供する工程と、

第１シリコンゲルマニウム層（５、８）の上に誘電体スタック（６）を提供する工程と、

誘電体スタック（６）の中に開口部（１１）を形成し、これにより第１シリコンゲルマニウム層（５、８）の一部を露出させる工程と、

開口部（１１）の少なくとも側壁上と、第１シリコンゲルマニウム層（５、８）の露出した表面上とに界面層（１４）を形成する工程であって、界面層（１４）は、ＴｉＮ層（１８）、ＴｉＮ（１８）／Ｔｉ（１７）層、ＴａＮ層（１８）、およびＴａＮ（１８）／Ｔａ（１７）層からなる組から選択される工程と、

少なくとも開口部（１１）中に第２シリコンゲルマニウム層（８、４）を形成する工程と、を含む製造方法。

【請求項４】

ソフトスパッタエッチング工程は、開口部（１１）が形成された後で、界面層（１４）が形成される前に行われる請求項３に記載の方法。

【請求項５】

第２シリコンゲルマニウム層が開口部（１１）を埋める請求項３に記載の方法。

【請求項６】

第２シリコンゲルマニウム層（８、４）は、界面層（１４）を酸化雰囲気に露出させること無く、界面層（１４）の上に堆積される請求項３に記載の方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本明細は、マイクロエレクトロニクスメカニカルシステム（Micro-Electro-Mechanical System：ＭＥＭＳ）デバイスに関し、特に、シリコンゲルマニウム層を含むＭＥＭＳデバイスに関する。

【背景技術】

【０００２】

マイクロエレクトロニクスメカニカルシステム（ＭＥＭＳ）では、機械構成部品、センサー、アクチュエータ、およびエレクトロニクスを、マイクロ作製技術を用いて共通のシリコン基板上に集積する。エレクトロニクスは、集積回路（ＩＣ）プロセスシーケンス（例えば、ＣＭＯＳ、バイポーラ、またはＢＩＣＭＯＳプロセス）を用いて作製される一方、マイクロメカニカル部品は、シリコンウエハの一部を選択的にエッチングし、または新しい構造層を加えて機械的デバイスや電気機械的デバイスを形成する、互換性のある「マイクロマシニング（micromachining）」プロセスを用いて作製される。

【０００３】

多結晶シリコンゲルマニウム（poly-SiGe）は、例えば一般には４５０℃より低い、低いＣＭＯＳと互換性のあるＳｉＧｅ堆積温度のおかげで、モノリシックＣＭＯＳ－ＭＥＭＳの集積化が可能である。図１は、そのようなＭＥＭＳ－ＣＭＯＳモノリシック集積化の一例である。相互接続構造を通して、ＭＥＭＳデバイスはＣＭＯＳ基板の活性デバイスに、電気的に接続される。

【０００４】

ＳｉＧｅ層自身の機械的および電気的な特性は集中的に研究されたが、ＭＥＭＳデバイスとＣＭＯＳ基板の間の電気的接続は、極めて重要である。一般にはＴｉＮ／Ａｌ層のスタックからなる、多結晶ＳｉＧｅとＣＭＯＳトップ金属層との間の低抵抗コンタクトは、低い相互接続の寄生抵抗を有する好結果のモノリシック集積化のために必要である。

【０００５】

Eyoumらは、"Low-Resistance Silicon-Germanium Contact Technology for Modular Integration of MEMS with Electronics", Journal of Electrochemical Society, 151 (3)

J21-J25 (2004) で、ＣＭＯＳトップ金属層とＳｉＧｅ層との間で低いコンタクト抵抗を達成するＮｉシリサイドプロセスを開示している。ＣＭＯＳトップ金属層は、ＴｉＮキャップ層の上に薄いニッケル層を有するように修正された。このニッケル層の上のＳｉＧｅ層の堆積中に、基板が加熱されてニッケルゲルマノシリサイドを形成する。

【０００６】

しかしながら、ニッケルゲルマノシリサイドの形成は複雑で、高価なシリサイドプロセスを必要とする。また、これは、ＣＭＯＳバックエンドプロセスフロー中の標準的なプロセスではない。更に、ＳｉＧｅ形成温度は、ニッケルゲルマノシリサイドが形成できるように十分に高くなければならず、ＳｉＧｅ堆積温度に下限を押し付ける。このアプローチでは、ニッケルゲルマノシリサイドの形成がＳｉＧｅ層の正確な組成とＳｉＧｅの堆積条件に関連する。Eyoum の図８から、ＳｉＧｅのより高い堆積温度での大きなコンタクトに対しても、コンタクト抵抗はまだ約１０Ωより高くなることが明らかである。

【０００７】

本明細は、ＳｉＧｅ層と、ＣＭＯＳトップ金属層またはＳｉＧｅ層のような他の層との間の低いコンタクト抵抗を開示する。

【０００８】

本明細は、ＳｉＧｅ層と、ＣＭＯＳトップ金属層またはＳｉＧｅ層のような他の層との間の低いコンタクト抵抗を開示し、これにより、このコンタクト抵抗は小さな標準偏差を示す。

【０００９】

本明細は、ＳｉＧｅ層と、ＣＭＯＳトップ金属層またはＳｉＧｅ層のような他の層との間の低いコンタクト抵抗を開示し、これにより、このコンタクト抵抗は小さな標準偏差を示し、このコンタクトの機械的な信頼性が改良される。

【００１０】

本明細は、ＳｉＧｅ層と、ＣＭＯＳトップ金属層またはＳｉＧｅ層のような他の層との間の低いコンタクト抵抗を形成する費用効率の良い方法を示す。

【００１１】

本明細は、ＳｉＧｅ層と、ＣＭＯＳトップ金属層またはＳｉＧｅ層のような他の層との間の低いコンタクト抵抗を形成する、ＳｉＧｅ層の堆積温度とは無関係な、費用効率の良い方法を示す。

【発明の概要】

【００１２】

第１の形態では、ＭＥＭＳデバイスが開示され、このＭＥＭＳデバイスデバイスは、誘電体層スタック中の開口部を通って、他の層に電気的に接続された少なくとも１つのシリコンゲルマニウム層を含み、界面層は、少なくとも１つのシリコンゲルマニウム層を、少なくとも開口部中の誘電体スタック層から分離し、および他の層から分離する。

【００１３】

この他の層は、シリコンゲルマニウム層のような導電層でも良い。この他の層は、金属層のような導電層でも良い。この金属層は、ＭＥＭＳデバイスがその上に配置される、ＣＭＯＳ基板の相互接続パターンのトップ金属層でも良い。

【００１４】

一の具体例では、界面層は、少なくとも１つのシリコンゲルマニウム層に接続されたＴｉＮの層を含む。界面層は、更に、ＴｉＮ層および他の層に接続されたＴｉの層を含んでも良い。

【００１５】

他の具体例では、界面層は、少なくとも１つのシリコンゲルマニウム層に接続されたＴａＮの層を含む。界面層は、更に、ＴａＮ層および他の層に接続されたＴａの層を含んでも良い。

【００１６】

シリコンゲルマニウム層は、シリコンゲルマニウム層と他の層の双方の層を分離する誘

電体層スタック中に形成された開口部に、部分的に充填され、完全に充填され、またはオーバーラップしても良い。

【００１７】

他の形態では、誘電体層スタック中の開口部を通って、他の層に電気的に接続された少なくとも１つのシリコンゲルマニウム層を含み、界面層は、少なくとも１つのシリコンゲルマニウム層を、少なくとも開口部中の誘電体スタック層から分離し、および他の層から分離するＭＥＭＳデバイスの製造方法が開示される。この方法は、他の層を提供する工程と、他の層の上に誘電体スタックを提供する工程と、誘電体スタック中に開口部を形成し、これにより他の層の一部を露出させる工程と、少なくとも開口部の側壁上および他の層の露出した表面上に界面層を形成する工程と、少なくとも開口部中にシリコンゲルマニウム層を形成する工程と、を含む。

【００１８】

この他の層は、シリコンゲルマニウム層でも良い。この他の層は、金属層でも良い。この金属層は、ＭＥＭＳデバイスがその上に配置される、ＣＭＯＳ基板の相互接続パターンのトップ金属層でも良い。

【００１９】

一の具体例では、界面層は、少なくとも１つのシリコンゲルマニウム層に接続したＴｉＮの層を含む。界面層は、更に、ＴｉＮ層および他の層に接続するＴｉの層を含んでも良い。開口部を形成した後で、界面層を形成する前に、洗浄工程が行われても良い。それらの洗浄工程は、ＨＦ浸責、$Ｈ_2$プラズマ、Ａｒプラズマを用いたソフトスパッタエッチ、またはこれらのいずれかの組み合わせでも良い。

【００２０】

他の具体例では、界面層は、少なくとも１つのシリコンゲルマニウム層に接続されたＴａＮの層を含む。界面層は、更に、ＴａＮ層および他の層に接続されたＴａの層を含んでも良い。開口部を形成した後で、界面層を形成する前に、洗浄工程が行われても良い。それらの洗浄工程は、ＨＦ浸責、$Ｈ_2$プラズマ、Ａｒプラズマを用いたソフトスパッタエッチ、またはこれらのいずれかの組み合わせでも良い。

【００２１】

シリコンゲルマニウム層は、シリコンゲルマニウム層および他の層の、双方の層を分離する誘電体層スタック中に形成された開口部中に、部分的に充填され、完全に充填され、またはオーバーラップする。

【００２２】

シリコンゲルマニウム層は、例えば界面層を有する基板を、真空雰囲気でシリコンゲルマニウム堆積ツールに移動させることで、酸化雰囲気に界面層を露出させること無しに、界面層の上に堆積しても良い。

【００２３】

開口部中にシリコンゲルマニウム層を形成する場合に用いられる$Ｂ_2Ｈ_6$は、更に、コンタクト抵抗を低減するように調整しても良い。

【図面の簡単な説明】

【００２４】

【図１】ＣＭＯＳ－ＭＥＭＳモノリシック集積化の模式的な断面図を示す。

【図２】ＳｉＧｅとＴｉＮ／ＡｌＣｕ金属スタックとの間の非オーミックコンタクトの、電流－電圧曲線の一例を示す。

【図３】図２で表された非オーミックコンタクトのＴＥＭ写真を示す。

【図４】ＡｌＣｕ層上の４μｍ膜厚のＳｉＧｅ層の間のコンタクトの抵抗プロファイルを示す。ここでは、ＨＦ浸責処理が、ＳｉＧｅ層の堆積前に行われる。コンタクト面積は変化させた：黒い四角形（２μｍ×２μｍ）、黒い丸（４μｍ×４μｍ）、正三角形（６μｍ×６μｍ）、逆三角形（１０μｍ×１０μｍ）。

【図５】ＡｌＣｕ層上の４μｍ膜厚のＳｉＧｅ層の間のコンタクトの抵抗プロファイルを示す。ここでは、ＨＦ浸責処理および$Ｈ_2$プラズマが、ＳｉＧｅ層の堆積前に行われる。

コンタクト面積は変化させた：黒い四角形（２μｍ×２μｍ）、黒い丸（４μｍ×４μｍ）、正三角形（６μｍ×６μｍ）、逆三角形（１０μｍ×１０μｍ）。
【図６】ＡｌＣｕ層上の４μｍ膜厚のＳｉＧｅ層の間のコンタクトの抵抗プロファイルを示す。ここでは、ＴｉＮ／Ｔｉ界面層が、ＳｉＧｅとＡｌＣｕ層の間に存在する。コンタクト面積は変化させた：黒い四角形（２μｍ×２μｍ）、黒い丸（４μｍ×４μｍ）、正三角形（６μｍ×６μｍ）、逆三角形（１０μｍ×１０μｍ）。
【図７】ＡｌＣｕ層上の４μｍ膜厚のＳｉＧｅ層の間のコンタクトの抵抗プロファイルを、コンタクト面積の関数として示す。ここでは、ＴｉＮ／Ｔｉ界面層が、ＳｉＧｅとＡｌＣｕ層の間に存在する。コンタクト面積は変化させた：黒い四角形（２μｍ×２μｍ）、黒い丸（４μｍ×４μｍ）、正三角形（６μｍ×６μｍ）、逆三角形（１０μｍ×１０μｍ）。
【図８】１０ｎｍＴｉＮについて、２μｍ×２μｍのコンタクトに対して先に２０ｎｍのソフトスパッタエッチを行った界面層中の、Ｔｉ膜厚の関数としてコンタクト抵抗の依存性を示す。
【図９】１０ｎｍＴｉＮについて、ＳｉＧｅ層の堆積中に４０ｓｃｃｍの$Ｂ_2Ｈ_6$フローを用いて２０ｎｍのソフトスパッタエッチを行った界面層中の、Ｔｉ膜厚の関数として、異なるコンタクトの大きさについて、コンタクト抵抗の依存性を示す。コンタクトの大きさは、２μｍ×２μｍ（ダイヤモンド）、４μｍ×４μｍ（四角形）、６μｍ×６μｍ（三角形）、１０μｍ×１０μｍ（クロス）である。
【図１０】異なるコンタクトの大きさについて、ＳｉＧｅ層の堆積中の$Ｂ_2Ｈ_6$フローの関数としてコンタクト抵抗の依存性を示す。界面層は、５ｎｍのＴｉ上の１０ｎｍＴｉＮのスタックである。コンタクトの大きさは、２μｍ×２μｍ（ダイヤモンド）、４μｍ×４μｍ（四角形）、６μｍ×６μｍ（三角形）、１０μｍ×１０μｍ（クロス）である。
【図１１】異なるコンタクトの大きさについて、ソフトスパッタエッチ除去の関数としてコンタクト抵抗の依存性を示す。界面層は、５ｎｍのＴｉ上の１０ｎｍＴｉＮのスタックであり、ＳｉＧｅ層の堆積中に４０ｓｃｃｍの$Ｂ_2Ｈ_6$フローを用いた。コンタクトの大きさは、２μｍ×２μｍ（ダイヤモンド）、４μｍ×４μｍ（四角形）、６μｍ×６μｍ（三角形）、１０μｍ×１０μｍ（クロス）である。
【図１２ａ】低抵抗コンタクトを有するＭＥＭＳデバイスの製造におけるプロセス工程のシーケンスを示す。
【図１２ｂ】低抵抗コンタクトを有するＭＥＭＳデバイスの製造におけるプロセス工程のシーケンスを示す。
【図１２ｃ】低抵抗コンタクトを有するＭＥＭＳデバイスの製造におけるプロセス工程のシーケンスを示す。
【図１２ｄ】低抵抗コンタクトを有するＭＥＭＳデバイスの製造におけるプロセス工程のシーケンスを示す。
【図１２ｅ】低抵抗コンタクトを有するＭＥＭＳデバイスの製造におけるプロセス工程のシーケンスを示す。
【図１２ｆ】低抵抗コンタクトを有するＭＥＭＳデバイスの製造におけるプロセス工程のシーケンスを示す。
【図１３】界面層で分離された２つのＳｉＧｅ層の間のコンタクトの模式図を示す。
【図１４】主な材料と構造構成を用いたカンチレバープロセスの模式図を示す。
【図１５】０．８μｍ×０．８μｍ角のコンタクトに対するウエハ内分布を含む、ＳｉＧｅ堆積前の様々なコンタクト界面の洗浄プロセスについて、ＭＥＭＳバイアの抵抗値を示す。
【図１６】ＳｉＧｅ１およびＳｉＧｅ２で表された２つの異なるＳｉＧｅ層堆積プロセスを模式的に示す。
【図１７】カンチレバーの撓みのウエハ内分布と、ＣＶＤ／ＰＥＣＶＤを組み合わせたＳｉＧｅ堆積プロセスの関係を示す。
【００２５】

以下に、説明および図面を通して使用される参照番号を列挙する：

１　集積されたＭＥＭＣデバイス、即ち、電子回路２０の上のＭＥＭＳデバイス３
２　例えばＣＭＯＳ基板のような電子回路２０を有する基板
３　ＭＥＭＳデバイス自身
４　ＭＥＭＳ成分を含むＳｉＧｅ構造層
５　基板２のトップ金属層５
６　ＳｉＧｅ層４、８と他の層８、５との間にそれぞれ挟まれた誘電体層
８　選択的にＳｉＧｅ構造層４の一部であるＳｉＧｅＭＥＭＳ電極
９　キャビティーＭＥＭＳデバイスのギャップ
１０　下部電極８を有するコンタクト界面
１１　例えば５、８のような他の層を露出させる、誘電体層６中の開口部
１２　トップ金属層５のＴｉＮ層
１３　トップ金属層５のＡｌＣｕ層
１４　ＳｉＧｅ層４、８と例えば８、５のような他の層とのそれぞれの間の界面層
１５　構造層８および／または下部電極８の形成に使用されるパターニングされていない多結晶ＳｉＧｅ層スタック
１７　界面層１４のボトム層
１８　界面層１４のトップ層
２０　電子回路
２１　基板２の相互接続スキーム中のバイア接続金属層２２
２２　基板の相互接続スキーム中の金属層

【詳細な説明】

【００２６】

本発明は、特定の具体例について、添付図面を参照しながら詳細に説明するが、本発明はこれらにより限定されるものではなく、請求の範囲によってのみ限定されるものである。記載された図面は、単に概略であり、限定するものではない。図面において、図示目的で、いくつかの要素の大きさは拡張され、縮尺通りに記載されていない。寸法と相対寸法は、本発明の実施の実際の縮小には対応する必要はない。

【００２７】

更に、説明や請求の範囲中の、第１、第２、第３等の用語は、類似の要素の間で区別するために使用され、順序や時間的順番を表す必要はない。そのような用語は、適当な状況下で入替え可能であり、発明の具体例は、ここに記載や図示されたものと異なる順序によっても操作できる。

【００２８】

また、説明や請求の範囲中の、上、下、上に、下に等の用語は、記載目的のために使用され、相対的な位置を示すものではない。そのように使用される用語は、適当な状況下で入替え可能であり、ここに記載された具体例は、ここに記載や図示されたものと異なる位置でも操作できることを理解すべきである。

【００２９】

また、請求の範囲で使用される「含む（comprising）」の用語は、それ以降に示される手段に限定して解釈すべきでない。これは他の要素や工程を排除しない。言及された特徴、数、工程、または成分に存在を示すものとして解釈されることが必要であるが、１またはそれ以上の他の特徴、数、工程、または成分、またはこれらの組み合わせの存在または追加を排除してはならない。このように、「手段ＡおよびＢを含むデバイス」の表現の範囲は、構成要素ＡとＢのみを含むデバイスに限定されるべきではない。本発明では、単にデバイスに関連した構成要素がＡとＢであることを意味する。

【００３０】

図１に示すように、集積化されたＭＥＭＳデバイス１は、基板２を含み、その上にはＭＥＭＳデバイス３が形成される。ＭＥＭＳデバイス３のＳｉＧｅ構造層４は、ＳｉＧｅＭＥＭＳ下部電極８を介して、トップ金属層５に電気的および機械的に接続される。基板２

を覆う誘電体層６中の開口部１１（図示せず）を通って、このＣＭＯＳトップ金属層５は露出し、ＳｉＧｅＭＥＭＳ下部電極８に接続される。金属層５とＳｉＧｅＭＥＭＳ下部電極８との間の接続は、基板２の上の電子回路と、ＭＥＭＳデバイス３との間の電気的接続を形成し、これによりＭＥＭＳデバイス３の操作と、電子回路から、および電子への信号伝達を可能とする。この基板は、一般にはＣＭＯＳ基板である。このコンタクトは、またＭＥＭＳデバイス３のための機械的な固定点として提供され、そのようなものとして、特にＭＥＭＳデバイス３が、少なくともキャビティ９中に部分的に延びたカンチレバーのような構成を含む場合に、ＭＥＭＳデバイスの動作中に実在の機械的な力にさらされる。それらの構成は、ＳｉＧｅ構造層４をパターニングすることにより形成される。一般には、トップ金属層５は、図３に示すように、ＡｌＣｕ層１３の上にＴｉＮ層１２のスタックとして形成される。

【００３１】

ＳｉＧｅ層４と下部の層５との間のコンタクト界面１０の面積は、コンタクト抵抗を低減し、機械的強度を増加させるために、十分に大きくすべきである。このコンタクト面積は、しかしながら、誘電体層６中の開口部１１を埋めるためのＳｉＧｅの堆積プロセスにも依存する。化学的気相堆積（ＣＶＤ）プロセスは、良好な等角の堆積を提供し、この開口部１１を良好に埋めるが、しかしながら、多大な時間を犠牲にし、それゆえに高価になる。プラズマエンハンスド化学気相堆積（ＰＥＣＶＤ）プロセスは、厚い層を速く形成できるが、開口部１１の不十分に埋め込み、開口部１１の中央にキーホールが形成される。

【００３２】

ＭＥＭＳデバイス３のＳｉＧｅ下部電極８をＣＭＯＳトップ金属５に接続するために、ＣＭＯＳトップ金属５を覆うＣＭＯＳパッシベーション層６を通って、リソグラフィックパターニング工程と、これに続く反応性イオンエッチングとレジスト除去工程により開口部１１が形成される。レジスト除去工程は、一般には、反応性イオンエッチング中に形成される全ての酸化高分子を除去するために、ウエット化学エッチング工程と、酸素プラズマの使用を含むドライエッチング工程とを含む。この酸素プラズマに晒された場合、ＣＭＯＳトップ金属層５へのコンタクト界面１０の表面が酸化され、この結果、そのような非オーミックコンタクトへの電圧とそこを通る電流を示す図２に示すように、コンタクトは非オーミック特性を示す。エネルギー分散Ｘ線分光分析（ＥＤＳ）により、TiO_2とSiO_2の混合物と特定された酸化されたコンタクト界面１０は、図３に示すように、透過電子顕微鏡（ＴＥＭ）で明瞭に観察できる。

【００３３】

第１の具体例では、４μｍ膜厚の多結晶ＳｉＧｅ層スタック１５が、金属層スタック５を覆う誘電体層６中の開口部１１を介して、ＴｉＮ（１２）／ＡｉＣｕ（１３）の金属層スタック５の上に形成された。多結晶ＳｉＧｅ層スタック１５は、アモルファスＰＥＣＶＤシード層から始まり、それぞれのＳｉＧｅ層が１μｍの膜厚である４層のＳｉＧｅを順次堆積して形成された。誘電体層６中の開口部１１のエッチングとリソグラフィックパターニングのレジスト除去工程の後に、多結晶ＳｉＧｅ層スタック１５が直接堆積され、または多結晶ＳｉＧｅ層スタック１５の堆積前にＨＦ浸責を行って堆積される。パターニングされたＳｉＧｅ層４、８とＴｉＮ１２とのコンタクト抵抗が、$2\times2\mu m^2$から$10\times10\mu m^2$までの範囲のコンタクトの大きさを有するクロスブリッジケルビンレジスタ構造（cross bridge Kelvin resistor structure）を用いて調べられた。多結晶ＳｉＧｅ層スタック１５の堆積前にＨＦ浸責を行うか否かにかかわらず、図４に示すように、$10\times10\mu m^2$のコンタクトでさえも、非オーミックコンタクトが得られた。

【００３４】

他の具体例では、多結晶ＳｉＧｅ層スタック１５の堆積前に、ＨＦ浸責とH_2プラズマが行われた。抵抗が電圧に依存しなくなるように、図５に見られるような、よりきれいな界面１０が得られたが、コンタクトはいまだ非オーミックである。多結晶ＳｉＧｅスタック１５を形成するためにアモルファスシード層を使用しなくても、得られたコンタクト抵抗は非オーミックのままである。

【００３５】
他の具体例では、界面層１４は、多結晶ＳｉＧｅスタック１５の堆積前に形成された。誘電体層６中に開口部１１をエッチングし、リソグラフィックパターニングのレジストを除去する工程後に、この界面層１４が堆積され、基板を覆い、露出した金属スタック５と開口部１１の側壁に接続される。次に、多結晶シリコン層スタック１５が堆積された、薄いＴｉ－ＴｉＮ（５／１０ｎｍ）層スタックと薄いＴａ－ＴａＮ（５／１０ｎｍ）層スタックが、界面層１４として試され、これにより、それぞれの最初にＴｉ、Ｔａがそれぞれ堆積され、続いてＴｉＮ、ＴａＮがそれぞれ堆積された。選択的に、異なる$Ｂ_2Ｈ_6$前駆体フローが、４００ｎｍＳｉＧｅＣＶＤ堆積１５中に用いられた。選択的に、露出した金属層５の上で、界面層１４の堆積前に、ソフトスパッタエッチング（ＳＳＥ）工程が行われた。表１は、堆積プロセス条件のまとめである。
【００３６】
表１：界面層アプローチの分割表

	0nm SSE + Ti-TiN	10nm SSE + Ti-TiN	20nm SSE + Ti-TiN	20nm SSE + Ta-TaN
20 sscm B_2H_6			X	
40 sscm B_2H_6	X	X	X	X
50 sscm B_2H_6			X	

【００３７】
それらのテスト条件の殆ど全てで、図６に示すように、ＴｉＮ／Ｔｉ界面層スタック１４はオーミック接続となった。Ｔａ－ＴａＮオプションのみが、わずかに非オーミック特性となり、好ましくない答えとなった。ＴａＮは、ＴｉＮよりすっと速く酸化されるとして知られている。ＴｉＮとＴａＮが、ＳｉＧｅ１５とは異なる堆積ツールで堆積されるため、ＴａＮ界面層は、ＳｉＧｅ堆積ツールに運搬する間に酸化される。もし、酸素含有雰囲気に間で露出せずに、ＳｉＧｅ１５をＴａＮ／Ｔａ界面層１４上に堆積できれば、ＴａＮ層の酸化が避けられ、これにより良好なオーミックコンタクトが得られる。
【００３８】
ソフトスパッタエッチングの衝撃、および／またはＳｉＧｅ１５堆積中のガスフローの組成が、更に、ＴｉＮ／Ｔｉ界面層１４の場合について調査された。ソフトスパッタエッチングは、Ａｒプラズマを用いた低ＤＣ電力スパッタリングプロセスであり、これにより、表面が洗浄される。ソフトスパッタエッチングは、同等の量の酸化物の損失により特徴付けられる。実験で使用された条件では、このソフトスパッタエッチング洗浄工程のパラメータは、０ｎｍ、１０ｎｍ、または２０ｎｍの酸化物の損失が得られるように選択された。異なるプロセス条件とコンタクト面積に対する電気抵抗が、図７に示される。ソフトスパッタエッチングがコンタクト界面を改良することがわかる。ＳｉＧｅ層１５の形成中の$Ｂ_2Ｈ_6$前駆体フローを、６０ｓｃｃｍから２０ｓｃｃｍに下げることで、コンタクト抵抗は低くなる。より高い$Ｂ_2Ｈ_6$フローは、より小さな粒子のＳｉＧｅとなり、これにより粒界の数が増加する。得られたコンタクト抵抗は、Eyoumらが、"Low-Resistance Silicon-Germanium Contact Technology for Modular Integration of MEMS with Electronics", Journal of Electrochemical Society, 151 (3) J21-J25 (2004) で、４５０℃で堆積させた所定のＳｉＧｅ組成で、全てのコンタクトサイズで得られたコンタクト抵抗より低かった（$２×２μｍ^2$コンタクトに対して、$９±４×１０^{-7}Ωｃｍ^2$に比較して$６．２±０．４×１０^{-7}Ωｃｍ^2$）。
【００３９】
図８は、１０ｎｍのＴｉＮで、２μｍ×２μｍのコンタクトで４０ｓｃｃｍ$Ｂ_2Ｈ_6$で

２０ｎｍのソフトスパッタエッチングを行った界面層１４中のＴｉ膜厚の関数として、コンタクト抵抗の依存性を示すものである。Ｔｉ無しまたは薄いＴｉ層のみが、ＴｉＮ層１８の堆積前に堆積された場合、適当なソフトスパッタエッチングを用いても、即ち最小の２０ｎｍ酸化物除去を用いても、コンタクト抵抗はすでに低い。もし、Ｔｉ層１７の膜厚が１０ｎｍより大きくなれば、コンタクト抵抗は更に下がる。

【００４０】

図９は、異なるコンタクトサイズについて、１０ｎｍのＴｉＮ１８で、ＳｉＧｅ層の堆積中に、４０ｓｃｃｍB_2H_6フローを用いて２０ｎｍのソフトスパッタエッチングを行った界面層１４中のＴｉ膜厚１７の関数として、コンタクト抵抗の依存性を示すものである。コンタクトサイズは、２μｍ×２μｍ（ダイヤモンド）、４μｍ×４μｍ（四角形）、６μｍ×６μｍ（三角形）、１０μｍ×１０μｍ（クロス）である。図８と同じ傾向が見られ、Ｔｉ層１７の膜厚の増加に伴うコンタクト抵抗の低下は、コンタクトサイズが大きくなると顕著でなくなる。

【００４１】

界面層１４の堆積後に、ＢドープされたＳｉＧｅ層１５が堆積され、これにより、B_2H_6フローが、コンタクト抵抗を更に減らせるように調整できる。図１０は、異なるコンタクトサイズについて、ＳｉＧｅ層の堆積中のB_2H_6フローの関数として、コンタクト抵抗の依存性を示す。界面層は、５ｎｍのＴｉスタック１７上の、１０ｎｍのＴｉＮ１８である。コンタクトサイズは、２μｍ×２μｍ（ダイヤモンド）、４μｍ×４μｍ（四角形）、６μｍ×６μｍ（三角形）、１０μｍ×１０μｍ（クロス）である。ＳｉＧｅ層の堆積中にB_2H_6フローが増加すると、コンタクト抵抗も増加する。この効果は、より小さなコンタクトにおいて顕著である。

【００４２】

図１１は、異なるコンタクトサイズについて、ソフトスパッタエッチング除去の関数として、コンタクト抵抗の依存性を示す。界面層１４は、５ｎｍのＴｉスタック１７の上の１０ｎｍのＴｉＮ１８であり、ＳｉＧｅ層の堆積中に４０ｓｃｃｍのB_2H_6フローを伴う。コンタクトサイズは、２μｍ×２μｍ（ダイヤモンド）、４μｍ×４μｍ（四角形）、６μｍ×６μｍ（三角形）、１０μｍ×１０μｍ（クロス）である。ソフトスパッタエッチング除去が増加すると、コンタクト抵抗が低下する。この効果は、より小さなコンタクトにおいて顕著である。最大のソフトスパッタエッチング除去は、その中に開口部を有する誘電体のような露出した層が影響を受ける程度によって定義される。

【００４３】

図１２ａ～図１２ｆは、ＳｉＧｅと、金属層や他の具体例で述べられたＳｉＧｅ層のような他の層との間に低抵抗コンタクトを作製するプロセスフローのプロセス工程の順序を、模式的な断面の手段で示す。ＳｉＧｅ層とは、$0<x+y<1$のSi_xGe_y組成を有する層を意味する。この層は、（ｎ型またはｐ型に）ドープされても、アンドープでも良い。

【００４４】

誘電体スタック６に覆われた金属層スタック５を含む基板２が、図１２ａに示すように提供される。金属スタック５は、ＡｌＣｕ層１３の上のＴｉＮ層１２からなっても良い。ＴｉＮ層１２が、リソグラフィックプロセス中の反射防止コーティングとして使用される。誘電体層スタック６は、単層の酸化層でも良い。選択的に、追加の誘電体層が、この誘電体層スタック６中に存在しても良い。例えば、ＳｉＣ層がシリコン酸化層の上に形成され、ＳｉＣ層がシリコン酸化物に比べて良好な下層の基板２の被覆を提供する。

【００４５】

リソグラフィックパターニングを用いて、開口部１１が誘電体層スタック６中に形成され、これにより、図２ｂに示すように、金属スタック５の一部が露出する。誘電体スタック６のドライエッチング中に、金属スタック５の一部も除去される。もし、例えば金属スタック５が、ＡｌＣｕ層１３上のＴｉＮ層１２のスタックの場合、ＴｉＮ層１２の一部が、ドライエッチング工程のプロセス条件に応じてエッチングされる。これは、図１２ｂに

示され、ここでは、ＴｉＮキャップ層１２の膜厚は、開口中で、誘電体スタック６の下の厚さより薄くなっている。この低減されたＴｉＮ膜厚は、例えば、集積ＣＭＯＳ－ＭＥＭＳデバイス１の作製中に、ＳｉＧｅ層８から金属層１３へのＳｉおよび／またはＧｅの拡散のような、ＴｉＮキャップ層１２の拡散バリア特性を低減する。

【００４６】

基板を覆うように、図１２ｃに示すように界面層１４が形成される。この界面層１４は、少なくとも、開口部１１の底部に露出した金属スタック５と、開口部１１の側壁を覆う。好適には、例えば化学気相堆積（ＣＶＤ）により、この層は等角に形成されるが、物理気相成長（ＰＶＤ）のような他の方法を用いても良い。この界面層１４は、図１２ｃ～図１２ｅに示すように、ＴｉＮまたはＴａＮの単層でも良い。この界面層１４は、ＴｉＮ－Ｔｉ層のスタックでも良く、これによりＴｉＮ層１８はＳｉＧｅ層８と接続され、Ｔｉ層１７は金属層スタック５と接続される。２層の界面層は図１２ｆに示され、例えばＴｉＮまたはＴａＮの層１８が、シリコンゲルマニウム層８に接続され、一方、Ｔｉのような下部層１７が下層スタック５に接続され、ＴｉＮ／ＴｉまたはＴａＮ／Ｔａ界面層１４を形成する。

【００４７】

界面層１４を形成する前に、追加の洗浄工程が行われ、開口部１１中の残渣が除去されても良い。これらの追加の洗浄工程は、ソフトスパッタエッチングおよび／またはH_2プラズマを含む。特に、界面層１４がＴｉＮまたはＴａＮ層のみからなる場合、好適にはそれらの追加の洗浄工程が行われ、更にコンタクト抵抗を低減し、基板上の抵抗の均一性を改良する。

【００４８】

この後に、例えば化学気相堆積により、ＳｉＧｅ層１５が界面層１４の上に形成される。図１２ｄに示すように、ＳｉＧｅ層１５は、ＡｌＣｕ層１３から離れ、薄膜化されたキャップ層１２のみならず界面層によっても、ＡｌＣｕ層１３から離れ、増加した拡散バリアが得られる。もし、界面層１４を形成するためにＴａＮが使用された場合、Ｔａが部分的に酸化されるかもしれないため、堆積された界面１４を酸化雰囲気に露出させないように注意する必要がある。好適には、ＴａＮ界面層１４の堆積後に、基板が非酸化雰囲気中をＳｉＧｅ堆積ツールに運ばれ、もしこれが不可能な場合は、ＳｉＧｅ堆積工程前に追加の洗浄工程が行われ、酸化されたＴａＮが除去される。

【００４９】

ＳｉＧｅ層１５は、界面層１４と共にリソグラフィックパターニングされ、ＳｉＧｅ下部電極８を形成する。界面層１４の膜厚は制限されるため、続くＭＥＭＳプロセス中に下部のＳｉＧｅ下部電極８からの除去は、ＭＥＭＳデバイスの集積に実質的な影響を与えそうである。界面層は、一般的には１０～３５ｎｍの範囲の膜厚であり、好適には１０～２０ｎｍである。もし、例えばＴｉ上のＴｉＮまたはＴａ上のＴａＮのような界面二重層１４が使用された場合、ＴｉＮ層、ＴａＮ層１８はそれぞれ、一般には５～１５ｎｍの膜厚であり、一方、Ｔｉ層、Ｔａ層１７はそれぞれ、一般には０～２０ｎｍで、好適には５～１０ｎｍである。この望まないパターニングされた界面層１４のエッチングは、ＭＥＭＳデバイスの犠牲層除去の場合に発生し、これによりＳｉＧｅＭＥＭＳ構造層３に形成された構造が解放される。この望まないエッチングは、しかしながら、上述のＴｉ（またはＴａ）とＴｉＮ（またはＴａＮ）の膜厚制限にした場合には見られなかった。

【００５０】

図１２ｅに示すように、シリコンゲルマニウム層８は、開口部１１の位置を除いて、誘電体層スタック６により下層５から分離される。双方の層の間の電気的コンタクトは、この誘電体スタック６中に開口部を形成することで行われ、この開口部を通って下層５の一部が露出する。界面層１４は、少なくとも開口部中で誘電体層スタック６から、および下層５から、シリコンゲルマニウム層８を分離する。

【００５１】

図１２ａ～図１２ｆは、ここでは下部電極８であるＳｉＧｅ層と、下層５との間の接続

を、界面層１４を挿入することにより改良するプロセスを示す。図１３に示すように、この界面層１４は、また、２つのＳｉＧｅ層の間にも挿入でき、ここでは、ＳｉＧｅ構造層４が、誘電体層スタック６中の開口部を通ってＳｉＧｅ電極８に接続されている。この図では、ＳｉＧｅ下部電極とＳｉＧｅ構造層４は、異なるＳｉＧｅ層１５を用いて形成される。

【００５２】

この誘電体スタック６は、シリコン酸化物のような酸化層でも良く、下部のシリコンゲルマニウム電極８からシリコンゲルマニウム構造層４を分離する。この誘電体スタック６は、シリコン酸化物のような酸化層の上に形成された、シリコン炭化物やシリコン窒化物のような耐ＨＦ層のスタックでも良く、下部の金属層５から、即ちＣＭＯＳ相互接続パターンから、シリコンゲルマニウム層８を分離する。誘電体スタック６中の上部層は、ＣＭＯＳ基板２の密封したシールを提供する。

【００５３】

他の具体例では、プローブ記憶デバイス（probe storage device）応用のための集積されたＣＭＯＳ－ＭＥＭＳデバイスが開示される。この具体例では、Ｔｉ／ＴｉＮ層１４は、金属層５と電極８との間に使用された場合にコンタクト抵抗を改良するだけでなく、ＳｉＧｅ電極８とＳｉＧｅ構造層４との間に使用された場合に、カンチレバーの撓みを少なくし、解放中の下部電極へのカンチレバーの接着を改良する。

【００５４】

高容量、低電力、超コンパクト、および高性能記憶への要求は、走査型プローブ顕微鏡ベースの記憶システムにおいて、過去５年間を越えて非常な重要性を形成した。尖った先端と多くの記憶媒体を備えたカンチレバーの２－Ｄアレイに基づく、異なる読み出し／書き込みメカニズムが、調査されてきた。熱機械（thermo-mechanical）、圧電化学（piezo electricmechanical）、または強誘電体（ferroelectric）の記憶システムが、数テラビット／平方インチ（Ｔｂｉｔｓ／ｓｑ．ｉｎｃｈ）容量と、許容できる１チップあたりキロビット／秒（ｋｂ／ｓ）のオーダーの読み出し／書き込み速度を実現した。相変化媒体（phase change media）が提案され試されたが、読み出しまたは書き込む電流を拡大しない活性媒体層を保護するための被覆層が必要である。熱または圧電の読み出し／書き込みメカニズムの欠点は、データ密度と電力消費の双方の拡張性に関連する。一方で、強誘電体プローブ記憶システム（ferroelectric probe storage system）は、電場を用いて、強誘電体媒体中のドメインの極性を部分的に変化させ、ビットの書き込みを可能にする。この電場スイッチングは、熱および／または電流の発生や調整を必要とせず、強誘電体ビットの書き込みは、比較的低電力を消費する。２０ｎｍより小さな大きさと４０ｎｍより小さなピッチを有する強誘電体ビットアレイの速い書き込み（１００ｋｂｐｓ）は、電場スイッチングプロセスを用いて達成できる［５］。最近開発された非破壊読み出し方法は、走査型プローブを用いて、ビットに関連した電気的変化の高速（ｃｍ／ｓ）検出を行った。

【００５５】

全ての記憶デバイスは、大きさとビットを減らし、データ密度を増やしながら、適切な信号とノイズの比（signal-to noise ratio）を維持する難題に直面する。信号とノイズの比を最大にするために、可能な限り読み書きヘッドの近くに配置された読み書きチャネルエレクトロニクスを有することが望まれる。プローブ記憶デバイスでは、この重大な要求が、読み書きヘッドとして働く鋭い先端と、同じウエハ上のＣＭＯＳ読み書きチャネル回路を有するＭＥＭＳベースの、アレイ状のカンチレバーを集積することにより満たすことができ、これによりＣＭＯＳ－ＭＥＭＳモノリシック集積デバイスを形成する。「電流（electrical current）」プローブ記憶システムのためのＣＭＯＳ集積カンチレバーアレイを完全に作製することができる、完全な表面マイクロマシニング技術とプロセスフローが、以下のパラグラフに示される。

【００５６】

この技術は、４５０℃の最大温度で堆積されたＣＭＯＳ－互換材料－シリコンゲルマニ

ウム（ＳｉＧｅ）と、電気的な読み出し／書き込みシステムと共に集積された先端を有するカンチレバーを作製するための、ＣＭＯＳ第１のアプローチと互換性のある低温プロセスを用いる。これにより、ＭＥＭＳデバイス３は、ＣＭＯＳ基板２の上で行われる。プローブ記憶デバイスは、動作のためと信号処理／コーディングのために、広いアレイの一部として、それぞれのカンチレバーに繋がる広いＣＭＯＳ回路を必要とする。最後のＣＭＯＳメタライゼーション５の上にカンチレバーを直接作製する可能性は、プローブ記憶システムの超小型化の解決に繋がる。寄生回路パラメータは最小にでき、これにより、書き込み動作中の、感度と信号とノイズの比が改良される。

【００５７】

２重の厚さ（dual-thickness）のカンチレバー構造層４は、カンチレバーの低いねじり合成と高い平坦性の双方を達成するように満たす。広い動作温度の範囲内での書き込み／読み出し動作中に、複数のカンチレバーの中間位置に、同時に正確に先端を配置するのを保証するために、垂直方向だけでなく、水平方向の動きも各カンチレバーに提供される。垂直方向と水平方向の双方へのカンチレバーの移動を制御する移動電圧の使用を緩和するために、カンチレバー移動電圧の低減に特別な注意が払われた。電気接続が、ＣＭＯＳから先端に、部分的に吊り下げられ、分離され、カンチレバー表面の上を走るＰｔ線（配線）を用いて提供される。この読み出し／書き込みシステムの独特の部分は、同時に、読み出し動作および書き込み動作の双方を最適化する。

【００５８】

プロセスの記載

カンチレバー／先端／配線１の模式的な外観図が、図１４に示される。

【００５９】

プロセスは、Ｍ６ＣＭＯＳ５と呼ばれる、最後のＣＭＯＳメタライゼーションの上で始まる。この金属レベル５は、ＣＭＯＳ基板２の相互接続パターンのトップの金属レベルである。それは、一般には、Ａｌ層１３の上のＴｉＮ層１２からなる。この相互接続パターンは、誘電体層中の開口部２１を通って互いに電気的に接続された、誘電体と導電層のスタック２２である。この相互接続パターンを通って、ＣＭＯＳ基板２中の活性デバイスは、互いに、またはＣＭＯＳ基板２の上のＭＥＭＳデバイス３に接続される。ウエハ２の表面は、高密度プラズマ（ＨＤＰ）酸化物の化学機械研磨（ＣＭＰ）を用いて平坦化され、続いて４００ｎｍ膜厚のＳｉＣ層によりお覆われ、誘電体スタック６を形成する。この絶縁体は、ＨＦ分子が透過せず、それ故に、プロセスの最後の工程である気相ＨＶ（ＶＨＦ）エッチング工程中に、ＣＭＯＳ基板２を保護するために使用される。この最後の工程は、犠牲酸化層を除去し、ＳｉＧｅ構造層４のパターニングにより形成されたカンチレバーアレイを解放するために使用される。

【００６０】

ＳｉＣ層に孔があけられ、バイアが等角のＳｉＧｅ堆積１５により埋められ、それぞれのカンチレバー４を下部の金属層５に接続する。堆積したＳｉＧｅ層１５のパターニングは、カンチレバー４の垂直移動のために、インターエイリア電極（inter alia electrode）８を形成する。

【００６１】

ＨＤＰ犠牲酸化層の良く制御された堆積は、最終構造中に３μｍのギャップ９を形成する。浅いトレンチ（窪み（dimple））とバイア１１が、犠牲酸化層中に形成される。窪みは、犠牲酸化層の表面上に地形を形成し、これは、その上に形成されたカンチレバーの下部表面の地形となり、解放と動作中の静止摩擦を防止する。バイア１１は電極８にカンチレバーを固定するために使用される。

【００６２】

犠牲酸化層の上への、３μｍ膜厚のＳｉＧｅ１５構造層の堆積は、２つの工程に分解される。なぜならば、２５０ｎｍの酸化はオードマスク（酸化ＨＭ）がＳｉＧｅ構造層中に埋め込まれて、ねじれ吊り下げ梁（torsion suspension beam）を形成するからである。堆積されたＳｉＧｅ層をパターニングして構造層４を形成する場合、酸化ＨＭは、水平方

向のアクチュエータ（ナノムーバー（nanomover））と共に、１μｍ膜厚のねじれ梁と３μｍ膜厚のカンチレバーの厚い本体を形成するために、ＳｉＧｅ層１５の一部を保護する。化学機械研磨（ＣＭＰ）工程は、堆積工程後のウエハ表面の平坦性を確実にする。

【００６３】

鋭い先端と、先端をＣＭＯＳ回路に接続する配線（trace）が、続いてカンチレバーの上に形成される。酸化物トレンチ充填とＣＭＰは、先端とＰｔ配線を形成するための平坦な表面を形成する。構造層の上の厚いＳｉＣ層は、配線からきかいてきカンチレバーを分離する。

【００６４】

Ｎｉ／Ａｕパターンは、ＣＭＯＳ／カンチレバーウエハ１を、メモリ材料の層を有するＸ－Ｙスキャナを含む他のＭＥＭＳウエハを接続するために形成される。

【００６５】

最後に、構造層４や、例えばカンチレバー、ウイング、ナノムーバーのようなその中に形成される要素を支持するとともに、この構造層４中の開口部を埋め込む酸化物が除去され、これにより構造層４が解放される。

【００６６】

プロセスの最適化

図１４に示すように、金属層５とＳｉＧｅ電極８との間の界面は、低コンタクト抵抗を達成し、かつＨＦに対するＳｉＣの不浸透性を保持するように最適化される。後者は、ＳｉＧｅとＳｉＣ層６の界面に酸化物が無い場合に得られる、しかしながら、金属５へのバイアのパターニング後にレジスト除去に使用される酸素フローは、露出したＳｉＣ層６の最初の１０ｎｍを激しく酸化する。この酸化されたＳｉＣ層６は、ＳｉＧｅ１５の堆積前に、希釈されたＨＦと、例えばＡｒプラズマを用いたソフトスパッタエッチクリーンで除去される。Ａｌクリーニングは、金属層５のＡｌ１３上の酸化されたＴｉＮ１２の除去にも使用でき、図１２ｂに示すようにこれは部分的に薄い拡散バリアとなる。図１５に示すように、Ｔｉ／ＴｉＮ界面層１４と組み合わされたこのＳｉＧｅ堆積プロセスは、好適には提案された洗浄手順を含み、最良の達成された文献の結果に比較して最も低いコンタクト抵抗値である$２．５×１０^{－７}Ω－ｃｍ^{２}$を与える。適切な界面の最適化により、コンタクト抵抗のウエハ内均一性（８”ウエハ）は、図１５に示すように大幅に改良される。

【００６７】

構造層４のためのＳｉＧｅ１５の堆積は、堆積時間（コストとサイクル時間）と材料の歪勾配を最小にするように最適化される。図１６は、ＳｉＧｅ層１５を形成するための、２つの堆積手順ＳｉＧｅ１およびＳｉＧｅ２を示す。ＳｉＧｅ２の手順では、最初に、ホウ素がドープされたＳｉＧｅの、４００ｎｍ膜厚のＳｉＧｅ等角化学気相堆積（ＣＶＤ）が行われ、電極８へのアンカー開口部１１を完全に充填する。これは、良好な構造安定性と層接着を確実にし、ＳｉＧｅ結晶核生成と酸化基板の上の成長を保証する。第２に、高い堆積速度を有するプラズマエンハンスドＣＶＤ（ＰＥＣＶＤ）が用いられ、３μｍ膜厚の層を完成させる。この解決は、手順ＳｉＧｅ１で提案されるように、複数のＣＶＤおよびＰＥＣＶＤ堆積の積層では好ましかったが、このＳｉＧｅ２手順では、図１７に示すように、全堆積時間がより短く、ＳｉＧｅのウエハ内均一性が改良される。更に、層の応力と歪勾配の理解と最適化は、十分に単純化され、歪勾配の値は、２μｍ膜厚の層に対して$２×１０^{－５}$／μｍまで低くなる。

【００６８】

小さなコンタクト開口部１１でさえも増加した機械的強度を有する界面を提供することにより、解放中のカンチレバーの層間剥離を防止するために、最適化されたＳｉＧｅ層ＳｉＧｅ２の前に薄いＴｉ／ＴｉＮ接着層１４が形成される。この好適な堆積プロセス、堆積前の洗浄手順、および界面層の組み合わせは、ウエハの非常に良好な膜厚均一性を与えるのみならず、非常に良好に均一性で、非常に低いカンチレバーの初期の撓みを与える。

【００６９】

上述のように、図１２ｃに示すＳｉＧｅ１５層と他の層即ち金属層５との間の低抵抗コ

ンタクトと同様に、ＳｉＧｅ層５と他の層即ちＳｉＧｅ層８との間にも、双方のＳｉＧｅ層４、８の間に界面層１４を挿入しても良い。図１４の点線の円は、２つの層が接続する位置１０を示し、それぞれ、上部層はＳｉＧｅ８、４であり、下層は金属層５またはＳｉＧｅのような半導体層８である。

【００７０】

この界面層１４は、少なくとも開口部の底部に露出した層５、８と開口部１１の側壁を覆う。好適には、この層は、例えば化学気相堆積（ＣＶＤ）またはＰＶＤにより等角に形成される。この界面層１４は、ＴｉＮまたはＴａＮの単層である。この界面層１４は、ＴｉＮ－Ｔｉ層のスタックで、ＴｉＮ層はＳｉＧｅ層８に接続し、Ｔｉ層は金属層スタック５に接続しても良い。この界面層１４は、ＴａＮ－Ｔａ層のスタックで、ＴａＮ層はＳｉＧｅ層８に接続し、Ｔａ層は金属層スタック５に接続しても良い。

【００７１】

このように、他の層は、好適には例えばＡｌ、ＴｉＮ等の金属のような導電層、またはＳｉＧｅのような半導体層である。

【００７２】

界面層１４を形成する前に、追加の洗浄工程を行い、開口部１１中の残渣を除去しても良い。それらの追加の洗浄工程は、ソフトスパッタエッチングおよび／またはH_2プラズマを含む。特に、界面層１４がＴｉＮまたはＴａＮ層のみからなる場合、好適には追加の洗浄工程は更にコンタクト抵抗を減らし、基板での抵抗の均一性を改良するために行われる。

【００７３】

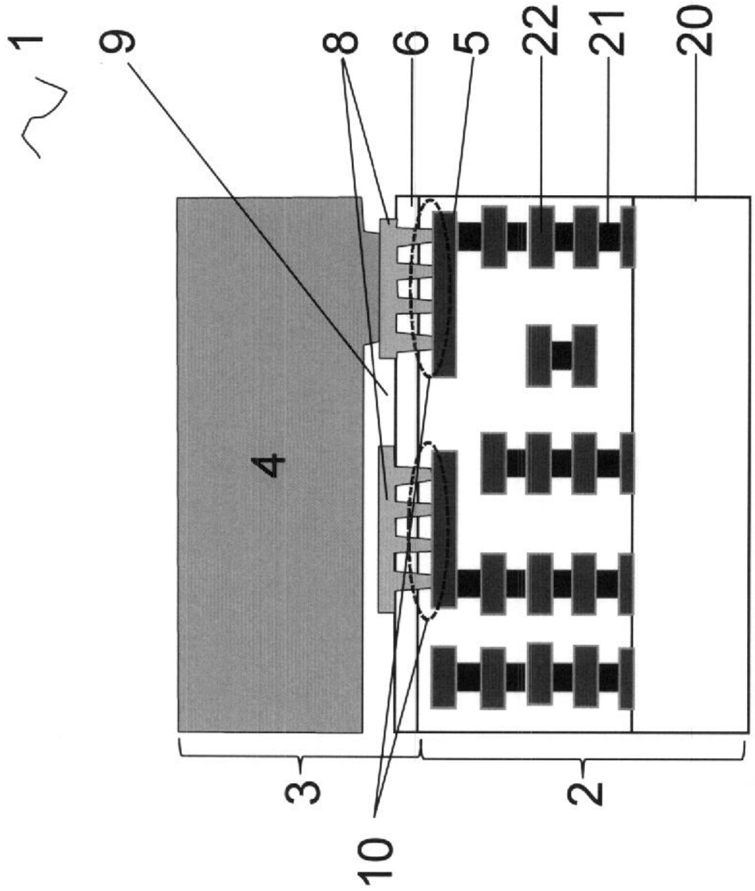
この後に、ＳｉＧｅ層１５が界面層１４の上に、例えば化学気相堆積により形成される。パターニングされたＳｉＧｅ層８は、薄膜化されたキャップ層１２のみならず、界面層１４によっても下部のＡｌＣｕ層１３から離れて配置され、増加した核酸バリアが得られる。もし、界面層１４を形成するためにＴａＮが使用された場合、ＴａＮが部分的に酸化されるため、堆積された界面１４を酸化雰囲気に露出させないように注意しなければならない。好適には、ＴａＮ界面層の１４の堆積後に、基板は非酸化雰囲気中をＳｉＧｅ堆積ツールに運ばれ、もしこれが不可能な場合は、ＳｉＧｅの堆積工程に先立って、酸化されたＴａＮを除去する追加の洗浄工程が行われる。

【００７４】

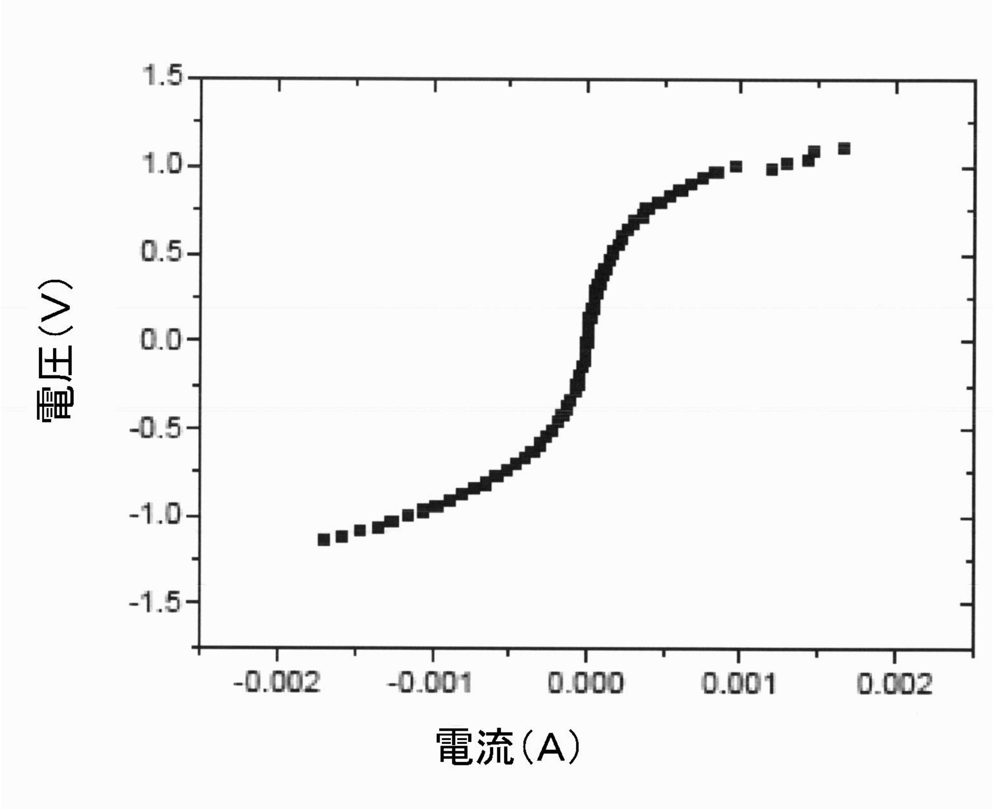
処理結果

カンチレバーの大きさを変えるための異なるデザイン導入され、カンチレバーの機械的特性を変化させる。

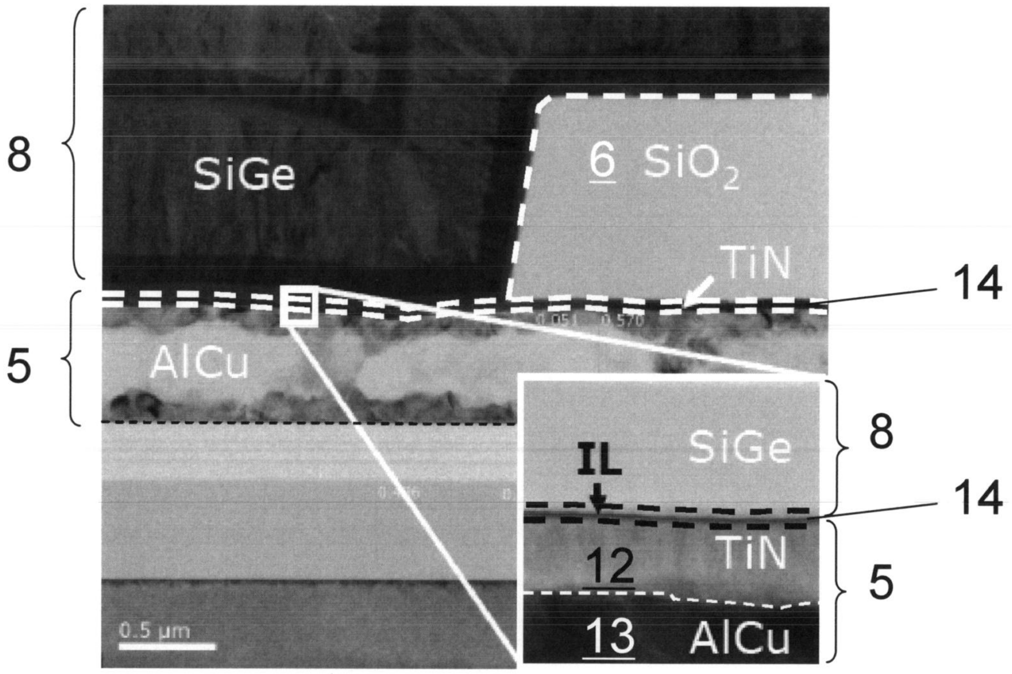
【図１】


1
9
8
6
5
22
21
20
4
3
2
10

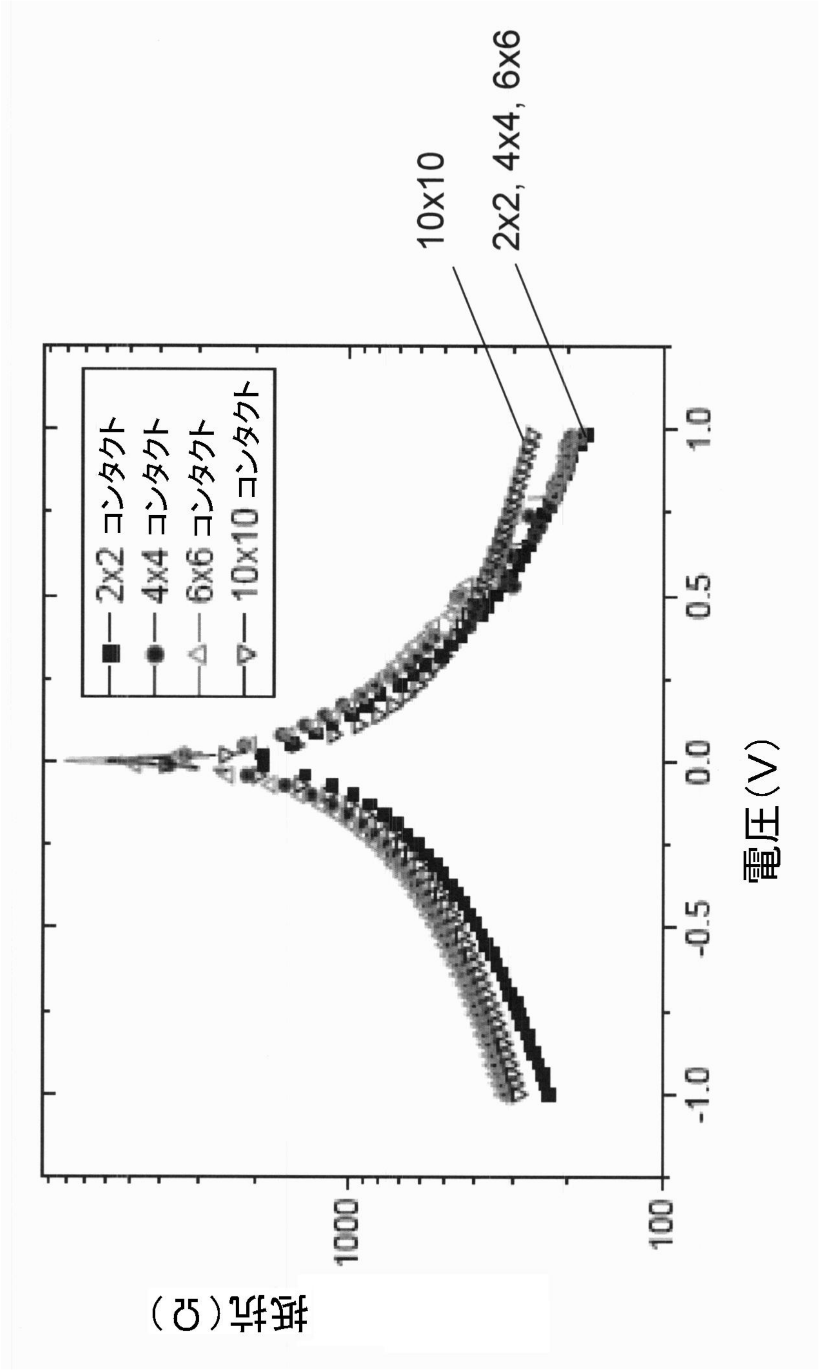
【図２】


1.5
1.0
0.5
0.0
-0.5
-1.0
-1.5
電圧(V)
-0.002
-0.001
0.000
0.001
0.002
電流(A)

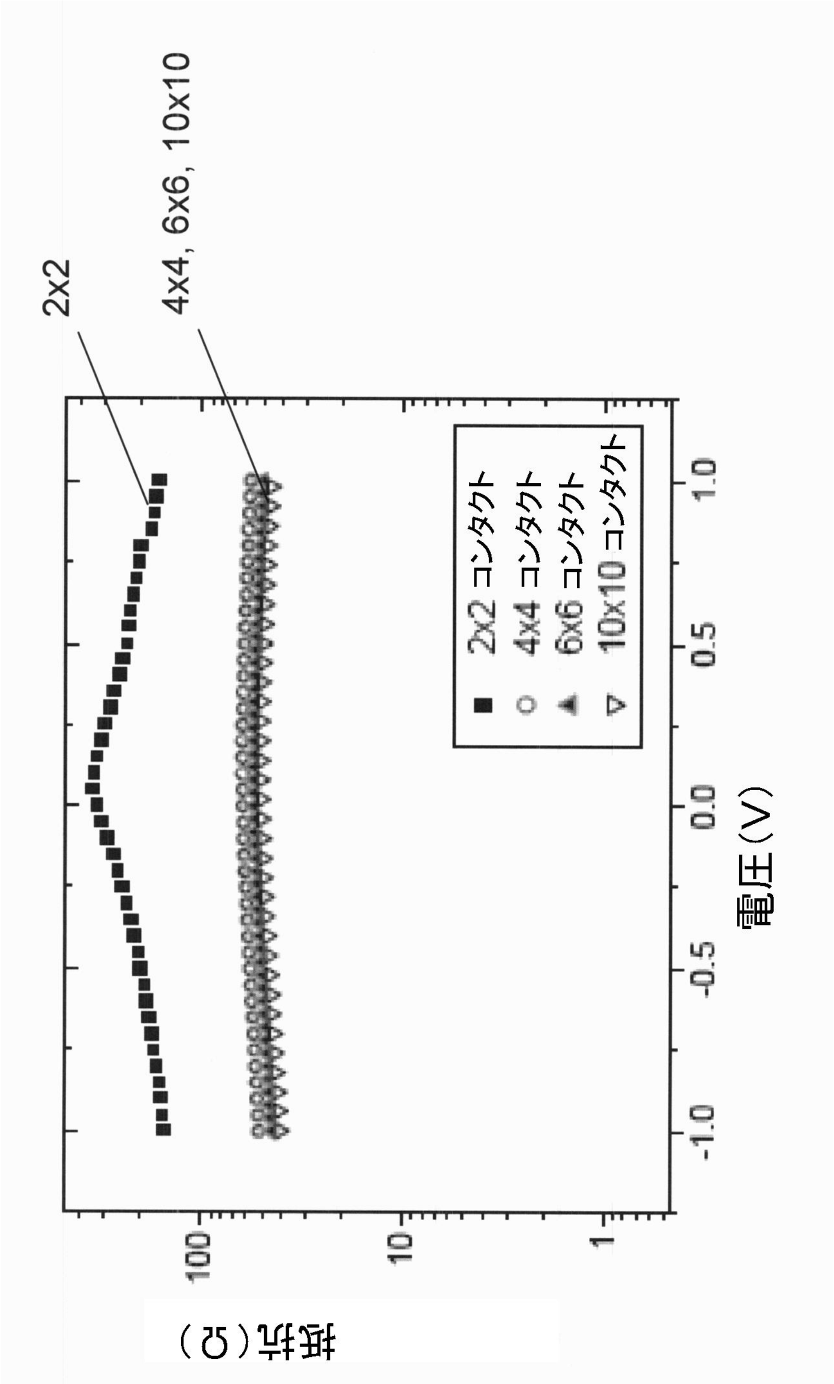
【図３】



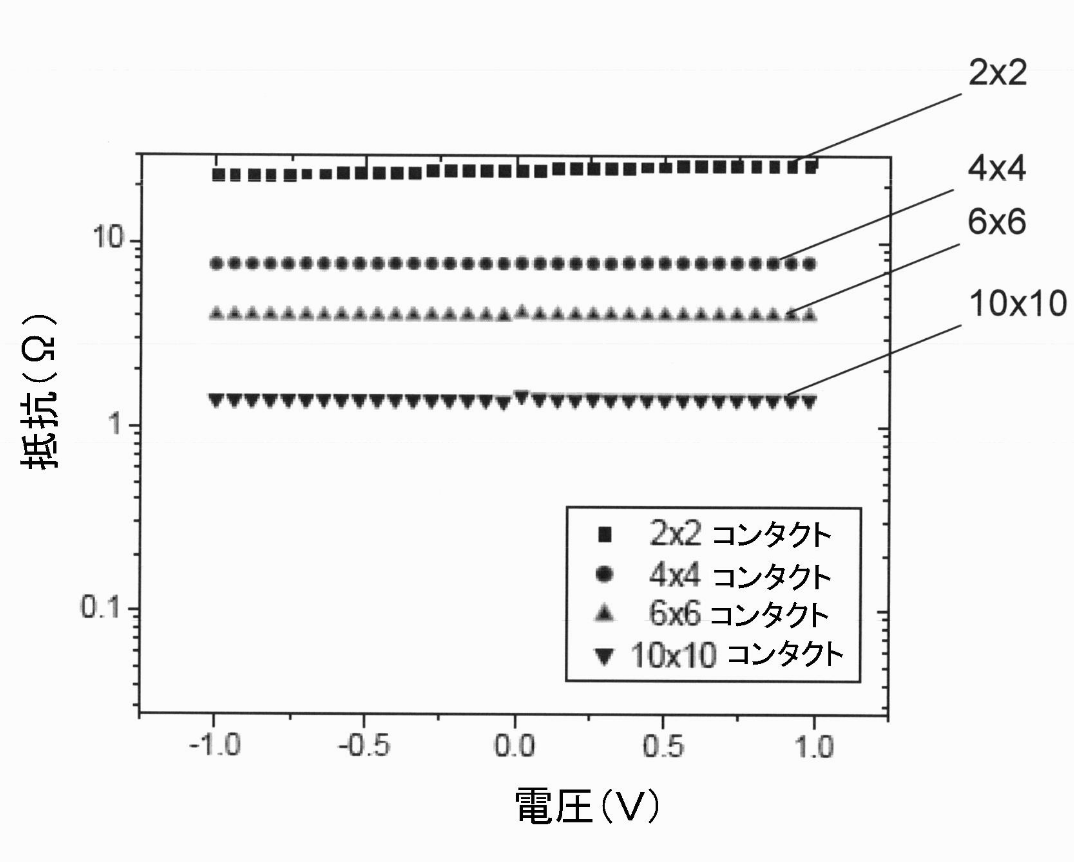
【図４】


10x10
2x2, 4x4, 6x6
2x2 コンタクト
4x4 コンタクト
6x6 コンタクト
10x10 コンタクト
1000
100
-1.0
-0.5
0.0
0.5
1.0
電圧(V)
抵抗(Ω)

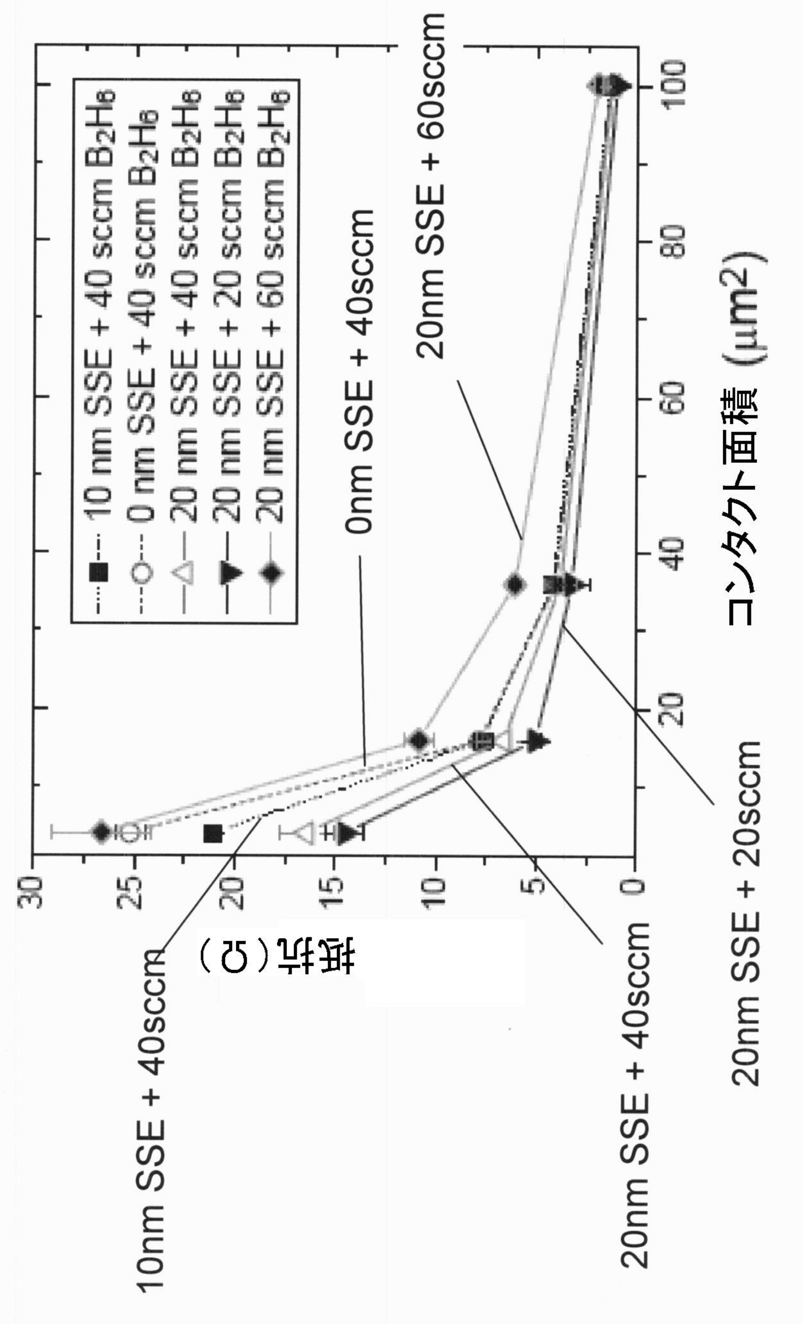
【図５】


2x2
4x4, 6x6, 10x10
2x2 コンタクト
4x4 コンタクト
6x6 コンタクト
10x10 コンタクト
-1.0
-0.5
0.0
0.5
1.0
電圧(V)
100
10
1
抵抗(Ω)

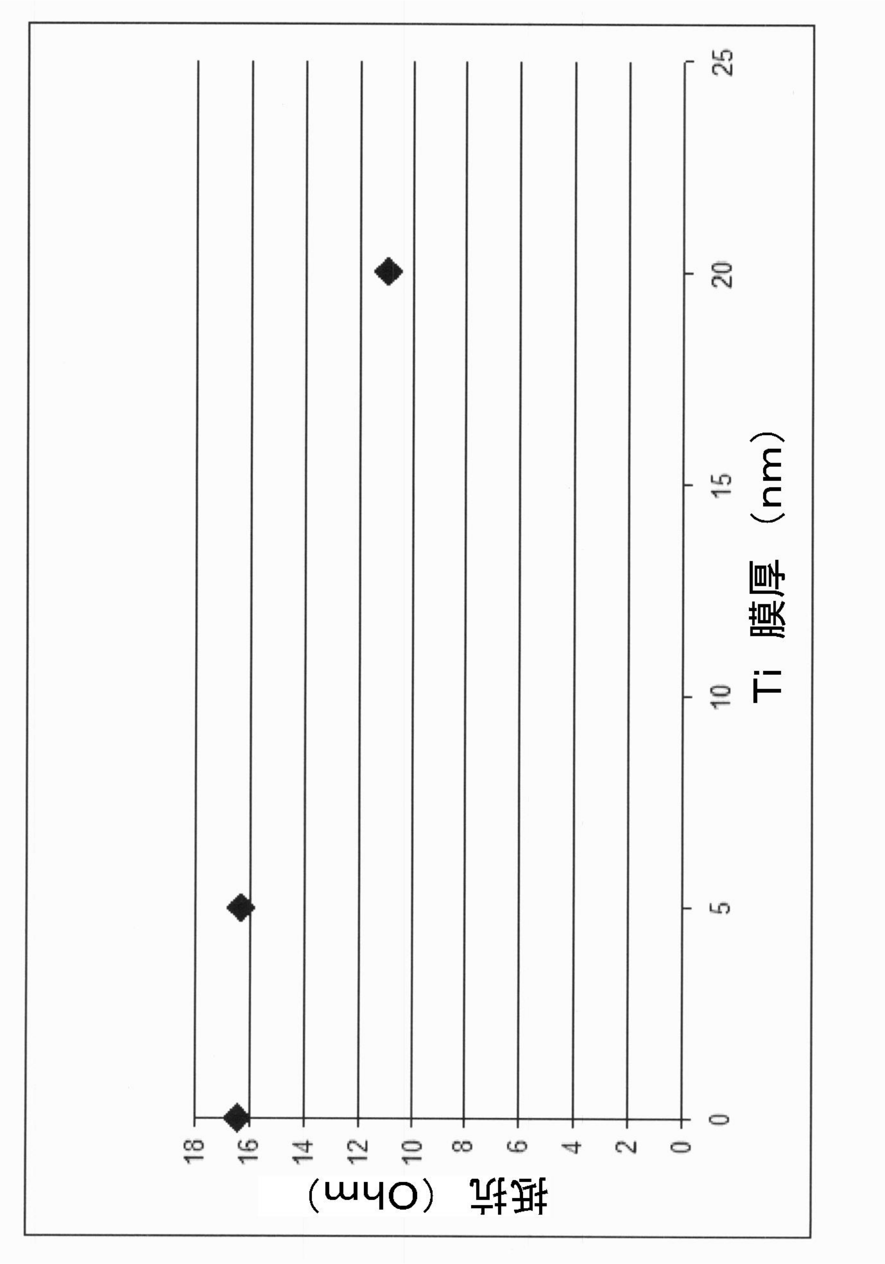
【図６】


2x2
4x4
6x6
10x10
10
1
0.1
抵抗（Ω）
2x2 コンタクト
4x4 コンタクト
6x6 コンタクト
10x10 コンタクト
-1.0
-0.5
0.0
0.5
1.0
電圧（V）

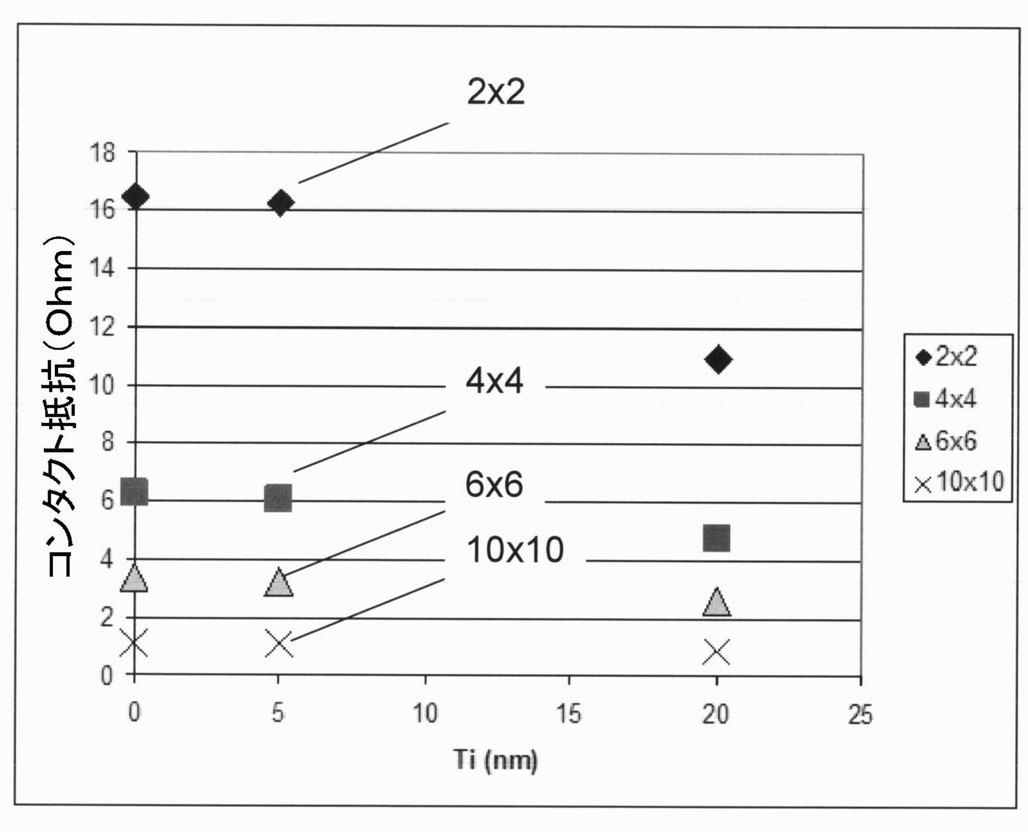
【図７】


10 nm SSE + 40 sccm B_2H_6
0 nm SSE + 40 sccm B_2H_6
20 nm SSE + 40 sccm B_2H_6
20 nm SSE + 20 sccm B_2H_6
20 nm SSE + 60 sccm B_2H_6
0nm SSE + 40sccm
20nm SSE + 60sccm
10nm SSE + 40sccm
20nm SSE + 40sccm
20nm SSE + 20sccm
抵抗（Ω）
コンタクト面積（μm^2）
0
5
10
15
20
25
30
20
40
60
80
100

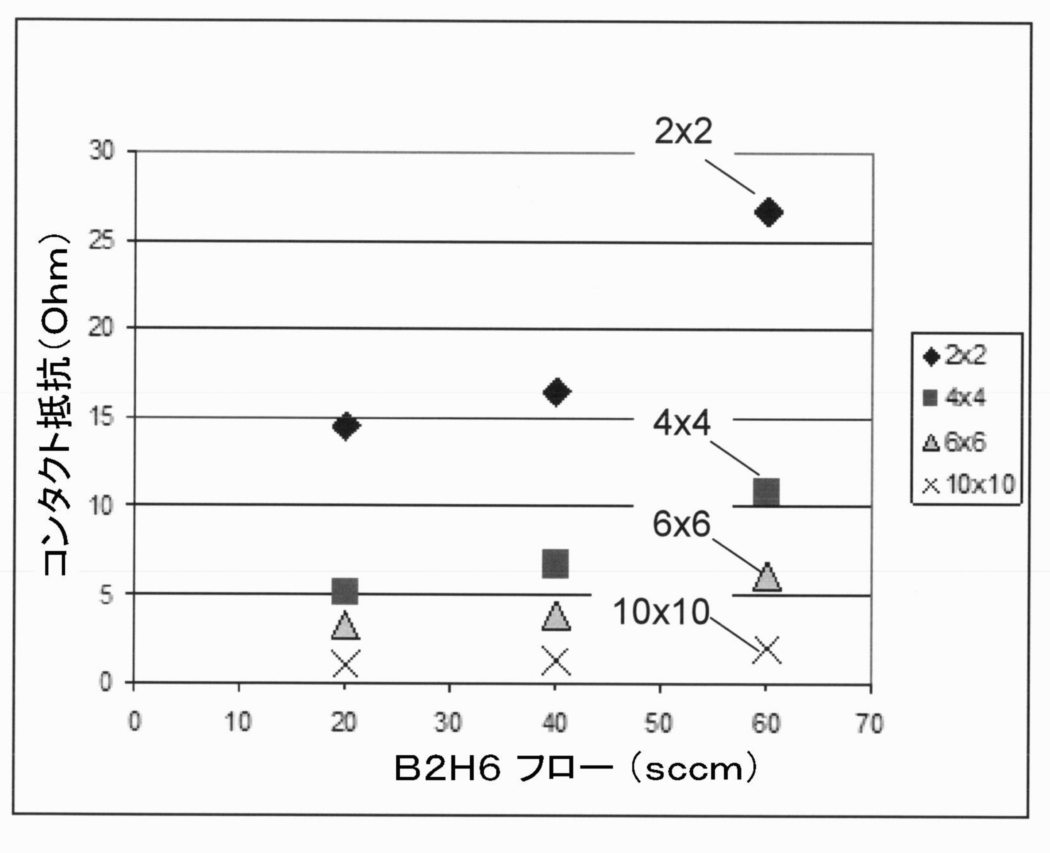
【図８】



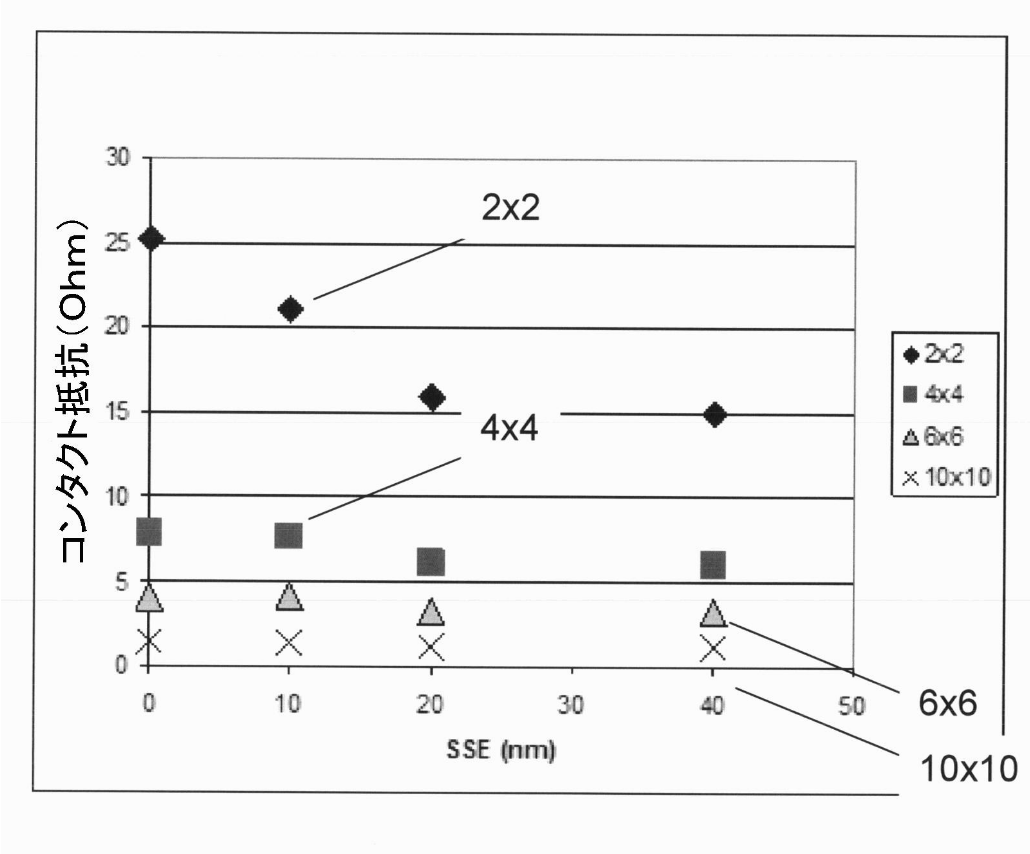
【図９】


2x2
4x4
6x6
10x10
コンタクト抵抗(Ohm)
Ti (nm)
0
2
4
6
8
10
12
14
16
18
0
5
10
15
20
25
◆2x2
■4x4
△6x6
×10x10

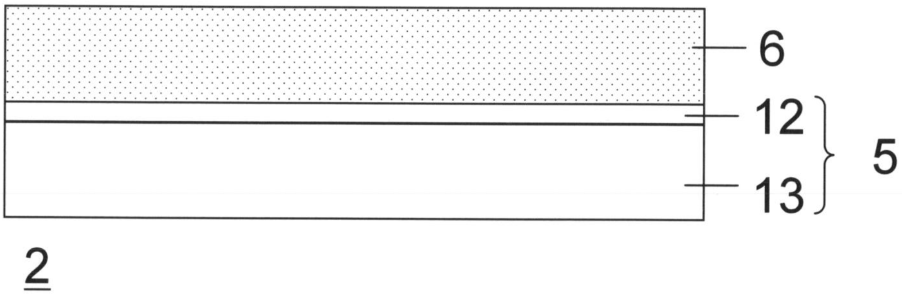
【図１０】


2x2
4x4
6x6
10x10
コンタクト抵抗(Ohm)
B2H6 フロー (sccm)
0
5
10
15
20
25
30
0
10
20
30
40
50
60
70
◆2x2
■4x4
△6x6
×10x10

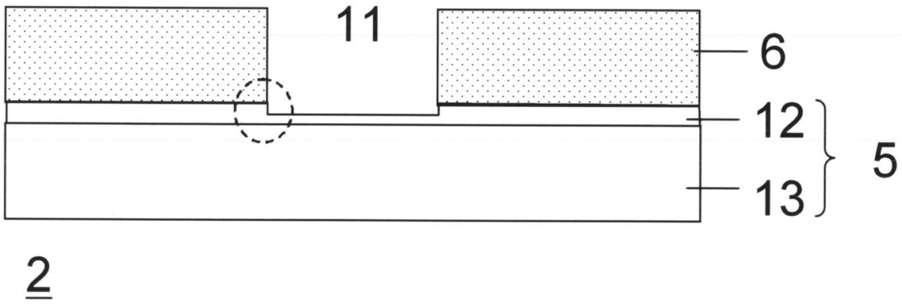
【図１１】



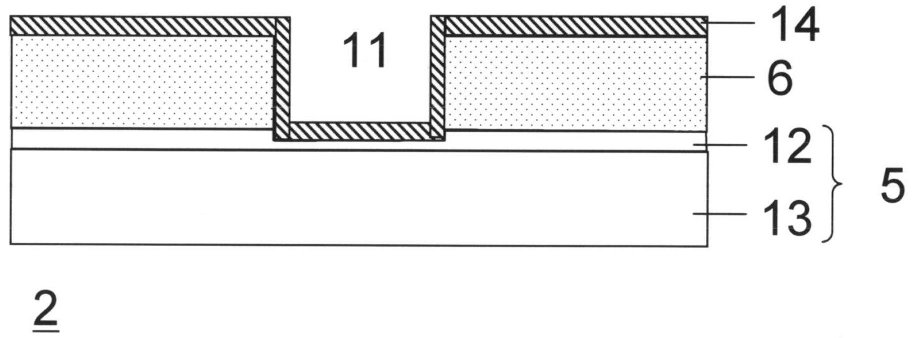
【図１２ａ】



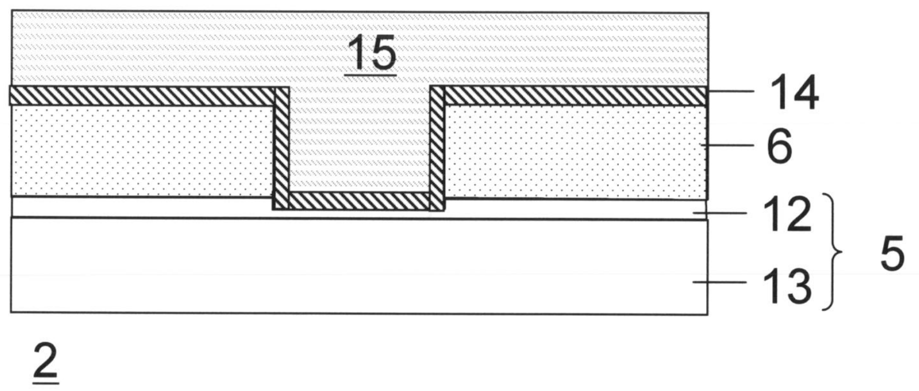
【図１２ｂ】



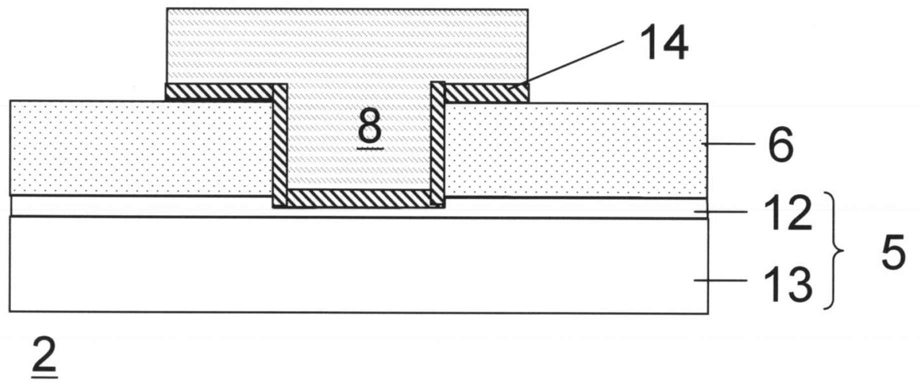
【図１２ｃ】



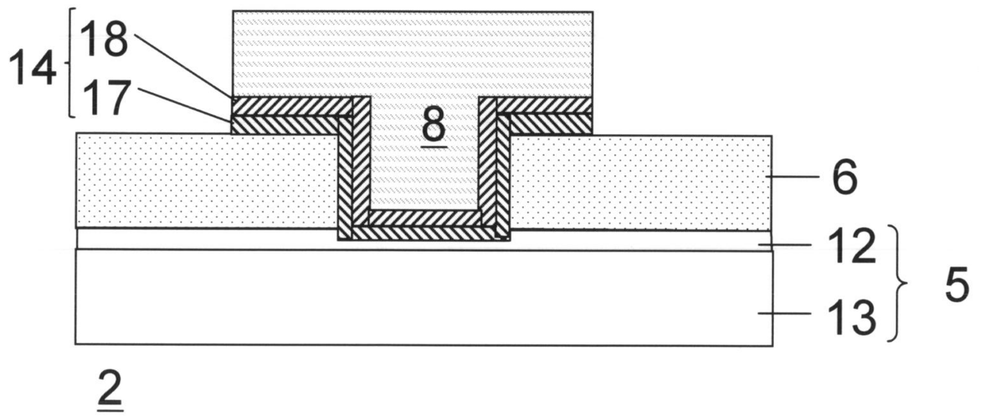
【図１２ｄ】



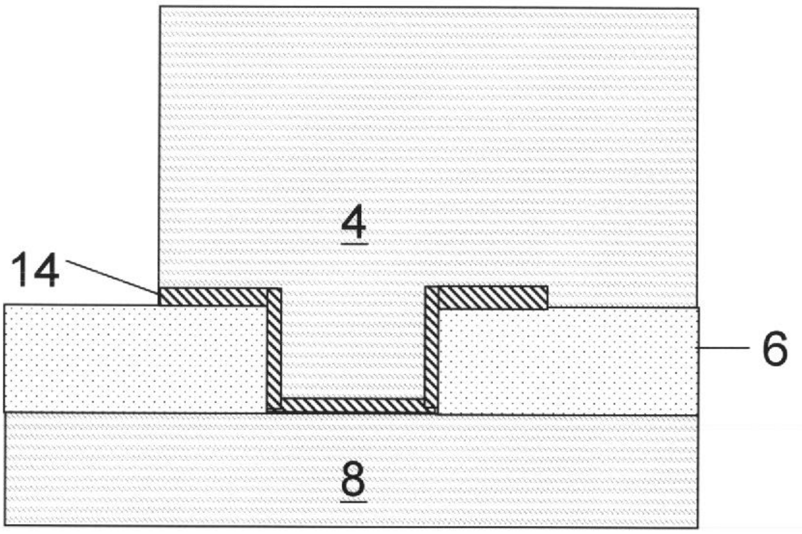
【図１２ｅ】



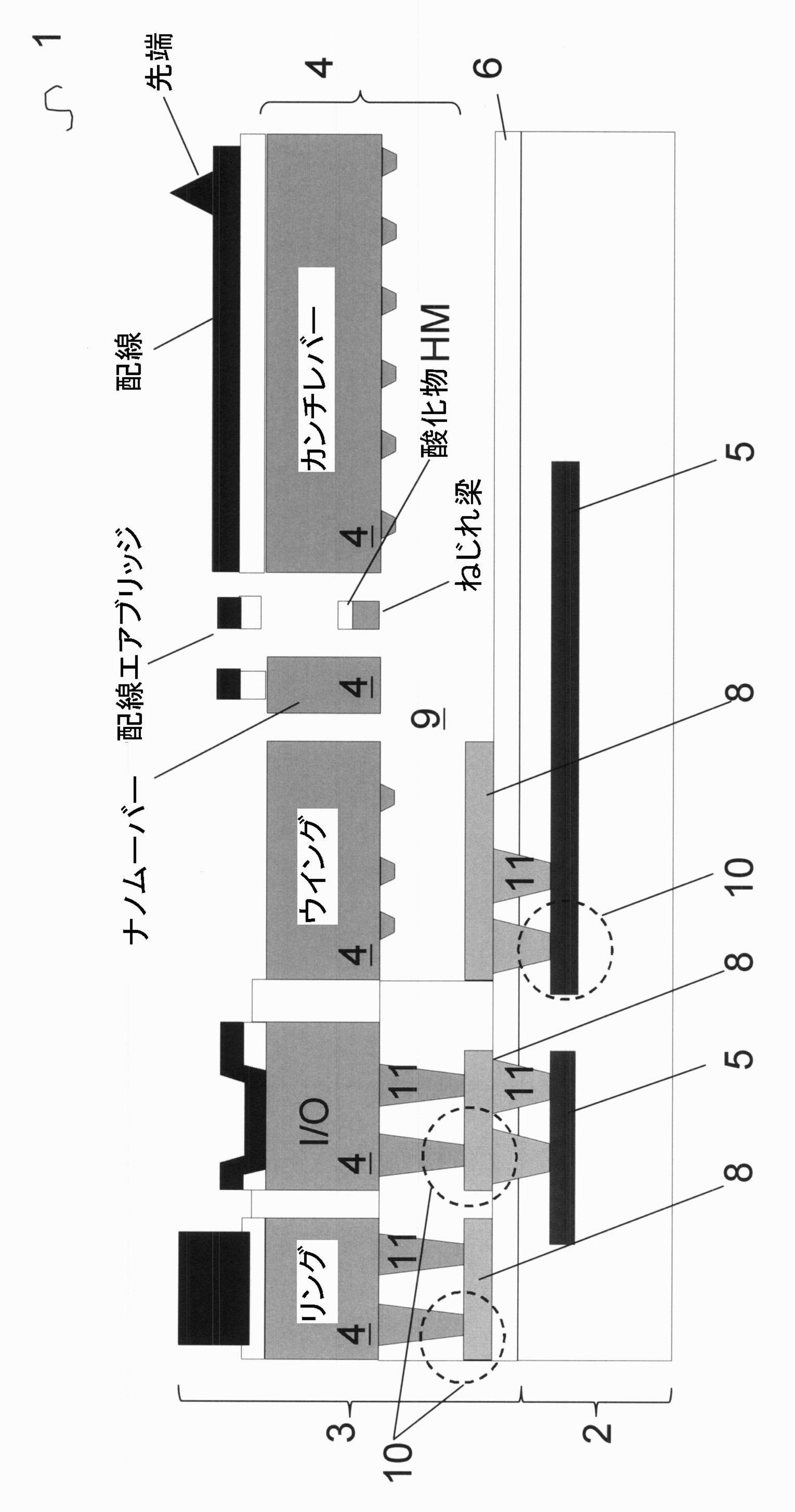
【図１２ｆ】



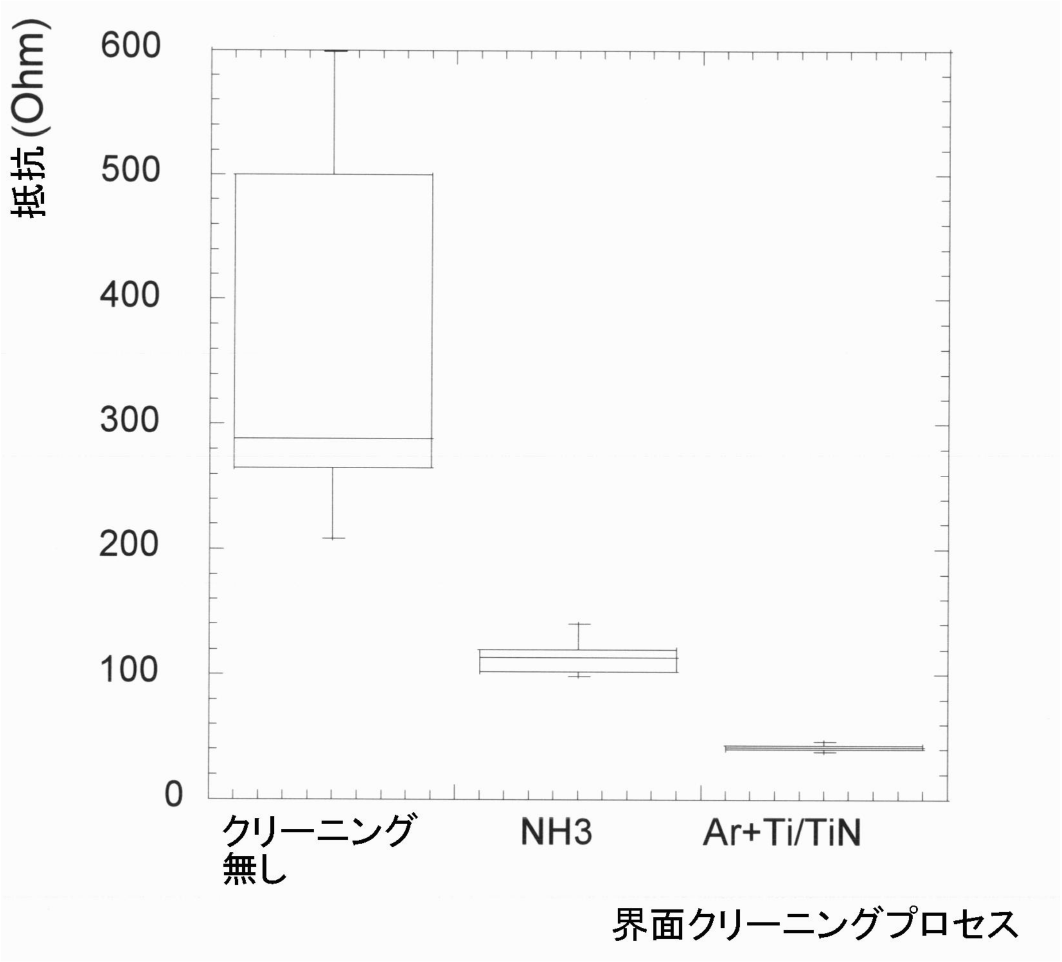
【図１３】



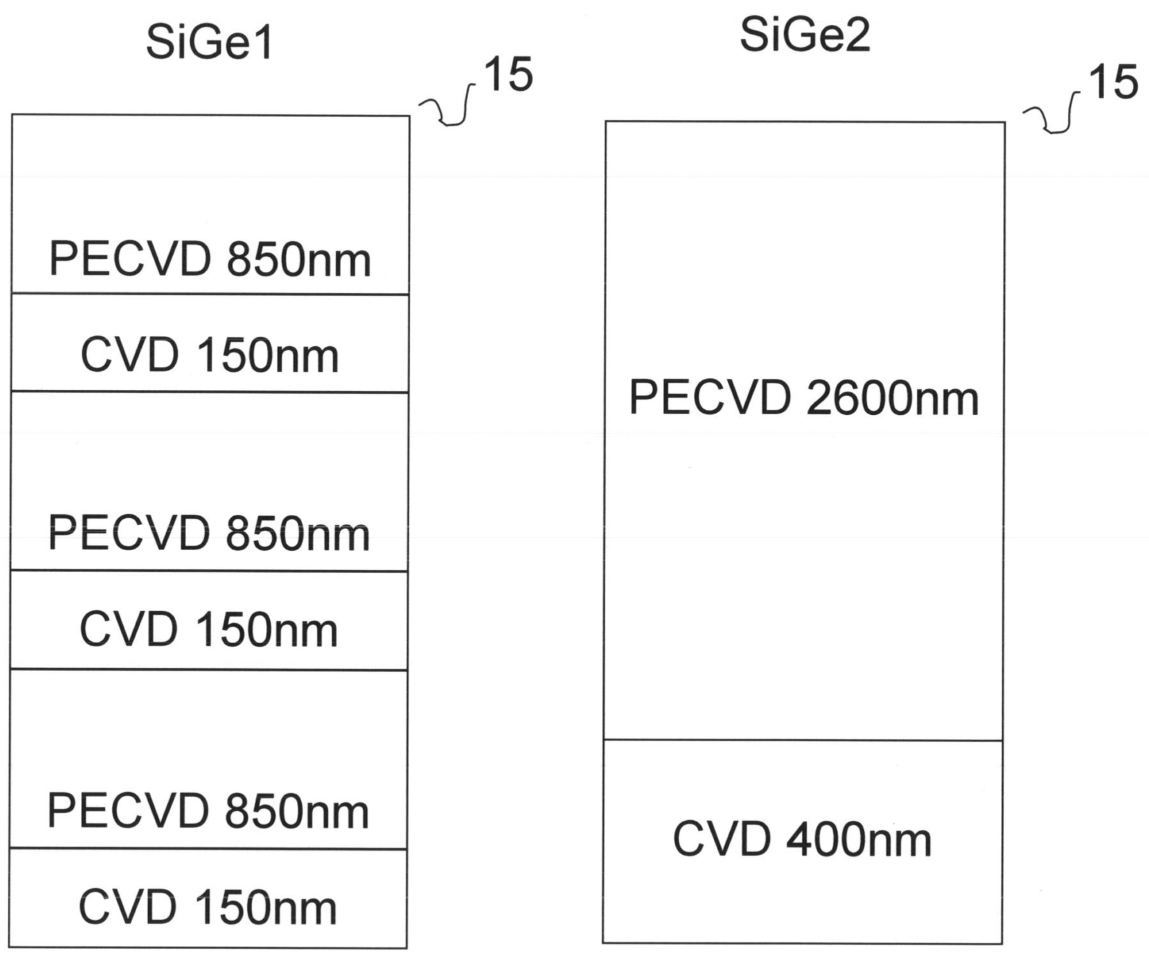
【図１４】


1
先端
4
6
配線
カンチレバー
酸化物HM
ねじれ梁
5
配線エアブリッジ
ナノムーバー
9
8
ウイング
11
10
I/O
リング
3
2

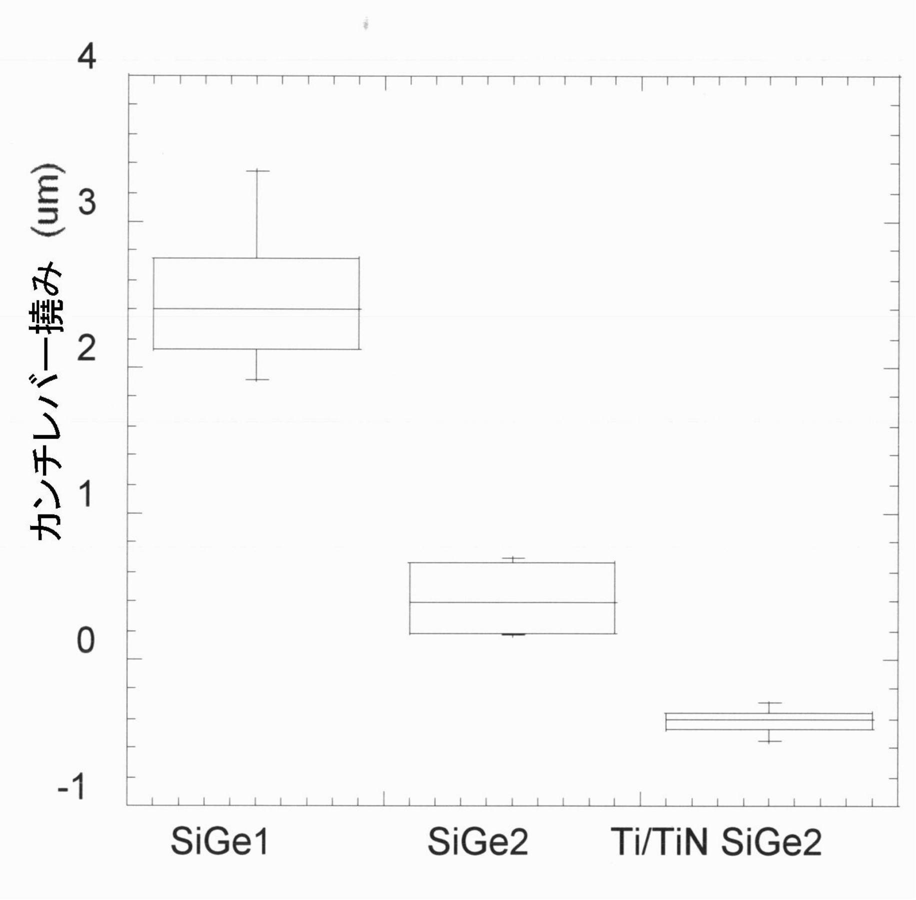
【図１５】


抵抗(Ohm)
600
500
400
300
200
100
0
クリーニング
無し
NH3
Ar+Ti/TiN
界面クリーニングプロセス

【図１６】


SiGe1
15
PECVD 850nm
CVD 150nm
PECVD 850nm
CVD 150nm
PECVD 850nm
CVD 150nm
SiGe2
15
PECVD 2600nm
CVD 400nm

【図１７】



フロントページの続き

(74)代理人　100101454
　　　　　　弁理士　山田　卓二
(74)代理人　100081422
　　　　　　弁理士　田中　光雄
(74)代理人　100100479
　　　　　　弁理士　竹内　三喜夫
(74)代理人　100112911
　　　　　　弁理士　中野　晴夫
(72)発明者　アジェイ・ジェイン
　　　　　　アメリカ合衆国９７２２９オレゴン州ポートランド、ノースウエスト・デイン・レイン１５１５０番
(72)発明者　シモーネ・セヴェリ
　　　　　　ベルギー３０００ルーヴァン、ナームセストラート１３９番、ブス４
(72)発明者　ヘルト・クラエス
　　　　　　ベルギー３６６５アス、カペルストラート２１番
(72)発明者　ジョン・ヘック
　　　　　　アメリカ合衆国９４７０２カリフォルニア州バークレー、キャサリン・ドライブ１４７１番

　　審査官　岩瀬　昌治

(56)参考文献　特開２００７－３１８１３２（ＪＰ，Ａ）
　　　　　　　国際公開第２００８／０５３００８（WO，Ａ２）
　　　　　　　特表２００２－５３４２８５（ＪＰ，Ａ）
　　　　　　　特開２００９－１２３８８６（ＪＰ，Ａ）
　　　　　　　特開２０００－２１６２４９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
　　　　　　　Ｂ８１Ｂ　　　７／０２
　　　　　　　Ｂ８１Ｃ　　　１／００