

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6141627号
(P6141627)

(45) 発行日 平成29年6月7日(2017.6.7)

(24) 登録日 平成29年5月12日(2017.5.12)

(51) Int.Cl. F I
 H O 1 L 21/205 (2006.01) H O 1 L 21/205
 C 2 3 C 16/34 (2006.01) C 2 3 C 16/34

請求項の数 19 (全 11 頁)

(21) 出願番号	特願2012-266296 (P2012-266296)	(73) 特許権者	501315784
(22) 出願日	平成24年12月5日 (2012.12.5)		パワー・インテグレーションズ・インコーポレーテッド
(65) 公開番号	特開2013-123052 (P2013-123052A)		アメリカ合衆国・95138・カリフォルニア州・サン ホゼ・ヘリヤー アベニュー・5245
(43) 公開日	平成25年6月20日 (2013.6.20)		
審査請求日	平成27年12月4日 (2015.12.4)	(74) 代理人	110001195
(31) 優先権主張番号	13/316, 305		特許業務法人深見特許事務所
(32) 優先日	平成23年12月9日 (2011.12.9)	(72) 発明者	ジャマル・ラムダニ
(33) 優先権主張国	米国 (US)		アメリカ合衆国、08869 ニュー・ジャージー州、ラリタン、リバー・パーク・ドライブ、352

最終頁に続く

(54) 【発明の名称】 シリコン基板上にGaN層を形成する方法およびGaN基板

(57) 【特許請求の範囲】

【請求項1】

シリコン基板上にGaN層を形成する方法であって、
 シリコンウェハと前記シリコンウェハの表面上の結晶性のAl₂O₃膜との間にAlSiOのアモルファス膜を形成する工程と、
 前記Al₂O₃膜上に複数の積層層を堆積させる工程と、
 シリコンウェハの表面上の前記Al₂O₃膜中にボイドを形成する工程とを含み、
 各積層層は、AlNの層上にGaNの層を含み、
 前記アモルファス膜は、前記シリコンウェハおよび前記結晶性のAl₂O₃膜に由来するアルミニウム、シリコンおよび酸素を含み、

前記シリコンウェハの前記上面は、<111>シリコン結晶方位に沿っており、前記ボイドはAlNおよびGaNによって埋められ、

前記Al₂O₃膜中のボイド上のGaN膜中の領域は、Al₂O₃膜中のボイド上以外のGaN膜中の領域よりも高い貫通転位密度を有する、方法。

【請求項2】

前記ボイドを形成する工程は、前記アモルファス膜の一部を前記ボイドの底部に沿って露出させる工程を含む、請求項1に記載の方法。

【請求項3】

前記ボイドを形成する工程および前記アモルファス膜を形成する工程は、同時に行われる、請求項2に記載の方法。

【請求項 4】

前記ポイドを形成する工程は、有機金属気相成長（MOCVD）プロセスの一部として行われる、請求項 2 に記載の方法。

【請求項 5】

前記積層層を堆積する工程は、MOCVD プロセスの一部として行われる、請求項 2 に記載の方法。

【請求項 6】

前記複数の積層層は、3つの積層層のみである、請求項 3 に記載の方法。

【請求項 7】

前記複数の積層層は、4つの積層層のみである、請求項 3 に記載の方法。

10

【請求項 8】

前記複数の積層層の最終的に形成される積層層の GaN 膜は、少なくとも $2.5 \mu\text{m}$ の厚さである、請求項 1 に記載の方法。

【請求項 9】

前記最終的に形成される積層層の前記 GaN 膜は、少なくとも $4 \mu\text{m}$ の厚さである、請求項 8 に記載の方法。

【請求項 10】

前記アモルファス膜の厚みは 2 nm から 10 nm であり、

前記複数の積層層の最終的に形成される積層層の GaN 膜上にトランジスタを形成する工程をさらに含む、請求項 1 に記載の方法。

20

【請求項 11】

GaN 基板であって、

< 111 > 結晶方位に沿う上面と、底面と、を有するシリコン基板と、

前記シリコン基板の前記上面上に Al_2O_3 膜とを備え、前記 Al_2O_3 膜は結晶性であり、前記 GaN 基板はさらに、

前記シリコン基板の前記上面と前記 Al_2O_3 膜との間にアモルファス膜と、

前記 Al_2O_3 膜上に複数の積層層とを備え、

各積層層は AlN 膜上に GaN 膜を含み、

Al_2O_3 膜中のポイド上の GaN 膜中の領域は、 Al_2O_3 膜中のポイド上以外の GaN 膜中の領域よりも高い貫通転位密度を有する、GaN 基板。

30

【請求項 12】

Al_2O_3 膜中に画定される複数のポイドをさらに備える、請求項 11 に記載の GaN 基板。

【請求項 13】

前記シリコン基板から最も遠い最終的な積層層の前記 GaN 膜は、少なくとも $2.5 \mu\text{m}$ の厚さである、請求項 12 に記載の GaN 基板。

【請求項 14】

前記最終的な積層層の前記 GaN 膜は、少なくとも $4 \mu\text{m}$ の厚さである、請求項 13 に記載の GaN 基板。

【請求項 15】

40

前記シリコン基板の前記上面に最も近い第 1 の積層層が前記ポイドを埋める、請求項 12 に記載の GaN 基板。

【請求項 16】

第 2 の積層層は、前記第 1 の積層層よりも低い貫通転位密度を有し、前記第 2 の積層層は、前記第 1 の積層層と比較して前記シリコン基板の前記上面からさらに遠い、請求項 15 に記載の GaN 基板。

【請求項 17】

前記複数の積層層は、3つの積層層のみである、請求項 11 に記載の GaN 基板。

【請求項 18】

前記複数の積層層は、4つの積層層のみである、請求項 11 に記載の GaN 基板。

50

【請求項 19】

請求項 11 に記載の GaN 基板において、前記シリコン基板から最も遠い最終的な積層層上に形成されたトランジスタであって、
前記アモルファス膜の厚みは 2 nm から 10 nm である、トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般的に窒化ガリウム (GaN) 基板に関し、より特定的には、本開示は、シリコン上に GaN 基板を作製するための方法に関する。

【背景技術】

10

【0002】

バンドギャップの広い半導体は、高電圧用途のための能動素子を作製するために広く用いられている。ヘテロ接合電界効果トランジスタ (HFET) (高電子移動度トランジスタ (HEMT) と呼ばれる) として知られる半導体構造の一種は、高性能パワーエレクトロニクス用トランジスタを実現するために、バンドギャップの広い半導体を用いている。一例では、バンドギャップの広い HFET 装置は、高電圧スイッチングパワーコンバータにおけるスイッチング素子として用いられ得る。

【0003】

GaN は、特に関心が生じているバンドギャップの広い半導体の一例である。たとえば、AlGaIn/GaN HFETs は、より広いバンドギャップおよび高電子飽和速度を有し、これらがともに高電圧動作を可能にするため、パワーエレクトロニクス用に有望である。しかし、GaN 基板を形成する際の難しさおよび費用により、GaN 系装置の特定の市場への応用は限定されている。

20

【0004】

GaN 基板は、典型的には、バルク GaN ウェハを製造する費用および難しさのため、別の基板上に GaN 膜を成長させることにより製造される。たとえば、炭化珪素 (SiC) またはサファイア (Al_2O_3) ウェハが、GaN 基板用のハンドルウェハとして用いられ得る (すなわち、GaN 膜がハンドルウェハ上に堆積される)。しかし、サファイアは熱伝導体として不十分であり、パッケージ化中に問題を提起する可能性があり、SiC ウェハはいまだ非常に高価である。さらに、いずれの種類のウェハも、より直径の小さなウェハのみしか入手できず、より大きな直径で可能なスケールメリットがなくなる。

30

【0005】

GaN 基板を作るための別の選択肢は、低価で、大きな直径で入手できるシリコンハンドルウェハを用いることである。さらに、シリコンウェハには、パッケージ化に必要なバックエンド研磨およびラッピングが十分に開発されている。しかし、GaN とシリコンとの間に大きな格子不整合および大きな熱的不整合があるため、シリコン (Si) 基板上に直接 GaN を確実に成長させることは困難となり得る。代わりに、シリコン上にクラックのない GaN をエピタキシャル成長させるには、成長中および成長後の反りおよび歪みを最小化するために、大がかりなバッファ層設計が必要となり得る。さらに、高電圧用途 (たとえば、600 V 超) では 2.5 μm を超えるバッファ層、さらに、(たとえば、1, 000 V 用途の場合) 4 μm までのバッファ層が必要となり得る。

40

【0006】

本発明のいくつかの実施形態のさまざまな局面、特徴、および利点が、以下の図面とともに提示される、以下のより具体的な説明により明らかになるであろう。

【0007】

本発明の非限定的かつ非網羅的な実施形態を以下の図を参照して説明し、特に明記されなければさまざまな図を通して同じ参照番号は同じ部分を指す。

【図面の簡単な説明】

【0008】

【図 1】本発明のある実施形態に従う GaN 基板を作製する際に用いられる、< 111 >

50

結晶方位に沿って露出した表面を有するシリコンウェハの例を示す図である。

【図2】本発明のある実施形態に従うウェハの上面上に結晶性酸化アルミニウム Al_2O_3 の膜を有する GaN 基板の作製の段階での基板を示す図である。

【図3】本発明のある実施形態に従う Al_2O_3 膜下にアモルファス膜を有する GaN 基板の作製の別の段階での基板を示す図である。

【図4】本発明のある実施形態に従う AlN 膜の上部に GaN 膜が成長された後の GaN 基板の作製のさらに別の段階での基板を示す図である。

【図5】本発明のある実施形態に従う H F E T 形成に好適な表面を形成するために、いくつかのより多くの GaN および AlN 膜の交互配置された層が成長された後の GaN 基板の作製のさらに別の段階での基板を示す図である。

【図6】本発明のある実施形態に従うトランジスタおよび他の装置を形成するのに好適となり得る GaN 基板を作製するプロセスの例のフローチャートを示す図である。

【発明を実施するための形態】

【0009】

以下の説明では、本発明の完全な理解を与えるため、数多くの具体的な詳細を述べる。しかしながら、本発明を實踐するのに具体的な詳細を用いる必要がないことが当業者には明らかであろう。他の事例では、本発明を曖昧にすることを回避するため、周知の材料または方法を詳細に説明していない。

【0010】

この明細書を通じて、「一実施形態」、「ある実施形態」、「一例」、または「ある例」に対する参照は、実施形態または例と関連して説明される特定のな特徴、構造、または特性が本発明の少なくとも一実施形態に含まれることを意味する。したがって、「一実施形態において」、「ある実施形態において」、「一例」、または「ある例」という、この明細書を通じてさまざまな場所に現われる文言は、必ずしも同じ実施形態または例をすべて指しているわけではない。さらに、特定のな特徴、構造、または特性は、1つ以上の実施形態または例において任意の好適な組合せおよび/または副次的組合せで組合されてもよい。特定のな特徴、構造、または特性は、集積回路、電子回路、組合せ論理回路、または記載の機能性を提供する他の好適な構成要素に含まれてもよい。さらに、ここで与えられる図は当業者への説明目的のためのものであり、図面は必ずしも縮尺通りに描かれているわけではないことが認められる。

【0011】

図1から図5は、H F E T s などのトランジスタを作製する際に用いるのに好適となり得る、GaN 基板を作るための図6に図示するプロセスの例のさまざまな段階での GaN 基板を図示する。フローチャート600(図6)のブロックを、図1から図5ならびにいくつかの処理操作および工程の例について、以下に説明する。図1から図5に示す基板および構造の特徴、形状、および割合は、請求項に対して限定的ではない。さらに、以下の説明は一例であり、請求項に対して限定的でないことが理解されるべきである。

【0012】

GaN 基板の作製の初期段階を示す図1に示すように、ウェハ100は、上面104および底面102を含む。図1に示す例においては、ウェハ100は、 $\langle 111 \rangle$ シリコンウェハである。この例において、ウェハ100が $\langle 111 \rangle$ シリコンウェハであるのは、上面104および底面102が、ウェハを形成する結晶シリコンの $\langle 111 \rangle$ 結晶方位を露出しているためである。以下に説明するように、ウェハ100は、GaN 膜(図示せず)を成長させるためのハンドルウェハとして用いられ得る。たとえば、GaN 膜(図示せず)は、ウェハ100の上面104または中間層の上に成長され得る。ウェハ100は、たとえば、 $500\ \mu\text{m}$ と $1,000\ \mu\text{m}$ との間の典型的な厚さであり得るが、他の厚さも用いられ得る。

【0013】

ここで、GaN 基板の作製中の段階後の基板200を図示する図2を参照すると、酸化アルミニウム(Al_2O_3)膜202は、ウェハ100の上面104と接している。一例に

10

20

30

40

50

においては、 Al_2O_3 膜202は、サファイア基板の表面と同様の表面を設けるため、サファイア基板用に開発されたプロセスの再使用が可能となり得る。さらに、 Al_2O_3 膜202は、次の膜成長のためのシード層としても作用し得る。たとえば、 Al_2O_3 膜202は、次の窒化アルミニウム(AlN)膜のためのシード層となり得る。別の例においては、 Al_2O_3 膜202は、シリコンウェハの $\langle 111 \rangle$ 表面に整合するc軸方位を有し得る(いずれも六角形である)。結晶性 Al_2O_3 膜202は、5nmから50nmであり得る。一例においては、結晶性 Al_2O_3 膜202は約5nmである。

【0014】

さらに示すように、図2は、ウェハ100の上面104(図1)上に結晶性 Al_2O_3 膜202が成長された後のウェハ100を図示する。一例においては、 Al_2O_3 膜202は、 Al_2O_3 膜202がウェハ100の直接表面上となるように、分子線エピタキシ(MBE)ツールおよびMBEプロセスを用いて成長される。具体的には、MBEはより低い温度での堆積を可能にするため、シリコンの酸化が防止され得る。 Al_2O_3 膜202を堆積する間の真空度をより高くすることも、シリコンの酸化の防止に役立つ。化学気相成長(CVD)プロセスおよびツールなどの他のツールおよびプロセスも、 Al_2O_3 膜202を形成するために用いられ得る(Al_2O_3 膜202とウェハ100のシリコン表面との間に介在層が存在してもしなくてもよい)。

【0015】

一例においては、 Al_2O_3 膜202とウェハ100との間の格子不整合のため、ウェハ100が Al_2O_3 膜202に引っ張り応力をかけ得る。 Al_2O_3 膜202中に形成される転位は、初期の引っ張り応力を和らげ、歪みを低減し得る。以下にさらに説明するように、 Al_2O_3 膜202の上部に追加的なGaN膜層を成長させてもよく、この場合、 Al_2O_3 膜202に圧縮応力がかかり、ウェハ100において初期の引っ張り応力を緩和し、歪みを制限することに寄与する。

【0016】

一例においては、結晶性 Al_2O_3 膜202はウェハ100と直接接してもよい。すなわち、ウェハ100の上面104と Al_2O_3 膜202との間に介在する膜が存在しない。これは、たとえば、結晶性 Al_2O_3 膜202の形成前にウェハ100の表面の酸化を防止するような方法で Al_2O_3 膜202が堆積された場合などに当てはまり得る。一実施形態においては、半導体装置200は、応力を緩和したり、別の目的で、シリコンウェハ100と Al_2O_3 膜202との間に中間層(図示せず)が形成できるような特別な方法で処理されてもよい。たとえば、ウェハ100が結晶性 Al_2O_3 膜202と接する場合、酸化珪素アルミニウムの層が応力を和らげるために形成され得る。

【0017】

ここで、GaN基板の作製中の段階後の基板300を図示する図3を参照し、本発明の実施形態に従って、アモルファス膜302がウェハ100と Al_2O_3 膜304との間に形成される。一例においては、アモルファス膜302は、ウェハ100および Al_2O_3 膜からアルミニウム、珪素、および酸素($AlSiO$)を含む。いくつかの例においては、ボイド306が形成され、元の成長した状態の Al_2O_3 膜202の表面トポロジーを変更し、 Al_2O_3 膜304を形成し得る。具体的には、ボイド306は、消滅プロセスを通して転位密度を減少させることを可能とし得る。一部のボイド306の底面は、アモルファス $AlSiO$ 膜302を露出させ得るが、すべてのボイドがアモルファス $AlSiO$ 膜302を露出させなければならぬわけではない。さらに、 AlN 膜308が Al_2O_3 膜304およびアモルファス膜302の露出した部分上に形成されている。他の例においては、アモルファス膜302はボイドなしで形成され得る。さらに、いくつかの場合、 AlN 膜308は、ボイド306の底面で露出しているアモルファス膜302の部分上には形成されなくてもよい。

【0018】

一例においては、高温アニール中、 Al_2O_3 膜304とウェハ100との間にアモルファス膜302が形成され得るが、高温アニールによっても、 Al_2O_3 膜304がたまり、

10

20

30

40

50

アモルファス膜302の一部を露出させ得るボイド306が形成され得る。ボイド306は、 Al_2O_3 膜304の表面上への次の膜堆積および/または後の過成長により埋められ、貫通転位を他の貫通転位に巻き戻らせることにより、後に形成されるGaN膜における貫通転位消滅を促進し得る。別の例においては、ボイド306は、転位が、割れの生じ得る基板表面まで進むことから逸らし得る。ボイド306が Al_2O_3 膜304中に形成されても、 Al_2O_3 膜304の領域は結晶構造を維持し得る。

【0019】

一例においては、アモルファス膜302は Al_2O_3 膜304とウェハ100との間の応力を和らげ得る。アモルファス膜302の厚さは、ウェハ100の温度および、ウェハ100がその温度で保持される時間により制御され得る。一例においては、アモルファス膜302は、800と低い温度で形成が開始され得る。アモルファス膜302の典型的な厚さは2nmから10nmである。ある場合では、アモルファス膜302は2nmの厚さである。

【0020】

プロセスの例においては、ボイド306およびAlSiOアモルファス膜302がプロセス中に形成され、有機金属気相成長(MOCVD)ツールで Al_2O_3 膜304上に初期AlN膜308を成長させる。AlN膜308を成長させる第1の工程は、AlN膜308を成長させる前に Al_2O_3 膜304の表面から異物を除去する高温アニールであり得る。たとえば、この高温アニールは、5分から20分間、約850から950であり得る。この高温アニールの間、ボイド306およびアモルファス膜302が形成され得る。AlN膜308を作るための製法例は、 Al_2O_3 膜308上にAlN薄膜を形成する窒化物形成プロセスから始まる。次に、低温AlN膜が、MOCVDチャンバ中で(アンモニア)NH₃を窒素源として用い、トリメチルアルミニウム(TMA)をアルミニウム源として用いて形成され得る。すなわち、TMAは、NH₃からの窒素と表面で核形成するアルミニウムを与え、約550から650の温度でAlN膜を形成する。一旦AlN膜が形成されると、温度は約1分から5分間、1050と高く昇温され、AlNを結晶化させ得る。一例では、AlN膜308は、たとえば、約20nmの厚さであり得るが、厚さは、10nmと200nmとの間でもあり得る。

【0021】

図4は、GaN基板の作製中の段階後の基板400を図示する。図3について上述したAlN膜308とGaN膜402とを含む第1の積層層が形成されている。図4に図示するように、 Al_2O_3 膜304からのボイドはGaN膜402の表面中にいまだ存在している。しかし、ボイドのサイズは大幅に縮小されている。さらに、貫通転位404がGaN膜402中、特に、 Al_2O_3 膜304中のボイドの上方の領域中に見られ得る。

【0022】

AlN膜は、AlN膜が第1の積層層の一部であれば、 Al_2O_3 膜および露出したアモルファス膜上に成長され得る。次の積層層は、先の積層層のGaN膜上に成長させたAlN膜を有し得る。AlN膜は、ブロック604について上に説明したように成長され得る。代替的には、異なる温度、成長速度、およびV/III比を有する他のプロセスが用いられ得る。たとえば、第1の積層層(AlN膜が Al_2O_3 膜および露出したアモルファス膜上に形成される場合)は、高温プロセスにより形成され得るAlN膜を含むが、次の積層層中に用いられる次のAlN膜の層は、第1の積層層のAlN膜に用いられた製法よりも低いピーク温度を用いるプロセス製法を用いてもよい。他の例として、後に成長されるAlN膜のための製法は、結晶化または窒化物形成工程を省略してもよい。各積層層のAlN膜は、たとえば、約20nmの厚さであり得るが、厚さは10nmと200nmとの間でもあり得る。

【0023】

AlN膜が成長された後、GaN膜がAlN膜上に成長される。たとえば、MOCVDツールを用いてGaN膜を成長させてもよい。製法の一例は、温度1030、圧力100Torr、V/III比(たとえば、トリメチルガリウム(TMGA)に対するNH

10

20

30

40

50

の比)約2000、および成長速度 $2\mu\text{m}/\text{hr}$ を含み得る。いくつかの場合においては、AlN膜の成長に使用されるMOCVDチャンバと同じものを、ツールからウェハを取り出さずにGaN膜に用いてもよい。他の場合においては、AlN膜およびGaN膜に別々のツールを用いてもよい。複数の積層層の各々におけるGaN膜は、500nmから50,000nmの厚さであり得る。最終的なGaN膜は、高電圧(たとえば、600V超)装置に対応するために数ミクロンの厚さであり得る。

【0024】

(図3について上述した)Al₂O₃膜中のボイドの形成のため、第1の積層層のGaN膜は完全結晶としては成長しない。代わりに、このGaN膜は、比較的高密度の転位、特に貫通転位などの欠陥を有する。Al₂O₃中のボイド上のGaN膜中の領域は、特に高い貫通転位密度を有し得る。少なくとも2つ(たとえば、2、3、4、5つ以上)の積層層の後、AlGaN/GaN HFE Tなどのトランジスタ(または他の装置)が、最上積層層のGaN膜中に形成され得る。この最上GaN膜は、形成される装置の特定の種類の好適な厚さを有し得る。たとえば、高電圧(たとえば、600V超)装置を形成するのであれば、少なくとも2.5 μm の最上GaN膜の厚さが望ましい。さらに高い電圧(たとえば、1000V)装置を形成するのであれば、4 μm の最上GaN膜厚が必要となり得る。

【0025】

図5は、GaN基板の作製中の別の段階後の基板500を図示する。3つの追加的な積層層が成長されている。具体的には、AlN膜502およびGaN膜504の積層層と、AlN膜506およびGaN膜508の積層層と、AlN膜510およびGaN膜512の積層層とが成長されている。見られるように、貫通転位密度は、各次の積層層毎にGaN膜中で減少している。同様に、Al₂O₃膜302からのボイドは、各追加的な積層層毎に縮小する。GaN膜512の上面514は、AlGaN/GaN HFE Tなどのトランジスタ(または他の装置)を形成するために好適であり得る。

【0026】

少なくとも2つ(たとえば、2、3、4、5つ以上)の積層層の後、AlGaN/GaN HFE Tなどのトランジスタ(または他の装置)が、最上積層層のGaN膜中に形成され得る。この最上GaN膜は、形成される装置の特定の種類の好適な厚さを有し得る。たとえば、高電圧(たとえば、600V超)装置を形成するならば、少なくとも2.5 μm の最上GaN膜の厚さが望ましい。さらに高い電圧(たとえば、1000V)装置を形成するならば、4 μm の最上GaN膜厚さが必要となり得る。さらに、GaN膜512は貫通電位を全く有さないように図示されているが、これは、一部のまたはすべての以前の積層層と比較して、GaN膜512が向上した貫通転位密度を有することを表わしている。

【0027】

第1のGaN膜の厚さに依存して、ボイドのうち1つ以上がGaN膜の表面上にまだ存在してもよい。しかし、追加的な積層層が成長されるにつれ、ボイド上の領域は、単に第2の積層層の後でさえ、高率の貫通転位消滅を有し得る。すなわち、各積層層のGaN膜は、以前の積層層のGaN膜よりも低い貫通転位密度を有し得る。したがって、いくらかの数の積層層の後、GaN膜は平坦であり得(ボイドは表面上に目視できない)、貫通転位密度は許容レベルであり得る。さらに、単一のより厚い層の代わりに複数の積層層を用いることによって、いくつかの転位線が表面まで鉛直に進み、クラックを形成することから方向転換され得る。

【0028】

したがって、上述の新たなバッファ層はサファイア基板のように作用し得、サファイアに対して開発されたエピタキシャルプロセスを容易に移行することができる。バッファ層は、サファイア基板を用いるよりも安価となり得るGaN基板を可能にする。とりわけ、Al₂O₃上のGaN膜の成長は、(GaNがシリコン上に直接成長されるとき、応力工学に用いられる層の組合せに依存して、GaN膜が引っ張りまたは圧縮性のいずれかとなり

10

20

30

40

50

得る場合と異なって)連続的な圧縮応力下となり得る。GaNの圧縮応力は、基板の冷却中のシリコンとGaNとの間の熱的不整合によって発生する引っ張り応力を補償し得る。この補償は、クラックのないGaN膜、高電圧用途のより厚いGaN膜、および、6インチまたは8インチのシリコン基板へのより容易な移行につながり得る。

【0029】

図6は、GaN基板を作るプロセスの例のフローチャート600を示す。ブロック602において、 $\langle 111 \rangle$ シリコンウェハが上面上の Al_2O_3 膜とともに得られる。ブロック603において、アモルファス層がSiウェハと Al_2O_3 との間の界面で形成される。ブロック604においては、ポイドが、たとえば、高温アニールを用いて Al_2O_3 膜中に形成される。ブロック606においては、複数の積層層が形成される。各積層層は、AlN膜の上部にGaN膜を含む。

10

【0030】

要約書に記載されるものを含む、図示される本発明の例の上記説明は、網羅的であること、または開示される正確な形態への限定を意図されるものではない。発明の特定の実施形態および例が本明細書中で例示の目的のために記載されたが、本発明のより広い意図および範囲から逸脱することなく、さまざまな均等の変形例が可能である。実際に、厚さ、材料、処理操作などの具体例は説明の目的のために与えられるものであり、本発明の教示に従う他の実施形態、例およびプロセスでは他の厚さ、材料、処理操作なども用いてもよいことが認められる。

【0031】

20

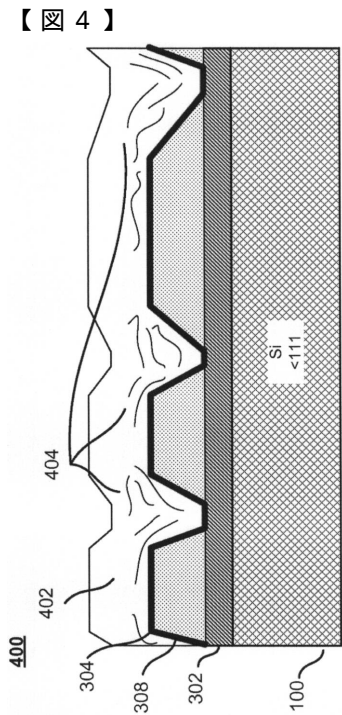
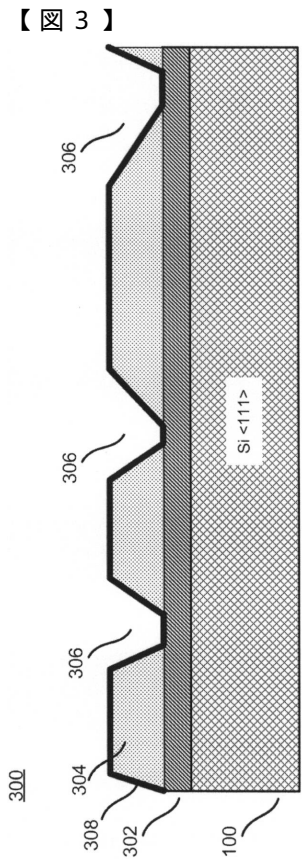
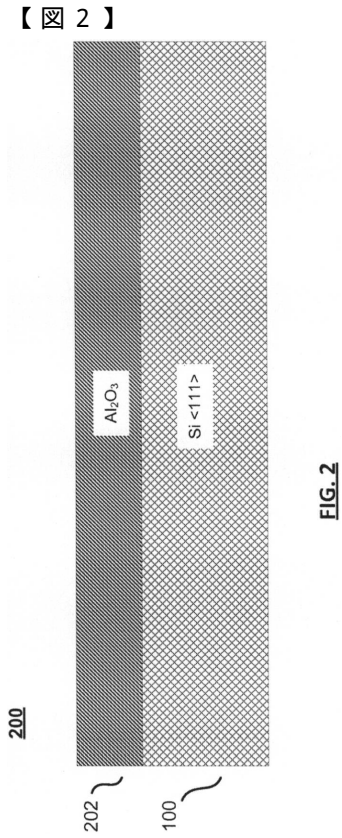
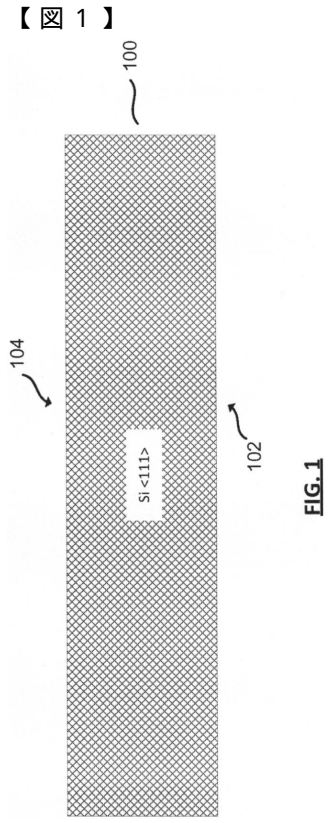
上記の詳細な説明に照らして、発明の例にこれらの変形をなすことができる。以下の請求項で用いられる用語は、明細書および請求項に開示される特定の実施形態に発明を限定するものと解釈されてはならない。むしろ、その範囲全体は、確立された請求項解釈の原則に従って解釈されるべき以下の請求項によって定められるべきものである。したがって、本明細書および図は、制限的というよりはむしろ例示的なものとしてみなされるべきである。

【符号の説明】

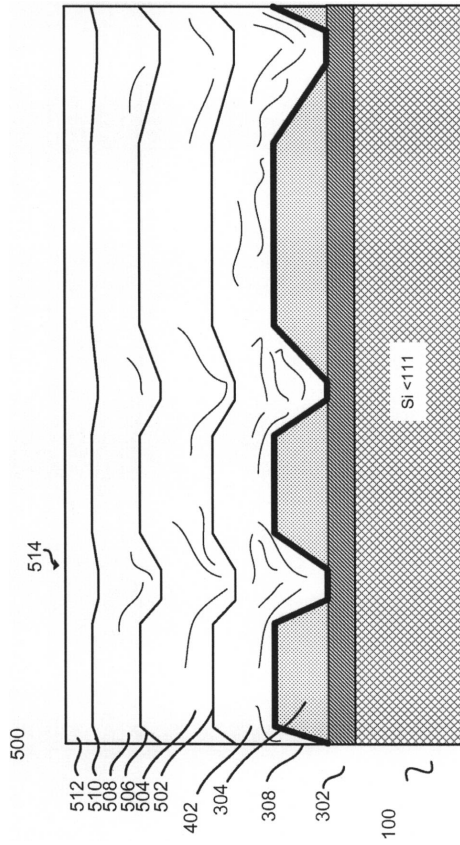
【0032】

100 ウェハ、104, 514 上面、102 底面、202, 304 Al_2O_3 膜、200 半導体装置、300, 400, 500 基板、306 ポイド、404 貫通転位、402, 504, 508, 512 GaN膜、308, 502, 506, 510 AlN膜

30



【 図 5 】



【 図 6 】

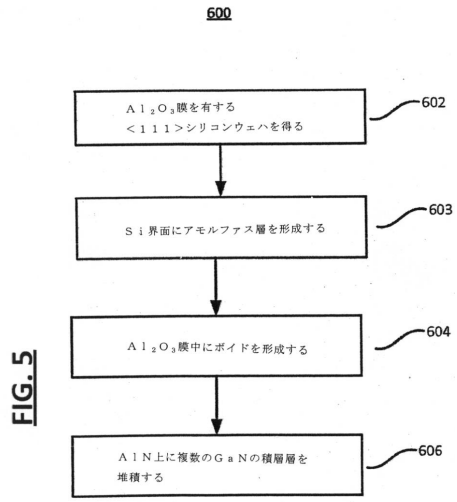


FIG. 5

FIG. 6

フロントページの続き

- (72)発明者 ジョン・ピィ・エドワーズ
アメリカ合衆国、07044 ニュー・ジャージー州、ペロナ、サンセット・アベニュー、140
- (72)発明者 リュウ・リンリン
アメリカ合衆国、08844 ニュー・ジャージー州、ヒルズバラ、ノーツ・ドライブ、12

審査官 長谷川 直也

- (56)参考文献 特開2000-164510(JP,A)
特開2004-051446(JP,A)
国際公開第2011/055774(WO,A1)
特開2003-128500(JP,A)
特開2003-224071(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/18 - 21/31、21/337 - 21/338、
21/34 - 21/365、21/469、
21/84 - 21/86、27/095、29/778、
29/80 - 29/812、33/00、
C23C 16/00 - 16/56、
C30B 1/00 - 35/00