

**(19) 대한민국특허청(KR)**  
**(12) 특허공보(B1)**

(51) Int. Cl.<sup>6</sup>  
H01L 29/78  
H01L 29/786  
H01L 21/336

(45) 공고일자 1995년11월16일  
(11) 공고번호 95-013784

|            |  |           |               |
|------------|--|-----------|---------------|
| (21) 출원번호  | 특1991-0020771  | (65) 공개번호 | 특1992-0010884 |
| (22) 출원일자  | 1991년11월20일  | (43) 공개일자 | 1992년06월27일   |
| (30) 우선권주장 | 90-316598 1990년11월20일 일본(JP)<br>90-323696 1990년11월26일 일본(JP) |           |               |
| (71) 출원인   | 가부시키가이샤 한도오따이 에네루기 켄큐쇼 야마자끼 순페이<br>일본국 가나가와켄 아쓰기시 하세 398     |           |               |
| (72) 발명자   | 야마자끼 순페이<br>일본국 도쿄 157 세타가야구 7쵸메 기타가라슈야마 21-21               |           |               |
| (74) 대리인   | 황의만  |           |               |

**심사관 : 김정국 (책자공보 제4217호)**

**(54) 반도체 전계효과 트랜지스터 및 그 제조방법과 박막트랜지스터**

**요약**

내용 없음.

**대표도**

**도1**

**명세서**

[발명의 명칭]

반도체 전계효과 트랜지스터 및 그 제조방법과 박막트랜지스터

[도면의 간단한 설명]

제 1 도는 액정 디스플레이의 등가회로를 도시한 개략도.

제 2 도는 액정 디스플레이의 일반적인 윤곽을 도시한 개략 단면도.

제 3 도는 본 발명의 제 1 실시예에 따른 액정 디스플레이의 등가회로를 도시한 개략도.

제4a~4c도는 제 3 도에 도시된 액정 디스플레이를 도시한 평면도 및 단면도.

제 5 도는 본 발명에 따른 박막 전계효과 반도체 트랜지스터를 제조하는데 적당한 시스템을 도시한 개략도.

제6a도는 산화물 반도체막의 증착에 사용하기에 적당한 제 5 도에 도시된 시스템의 평면형 마그네론 RF 스퍼터링 장치를 도시한 개략도.

제6b도는 제6a도에 도시된 바와같이 장치내 구비된 자석의 배열을 도시한 설명도.

제7a도 내지 제7f도는 본 발명의 제 1 실시예에 따른 박막전계효과 반도체 트랜지스터의 제조방법을 도시한 단면도.

제8a도 내지 제8f도는 액정 디스플레이에 대한 주변회로에 사용된 박막전계효과 반도체 트랜지스터의 제조방법을 도시한 단면도.

제9a도와 제9b도는 입사광선에 의하여 게이트전압과 드레인 전류 사이의 관계를 도시한 그래프도.

제10a도는 본 발명의 제 2 실시예에 따른 액정 디스플레이의 등가회로를 도시한 개략도.

제10b도는 제10a도에 도시된 액정 디스플레이를 도시한 평단면도.

제11a도는 본 발명의 제 3 실시예에 따른 액정 디스플레이의 등가회로를 도시한 개략도.

제11b도는 제11a도에 도시된 액정 디스플레이를 도시한 평단면도.

[발명의 상세한 설명]

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로 특히, 액정 디스플레이에 사용하는데 적당한 박막게이트 절연전계효과 트랜지스터 및 그 제조방법에 관한 것이다.

종래에는 박막트랜지스터(TFT : thin film transistor)에 의해 구동되는 활성 액정 디스플레이로서 잘 알려져 있었다. 이런 형태의 디스플레이들은 가시패널(visual panel)과 이 패널의 구동을 위한 주변회로로 이루어진다. 상기 주변회로는 태브본딩(tab-bonding) 또는 COG(chip on glass) 방법에 의해 유기기재상에 집적회로를 포함한 단인결정칩의 부착함에 의해 형성된다. 상기 가시패널은 각각 구동 TFT를 구비하는 다수의 픽셀로 이루어진다. TFT는 보통 각각의 픽셀(pixel)과 전기적으로 접속되는 아모르퍼스 또는 다결정 반도체체에 형성된 N채널 전계효과 트랜지스터이다.

한편, 아모르퍼스 반도체에서 캐리어 이동도(carrier movility)는 실질적으로 낮으며 특히 정공(hole) 이동도는 대개  $0.1\text{cm}^2/\text{Vsec}$  또는 그 이하이다. 반면에, 다결정 반도체의 드레인 절연내력은 공유결합 및 결정입계에서 수거된 산소와 같은 불순물로 인하여 충분히 개선될 수 없기 때문에 적절한 특성을 갖는 P채널 TFT를 실현하기 어렵다. 더우기, 그런 TFT들은 조사에 의하여 Vg-ID 특성을 바꾸는 감광성(感光性, photosensitivity)을 갖게 된다. 이것때문에, 비주열지역을 비추는, 예를들면 2000cd의 역광이 수반되는 디스플레이를 이용할때에는 TFT의 채널영역들은 특별한 블라인드(blind, 차단) 수단에 의해 덮혀져야 한다.

제 1 도는 예시된 액정 디스플레이의 등가회로를 도시한 도면이다.

이 도면은 도시의 편의를 위해 단지  $2 \times 2$  매트릭스를 보였지만 보통의 액정 디스플레이는  $640 \times 480$  매트릭스,  $1260 \times 960$  매트릭스등과 같은 수많은 픽셀로 구성된다.

액정 디스플레이는 제 2 도에 도시된 바와같이, 한쌍의 유리기재(11) (11') 사이에 배치된 액정층(42)을 구비한다. 부호 "54"는 편광판을 나타낸다. 유리기재(11')의 내부표면은 접지전극(53)으로 피복된다. 다른기재(11)의 내부표면은 각각 디스플레이의 일 픽셀을 구성하는 다수의 전도성패드(pad)를 구비한다. 각 전도성 패드는 그 소소스가 상응패드와 전기적으로 접속되는 N형 FET(51)와 함께 형성되있다. 매트릭스내의 유사한 행(row)에 있는 FET의 드레인이 행드라이버(row driver)(47)로부터 제어신호가 인가되는 행의 제어라인과 접속된다. 유사한 열(column)의 N형 FET의 게이트는 열 드라이버(column driver)(46)로부터 제어신호가 인가되는 열의 제어라인과 접속된다.

디스플레이의 구동에 있어, 열 드라이버(46)는 열상의 TFT를 켜도록 선택된 열에 대해 고려벨의 제어신호를 인가한다. 그러나, TFT의 온-오프동작이 충분히 실행될 수 없어서 TFT의 출력전압(즉, 픽셀에 대한 입력)이 이 예정된 고전압레벨(예를들어, 5V)에 못미치게 되거나 출력전압이 예정된 저전압레벨(예를들어, 0V)까지 충분히 떨어지지 않게되는 바람직하지 않은 경우가 발생한다. 액정은 본질적으로 절연되며, 또한 TFT가 꺼졌을때 액정전압(VLC ; liquid crystal voltage)는 부유된다. 캐패시턴스와 등가인 액정에 축적된 전하량은 VLC를 결정한다. 그러나 축적된 전하는 감광성 TFT의 채널 저항 RSD를 통하여 누설되어 VLC를 변동시킨다. 이러한 이유 때문에 많은수의 픽셀이 한 디스플레이 패널내에 형성되었을때 고효율성은 기대될 수 없다.

본 발명의 목적은 광학장치의 제어회로에서 이동에 적당한 게이트 절연 전계효과 트랜지스터 및 그 제조방법을 제공하는데 있다.

본 발명의 다른 목적은 그 특성상 입사광선에 의해 거의 영향을 받지 않는 채널영역을 형성하는 반도체막으로 이루어진 게이트 절연 전계효과 트랜지스터를 제공하는데 있다.

본 발명의 다른 목적, 잇점 및 독특한 특징은 이후의 설명에서 제시되며 또한 그것은 부분적으로 이후에 기술되는 실시예에 의해서 당업자라면 용이하게 알 수 있는 한편 본 발명의 실시예 의하여 채택하게 될수 있다. 본 발명의 목적과 잇점은 첨부된 청구범위에서 특별히 지적된 구성과 조합에 의하여 달성되거나 얻어질 수 있다.

전술한 목적과 또 다른 목적들을 달성하기 위해서, 채널을 형성하는 반도체막은 그 감광성이 산소, 탄소, 질소, 또는 다른 적당한 불순물과 같은 스포일링제(spoiling agent)의 주입에 의해 실질상으로 감소되도록 기재상에 형성된다. 상기 채널은 반아모르퍼스 또는 반결정 반도체막과 같은 비단일 결정 반도체막내에 형성되는 것이 바람직하다. 반도체 트랜지스터의 출력드리프트(drift)는 2000cd 만큼의 밝은 광선으로 조사될 때에도 견딜만한 정도로 제한된다. 전형적인 예에 있어, 불순물은  $1 \times 10^{20} \text{cm}^{-3} \sim 8 \times 10^{21} \text{cm}^{-3}$  (20원자%)인 총밀도, 바람직하게는  $2 \times 10^{20} \text{cm}^{-3} \sim 5 \times 10^{20} \text{cm}^{-3}$  (2원자%)로서 반도체막에 주입된다. 그러나 반도체막의 이동도는 재결정화에 의해 반도체막내의 캐리어 전송에 대한 장벽을 형성하는 결정입계를 무력하게 만들도록  $500^\circ\text{C} \sim 700^\circ\text{C}$ 에서 열처리함에 의해서  $5\text{cm}^2/\text{Vsec}$ 까지 개선될 수 있다. 따라서, 드레인 전류의 벗어남은 10%(온 상태) 또는 그 이하로 제한되는 두배 또는 그 이하의 크기(오프 상태), 예를들면  $10^{-9} \text{a}$ (dark 전류)  $10^{-7} \text{a}$ (2000cd하의 전류)로 제한된다.

전형적인 예로써, 본 발명에 따른 트랜지스터는 액정 디스플레이에 적용된다. 트랜지스터는 상보형으로 형성되는 것이 바람직하다. 디스플레이의 각 픽셀에는 부유상태보다 명확히 높거나 낮은 전압레벨로 액정층의 레벨을 강제적으로 당기거나 밀어주는 상보형 박막 전계효과 트랜지스터의 스위칭요소가 제공된다. 물론, 본 발명은 스테거형(staggered type), 코플래너형(coplaner type), 인버티드 스테거형(inverted coplaner type)과 같은 다양한 다른형의 반도체에 적용될 수 있다. 제어신호를 스위칭트랜지스터에 인가하기 위한 드라이버의 제어트랜지스터가 광선이 입사되지 않는 주변부에 있는 동일한 기재상에 형성될때 그 트랜지스터들은 불순물이 첨가되지 않는다. 그런 경우에 있어서, 두 형태의 트랜지스터가 기재상에 형성되고, 그중 하나는 불순물로 처리되는 한편 나머지 하나는 불순물로 처리되지 않으며, 또한 트랜지스터들은 불순물로 처리된 트랜지스터들 보다 2배 내지 4배 이상의 캐리어 이동도를 갖는다.

제 3 도는 본 발명의 제 1 실시예에 따른 액정 디스플레이에 대한 등가회로를 도시한 도면이다. 도면은 기술의 편의를 위해 단지  $2 \times 2$  매트릭스를 도시하지만 보통의 액정 디스플레이는  $640 \times 480$  매트릭스

트릭스, 1260×960 매트릭스와 같은 더 많은 수의 픽셀로 구성된다. 상기 액정 디스플레이는 제 2 도에 도시된 바와같이 한쌍의 유리기재(11) (11') 사이에 배치된 액정층(42)을 구비한다. 상기 유리기재(11')의 내부표면은 접지전극(53)으로 피복된다. 상기한 또 다른 유리기재(11)의 내부표면은 제 4a도에 나타난 바와같이 상기 디스플레이의 한 픽셀을 각각 구성하는 다수의 전도성 패드(37b)가 제공된다. 한 픽셀은 도면에서 점선으로 둘러싸여 있다. 각 전도성 패드(37b)는 상응패드(37b)와 전기적으로 접속되는 드레인을 가진 N형 FET(41)와 P형 FET(51)로 구성되는 CMOS 트랜지스터와 함께 기재상에 형성된다. 유사한 행상에 있는 CMOS의 P형 FET의 소오스는 행위  $V_{DD}$ 라인(48)과 접속된다.

유사한 행상에 있는 N형 FET의 소오스는 행의  $V_{SS}$  라인(49)과 접속된다. 유사한 열상에 있는 CMOS의 P형 N형 FET의 게이트는 상기 열상의  $V_{GG}$  라인과 접속되었다. 상기  $V_{SS}$  라인과  $V_{DD}$  라인은 행드라이버(47)와 접속되며, 그것으로부터 제어신호가 인가된다.  $V_{GG}$  라인(52)은 열드라이버(46)과 접속되며, 그것으로부터 제어신호가 인가된다. 열드라이버(46)와 행드라이버(47)는 제 2 도에서 알 수 있는 바와같이 유리기재(11)의 돌출단부상에 형성된다.

제4a도에 있어서, 연속라인은 게이트 전극(28)의 확장부로서 상부 알루미늄 패턴(pattern,41)과 폴리실리콘 패턴(43)사이 콘택트(42)에 의해서 각 열상에 형성된다.

TN액정물질이 이용될 때 기재들의 거리는 약  $10\mu\text{m}$ 가 되도록 선택되며 또한 양 내부표면에는 적당히 연마처리가 된 배향막들이 제공된다. 강유전성 액정(FLC)물질이 이용될때는 기재의 거리가 약  $1.5\sim 3.5\mu\text{m}$ , 예를들면  $2.3\mu\text{m}$ 가 되도록 선택되며 또한 내부표면중 하나(접지전극 표면)에만 적당히 연마처리가 된 배향막이 제공된다. 구동전압은  $\pm 20\text{V}$ 이다. 분산형 또는 폴리머형 액정물질이 이용될때 기재의 거리는 약  $1.0\sim 10.0\mu\text{m}$ , 예를들면  $2.3\mu\text{m}$ 가 되도록 선택되며 또한 배향막은 필요가 없다. 구동전압은  $\pm 10\text{V}\sim \pm 15\text{V}$ 이다. 이런 경우에 있어서, 편광판은 또한 필요없으며, 그 결과 유용한 빛의 양은 전도형이든 반사형이든간에 상대적으로 증가될 수 있다. 따라서 액정층이 한계전압을 갖지않는 반면에 표시된 화상에서 큰 콘트라스트가 실현되며 또한 불필요한 크로스토크(cross-talk)가 한정된 한계전압을 제공하는 상보형 TFT를 이용함에 의해서 효과적으로 방지된다.

디스플레이의 작동에 있어서, 열드라이버(46)는  $V_{DD}$  라인 (48)을 열상의 패드와 접속시키며 또한  $V_{SS}$  라인(49)을 열상의 패드로부터 차단하도록 하기 위해 제어신호를 인가한다.

다른 한편으로, 행드라이버(47)은 선택된 열과 행상의 소정 패드를 풀업시키도록  $V_{DD}$  라인을 사용하여 선택된 행에 고레벨(예를들면 20V)의 제어신호를 인가한다. 작동에 있어서, 선택되지 않은  $V_{DD}$  라인과  $V_{SS}$  라인은 저레벨로 고정된다. 액정층(42)은 소정의 패드상에서 전계내에 있게되며 또한 임의의 가시 패턴(visual pattern)을 형성한다.

또한, 디스플레이의 작동에 있어, 열드라이버(46)는  $V_{SS}$  라인(49)을 열상의 패드와 접속하도록 하며 또한  $V_{DD}$  라인(48)을 열의 패드로부터 차단하도록 하기 위해서 선택된 열에 고레벨(예를들면 0V)의 제어신호를 인가한다. 다른 한편으로, 행드라이버(47)은, 선택된 열과 행상에 있는 소정패드의 전압레벨을 밀어내리도록  $V_{SS}$  라인을 이용하여 선택된 행에 저레벨(예를들면 -20V)의 제어신호를 인가한다. 작동에 있어 선택되지 않은  $V_{DD}$  라인과  $V_{SS}$  라인은 저레벨로 고정된다. 액정층(42)은 소정의 패드에서 전계하에 있게 되며 또한 동일한 방식으로 임의의 가시패턴을 형성한다.

제 5 도, 제6a도와 제6b도, 제7a도 내지 제7f도에 따라 본 발명의 제 1 실시예에 따른 CMOS로 구성되는 게이트 절연 전계효과 트랜지스터(41) (51)의 제조방법이 이하에서 설명된다.

제 5 도는 마그네트론 RF 스퍼터링에 의해 반도체 및 산화막을 증착시키기 위한 다중실 스퍼터링 시스템을 도시한 개략도다. 본 시스템은 게이트밸브(5)가 구비된 로딩 및 언로딩 선단챔버(1)과, 밸브(6)를 통하여 상기 선단챔버(1)와 연결된 보조챔버(2), 밸브(7) (8)를 통하여 각각 보조챔버(2)와 연결된 스퍼터링장치(3) (4)로 이루어진다. 상기 선단챔버(1)에는 로터리 펌프(Rotary pump)와 터보분자 펌프(trubomolecular pump)로 이루어진 진공시스템(9)이 제공된다. 보조챔버(2)는 로터리 펌프와 터보분자 펌프로 이루어져 거칠게 하기 위한 제 1 진공 시스템 및 피복되도록 기재를 가열하기 위해 보조챔버(2)내에 위치한 히터(10c)와 크라이오소션 펌프(cryosorption)로 이루어진 고진공을 위한 제 2 진공 시스템(10b)이 제공된다. 피복되는 유리기재가 보조챔버(2)에서 가열에 의해 미리 열적으로 수축된다면 기재상에 막을 증착시키는 동안에 막에 생긴 열수축과 응력은 감소되어 막의 점착성이 개선된다.

스퍼터링 장치(3) (4)는 본 발명에 따라 사용될 때 산화막과 반도체막 각각의 증착에 이용하는데에 적당한 평면형 마그네트론 RF 스퍼터링 장치이다. 제6a도와 제6b도는 RF 스퍼터링 장치의 세부도이다. 상기 장치는 진공챔버(20)와 밸브(12a) (12c)를 각각 구비한 터보분자 펌프(12b)와 로터리 펌프(12d)로 이루어져 거칠게 하기 위한 제 1 진공 시스템(12-1)과, 밸브(12f)를 구비한 크라이오소션 펌프(12e) 이루어져 고진공을 실현하기 위한 제 2 진공시스템(12-2)과, 챔버워타켓트(14)를 지지하기 위해 챔버(20)의 하측면에 고정되고, 쿨런트(coolant)가 타켓트(14)를 냉각하도록 유통할 수 있는 내부도관(13a)로 형성되며 또한 영구자석과 같은 다수의 자석(13b)을 구비한 금속홀더(13)와, 홀더(13)에 RF 에너지를 인가하기 위해 매칭박스(15b)가 구비된 RF(예를들면 13.56MHz) 소오스(15a)로 구성되는 에너지 공급원(15)과, 피복될 기재(11)를 지지하기 위하여 챔버(20)의 상부위치에 배치된 기재홀더(16)와, 기재홀더(16)내에 매설되어 있는 히터(16a)와, 기재와 타켓트(14) 사이에 개재된 셔터(17), 및 기체공급장치(18)로 구성된다.

부호 19는 진공챔버(20)를 기밀하게 밀봉하기 위한 밀봉수단을 나타낸다. 기재(11)에 실질적으로 증착하기 전에, 타켓트에서 발생된 불순물이 스퍼터되어 기재(11)와 타켓트(14) 사이에 놓여 있는 셔터(17)상에 증착되며 또한 그후 기재(11)에 정상적인 증착이 이루어질 수 있도록 상기 셔터를 이동시킨다. 자석(13b)은 이들의 N극이 상측단을 향하고 S극이 하측단을 향하며 제6b도에서 보인 바와같

이 수평면에서 보아 원형이 되게 배열되어 전자가 기재(11)와 타겟트(14) 사이의 스퍼터링 영역에 모여있게 한다.

제 5 도, 제6a도, 제6b도와 함께 제7a도 내지 제7f도를 참조하여 본 발명의 제 1 실시예에 따른 박막 전계효과 트랜지스터(41) (51)의 제조방법을 상세히 기술한다. 이 예시된 방법은 대량생산에 적합한 다중챔버 장치를 사용하여 실행된다. 그러나 이것은 실질적인 변경없이 독립된 챔버를 이용하는 유사한 방법에도 적용될 수 있다. 10장의 유리기재가 카세트상에 장착되어 밸브(5)를 통하여 로딩 및 언로딩 선단챔버(1)내에 위치된다. 상기 기재들은 니폰 일렉트릭글라스 회사에 의해 제조된 NO(상품명) 유리, 호야사에 의해 제조된 LE-30(상품명) 유리 또는 코닝사에 의해 제조된 VYCOR(상품명) 유리와 같이 700°C, 예를들면 약 600°C까지의 고온 열처리에도 견딜 수 있는 유리로 만들어질 수 있다. 선단챔버(1)와 보조챔버(2)의 내부조건을 서로 조절한 후, 상기 카세트는 밸브(6)를 통하여 선단챔버(1)로부터 보조챔버(2)쪽으로 이송된다. 유리기재중 하나는 이송기계장치에 의해 제6a도에 도시된 바와같이 제1마그네트론 RF 스퍼터링 장치내에 배치되어 150°C의 기재온도 및 100% O<sub>2</sub> 분위기하에서 차단막인 SiO<sub>2</sub> 막(32)으로 1000Å ~ 3000Å 두께까지 피복된다. 그 장치의 출력은 13.56MHz RF 에너지에 대하여 400W~800W이다. 단일결정 실리콘 또는 석영표가 타겟트로서 이용된다. 증착속도는 30Å/min이다. 피복된 기재는 실질적으로 동일한 방법으로 SiO<sub>2</sub> 막으로 피복되는 잔류 기재들중 다른 하나와 교체된다. 카세트상에 설치된 모든 기재들이 이 과정을 반복함으로써 SiO<sub>2</sub> 막으로 피복된다. 이 과정에서, 선단챔버(1)와 보조챔버(2) 사이의 기재온도공정은 불필요한 불순물을 제거하기 위하여 각 챔버(1) (2)내의 압력과 내부분위기를 조절한 후 실행되어야 한다. 다음으로 아모르퍼스 실리콘막(33)이 제 2 스퍼터링 장치(4) 내에서 500nm~1µm의 두께, 예를들면 2000Å의 두께로 SiO<sub>2</sub> 막(32)상에 증착된다. 아모르퍼스 막내의 산소, 탄소 및 질소의 총밀도는  $7 \times 10^{19} \text{ cm}^{-3}$ 를 초과하지 말아야하며 바람직하게는  $1 \times 10^{19} \text{ cm}^{-3}$ 를 초과하지 말아야 한다.

이러한 저밀도는 이후 단계에서 열처리에 의해 실리콘막을 재결정화하는 것을 용이하게 하는 반면에 실리콘막에는 광광성을 준다. 우선 10개의 기재가 보조챔버(2)로부터 동일한 방법으로 차례로 장치(4)내에 배치되고 거기에서 아모르퍼스 실리콘막의 증착을 위한 처리가 이루어진다. 장치(4)와 보조챔버(2) 사이에서 각 기재의 운반공정은 불필요한 불순물을 제거하기 위해 챔버(2) (4)내의 압력과 내부 분위기를 조절한 후 실행한다. 일반적으로 이러한 과정은 이후 특별히 언급되지는 않는 경우라도 제1 또는 제 2 스퍼터링 장치와 보조챔버 사이에서 기재를 운반코자 할때에도 적용된다.

장치(4)내의 분위기는 수소와 알곤으로 이루어진 혼합체로 구성되며 분압상 H<sub>2</sub>/(H<sub>2</sub>+Ar)=0.8(일반적으로 0.5~0.8)이 되게 한다. 수소와 알곤기체는 그 순도가 각각 99.999%와 99.99% 이어야 하며 장치(4)의 내부가  $1 \times 10^{-5} \text{ Pa}$  이하로 배기된 후에 주입된다. 총 압력은 0.5Pa이고, 장치의 출력은 13.56MHz RF 에너지에 대해 400W~800W이고,  $8 \times 10^8 \text{ cm}^{-3}$  이하, 예를들면  $1 \times 10^8 \text{ cm}^{-3}$ 의 농도에서 산소원자를 포함하는 단일결정 실리콘이 타겟트로서 이용되며, 또한 기재온도는 동일한 방법으로 히터(16a)에 의하여 150°C(증착온도)로 유지된다. 양호한 실시예에서, 혼합체내의 수소비율은 5%~100%로 선택되고, 증착온도는 50°C~500°C, 예를들면 150°C이며, 출력은 다른 펄스 에너지원과 조합되어 500Hz~100GHz의 주파수 범위에서 1W~10MW 사이이다.

또한, 아모르퍼스 실리콘막(33)은 저압CVD(LPCVD) 또는 플라즈마 CVD 방법에 의하여 증착될 수 있다.

LPCVD의 경우에 있어서, 증착은 적당한 CVD 챔버내에 디실란(Si<sub>2</sub>H<sub>6</sub>) 또는 트리실란(Si<sub>3</sub>H<sub>8</sub>)을 주입함으로써 수행된다. 증착온도는 실리콘의 재결정온도, 즉 450°C~550°C 사이의 온도, 예를들면 530°C이하인 100°C~200°C의 온도에서 선택된다. 증착속도는 30~100Å/min이다. N형 및 P형 TFT의 한계전압을 일정하게 유지하기 위하여 실란과 함께 도펀트 가스로서 디보란을 사용하여 막내에  $1 \times 10^{15} \text{ cm}^{-3}$  ~  $5 \times 10^{17} \text{ cm}^{-3}$  양의 붕소가 주입될 수 있다. 플라즈마 CVD의 경우에 증착은 적당한 플라즈마 CVD 챔버내에서 300°C의 온도하에 모노실란(SiH<sub>4</sub>) 또는 디실란(Si<sub>2</sub>H<sub>6</sub>)을 주입하여 실행된다. 입력에너지는 예를들면 13.56MHz의 고주파 전기에너지이다.

모든 기재가 실리콘 산화물과 아모르퍼스 실리콘 반도체막으로 피복된 후, 아모르퍼스 실리콘 막(33)은 N채널 및 P채널 트랜지스터를 구성하는데 필요한 영역(33) (33')을 남기도록 포토마스크에 의하여 패턴 처리된다. 광광성 내식막(제7a도에서 점선)은 기재(11)상에 피복되며 또한 반도체막(33) (33')에 개방부(26) (26')를 제공하기 위해 다른 포토마스크에 의해 패턴 처리된다. 이들 개방부를 통하여 탄소, 질소 및 산소가 산소주입의 경우에 있어 예를들면  $2 \times 10^{14}$  ~  $1 \times 10^{18} \text{ cm}^{-2}$  정도로 이온 주입시킴에 의해서 사선영역으로 도면에 표시된 바와같이 반도체막에 주입된다. 가속전압은 30~50KeV, 예를들면 35KeV이다. 불순물 영역의 길이는 형성되는 채널 길이에 따르지만 이하에 설명되는 바와같이 그것들보다는 약간 크도록 10~15µm로 결정된다. 즉, 0~5µm의 단부는 소오스 및 드레인부를 이루는 한편 중간부는 10µm의 채널영역을 형성한다. 탄소, 질소 또는 산소 불순물은 반도체막(26) (26')의 광광성을 없애는 기능을 갖는다. 그러나, 불순물의 양은 캐리어 이동도가 5cm<sup>2</sup>/Vsec 또는 그 이상, 바람직하게는 10~100cm<sup>2</sup>/sec와 같은 소정의 레벨에 이를 수 없도록 후자의 열처리에서 반도체막을 재결정화 하기에 과도하지 않아야 한다.

모든 기재가 실리콘 산화물 및 아모르퍼스 실리콘 반도체막으로 피복되고, 상기 기술된 것과 마찬가지로 패턴 처리되며 또한 이온주입된 후에 열처리가, 예를들면 수소 또는 질소 분위기와 같은 비산화 분위기와 같은 비산화 분위기 및 12~70 시간 동안 500°C~750°C, 일반적으로 600°C와 같은 결정성장 없는 중간온도에서 히터(10c)에 의하여 보조챔버(2)내에서 이루어진다.

아래표면이 산화실리콘산화막(32)의 아모르퍼스 구조로 이루어져 있으므로 열어닐링이 반도체막에서 균일하게 효과적이라도 결정성장의 특별한 코어가 없게 된다. 이 막은 반아모르퍼스 또는 반결정구

조의 형태로 이런 처리(열어닐링)에 의해 재결정화 된다. 실험에 따르면 산소, 탄소 및 수소가, 실리콘 밀도가  $4 \times 10^{22} \text{ cm}^{-3}$  라고 가정되는 1원자%와 동등한 각각  $2 \times 10^{21} \text{ cm}^{-3}$ ,  $4 \times 10^{17} \text{ cm}^{-3}$  과  $4 \times 10^{20} \text{ cm}^{-3}$  의 밀도로 불순물 처리된 영역에 포함되어 있다는 사실이 SIMS(2차 이온 질량분석)에 의하여 확증되었다. 이런 밀도 수치는 깊이 방향을 따라 변하는 각각의 요소의 최소값이었다.

이런 최소값이 왜 채용되었는가 하는 이유는 자연산화물이 반도체막의 표면에 존재하기 때문이다. 이러한 밀도를 정하는 것은 실리콘 타겟트내의 산소 밀도( $1 \times 10^{18} \text{ cm}^{-3}$ )를 참조하여 이루어져야 한다.

실험에 의하면,  $1.5 \times 10^{20} \text{ cm}^{-3}$  (산소밀도)의 경우 반도체막의 두께가  $1000 \text{ \AA}$  이라면 재결정이  $600^\circ \text{C}$  에서 48시간동안 열처리하여 가능하게 되었다. 그러나,  $5 \times 10^{21} \text{ cm}^{-3}$  의 경우에는 두께가 재결정을 위해  $0.3\text{-}0.5 \mu\text{m}$ 로 증대되어야 했다. 상기 두께가  $1000 \text{ \AA}$  에 머물렀을때는 충분한 재결정을 이룰수 있도록 상기 열어닐링중에 온도가  $650^\circ \text{C}$ 로 증대되어야 한다. 상기 재결정은 필름 두께를 증대시키거나 불순물 밀도를 감소시킴에 의해서 용이해진다. 불순물 밀도가 감소됨에 따라 감광성이 분명하게 드러난다.

반면에,  $900\text{-}1200^\circ \text{C}$ 와 같은 더 높은 온도에서 어닐링될때는, 산소, 탄소 또는 질소 불순물이 바람직하지 않은 고상결정성장애 따라서 캐리어 이송에 대항하는 차단벽을 형성하도록 입계에 모이게 되는 경향이 있다.

상기 이동도가  $5 \text{ cm}^2/\text{Vsec}$  이하로 떨어지면 드레인 접합부를 가로질러 누설이 발생하기 때문에 절연강도가 감소한다.

상기 기재는 다시 한번 제 1 스퍼터링 장치(3)내에 놓여진다. 제7b도에 도시된 바와같이 전체 구조체는 산소 분위기하에서 스퍼터링에 의해  $500\text{-}2000 \text{ \AA}$ , 예를들면  $1000 \text{ \AA}$  두께인 산화실리콘막(35)으로 피복된다.

증착조건은 상기 기술된 산화실리콘막(32)의 증착조건과 동일하다. 산화실리콘막(35)과 아래 놓인 반도체막(36)사이 계면상에서의 특성은 오존산화물 실험하도록 자외선을 조사함에 의해서 개선될 수 있다. 즉, 계면상태는 산화물막(32)의 증착에 관한 기술에서 설명된 스퍼터링과 함께 광 CVD를 이용함에 의해서 감소될 수 있다. 또한, 플루오르가 이 증착에 도입될 수 있으며, 이 경우에 있어서, 그 분위기는  $0.5 \text{ Pa}$ 의 총압에서  $\text{NF}_3$ (5%)를 함유하는 고밀도산소(95%)를 포함하고, 장치의 출력은

$13.56 \text{ MHz}$  RF 에너지에서  $400 \text{ W}$ 이고, 단일결정질 실리콘 또는 인공수정을 타겟으로 이용하며 또한 기재온도는  $100^\circ \text{C}$ 로 유지된다. 이러한 공정에 의해서 게이트 전연막이 되는 산화실리콘막(35)은, 고정전하의 형성이 반도체막(33) (33')과 산화물막(35) 사이의 계면에서 방지될 수 있도록 하기위해 실리콘 원자의 현수결합을 차단하는 기능을 갖는 불소원자를 포함한다. 산화실리콘막(35)에는  $0.2 \mu\text{m}$  두께의 실리콘 반도체막을 스퍼터링에 의하여 증착되고, 상기 실리콘 반도체막에는  $1 \times 10^{20} \sim 10^{20} \text{ cm}^{-3}$ 으로 인이 상당량 도핑되며, 또한 필요한 경우 그후에 모리브덴, 텅스텐,  $\text{MoSi}_2$  또는  $\text{WSi}_2$ 로 된 0.3의 전도성막이 피복된다. 전도성(다중)막으로 피복된 반도체막은 그 다음에 게이트전극(40) (40')을 형성하도록 적당한 마스크를 사용하여 사진식각 방법으로 패턴처리 된다.

감광성 내식막(27')은 반도체막(33')을 피복하도록 포토마스크를 사용하여 형성된다. 게이트 전극(40) 및 감광성 내식막(27')과 함께 자체 정열된 불순물 영역, 즉 소오스와 드레인영역(34a) (34b)이  $1 \times 10^{15} \text{ cm}^{-2} \sim 2 \times 10^{15} \text{ cm}^{-2}$ 의 붕소이온주입에 의해 형성된다. 불순물 영역(34a') (34b') 사이의 실리콘 반도체막(33)의 중간영역(28')이 제7D도에 도시된 바와같이 채널영역으로 정해진다. 감광성 내식막(27')을 제거한 후에, 다른 감광성막(27)이 반도체막(33)을 덮도록 포토마스크를 사용하여 형성된다. 상기 게이트 전극(40')과 감광성 내식막(27')과 함께 자체 정열된 불순물 영역, 즉, 소오스와 드레인영역(34'a) (34b')이  $1 \times 10^{15} \text{ cm}^{-2}$ 의 인주입에 의해 형성된다. 불순물 영역(34a') (34b') 사이의 실리콘 반도체막(33)의 중간영역(28')은 제7D도에 도시된 바와같이 채널영역으로 정해진다. 이온주입은 대신에 마스크로서 게이트전극(40) 또는 (40')를 이용하여 산화실리콘막(35)을 선택적으로 제거하는 것에 의해 수행될 수 있으며 또한 그후 붕소나 인을 직접 이온주입한다. 게이트전극(40) (40')의 폭은 산소로 도핑된 불순물 영역이  $0.5 \mu\text{m}$ 로 채널의 변부위로 확장되도록 채널폭에 상응하는  $10 \mu\text{m}$ 을 이루도록 선택된다는 것을 유의해야 한다.

감광성 내식막(27)을 제거 후, 채널영역이 드레인 및 소오스 영역내의 불순물을 활성화하도록  $\text{H}_2$  분위기에서  $10\text{-}50$  시간동안  $630^\circ \text{C}$ 로 열어닐링 처리된다. 불순물 밀도가 실질적으로 낮으므로 소오스 및 드레인영역에서 재결정화는 빠르게 진행된다. 결과로서 이온화 비율[억셉터(acceptor) 또는 도너(donor)의 수/주입된 불순물 이온의수]이 50%와 90% 사이에서 조절될 수 있다.

소오스와 드레인 영역과 채널영역을 포함한 불순물로 처리된 영역이 N+1와 P+1 계면에서 제한되지 않은 결정입계가 형성되어 고 드레인 절연내력이 기대될 수 있도록 서로 부분적으로 겹쳐진다.

산화실리콘의 중간층 절연막(37)은 하층의 소오스와 드레인영역(34a) (34b) (34a') (34b')에 접근하도록 하기 위해 중간층 막(37)과 산화막(35)을 통하여 접촉공(39)이 천공되도록 하기 위해서 포토마스크에 의하여 에칭되는 구조의 전 표면위에 증착된다.

내부층 절연막(37)의 증착은 LPCVD 또는 광 CVD에 의하여  $0.2\text{-}2.0 \mu\text{m}$ 의 두께로 실행된다. 다음으로  $0.5\text{-}1 \mu\text{m}$  두께의 알루미늄막이 접촉공(39)상의 구조위에 증착되며 또한 제7E도에서 보인 바와같이 포토마스크에 의하여 소오스와 드레인 전극(36a) (36b) (36a') (36b')을 형성하도록 패턴 처리된다.

최종적으로, 유기 수지막(39)이 구조의 전면에 피복되며 또한 드레인 전극(36b) (36b')에 접근할 수 있도록 포토마스크에 의해 패턴 처리된 다음 패드(37b)와 전기적으로 연결되도록 인동주석 산화물(ITO)과 같은 투면전도성 물질로된 리드전극(37)이 형성된다. ITO막은 실온에서부터  $150^\circ \text{C}$ 의 온도범위에서 스퍼터링으로 증착된 다음 산화분위기( $\text{O}_2$ ) 또는 공기중에서  $200\text{-}300^\circ \text{C}$ 로 어닐링 된다. 패드

(37b)는 리드전극(37)의 증착에 의하여 동시에 형성될 수 있다. 그때, CMOS 트랜지스터의 형성이 종료된다. 한 픽셀에 상응하는 영역이 제 4 도에서 점선으로 표시된다.

열과 행 드라이버의 TFT를 형성하는 것은 다음에 특별히 기술된 것을 제외하고는 동일한 방법으로 동시에 동일기재(11)상에 실행될 수 있다. 상기한 형성을 도시하는 제8a도 내지 제8f도는 제7a도 내지 제7f도에 상응한다. 제7a도의 실리콘 반도체막이 개방부(26) (26')를 갖는 감광성 내식막으로 피복될 때 제8a도의 반도체막(33)은 불순물이 여기에 주입되지 않기 때문에 감광성 내식막으로 완전히 피복된다.

산소와 같은 스포일링 불순물이 이용되지 않으므로, TFT의 고캐리어 이동도는 TFT가 고감광성을 갖더라도 기대될 수 있다. 감광성은 TFT가 조명에 노출된 디스플레이 패널로부터 멀리 떨어져 위치되기 때문에 TFT의 실행을 저하시키지 않으면서 또한 액정 디스플레이의 작동을 저하시키지 않는다. 이런 경우에 있어 상기 설명된 제조공정의 잇점은 스포일링 불순물의 효과가 없어도 매우 크다. 즉, 반도체 막(33)은 반 아모르퍼스 또는 반 액정구조의 형태로 증착된다. 물론, 그 잇점은 크지 않더라도 제7a도 내지 제7f도에 도시된 바와같은 형성의 경우도 나타난다. 어쨌든 상기 공정의 잇점 중 하나는 이런 트랜지스터(불순물로 처리되고 처리되지 않은)의 형성이 공정상 석영기재와 같은 비싼기재의 이용을 요구하지 않고 대규모의 액정 디스플레이 생산방법에 적합하도록 700°C이하 온도에서 실행될 수 있다는 점이다.

따라서 이들 CMOS 트랜지스터와 도시된 바와같은 적당한 패턴이 구비된 유리기재는 그것의 내부표면에 전극이 구비된 대응 유리기재와 결합된 후 상기 두 기재 사이에 액정물질을 주입한다.

다음으로 본 발명에 따른 반아모르퍼스 또는 반결정 반도체물질의 형성 메카니즘이 설명될 것이다. 수소와 알코의 혼합체내에서 단일 결정 실리콘 타겟을 스퍼터링할때 고에너지의 무거운 알코원자가 타겟의 표면에 충돌하고 이들로부터 수십~수십만 실리콘 원자로 구성되는 집속군을 이동시켜 피복될 기재상에 증착하게 한다. 이들 집속군은 기재상에 증착되기 전에 혼합가스를 통과하고 이들의 현수결합을 차단하기 위하여 이들의 외표면에서 수소원자와 결합된다.

따라서, 기재에 증착될 때에 집속군은 내부의 아모르퍼스 실리콘과 Si-H 결합을 포함하는 외부의 정돈된 실리콘으로 구성된다. Si-H 결합과 반응하고 비산화 분위기하에서 450°C~700°C의 열처리에 의해 Si-Si 결합으로 전환된다. 인접한 실리콘 원자의 이들 결합(Si-Si)은 인접한 집속군이 서로 끌어당기도록 기능함에 반해 이들 집속군은 이들의 상태에서 보다 정돈된 상태(부분적으로 재결정됨)로 전환시키는 경향이 있다. 따라서 이들 집속군의 결정구조는 격자왜곡을 보이며 그 라만스펙트럼의 침투(522cm<sup>-1</sup>: 단일결정 실리콘의 침투)가 낮은 주파수 방향으로 이동된다. 반쪽에 기초하여 계산된 겉보기 입자직경은 미세결정이라 할 수 있는 50~500Å 이다.

집속군의 에너지 밴드는 집속군을 고정하는 Si-Si 결합을 통하여 이들 사이의 경계면에 연결된다.

이러한 이유로 본 발명에 따른 실리콘의 다결정(반아모르퍼스 또는 반결정질)구조가 통상적인 다결정체와는 완전히 다르며 여기에서 결정입계는 캐리어 이동에 대한 방벽을 제공하므로써 이동도는 15~100cm<sup>2</sup>/Vsec(전자이동도)와 10~15cm<sup>2</sup>/Vsec(홀 이동도)정도가 될 것이다. 즉, 본 발명에 따른 반아모르퍼스 또는 반결정질 구조는 실제로 불필요한 결정입계를 갖지 않는 것으로 간주될 수 있다. 물론 반도체가 1000°C의 고온 또는 450°C~700°C의 비교적 낮은 온도보다 높은 온도하에 있는 경우, 잠복되어 있던 산소원자가 집속군 사이의 경계면에 나타나 종래기술의 경우에서와 같이 방벽을 형성한다. 캐리어 이동도는 고정강도를 증가시키므로써 개선될 수 있다. 이를 위하여 반도체막의 산소밀도는 7 × 10<sup>19</sup> cm<sup>-3</sup>, 바람직하게는 1 × 10<sup>19</sup> cm<sup>-3</sup>로 감소된다.(이것은 제7a도 내지 제7f도의 경우가 아님)

제9a도와 제9b도는 스포일링 불순물이 적용되는 제7a도 내지 제 7f도와 스포일링 불순물이 없는 제 8a도 내지 제8f도에 따라 제조된 TFT의 게이트 전압과 드레인 전류사이의 관계를 도시한 그래프이다. 제9a도는 P채널 TFT의 특성을 보여준다. 제9a도의 곡선(72)은 스포일링 불순물을 적용한 P채널 TFT의 특성을 나타낸다.

실시예에 따르면, 2000cd광으로 조사될때 이러한 특성은 곡선(72')으로 바뀐다. 도면에 도시된 바와 같이 드레인 전류의 드리프트는 서브-한계영역에서 일차수 크기로 제한된다. 제9a도의 곡선(73)은 스포일링 불순물 없는 P채널 TFT의 특성을 나타낸다.

제9b도는 N채널 TFT의 특성을 나타낸다. 제9b도의 곡선(71)은 스포일링 불순물을 이용한 N채널 TFT의 특성을 나타낸다. 이 특성은 2000cd광으로 조사될때 곡선(71')으로 바뀐다. 도면에 나타난 것처럼 드레인 전류의 드리프트 컷-오프(cut-off) 영역에서 일차수 크기내로 제한된다. 제9b도의 곡선(72)은 스포일링 불순물 없는 N채널 TFT의 특성을 나타낸다. 드레인 전류의 드리프트는 반도체막에서 산소밀도가 3 × 10<sup>21</sup> cm<sup>-3</sup> 이상이였을때 무시될 수 있다. 이것과 반대로, 반도체막에서 산소밀도가 8 × 10<sup>19</sup> cm<sup>-3</sup> 또는 그 이하였을때 드레인 전류의 실질적인 드리프트가 관찰되었다.

다음의 채널길이가 5μm인 것을 (채널폭 15μm)제외하고는 차이가 없는 상기 공정에 따라 제조된 TFT의 특성 데이터이다.

제7F도에 도시된 TFT

|     | $\mu$ | $V_{th}$ | $V_{BVD}$ | PS |
|-----|-------|----------|-----------|----|
| P채널 | 16    | -5.3     | -24       | NO |
| N채널 | 25    | +4.7     | +27       | NO |

제7F도에 도시된 TFT

|     | $\mu$ | $V_{th}$ | $V_{BVD}$ | PS  |
|-----|-------|----------|-----------|-----|
| P채널 | 45    | -4.8     | -21       | YES |
| N채널 | 68    | +4.1     | +24       | YES |

$\mu$  : 캐리어 이동도, 단위 :  $cm^2/V.S$

$V_{th}$  : 한계전압 ( $I_D=0.1a$ 일때의 게이트 전압) : 단위, V

$V_{BVD}$  : 드레인 절연내력, 단위 : V

PS : 유효 감광성

상기 실시예에 있어서, 열어닐링이 제7a도와 제7D도는 또는 제8a도와 제8D도와 상응하는 단계에서 두번 실행된다.

그러나, 제 1 어닐링(제7a도와 제8a도)이 제 2 어닐링의 광에서 공정주기를 짧게 하도록 생략될 수 있다.

제10a도와 제10b도를 참조하여 본 발명의 제 2 실시예에 따른 CMOS 박막전계효과 트랜지스터가 기술된 것이다. 이런 실시예에서 두쌍의 CMOS 트랜지스터(41-1), (51-1), (41-2'), (51-2')는 이들의 드레인 전극에서 각각의 픽셀(점선으로 표시)에 대해 전극패드(33)와 수평으로 접속된다.

이들 CMOS 트랜지스터는 트랜지스터의 수가 두배로 된다는 것을 제외하고는 제 1 실시예에 관련하여 상술된 단계들에 의해 제조된다. 유사한 소자들의 대해서는 제 1 실시예와 유사한 부호들이 주어진다.

전극패드(37b)는 적합한 절연막을 통하여  $V_{GG}$  라인에 증착되어야 한다. 전기적인 동작은 실제로 제 1 실시예의 그것과 같다.

그러므로, 두개의 동일한 독립스위치 소자들은, 소자들 중 하나의 동작이 고장인 경우 정보디스플레이의 가동성이 나머지 CMOS 트랜지스터를 사용하여 레이저 광선에 의해 고장소자를 발화함으로써 유지될 수 있도록 하나의 픽셀에 상응하여 준비된다. 이러한 이유로 인해, 전도성 투명 패드들은 이들 TFT를 덮지 않도록 형성한다.

제11a 및 제11b도를 참조하면, 본 발명의 제 3의 실시예에 따라 CMOS 박막 전계효과 트랜지스터들이 설명될 것이다. 또한, 이 실시예에서도 두쌍의 CMOS 트랜지스터(41-1), (51-1), (41-2'), (51-2')가 이들의 드레인 전극에서 각 픽셀의 전극패드(37b)는 두부분(37b-1)(37b-2)으로 나뉘어져 각각의 CMOS 트랜지스터에 독립적으로 연결된다. 이들 CMOS 트랜지스터는, 트랜지스터의 숫자를 제외하고는 제 1 실시예와 관련하여 상술된 단계와 동일한 단계에 의해 제조된다. 유사한 소자들은 제 1 실시예와 유사한 부호로 표시된다. 그리고, 각 픽셀은 두개의 독립된 서브-픽셀로 구성된다. 이 실시예에 따르면, 서브-픽셀중의 하나가 고장이면 다른 서브-픽셀이 픽셀동작을 유지하므로 픽셀작동 불능의 가능성이 감소된다. 더우기 이러한 형태는, 빛차단 수단을 사용하지 않아서 디스플레이의 밝기가 증대되는 칼라디스플레이의 경우에 특히 적합하다.

상기 언급된 바와같이, 본 발명에 따른 잇점들은 다음과 같다.

- 1) TFT들의 채널영역에 미치는 입사광에 의한 바람직하지 않은 영향을 방지하기 위해 특수한 및 차단 수단을 반드시 사용하지 않는다.
- 2) 같은 기재상에 픽셀들을 규정하기 위한 주변회로와 전극형태들을 형성하는 것이 가능하다.
- 3) 반아모르퍼스 반도체들이 아모르퍼스 반도체의 대신에 사용되고 캐리어 이동도가 하나 또는 그 이상 차수의 크기로 증가되기 때문에 TFT의 크기는 감소되어 하나의 픽셀에 두개의 TFT가 형성될 때에도 절은 애퍼쳐에 비율의 감소가 필요하게 된다.

이상 몇가지 실시예에 대한 설명은 단순히 설명을 위한 것이다. 이들이 본 발명을 한정할 수는 없으며 상기 교시내용으로 비추어 여러가지 수정이나 변경이 가능할 것이다. 실시형태는 본 발명의 원리와 그 적용을 설명하기 위하여 선택된 것이므로 본 발명의 기술분야에 정통한 자라면 여러가지 실시형태와 수정형태를 이용하여 본 발명을 더욱 효과적으로 활용할 수 있을 것이다.

또 다른 실시예는 다음과 같다.

상기 언급된 액정 디스플레이에서, P형 TFT가  $V_{DD}$  라인에 연결되는 반면에 N형 TFT는  $V_{SS}$  라인에 연결된다. 그러나, 이들은 그 역으로 연결될 수 있다. 즉, N형 TFT는  $V_{DD}$  라인에 연결되는 반면에 P형 TFT는  $V_{SS}$  라인에 연결된다. 이를 위하여, N형 TFT와 P형 TFT의 위치가 상기 실시예에서 바뀔 수 있다. 이와같은 경우, 각 픽셀에서 액정층의 전압(패드의 전압)은, 픽셀이 종열 드라이버(46)에 의하여 선

택될때  $V_{GG}$ 와 동일한 레벨이 된다.

상기 실시예는 액정 디스플레이의 스위칭 장치를 위한 CMOS 형태의 적용예이다. 그러나, 본 발명에 따른 TFT는 하나의 픽셀을 구동하기 위하여 하나의 TFT로 구성되는 스위칭 장치의 형태에 이용될 수 있다.

이와같은 경우, 등가회로는, N형 TFT가 상기 언급된 바와같이 입사광에 감응치 아니하는 불순물처리 반도체막으로 구성되므로 저항 ASD가 필요치 아니한 점을 제외하고는 제 1 도에서 보인것과 실제상 동일하다.

각픽셀의 전극패드는, 그 전압 레벨이 CMOS를 이용하는 것과 비교하였을때에 고정되지 아니하도록 이변형예에서 지정되지 않을 때에는 전기적으로 부동하게 된다.

그러나, 그 제조과정은 광차단 수단이 필요없어서 매우 간단하다.

액정 디스플레이에 사용된 액정물질은 다른 형태의 물질을 포함할 수 있다. 예를들어, 적당한 상전이 액정 물질은 게스트-호스트 형태나 매트스트로픽 형태의 네마틱 액정물질에 이온 도펀트를 추가하여 제조될 수 있다. 적당한 상전이 액정물질은 전계의 적용에 따라 네마틱상태와 콜레스테릭상태 사이의 상전이를 통하여 투명상태로부터 혼탁상태 또는 그 반대로 광학적인 발현을 변화시킨다. 또한, 염료로 착색된 유기액체내에 안료입자를 분산시켜 제조된 전기용 동분제산과 같은 적당한 광영향 물질이 액정 대신 동일한 목적으로 이용될 수 있다.

본 발명은 게르마늄 또는 실리콘/게르마늄(SiGe-x) 반도체와 같은 다른 형태의 반도체를 이용하는 트랜지스터에 적용될 수 있으며, 이와같은 경우 열처리하는 상기 실시예에서 실리콘 반도체에 이용된 것보다 약 100°C 낮은 온도에서 수행될 수 있다. 이러한 반도체의 증착은 광에너지(1000nm 파장보다 짧은) 또는 전자사이클로트론 공명(ECR)에 의해 고에너지 수소 플라즈마내에서 스퍼터링함에 의해 수행될 수 있다. 불순물이 되지 않는 한 수소분자를 포함하는 기체 대신에 스퍼터링 분위기로서 다른 수소화합물이 사용될 수 있다.

예를들어, 실리콘 반도체 트랜지스터를 형성하기 위하여 모노실란이나 디실란이 사용될 수 있다.

트랜지스터를 형성하는 반도체막은 다결정 구조나 다른 동작구조내에 형성될 수 있다.

반도체막에는, 제7a도에 관련된 상기 실시예에서 기술된 바와같이 600°C에서 열어닐링을 행해주는 대신 엑시머 레이저에 의하여 증착시킨 후에 레이저 어닐링을 행해줄 수 있다.

소오스 및 드레인영역에 주입된 불순물을 활성화하기 위해 가해지는 어닐링은 제7(D)도에 관련한 상기 실시예에서 기술된 바와같이 열어닐링을 시행하는 대신 엑시머 레이저를 시행함에 의하여 달성될 수 있다.

수소 어닐링은, 예를들어 반아모르퍼스, 반결정 또는 다결정 반도체막을 형성한 후, 반도체막의 열어닐링후 또는 소오스 및 드레인영역을 형성한 후에 수소 분위기의 300°C~400°C의 온도에서 적당한 단계에 따라 실행될 수 있다.

양호한 실시예에 있어서 비록 산화물과 반도체막이 각각 별도의 장치에서 증착된다 하여도 동일한 장치에서 다른 형태의 게이트 절연막이나 게이트 전극을 증착하는 것이 명백히 가능하다. 산화막의 증착중에 중화작용으로 유기기재에서 막쪽으로 알칼리 금속원자가 이용하는 것을 효과적으로 방지하기 위하여 산화막에 할로겐 원자를 주입하도록 불소와 같은 할로겐이 스퍼터링 분위기로 사용될 수 있다. 동일한 효과가 할로겐 대신 인을 주입함으로써도 기대될 수 있다.

본 발명은 반도체 집적 장치의 회상 감지기, 부하소자 또는 입체소자와 같은 반도체 장치를 이용하는 다른 형태의 광학장치에 적용될 수 있다. 양호한 실시예에 있어서, 전계효과 트랜지스터는 유기 기재상에 구성된다. 그러나, 다른 기재가 사용될 수 있다. 예를들어, 박막전계효과 트랜지스터는 액정 디스플레이 또는 화상 감지장치의 실리콘 기재상에 형성될 수 있다. 이 실리콘 기재는 고유 실리콘 기재, P형 실리콘 기재, N형 실리콘 기재 또는 MOS FET·바이폴라 트랜지스터등이 IC 형태로 구성되는 실리콘 기재일 수 있다.

고유실리콘 기재인 경우에 이 절연층은 생략될 수 있으나 이러한 기재와 박막 전계효과 트랜지스터 사이에는 절연층이 형성될 수 있다. 게이트 전극은 본 발명에 따른 게이트 절연층 전계효과 트랜지스터에서 단일층 전극 또는 다중층 전극일 수 있다. 본 발명에 따른 게이트 전극은 단일층 전극 또는 다중층 전극일 수 있다. 상기 단일층 게이트 전극은 인이 도핑된 실리콘 전극이거나 알루미늄 전극일 수 있다. 상기 다중층 게이트 전극은 하부 크롬층과 이에 형성된 상부 알루미늄층으로 구성된 2개층의 전극이거나 인이 도핑된 하부 실리콘 층과 이에 형성된 상부의 금속 또는 금속 규화물 층으로 구성된 2개층의 전극일 수 있다. 상기 알루미늄 단일층 전극과 상부 알루미늄 타겟트를 스퍼터링하여 형성될 수 있다. 상기 실리콘 단일층과 하부 실리콘층은 저압 CVD 방법으로 형성되거나 인이 도핑된 실리콘 타겟트를 스퍼터링하여 형성될 수 있다. 상기 하부 크롬층은 크롬 타겟트를 스퍼터링하여 형성될 수 있다. 상기 금속층은 몰리브덴 타겟트를 스퍼터링하여 얻은 몰리브덴층, 텅스텐 타겟트를 스퍼터링하여 얻는 텅스텐 층, 티탄늄 타겟트를 스퍼터링하여 얻은 티탄늄층 또는 알루미늄 타겟트를 스퍼터링하여 얻는 알루미늄층일 수 있다. 상기 금속 규화물층은  $MoSi_2$  타겟트를 스퍼터링하여 얻는  $MoSi_2$  층,  $WSi_2$  타겟트를 스퍼터링하여 얻는  $WSi_2$  층 또는  $TiSi_2$  타겟트를 스퍼터링하여 얻는  $TiSi_2$  층일 수 있다. 비록 제조방법이 여러단계를 포함하고 있으나 실제의 경우에 따라서 이들 단계의 순서가 바뀔 수 있으며, 이로써 본 발명의 범위가 제한되어서는 안된다.

## (57) 청구의 범위

### 청구항 1



소오스 및 드레인 반도체 영역, 이들 사이에 연장되고, 감광성 스포일링 불순물로 도핑된 채널 반도체 영역, 및 상기 채널 반도체 영역에 인접하여 사이에 게이트 절연층을 게재시키면서 위치한 게이트 전극을 포함하며 ; 또한 상기 채널영역안의 상기 감광성의 농도는  $1 \times 10^{20}$  원자/cm<sup>2</sup> 내지  $8 \times 10^{21}$  원자/cm<sup>2</sup> 이고, 상기 소오스와 드레인 반도체 영역안의 상기 감광성의 농도가  $7 \times 10^{19}$  원자/cm<sup>2</sup> 이하인 절연 게이트 전계효과 트랜지스터.

#### 청구항 2

제 1 항에 있어서, 상기 감광성 스포일링 불순물이 산소, 탄소 및 질소로부터 구성되는 그룹으로부터 선택된 원소인 트랜지스터.

#### 청구항 3

제 1 항에 있어서, 입사하는 광에 기인하여 상기 트랜지스터의 온-상태에서의 상기 채널영역을 통해 통과하는 드레인 전류 레벨의 드리프트가 10% 내인 트랜지스터.

#### 청구항 4

제 1 항에 있어서, 조사에 기인하여 상기 트랜지스터의 오프상태에서의 상기 채널영역을 통과하는 드레인 전류 레벨의 드리프트가 2차수(two order) 크기 내인 트랜지스터.

#### 청구항 5

제 1 항에 있어서, 상기 기재가 투명한 트랜지스터.

#### 청구항 6

제 1 항에 있어서, 상기 기판이 유리를 포함하는 트랜지스터.

#### 청구항 7

제 1 항에 있어서, 소오스 반도체 영역, 드레인 반도체 영역과 채널 반도체 영역이 한 반도체층 안에 형성된 트랜지스터.

#### 청구항 8

제 1 항에 있어서, 상기 트랜지스터가 스택거형인 트랜지스터.

#### 청구항 9

제 1 항에 있어서, 상기 트랜지스터가 역 스택거형인 트랜지스터.

#### 청구항 10

제 1 항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 드레인 반도체 영역의 드레인 전류의 편차가 10% 이하인 반도체.

#### 청구항 11

제 1 항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 드레인 반도체 영역의 드레인 전류 편차가 2차수 크기 내인 트랜지스터.

#### 청구항 12

절연표면을 갖는 기판 ; 및 각각 소오스 반도체 영역, 드레인 반도체 영역, 상기 소오스 및 드레인 반도체 영역 사이에서 연장하는 채널 반도체 영역을 포함하는 상기 절연표면에 형성된 다수의 전계효과 트랜지스터를 포함하며 ; 또한 상기 전계효과 트랜지스터의 일부의 채널영역의 감광성이  $1 \times 10^{10}$  원자/cm<sup>2</sup> 내지  $8 \times 10^{21}$  원자/cm<sup>2</sup> 의 농도로 상기 채널영역 내로의 스포일링(spoiling) 불순물을 선택적으로 도입하여 제거되고, 다른 전계효과 트랜지스터의 상기 소오스, 드레인 및 채널영역 안에 상기 불순물의 어느 농도도  $7 \times 10^{19}$  원자/cm<sup>2</sup> 이하인 다수의 전계효과 트랜지스터를 갖는 시스템.

#### 청구항 13

제13항에 있어서, 상기 다수의 전계효과 트랜지스터가 스택거형인 시스템.

#### 청구항 14

제13항에 있어서, 상기 다수의 전계효과 트랜지스터가 역 스택거형인 시스템.

#### 청구항 15

제13항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 드레인 반도체 영역의 드레인 전류의 편차가 10% 이하인 시스템.

#### 청구항 16

제13항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 드레인 반도체 영역의 드레인 전류의 편차가 2차수 크기 내인시스템.

**청구항 17**

절연표면 외부광의 입사를 받는 중앙지역, 및 상기 외부광으로부터 보호되는 주변지역을 갖는 기재 ; 및 기재의 상기 중앙지역에 형성된 제 1 다수의 박막트랜지스터 ; 기재의 상기 주변지역에 형성된 제 2 다수의 박막트랜지스터를 포함하며, 또한 상기 제 1 및 제 2 다수의 박막트랜지스터는 소오스와 드레인 반도체 영역과 그들사이의 채널영역을 가지며, 상기 제 1 다수의 박막트랜지스터 각각의 채널영역의 감광성은 상기 감광성을 감소시키기에 충분한 제 1 농도로 상기 채널영역에 스포일링 불순물을 도입하며 제거하고, 상기 제 2 다수의 박막트랜지스터 각각의 소오스, 드레인 및 채널영역의 상기 스포일링 불순물의 어느 농도도 상기 제 1 농도 미만인 전기광학장치.

**청구항 18**

제18항에 있어서, 기재의 상기 중앙 지역위의 상기 제 1 다수의 박막트랜지스터 가 픽셀 전극에 전압을 인가하기 위하여 제공되고, 기재의 상기 주변지역의 상기 제 2 다수의 박막트랜지스터가 상기 제 1 다수의 박막트랜지스터를 구동하기 위하여 제공되는 장치.

**청구항 19**

제18항에 있어서, 상기 다수의 전계효과 트랜지스터가 스택거형인 장치.

**청구항 20**

제18항에 있어서, 상기 다수의 전계효과 트랜지스터가 역스택거형인 장치.

**청구항 21**

소오스 영역, 드레인 영역 및 그 사이의 채널영역을 갖는 반도체층 ; 상기 채널 영역에 인접한 게이트 절연층 ; 및 상기 게이트 절연층에 인접한 게이트 전극을 포함하며, 또한 스포일링 불순물이 상기 반도체층의 일부분의 감광성을 제거하기 위하여 상기 반도체층의 일부분에 첨가되고, 상기 반도체층 일부분은 상기 채널영역에 가까운 상기 소오스 및 드레인 영역의 부분과 상기 채널영역을 포함하고, 상기 채널영역으로부터 먼 상기 소오스와 드레인 영역의 부분내의 상기 불순물의 어떤 농도도 상기 반도체 일부분내의 상기 불순물의 농도 미만인 절연게이트 전계효과 트랜지스터.

**청구항 22**

제22항에 있어서, 상기 트랜지스터가 스택거형인 트랜지스터.

**청구항 23**

제22항에 있어서, 상기 트랜지스터가 역스택거형인 트랜지스터.

**청구항 24**

제22항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 드레인 반도체 영역의 드레인 전류의 편차가 10% 이하인 반도체.

**청구항 25**

제22항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 드레인 반도체 영역의 드레인 전류 일탈은 2차수 크기 내인 트랜지스터.

**청구항 26**

다수의 픽셀을 구비한 디스플레이 부분과 주변회로 부분을 갖는 절연표면을 갖는 기재 ; 상기 다수의 픽셀을 스위칭하기 위해 상기 기재의 디스플레이 부분에 형성된 제 1 다수의 박막트랜지스터와 ; 상기 제 1 다수의 박막트랜지스터를 구동하기 위해 상기 기재의 주변회로 부분에 형성된 제 2 다수의 박막트랜지스터를 포함하며, 또한 상기 제 1 다수의 박막 트랜지스터 활성 반도체 영역내의 C, N, O 및 이들의 조합으로 구성되는 그룹으로부터 선택된 불순물의 농도는 상기 제 2 다수의 박막트랜지스터의 활성 반도체 영역내의 상기 불순물보다 큰 활성 매트릭스 전기광학장치.

**청구항 27**

제27항에 있어서, 상기 제1다수의 박막트랜지스터 및 상기 제 2 다수의 박막트랜지스터가 역스택거형인 장치.

**청구항 28**

제27항에 있어서, 상기 제1다수의 박막트랜지스터 및 상기 제 2 다수의 박막트랜지스터가 역스택거형인 장치.

**청구항 29**

제27항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 제 1 다수의 박막트랜지스터의 드레인 전류의 편차가 10% 이하인 반도체.

**청구항 30**

제27항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 제 1 다수의 박막트랜지스터의 드레인 전류편차가 2차수 크기내인 장치.

**청구항 31**

다수의 픽셀과 주변회로 부분이 구비된 디스플레이 부분과 절연표면을 갖는 다수의 픽셀을 구비한 디스플레이 부분과 주변회로 부분을 갖는 기재 ; 상기 다수의 픽셀을 스위칭하기 위해 상기 기재의 디스플레이 부분에 형성된 제 1 다수의 박막트랜지스터와 ; 상기 제 1 다수의 박막트랜지스터를 구동하기 위해 상기 기재의 주변회로 부분에 형성된 제 2 다수의 박막트랜지스터를 포함하고, 상기 제 1 다수의 박막트랜지스터의 감광성이 상기 제 2 다수의 박막트랜지스터의 감광성보다 낮은 활성 매트릭스 전기광학장치.

**청구항 32**

제32항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 다수의 박막트랜지스터가 스택거형인 장치.

**청구항 33**

제32항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 다수의 박막트랜지스터가 역스택거형인 장치.

**청구항 34**

제32항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 트랜지스터중 하나의 드레인 전류의 편차가 10% 이하인 장치.

**청구항 35**

제32항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 트랜지스터중 하나의 드레인 전류의 편차가 2차수 크기 내인 장치.

**청구항 36**

다수의 픽셀을 구비한 디스플레이 부분과 주변회로 부분을 갖는 절연표면을 갖는 기재 ; 상기 다수의 픽셀을 스위칭하기 위해 상기 기재의 디스플레이 부분에 형성된 제 1 다수의 박막트랜지스터와 ; 상기 제 1 다수의 박막트랜지스터를 구동하기 위해 상기 기재의 주변 회로부분에 형성된 제 2 다수의 박막트랜지스터를 포함하고, 2000cd의 조사에 기인하여 ON 상태의 상기 제 1 다수의 박막트랜지스터의 드레인 전류의 편차가 10% 이하인 활성 매트릭스 전기광학장치.

**청구항 37**

제37항에 있어서, 상기 제 1 다수의 박막트랜지스터의 감광성이 상기 제 2 다수의 박막트랜지스터의 감광성 보다 낮은 장치.

**청구항 38**

제37항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 다수의 박막트랜지스터가 스택거형인 장치.

**청구항 39**

제37항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 다수의 박막트랜지스터가 역스택거형인 장치.

**청구항 40**

다수의 픽셀을 구비한 디스플레이 부분과 주변회로 부분을 갖는 절연표면을 갖는 기재 ; 상기 다수의 픽셀을 스위칭하기 위해 상기 기재의 디스플레이 부분에 형성된 제 1 다수의 박막트랜지스터와 ; 상기 제 1 다수의 박막트랜지스터를 구동하기 위해 상기 기재의 주변회로 부분에 형성된 제2다수의 박막 트랜지스터를 포함하고, 2000cd의 조사에 기인하여 OFF 상태의 상기 제 1 다수의 박막트랜지스터의 드레인 전류의 편차가 2차수 크기내인 활성 매트릭스 전기광학장치.

**청구항 41**

제41항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 다수의 박막트랜지스터가 스택거형인 장치.

**청구항 42**

제41항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 다수의 박막트랜지스터가 역스택거형인 장치.

**청구항 43**

다수의 픽셀을 구비한 디스플레이 부분과 주변회로 부분을 갖는 절연표면을 갖는 기재 ; 상기 다수의 픽셀을 스위칭하기 위해 상기 기재의 디스플레이 부분에 형성된 제 1 다수의 박막트랜지스터와 ; 상기 제 1 다수의 박막트랜지스터를 구동하기 위해 상기 기재의 주변회로 부분에 형성된 제 2 다수의 박막 트랜지스터를 포함하고, 상기 제 1 다수의 박막 트랜지스터의 활성 반도체 영역의 이동도가 상기 제 2 다수의 박막트랜지스터의 활성 매트릭스의 이동도보다 낮은 활성 매트릭스 전기광학장치.

**청구항 44**

제44항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 다수의 박막트랜지스터가 스택거형인 장치.

#### 청구항 45

제44항에 있어서, 상기 제 1 다수의 박막트랜지스터와 상기 제 2 박막트랜지스터가 역스택거형인 장치.

#### 청구항 46

제44항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 제 1 다수의 박막트랜지스터의 반도체 드레인 전류의 편차가 10% 이하인 반도체.

#### 청구항 47

제44항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 제 1 다수의 박막트랜지스터 내부 드레인 전류의 편차가 2차수 크기 내인 장치.

#### 청구항 48

절연표면을 갖고 다수의 픽셀을 구비한 디스플레이 부분과 주변회로 부분을 갖는 기재 ; 상기 다수의 픽셀을 스위칭하기 위해 상기 기재의 디스플레이 부분에 형성된 제 1 다수의 트랜지스터와 ; 상기 제 1 다수의 트랜지스터를 구동하기 위해 상기 기재의 주변회로 부분에 형성된 제 2 다수의 트랜지스터를 포함하고, 상기 제 1 다수의 트랜지스터의 활성 반도체 영역내의 C. N. 0 및 이들의 조합으로 구성되는 그룹으로부터 선택된 불순물의 농도는 상기 제 2 다수의 트랜지스터의 활성 반도체 영역내의 상기 불순물보다 큰 활성 매트릭스 전기광학장치.

#### 청구항 49

제49항에 있어서, 상기 제 1 다수의 트랜지스터와 상기 제 2 다수의 트랜지스터가 스택거형인 장치.

#### 청구항 50

제49항에 있어서, 상기 제 1 다수의 트랜지스터와 상기 제 2 다수의 트랜지스터가 역스택거형인 장치.

#### 청구항 51

제49항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 제 1 다수의 내의 드레인 전류의 편차가 10% 이하인 장치.

#### 청구항 52

제49항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 트랜지스터 내의 드레인 전류편차가 2차수 크기내인 장치.

#### 청구항 53

소오스와 드레인 반도체 영역들과 그 사이에 연장하고 감광성 스포일링 불순물로 도포된 채널 반도체 영역을 갖는 반도체층 ; 상기 채널 반도체 영역에 인접하여 게이트 절연층을 사이에 게재시켜 위치한 게이트 전극을 포함하고, 상기 채널영역내의 상기 감광성 스포일링 불순물의 농도가  $1 \times 10^{20}$  원자/cm<sup>2</sup> 내지  $8 \times 10^{21}$  원자/cm<sup>2</sup> 이며, 상기 소오스와 드레인 영역내의 상기 감광성 스포일링 불순물의 농도가  $7 \times 10^{19}$  원자/cm<sup>2</sup> 이하인 절연 게이트 전계효과 트랜지스터.

#### 청구항 54

제54항에 있어서, 2000cd의 조사에 기인하여 ON 상태의 상기 드레인 반도체 영역내의 드레인 전류의 편차가 10% 이하인 트랜지스터.

#### 청구항 55

제54항에 있어서, 2000cd의 조사에 기인하여 OFF 상태의 상기 드레인 반도체 영역내의 드레인 전류의 편차가 2차수 크기내인 트랜지스터.

#### 청구항 56

소오스와 드레인 영역 ; 그들 사이에 연장하고 감광성 스포일링 불순물로 도포된 채널영역 ; 상기 채널영역에 인접하고 사이에 게이트 절연층을 게재시키며 위치하는 게이트 전극을 포함하고, 상기 채널영역내의 상기 감광성 스포일링 불순물의 농도가  $1 \times 10^{20}$  원자/cm<sup>2</sup> 내지  $8 \times 10^{21}$  원자/cm<sup>2</sup> 이고 상기 소오스와 드레인 반도체 영역내의 상기 감광성 스포일링 불순물의 농도가  $7 \times 10^{19}$  원자/cm<sup>2</sup> 이하인 절연게이트 전계효과 트랜지스터.

#### 청구항 57

$7 \times 10^{19}$  원자/cm<sup>2</sup> 이하의 농도로 스포일링 불순물을 함유하는 적어도 하나의 N-형 또는 P-형 반도체 영역과, 상기 N-형 또는 P-형 반도체 영역에 인접한 진성 반도체 영역 ; 상기 진성 반도체 영역에 인접하고 게이트 절연막을 통해 상기 진성 반도체 영역으로부터 절연된 게이트 전극을 포함하고, 상

기 진성 반도체 영역의 감광성이 상기 진성 반도체 영역을 감광성을 감소시키기에 충분하게 상기 스포일링 불순물의 농도를 선택적으로 도입하여 제거되며, 상기 N-형 또는 P-형 영역내의 상기 불순물의 농도가 상기 진성 반도체 영역내의 상기 스포일링 불순물 농도미만인 전계효과 트랜지스터.

#### 청구항 58

스포일링 불순물을 함유하는 적어도 하나의 N-형 또는 P-형 반도체 영역과, 상기 N-형 또는 P-형 반도체 영역에 인접한 진성 반도체 영역 ; 상기 진성 반도체 영역에 인접하고 게이트 절연막을 통해 상기 진성 반도체 영역으로부터 절연된 게이트 전극을 포함하고, 상기 진성 반도체 영역의 감광성이 상기 진성 반도체 영역을 감광성을 감소시키기에 충분한  $1 \times 10^{20}$  원자/cm<sup>2</sup> 내지  $8 \times 10^{21}$  원자/cm<sup>2</sup>의 상기 스포일링 불순물의 농도를 선택적으로 도입하여 제거되며, 상기 N-형 또는 P-형 영역내의 상기 불순물의 농도가 상기 진성 반도체 영역내의 상기 스포일링 불순물 농도 미만인 전계효과 트랜지스터.

#### 청구항 59

절연표면을 갖는 기재 ; 각각  $7 \times 10^{19}$  원자/cm<sup>2</sup> 이하의 스포일링 불순물 함유하는 적어도 하나의 N형 또는 P형 반도체 영역과, 게이트 전극을 통해 위치하는 진성 반도체 영역을 포함하고, 상기 표면상에 형성된 다수의 전계효과 트랜지스터를 포함하고, 상기 전계효과 트랜지스터의 일부분의 진성 영역의 감광성이 다른 전계효과 트랜지스터의 상기 N형 또는 P형 영역내의 상기 스포일링 불순물의 농도보다 큰 농도로 상기 진성 반도체 영역에 상기 감광성 스포일링 불순물의 선택적으로 도입하여 제거된 다수의 전계효과 트랜지스터를 갖는 시스템.

#### 청구항 60

절연표면을 갖는 기재 ; 각각 스포일링 불순물 함유하는 적어도 하나의 N형 또는 P형 반도체 영역과, 게이트 전극을 통해 위치하는 진성 반도체 영역을 포함하고, 상기 표면상에 형성된 다수의 전계효과 트랜지스터를 포함하고, 상기 전계효과 트랜지스터의 일부분의 진성 영역의 감광성이 상기 진성 영역에  $1 \times 10^{20}$  원자/cm<sup>2</sup> 내지  $8 \times 10^{21}$  원자/cm<sup>2</sup>의 농도로 상기 스포일링 불순물을 도입하여 제거되고, 다른 전계효과 트랜지스터의 상기 N형 또는 P형 영역내의 상기 스포일링 불순물의 농도보다 큰 농도가 상기 진성 반도체 영역내의 상기 스포일링 불순물의 농도 미만인 다수의 전계효과 트랜지스터를 갖는 시스템.

#### 청구항 61

적어도 하나의 N형 또는 P형 반도체 영역과, 상기 N형 또는 P형 반도체 영역에 인접한 진성 반도체 영역 ; 게이트 절연막을 상기 진성 반도체 영역에 인접하고 상기 진성 반도체 영역으로부터 절연된 게이트 전극을 포함하고, 상기 진성 반도체 영역의 감광성이 상기 진성 반도체 영역을 감광성을 감소시키기에 충분하게  $1 \times 10^{20}$  원자/cm<sup>2</sup> 내지 20원자% 원자/cm<sup>2</sup>의 상기 스포일링 불순물의 농도를 선택적으로 도입하여 제거되며, 상기 N형 또는 P형 영역내의 상기 불순물의 농도가 상기 진성 반도체 영역내의 상기 스포일링 불순물 농도 미만인 전계효과 트랜지스터.

#### 청구항 62

절연표면을 갖는 기재 ; 적어도 하나의 N형 또는 P형 반도체 영역과, 상기 N형 또는 P형 반도체 영역에 인접한 진성 반도체 영역 ; 절연층을 사이에 가지면서 상기 진성 영역에 인접하며 위치한 게이트 전극을 포함하고, 감광성 스포일링 불순물이 상기 진성 영역 및 상기 진성 영역에 근접한 상기 N-형 또는 P-형 영역의 일부분에 첨가되고, N-형 또는 P-형 영역의 일부분의 상기 스포일링 불순물의 농도가 상기 진성 반도체 영역에 인접한 부분의 상기 불순물 농도 미만인 반도체 전계효과 트랜지스터.

#### 청구항 63

절연 표면상에 반도체 막을 증착하는 단계 ; 채널영역이 되는 상기 반도체 막의 적어도 일부에 상기 채널영역의 감광성을 제거하기 위해 ; 스포일링 불순물을 도입하는 단계 ; 상기 반도체 막안에 사이에 채널영역을 가지면서 드레인과 소오스 영역으로 형성시키는 단계 ; 및 게이트 절연막을 사이에 개재하면서 상기 채널영역이 인접하여 게이트 전극은 형성시키는 단계를 포함하는 절연 게이트 전계효과 트랜지스터 제조방법.

#### 청구항 64

제64항에 있어서, 상기 스포일링 불순물이 이온주입에 의해 도입되는 방법.

#### 청구항 65

제64항에 있어서, 상기 스포일링 불순물의 산소, 탄소 및 질소로 구성되는 그룹으로부터 선택된 원소인 방법.

#### 청구항 66

제64항에 있어서, 상기 스포일링 불순물이  $1 \times 10^{20}$  내지  $8 \times 10^{21}$  원자/cm<sup>2</sup>의 농도로 도입되는 방법.

#### 청구항 67

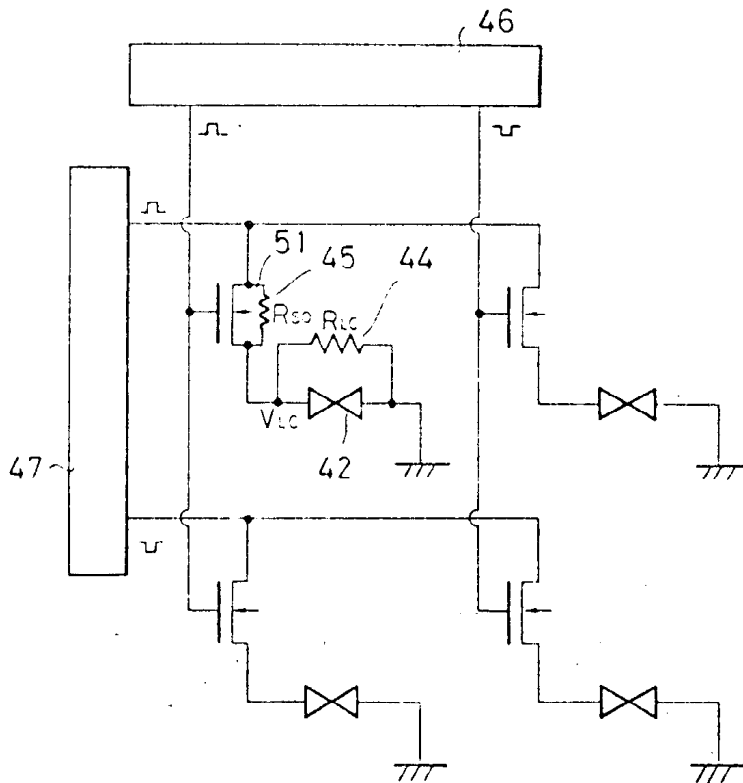
제64항에 있어서, 상기 스포일링 불순물이 상기 채널 영역에 가까운 상기 소오스와 상기 드레인 영역의 일부에 도입되는 방법.

## 청구항 68

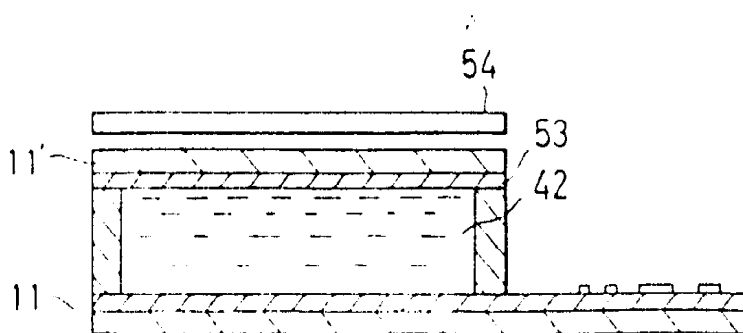
제 1 항에 있어서, 소오스와 드레인 반도체 영역 양쪽이 P형 도전성 이거나 N형 도전성을 갖는 트랜지스터.

## 도면

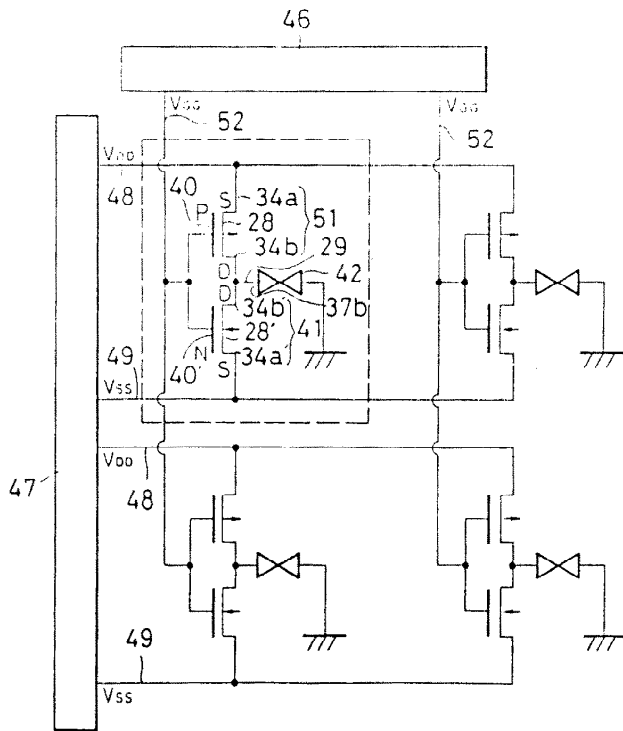
도면1



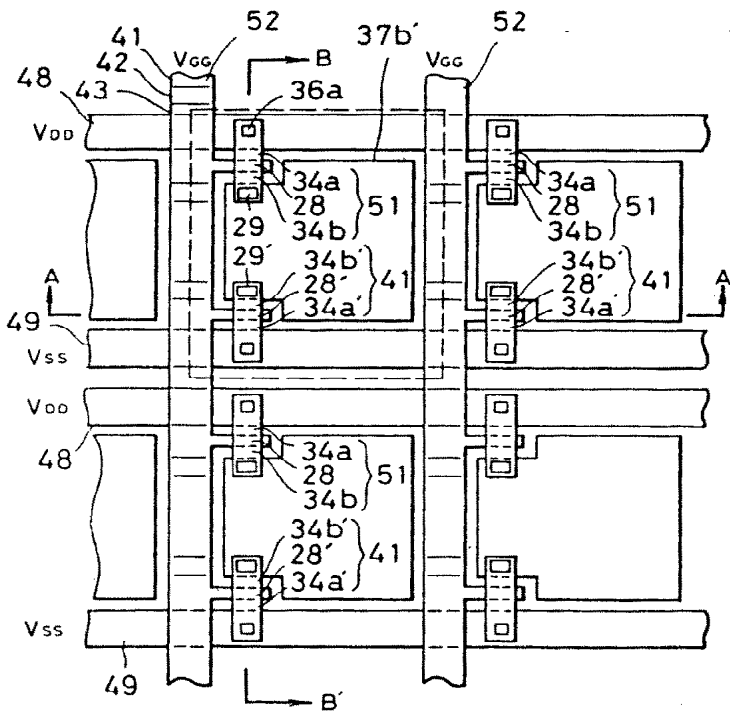
도면2



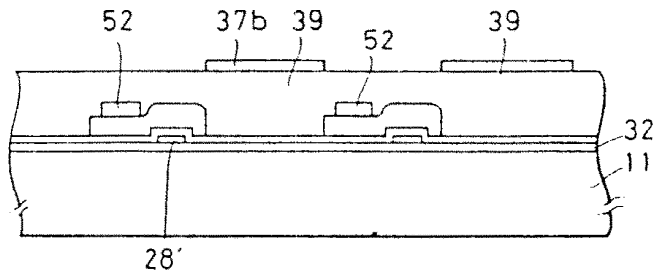
도면3



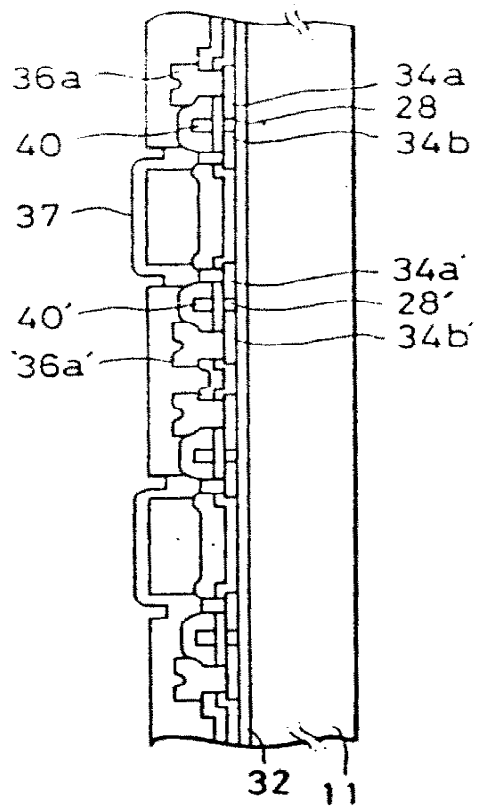
도면4A



도면4B

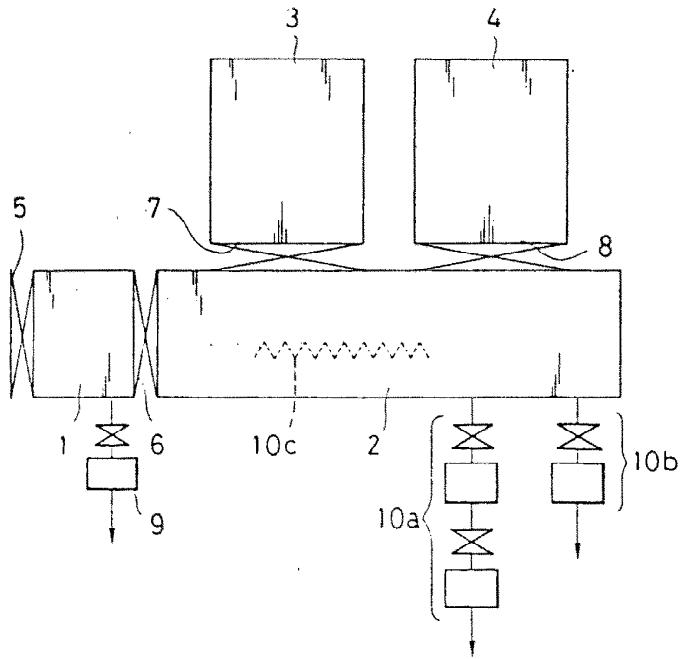


도면4C

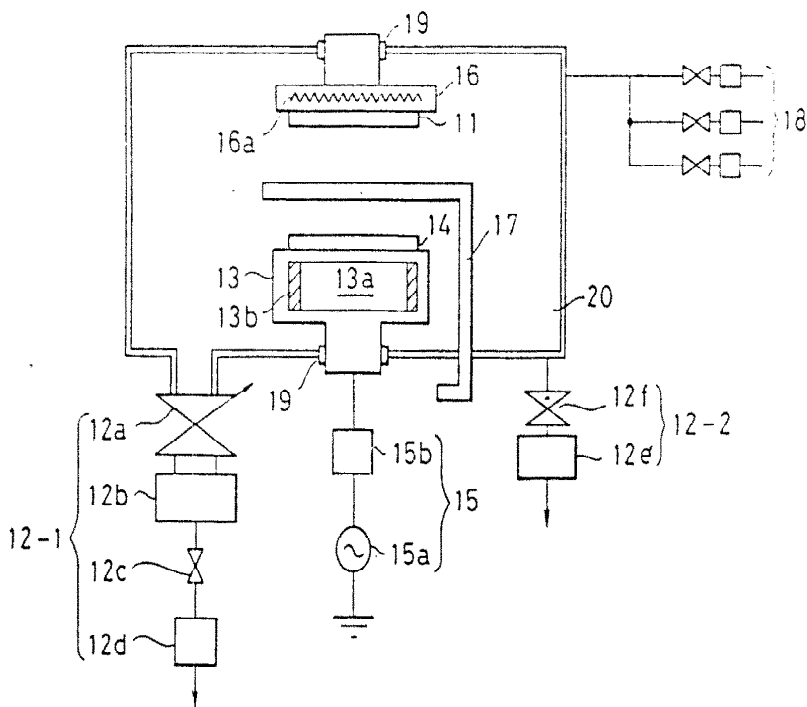




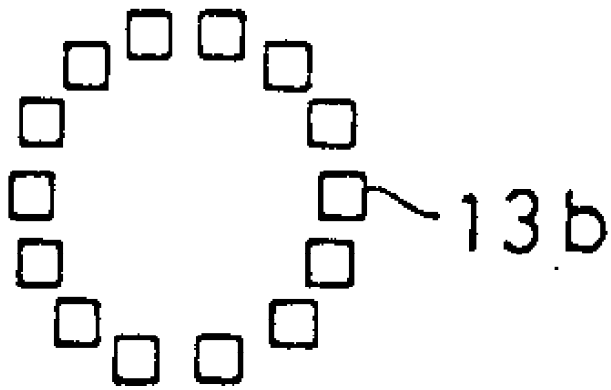
도면5



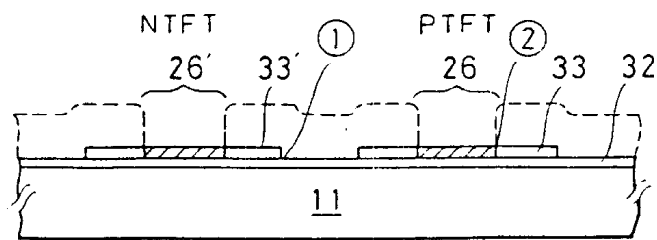
도면6A



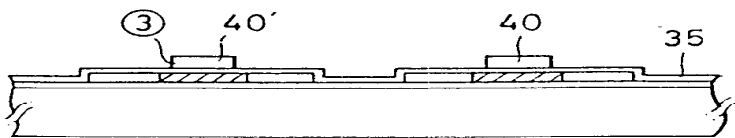
도면6B



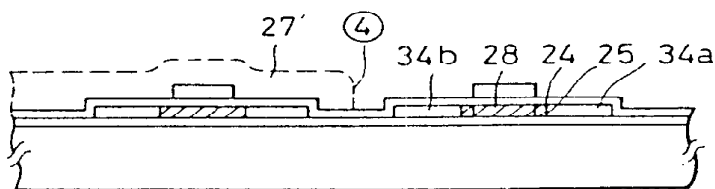
도면7A



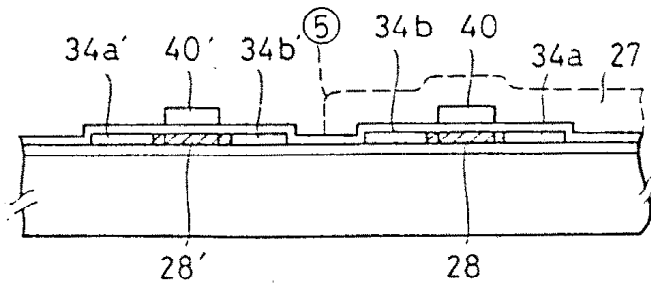
도면7B



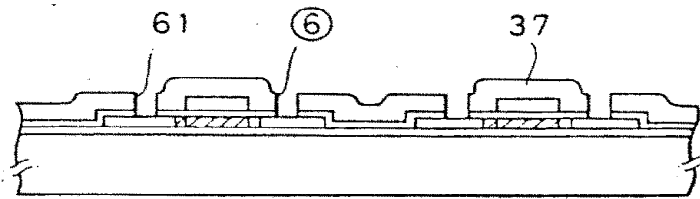
도면7C



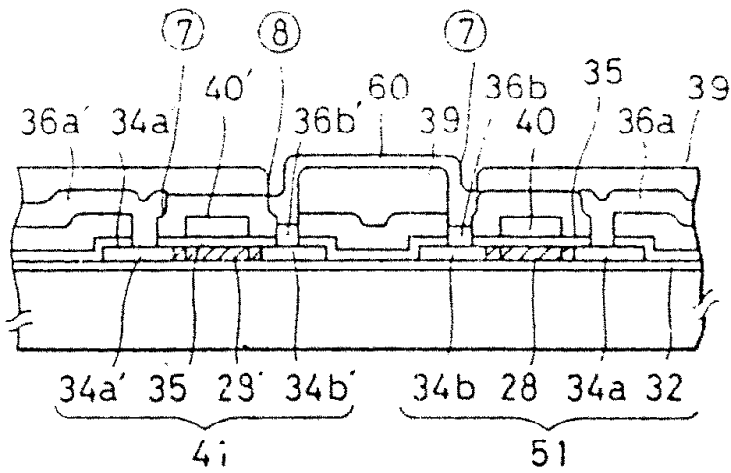
도면7D



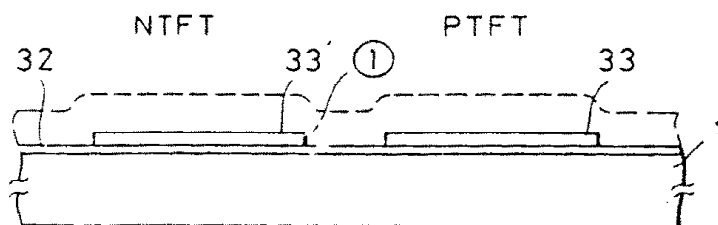
도면7E



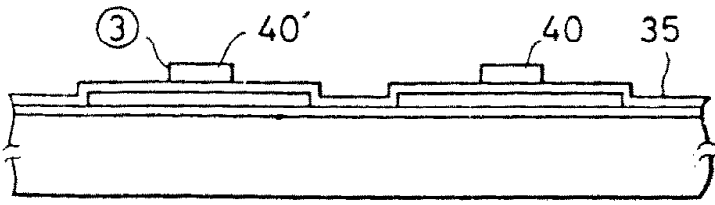
도면7F



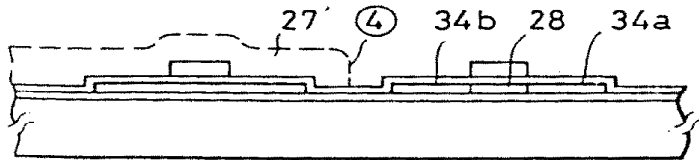
도면8A



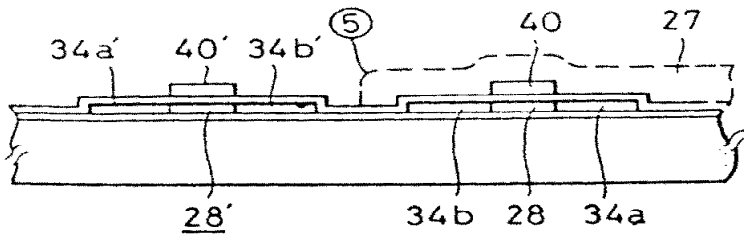
도면8B



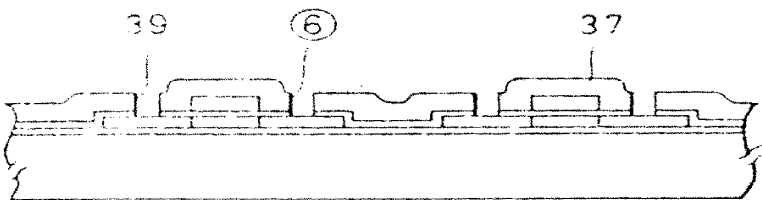
도면8C



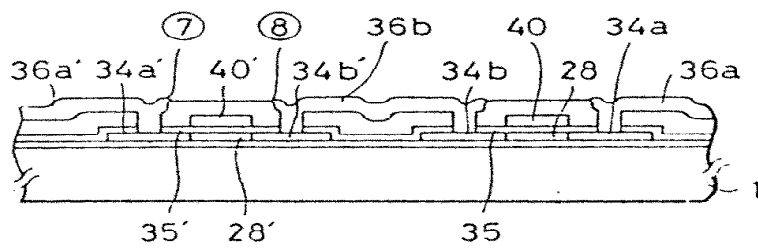
도면8D



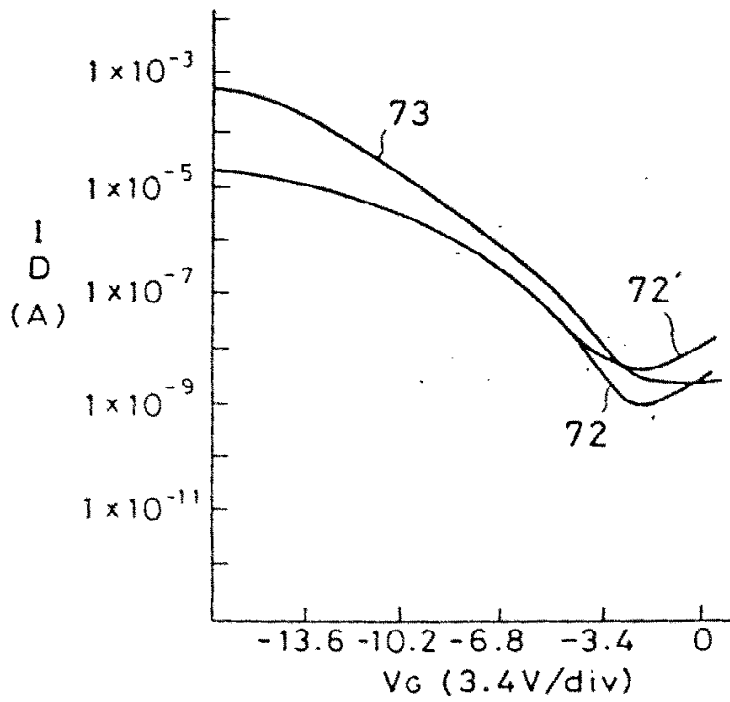
도면8E



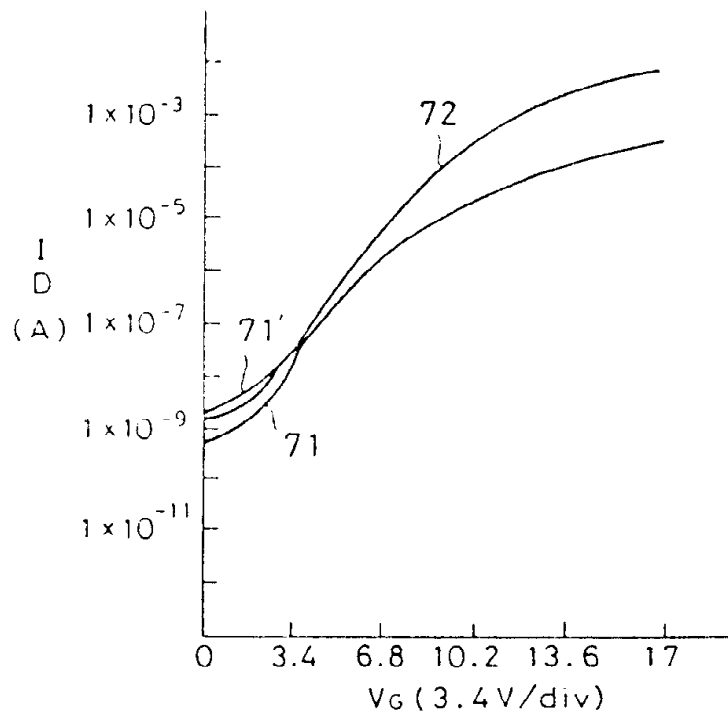
도면8F



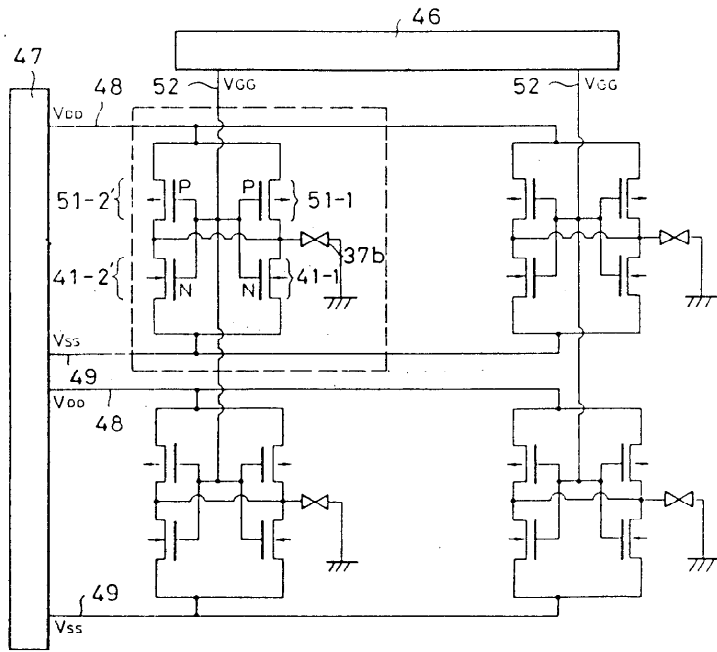
도면9A



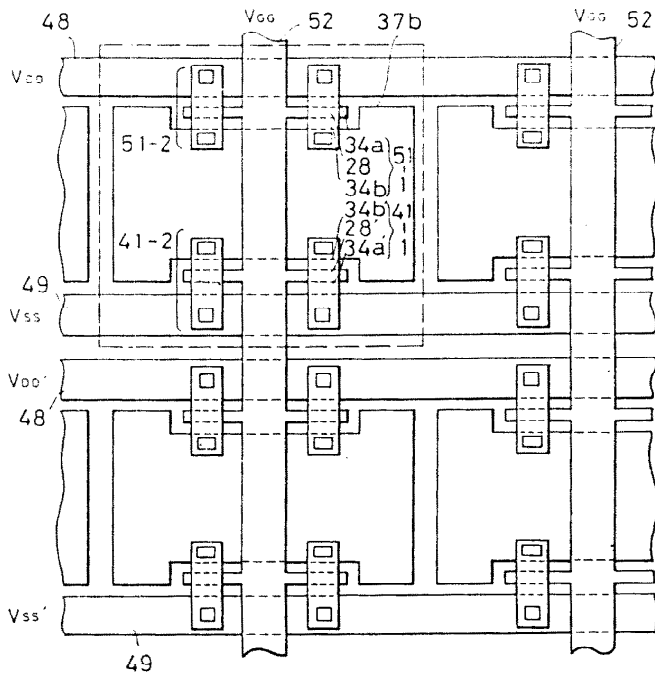
도면9B



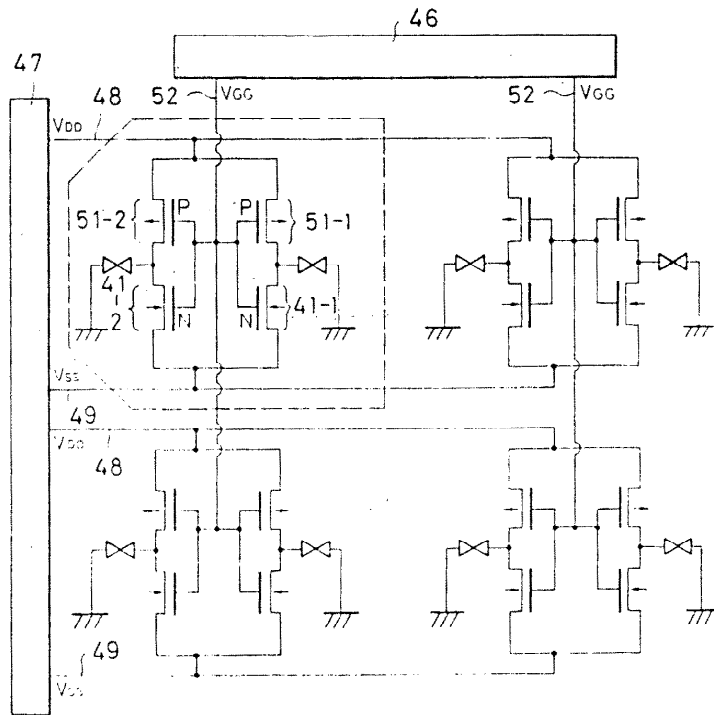
도면 10A



도면 10B



도면11A



도면11B

