

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02009/048154

発行日 平成23年2月24日 (2011.2.24)

(43) 国際公開日 平成21年4月16日 (2009.4.16)

(51) Int.Cl. F I テーマコード (参考)
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 5 O 1 B
 HO 1 L 23/12 E

審査請求 未請求 予備審査請求 未請求 (全 21 頁)

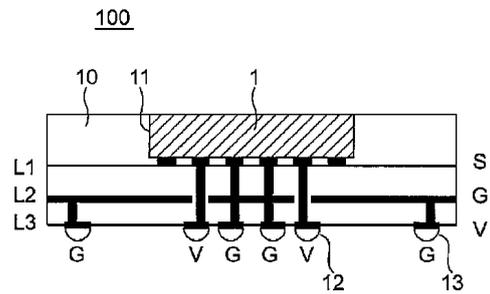
<p>出願番号 特願2009-537049 (P2009-537049)</p> <p>(21) 国際出願番号 PCT/JP2008/068549</p> <p>(22) 国際出願日 平成20年10月14日 (2008.10.14)</p> <p>(31) 優先権主張番号 特願2007-266980 (P2007-266980)</p> <p>(32) 優先日 平成19年10月12日 (2007.10.12)</p> <p>(33) 優先権主張国 日本国 (JP)</p>	<p>(71) 出願人 000004237 日本電気株式会社 東京都港区芝五丁目7番1号</p> <p>(74) 代理人 100095407 弁理士 木村 満</p> <p>(72) 発明者 佐々木 英樹 日本国東京都港区芝五丁目7番1号 日本電気株式会社内</p> <p>(72) 発明者 大島 大輔 日本国東京都港区芝五丁目7番1号 日本電気株式会社内</p> <p>(72) 発明者 船矢 琢央 日本国東京都港区芝五丁目7番1号 日本電気株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
--	--

(54) 【発明の名称】 半導体装置及びその設計方法

(57) 【要約】

半導体装置は、半導体チップと、該半導体チップがフェースダウンで收容される凹部を有するプリント配線基板とを備える。プリント配線基板は、接続端子が形成される半導体チップの回路面の下方に複数の配線層を備える。複数の配線層は、半導体チップの回路面側から見て順次に配設される、信号配線が形成される第1の配線層と、グランドプレーンが形成される第2の配線層と、電源配線と電源用及びグランド用BGAパッドとが形成される第3の配線層とを含む。

【図1】



【特許請求の範囲】

【請求項 1】

半導体チップと、該半導体チップがフェースダウンで収容される凹部を有するプリント配線基板とを備える半導体装置であって、

前記プリント配線基板が、接続端子が形成される半導体チップの回路面の下方に複数の配線層を備え、該複数の配線層が、前記回路面側から見て順次に配設される、信号配線が形成される第 1 の配線層と、グランドプレーンが形成される第 2 の配線層と、電源配線と電源用及びグランド用 B G A パッドとが形成される第 3 の配線層とを含むことを特徴とする半導体装置。

【請求項 2】

前記半導体チップの回路面には、マトリクス状に端子が配列され、信号配線端子が電源端子及びグランド端子の外周側に配設されている、請求項 1 に記載の半導体装置。

【請求項 3】

前記電源用 B G A パッドが、対角線上に配置され、前記電源配線で相互に接続されている、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 1 の配線層は、前記半導体チップの接続端子と接続される第 1 のランドと、前記半導体チップの接続端子及び前記第 2 又は第 3 の配線層と接続される第 2 のランドとを含み、前記第 1 のランドの直径が前記第 2 のランドの直径よりも小さい、請求項 1 ~ 3 の何れか一に記載の半導体装置。

【請求項 5】

隣接する 2 つの第 1 のランドが、前記第 2 のランドを挟んで配置される、請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 のランドの少なくとも一部が千鳥状に配置される、請求項 4 又は 5 に記載の半導体装置。

【請求項 7】

前記第 1 の配線層の最小ピッチが、前記第 2 及び第 3 の配線層の最小ピッチよりも小さい、請求項 1 ~ 6 の何れか一に記載の半導体装置。

【請求項 8】

前記プリント配線基板は、更に、前記半導体チップの接続端子が形成されない背面側よりも上方に別の複数の配線層を有し、該別の複数の配線層は、前記背面側から見て順次に配設された、グランドプレーンが形成される第 4 の配線層と、信号配線が形成される第 5 の配線層とを含む、請求項 1 ~ 7 の何れか一に記載の半導体装置。

【請求項 9】

前記別の複数の配線層は、前記背面側から見て、前記第 5 の配線層よりも遠い側に、信号配線が形成される第 6 の配線層を更に含む、請求項 8 に記載の半導体装置。

【請求項 10】

前記第 6 の配線層の上方に別の半導体チップを更に備える、請求項 9 に記載の半導体装置。

【請求項 11】

請求項 1 ~ 10 の何れか一に記載の半導体装置の設計方法であって、

前記第 1 の配線層内で隣接する 2 つの bumps 又はランド間を通す配線の本数、及び、前記半導体チップの接続端子ピッチを、前記半導体チップと接続する bumps 又はランドの直径と、前記第 2 及び第 3 の配線層と接続する bumps 又はランドの直径と、前記第 1 の配線層の最小ピッチと、前記第 2 及び第 3 の配線層の最小ピッチとに基づいて、決定することを特徴とする半導体装置の設計方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体装置及びその設計方法に関し、更に詳しくは、半導体チップがフェースダウンで埋め込まれたプリント配線基板を有する半導体装置及びその設計方法に関する。

【背景技術】

【0002】

従来の半導体装置では、プリント配線基板上に半導体チップを搭載し、ボンディングワイヤを用いて、半導体チップ上の端子とプリント配線基板上の端子とを接続したワイヤボンディング接続や、半導体チップ上の端子にAuやハンダ等のバンプを形成し、このバンプとプリント配線基板上の端子とを接続したフリップチップ接続が一般的であった。

【0003】

10

上記構造の他に、近年、半導体チップの接続端子が形成される表面（回路面）を下にして、即ちフェースダウンで、半導体チップが埋め込まれるプリント配線基板を用いた半導体装置が提案されている。特許文献1、及び、先願1（特願2006-300681号）には、半導体チップをプリント配線基板の中に埋め込み、半導体チップの回路面側に配線層を形成した半導体装置が記載されている。また、特許文献2、及び、先願2（特願2007-093083号）には、同じく半導体チップをプリント配線基板の中に埋め込み、半導体チップの両面、即ち回路面側、及び半導体チップの接続端子が形成されない背面側に配線層を形成した半導体装置が記載されている。

【0004】

20

これらの半導体装置では、ワイヤボンディングやフリップチップ接続等の組立工程が不要となり、プリント配線基板の製造工程内で半導体チップの接続端子をプリント配線基板の端子に接続できるので、組立コストの削減が大いに期待されている。

【0005】

さらに、前記プリント配線基板としては、ビルドアップ基板が用いられるので、微細ピッチの配線やビアが形成でき、その結果、プリント配線基板の小型化、それに伴う半導体装置の小型化、さらには、フリップチップ接続で製造される半導体装置よりも多ピンかつ微細ピッチの半導体チップへの適用が期待されている。

【0006】

30

その一方で、ビルドアップ基板では配線を微細化できるものの、一層ずつ積層しながら配線層を形成していくので、層数が増えると歩留まりが層数の階乗で低下することが知られている。そのため、半導体チップが埋め込まれたプリント配線基板を用いて半導体装置を製造する場合には、少ない層数でなければ、製造品質を確保できなかった。

【0007】

40

ところで、半導体チップには、回路面にマトリクス状に端子が配列されたエリア端子を有する半導体チップと、回路面に単列の端子が形成されているペリフェラル端子を有する半導体チップとがある。エリア端子を有する半導体チップを用いて半導体装置を製造する場合には、プリント配線基板内で全ての配線を引き出すために、そのマトリクス数に合わせて層数が必要となるから、一般に、4層以上の多層プリント配線基板が用いられる。さらに、上記半導体装置は、エリア端子を有する半導体チップが、この多層プリント配線基板上にフリップチップ接続されることで製造される。なお、ワイヤボンディングでは、マトリクス状に配置された端子を、1列又は2列で構成されたプリント配線基板上の端子に一对一で接続できない。

【0008】

しかし、上記エリア端子を有する半導体チップをプリント配線基板に埋め込む際、従来のように4層以上の多層プリント配線基板を用いると、ビルドアップ層が増え、歩留まりが低下し、製造品質を確保できないという問題があった。

【0009】

特許文献1、2及び先願1、2には、プリント配線基板に半導体チップを埋め込む構造とその製造方法が開示されているものの、どの配線層に信号配線、電源配線又は電源プレーン、グランド配線又はグランドプレーンを割り当てればよいか、また、層数を減らすた

50

めにどのように割り当てればよいか等、具体的な配線パターン設計に関しては一切開示されていない。

【0010】

特許文献3には、ペリフェラル端子を有する半導体チップが、プリント配線基板に埋め込まれており、プリント配線基板の層数を減らすために、層構成を工夫した半導体装置が記載されている。

【0011】

【特許文献1】特開2003-46019号公報

【特許文献2】特開2003-309243号公報

【特許文献3】特開2005-228901号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明者らは、当初、特許文献3に開示された層構成が、エリア端子を有する半導体チップをフェースダウンでプリント配線基板に埋め込む際にも利用できることを考え、配線パターン設計を検討した。しかし、以下の問題点により実現できないことを見出した。

【0013】

図28は、特許文献3に開示されたプリント配線基板に、エリア端子を有する半導体チップをフェースダウンで埋め込んだことを想定した半導体装置の断面図である。特許文献3のプリント配線基板は、6層構造を有し、上方から第1及び第2層が信号層(S)、第3層がグランドプレーン層(G)、第4層が電源プレーン層(V)、第5及び第6層が信号層(S)であり、さらに、上記半導体チップを第5層の信号層にフリップチップ接続しているので、第4層は半導体チップが貫通する構造となっている。図28に示した半導体装置100Bは、エリア端子を有する半導体チップ1Dと、プリント配線基板10Bと、プリント配線基板10B上に搭載された更に別の半導体チップ1Eとを備える。プリント配線基板10Bの層構成では、上方から第4層の電源プレーン層と第3層のグランドプレーン層が半導体チップ1Dの回路面よりも上方に位置している。このため、図示のように、半導体チップ1Dの電源端子とグランド端子とを一旦半導体チップ1Dよりも外側に引き出してから、各プレーン層と接続する必要がある。

【0014】

特許文献3に記載されているように、ペリフェラル端子を有する半導体チップでは、第5層及び第6層の信号層があれば、電源端子とグランド端子を引き出して、第4層の電源プレーン層や第3層のグランドプレーン層と接続することは可能である。しかし、エリア端子を有する半導体チップ1Dをフェースダウンで上記プリント配線基板10Bに埋め込む場合は、図28に示すように、半導体チップ1Dの中央付近にある電源端子3aやグランド端子3bを、第5層及び第6層で全てを引き出すことができなかった。

【0015】

また、無理に細い配線で引き出すことは可能であるが、これでは、電源やグランドのインピーダンスが上昇し、電源品質を劣化させる可能性があった。

【0016】

本発明は、エリア端子を有する半導体チップがフェースダウンで埋め込まれるプリント配線基板の層数を少なくし、製造品質を確保した半導体装置及びその設計方法を提供することを目的とする。

【課題を解決するための手段】

【0017】

本発明は、半導体チップと、該半導体チップがフェースダウンで収容される凹部を有するプリント配線基板とを備える半導体装置であって、前記プリント配線基板が、接続端子が形成される半導体チップの回路面の下方に複数の配線層を備え、該複数の配線層が、前記回路面側から見て順次に配設される、信号配線が形成される第1の配線層と、グランドプレーンが形成される第2の配線層と、電源配線と電源用及びグランド用BGAパッドと

10

20

30

40

50

が形成される第3の配線層とを含むことを特徴とする半導体装置を提供する。

【0018】

また、本発明は、前記半導体装置を設計する設計方法であって、前記第1の配線層内で隣接する2つのパンプ又はランド間を通す配線の本数、及び、前記半導体チップの接続端子ピッチを、前記半導体チップと接続するパンプ又はランドの直径と、前記第2及び第3の配線層と接続するパンプ又はランドの直径と、前記第1の配線層の最小ピッチと、前記第2及び第3の配線層の最小ピッチとに基づいて、決定することを特徴とする半導体装置の設計方法を提供する。

【発明の効果】

【0019】

本発明の半導体装置によると、半導体チップの接続端子が形成される回路面側から見て、第1の配線層、第2の配線層、及び第3の配線層の3層からなる配線層を有するので、層数が少なく、歩留まりが低下しないため、製造品質を確保できる。

【0020】

本発明の半導体装置の設計方法によると、高密度な配線設計で、ショート故障を起こさないプリント配線基板を設計でき、半導体装置の製造品質を確保できる。

【0021】

本発明の上記及び他の目的、特徴及び利益は、図面を参照する以下の説明により明らかになる。

【図面の簡単な説明】

【0022】

【図1】本発明の第1の実施形態に係る半導体装置を示す断面図。

【図2】半導体チップの接続端子の配列を示す図。

【図3】電源が1種類である場合での第3の配線層の電源配線と電源用BGAパッドの配置を示した図。

【図4】電源が1種類である場合での第3の配線層の電源配線と電源用BGAパッドの他の配置を示した図。

【図5】電源が4種類ある場合での第3の配線層の電源配線と電源用BGAパッドの配置を示した図。

【図6】第1の配線層L1でのランド配置の一部を示す図。

【図7】図6に示すランドの真下でのランド配置を示す図。

【図8】ポスト用ランド間に通す配線数 $n = 4$ での最小配線幅 L を示す図。

【図9】ポスト用ランド間に通す配線数 $n = 5$ での最小配線幅 L を示す図。

【図10】比較例の半導体装置を示す断面図。

【図11】本発明の第2の実施形態に係る半導体装置を示す断面図。

【図12】第1の配線層での他のランド配置を示す図。

【図13】実施例1での第1の配線層を示す図。

【図14】図13に示す第1の配線層での左上の配置を拡大して示す図。

【図15】実施例1での第2の配線層を示す図。

【図16】図14に示した第1の配線層での真下の第2の配線層を拡大して示す図。

【図17】実施例1での第3の配線層を示す図。

【図18】図11に示す第1の配線層のレイアウトを示す図。

【図19】図11に示す第2の配線層のレイアウトを示す図。

【図20】図11に示す第3の配線層のレイアウトを示す図。

【図21】第1～第6の配線層でのインピーダンスの観測点を示す図。

【図22】実施例2の電源領域A1での電源インピーダンス特性を示す図。

【図23】実施例2の電源領域A2での電源インピーダンス特性を示す図。

【図24】実施例2の電源領域A3での電源インピーダンス特性を示す図。

【図25】比較例の電源領域A1での電源インピーダンス特性を示す図。

【図26】比較例の電源領域A2での電源インピーダンス特性を示す図。

10

20

30

40

50

【図 2 7】比較例の電源領域 A 3 での電源インピーダンス特性を示す図。

【図 2 8】特許文献に記載されたプリント配線基板を用いた、想像される半導体装置の断面図。

【発明を実施するための最良の形態】

【0023】

次に、本発明の実施の形態について図面を参照して詳細に説明する。本発明の理解を容易にするために、全図を通して、同様な参照符号は同様な構成要素を示す。なお、また、以下の記述では、ランド及びパンプを総称してランドと呼ぶ。

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係る半導体装置を示す断面図である。半導体装置 100 は、半導体チップ 1 と、半導体チップ 1 がフェースダウンで埋め込まれたプリント配線基板 10 とを備えている。半導体チップ 1 は、その表面（回路面）にマトリクス状態に端子が配列されたエリア端子を有し、図 2 に示すように、信号配線端子 2 が、電源端子 3 a 及びグランド端子 3 b の外周側に配設されている。

【0024】

プリント配線基板 10 は、半導体チップ 1 がフェースダウンで收容される凹部 11 を有し、半導体チップ 1 の上記各端子 2, 3 a, 3 b が形成される回路面の下方に、この回路面側から見て、第 1 の配線層 L 1 と、第 2 の配線層 L 2 と、第 3 の配線層 L 3 とが絶縁層を介して順次形成されている。第 1 の配線層 L 1 は、主に信号配線 (S) が形成されている。第 2 の配線層 L 2 は、プリント配線基板 10 の略全面を覆うようなグランドプレーン (G) が形成されている。第 3 の配線層 L 3 は、主に電源配線 (V) と電源用 BGA パッド 12 及びグランド用 BGA パッド 13 とが形成されている。

【0025】

第 1 の配線層 L 1 に形成された信号配線 (S) は、図示しないビアを介して第 2 の配線層 L 2 と第 3 の配線層 L 3 に接続され、さらに第 3 の配線層 L 3 に形成された信号用 BGA パッドに接続されている。また、半導体チップ 1 のグランド端子 3 b は、第 1 の配線層 L 1 と第 2 の配線層 L 2 間のビアを介して接続され、さらに、第 2 の配線層 L 2 と第 3 の配線層 L 3 間のビアを介して、第 3 の配線層 L 3 のグランド用 BGA パッド 13 に接続されている。

【0026】

図 3 ~ 5 は、第 3 の配線層 L 3 の電源配線 (V) と電源用 BGA パッド 12 の配置を示した図である。なお、図 3 及び図 4 は、電源が 1 種類である場合の例であり、図 5 は電源が 4 種類ある場合の例をそれぞれ示している。図 3 ~ 5 に示すように、電源用 BGA パッド 12 が、対角線上に配置されており、電源配線 V1 ~ V3 でメッシュ状に相互に接続されることで、プリント配線基板面内の電源インピーダンスを下げる構造になっている。

【0027】

さらに、このメッシュ状の電源配線 V1 ~ V3 に対し、半導体チップ 1 の電源端子 3 a から第 1 の配線層 L 1 と第 2 の配線層 L 2 間のビアを介し、さらに第 2 の配線層 L 2 と第 3 の配線層 L 3 間のビアを介して接続することで、プリント配線基板 10 の基板厚方向の短い配線により、半導体チップ 1 の電源端子 3 a が電源用 BGA パッド 12 に接続する構造になっている。

【0028】

以下、本実施形態に係る半導体装置 100 の設計方法について説明する。上記 3 層の第 1 ~ 第 3 配線層 L 1 ~ L 3 からなる層構成で、図 2 に示す多ピンかつ狭ピッチの半導体チップ 1 をプリント配線基板 10 に埋め込む場合には、高密度な配線設計で、配線間や配線ランド間等でのショート故障を起こさないように、半導体チップ 1 の端子ピッチや、半導体チップ 1 の各端子 2, 3 a, 3 b と接続する第 1 の配線層 L 1 内で隣接する 2 つのランド間を通す配線の本数を決定する必要がある。本発明にあたり、上記決定は、半導体チップの回路面と接触している第 1 の配線層 L 1 の最小ライン・アンド・スペース（以下、L/S という）と、中間層である第 2 の配線層 L 2 及び最外層である第 3 の配線層 L 3 の最

10

20

30

40

50

小L/Sと、上記第1の配線層L1でのランド(又はバンプ)の直径と、第2の配線層L2と接続するビアのランド直径とを考慮した。特に、上記設計方法では、第1の配線層L1でのランド配置が最も重要となる。

【0029】

図6は、第1の配線層L1でのランド配置の一部を示す図である。図中、半導体チップ1の端子から第1の配線層L1に接続されるポストのランド(以下、ポストランドという)14を小さい丸で示し、また、第1の配線層L1と第2の配線層L2間を接続するビアのランド(以下、ビアランドという)15a, 15bを大きい丸で示す。電源VDDのビアランド15a及びグランドGNDのビアランド15bは、図示のように、左右方向で交互に配置されている。また、上記ポストランド14は、格子状ではなく、千鳥状(ジグザグ)に配置されている。さらに、この隣接する2つのポストランド14は、上記ビアランド15a, 15bを挟んで配置される。

10

【0030】

ここで、最もショートしやすい部分は、スペースS1、即ちポストランド14とビアランド15a, 15bとが隣接するスペースである。ここで、ビアランド15a, 15bの直径をD1、ポストランド14の直径をD2とし、直交座標上で隣接するビアの間隔をAとすると、式1が成り立つ。

【0031】

【数1】

$$S1 = \frac{A - (D1 + D2)}{2}$$

20

(1)

【0032】

図7は、図6に示したランドの真下でのランド配置を示す図である。ここでは、電源VDDのビアランド15aとグランドGNDのビアランド15bとがそれぞれ横方向に伸びる配線で接続され、さらに、これらビアランド15a, 15bは半分ずつ位置がずれている。この際、最もショート故障を起こしやすい部分は、スペースS2、即ち対角に配置された電源VDDのビアランド15aとグランドGNDのビアランド15b間のスペースである。スペースS2は、上記A、D1を用いて式2で表現できる。

30

【0033】

【数2】

$$S2 = A/\sqrt{2} - D1$$

(2)

【0034】

一例として、A = 280 μm、D1 = 160 μm、D2 = 80 μmとすると、上記式1と式2により、S1 = 20 μm、S2 = 38 μmとなる。これは、第2の配線層L2のスペースを、第1の配線層L1のスペースよりも広くとらなければならないことを意味している。

40

【0035】

また、A = 320 μm、D1 = 160 μm、D2 = 80 μmとすると、上記式1と式2により、S1 = 40 μm、S2 = 66.3 μmとなる。これにより、スペースS1とスペースS2とは比例関係にないものの、第2の配線層L2のスペースを第1の配線層L1のスペースよりも広くとらなければならないことには変わりがない。従って、配線設計時には、式1及び式2によってスペースS1, S2、即ちパターン間の絶縁間隔を確認した上で、上記A、D1及びD2の値を決定しなければならないことがわかる。

【0036】

前記の条件では、D1をD2よりも大きく設定したが、これは、第1の配線層L1のL/Sを第2の配線層L2のL/Sよりも狭くしたためである。このように、プリント配線

50

基板 10 では、第 1 の配線層 L 1 の L / S のみを狭くすることで、第 2 の配線層 L 2 及び第 3 の配線層 L 3 の L / S を緩和している。

【 0 0 3 7 】

次に、隣接する 2 つのポストランド 14 間に通す配線数を決定する場合について説明する。ポストランド 14 間に通す配線数を n 、最小配線幅を L とすると、上記 A 及び D 2 を用いて、式 3 が導かれる。

【 0 0 3 8 】

【 数 3 】

$$L = \frac{A - D2}{2n + 1} \quad (3)$$

10

【 0 0 3 9 】

一例として、 $A = 280 \mu\text{m}$ 、 $D2 = 80 \mu\text{m}$ 、 $n = 4$ とすると、最小配線幅は $22.2 \mu\text{m}$ となる。また、図 8 に示すように、 $A = 320 \mu\text{m}$ 、 $D2 = 80 \mu\text{m}$ 、 $n = 4$ とすると、最小配線幅は $60 \mu\text{m}$ となる。さらに、図 9 に示すように、上記条件で $n = 5$ とすると、最小配線幅は $21.8 \mu\text{m}$ となる。つまり、最小配線幅が $20 \mu\text{m}$ であれば、これらの条件を満足できることがわかる。

【 0 0 4 0 】

ここで、 $n = 4$ の場合、半導体チップ 1 のエリア端子の外周 5 列に信号配線を割り当てることで、一つの配線層で信号配線を引き出せる。即ち、図 2 に示した半導体チップ 1 では、上記条件を満たせば信号配線を第 1 の配線層 L 1 のみで引き出せることがわかる。また、 $n = 5$ の場合、外周 6 列に信号を割り当てることで一つの配線層で信号配線を引き出すことができる。本実施形態では、上記したように第 1 の配線層 L 1 を信号配線層としており、第 1 の配線層 L 1 のみで信号配線を引き出すには、エリア端子の外周 $n + 1$ 列に信号をアサインし、ポストランド 14 間に n 本の信号配線が通せるように L / S を設計すればよいことがわかる。

20

【 0 0 4 1 】

以上の条件を満足させることで、高密度な配線設計で、配線間や配線ランド間等でショート故障を起こさないようにでき、製造品質を確保した半導体装置 100 が実現できる。

【 0 0 4 2 】

図 10 は、比較例の半導体装置を示す断面図である。半導体装置 100 A では、エリア端子を有する半導体チップ 1 A と、プリント配線基板 10 A とを備えている。プリント配線基板 10 A としては、ビルドアップ基板が用いられ、厚いコア層 16 の両側にビルドアップ層が形成されている。プリント配線基板 10 A は、半導体チップ 1 A の回路面側から見て、信号層 S、信号層 S、グランド層 G、電源層 V、信号層 S 及び信号層 S の 6 層を順次備える。なお、層構成としては、上下の各 1 層を削除し、信号層 S、グランド層 G、電源層 V 及び信号層 S の 4 層を順次備えるような場合もある。

30

【 0 0 4 3 】

この半導体装置 100 A では、厚いコア層 16 があるために、基板厚方向の配線が長くなり、電源インピーダンスが上昇し、さらに層数が多いために歩留まりが低下し、製造品質の確保が困難となる。

40

【 0 0 4 4 】

これに対して、本実施形態の半導体装置 100 によれば、プリント配線基板 10 が、半導体チップの接続端子が形成される回路面の下方に、回路面側から見て、信号配線が形成される第 1 の配線層 L 1 と、グランドプレーンが形成される第 2 の配線層 L 2 と、電源配線と電源用及びグランド用 BGA パッドとが形成される第 3 の配線層 L 3 とを順次に備える本発明の基本構成を有する。プリント配線基板 10 では、エリア端子を有する半導体チップ 1 がフェースダウンで埋め込まれると、3 層の配線層 L 1 ~ L 3 を利用した半導体チップの配線ができるため、ワイヤーボンディングやフリップチップ接続が不要となり、組立コストを低減できる。また、層数が少ないので、プリント配線基板 10 を薄くでき、半

50

導体装置 100 の小型化を図ることができる。

【0045】

ビルドアップ基板では層数が増えるのと同時に、L/S が狭くなるほど歩留まりが低下するが、本実施形態でのプリント配線基板 10 では、第 1 の配線層 L1 の L/S のみを狭くし、第 2 の配線層 L2 及び第 3 の配線層 L3 の L/S を緩和することで、全体の歩留まり低下を抑えて、製造品質を確保できる。

【0046】

第 1 の配線層 L1 と第 2 の配線層 L2 とが隣接しているので、信号配線 S がグランドプレーン G と隣接することになり、信号電流に対する帰路電流の経路が確保され、信号品質が確保できる。

10

【0047】

また、プリント配線基板 10 は、前記コア層 16 がなく、ビルドアップ層だけで構成されているので、基板厚方向に従来以上に短い配線が形成できる。これにより、低い電源インピーダンスを確保できる。つまり、第 3 の配線層 L3 に形成された電源配線がプリント配線基板面に広がる面積が小さく、電源プレーンを設けないことになるが、その代わりに層数が少ないので、半導体チップ 1 の電源端子 3a やグランド端子 3b から、電源用 BGA パッド 12 やグランド用 BGA パッド 13 までの距離が短くなり、電源やグランドのインピーダンスを低く抑えることができる。

【0048】

さらに、本実施形態の半導体装置 100 の設計方法によれば、第 1 ~ 第 3 の配線層 L1 ~ L3 の最小 L/S と、第 1 の配線層 L1 でのポストランド 14 の直径と、第 2 の配線層 L2 と接続するビアランド 15a, 15b の直径とを考慮して、第 1 の配線層 L1 内で隣接する 2 つのランド間を通す配線の本数を決定するので、高密度な配線設計で、ショート故障を起こさないようにできる。このため半導体装置 100 の製造品質を確保できる。

20

【0049】

(第 2 の実施形態)

図 11 は、本発明の第 2 の実施形態に係る半導体装置を示す断面図である。半導体装置 101 は、半導体チップ 1B, 1C とプリント配線基板 20 とを備える。プリント配線基板 20 は、半導体チップ 1B の回路面側、及び半導体チップ 1B の端子が形成されない背面側にそれぞれ 3 つの配線層 L1 ~ L6 が形成された 6 層の構成を有する。プリント配線基板 20 は、第 1 の実施形態でのプリント配線基板 10 と比べると、上記背面側よりも上方に、グランドプレーン G が形成される第 3 の配線層 L3 と、信号配線 S が形成される第 2 の配線層 L2 と、更に遠い側に信号配線 S が形成される第 1 の配線層 L1 とを順次備える点異なる。なお、半導体チップの回路面側に形成された第 4 の配線層 L4、第 5 の配線層 L5 及び第 6 の配線層 L6 は、第 1 の実施形態でのプリント配線基板 10 に形成された第 1 の配線層 L1、第 2 の配線層 L2 及び第 3 の配線層 L3 と同様とした。

30

【0050】

このプリント配線基板 20 では、第 3 の配線層 L3 をグランドプレーン G としたので、第 4 の配線層 L4 の信号配線 S が、グランドプレーン G が形成された第 3 の配線層 L3 と第 5 の配線層 L5 とで挟まれる構造となる。

40

【0051】

また、プリント配線基板 20 では、第 4 の配線層 L4 の L/S を最も狭くしている。ここで、配線間隔が狭まると配線間のクロストークが顕著になることが知られているが、プリント配線基板 20 では、第 5 の配線層 L5 のグランドプレーン G は、クロストークを低減する役割を果し、さらに第 3 の配線層 L3 のグランドプレーン G が追加されることにより、クロストークを低減する効果は更に大きくなる。

【0052】

さらに、半導体装置 101 では、第 1 の配線層 L1 の上方に更に別の半導体チップ 1C を備えている。この場合、第 3 の配線層 L3 のグランドプレーン G は、この半導体チップ 1C に接続される信号配線や電源配線の帰路電流経路として機能する。つまり、半導体装

50

置 1 0 1 では、プリント配線基板 2 0 に埋め込まれた半導体チップ 1 B と、プリント配線基板 2 0 の上部に搭載された別の半導体装置 1 C とで、グラウンドが別々に形成されるので、それぞれに安定な基準電位を確保できる。

【 0 0 5 3 】

上記実施形態では、図 6 を用いて第 1 の配線層 L 1 のランド配置を説明したが、ランド配置はこれに限定されない。図 1 2 は、第 1 の配線層 L 1 での他のランド配置を示す図である。ここでは、製造品質を高めるために、最小スペースとなる箇所を少なくするランド配置を示している。即ち、このランド配置では、図中のグラウンド G N D のピアランド 1 5 b と前記ポストランド 1 4 との近接は残るものの、図 6 のランド配置と比べて、前記電源 V D D のピアランド 1 5 a を上下で横一列分、間引くことによって、グラウンド G N D のピアランド 1 5 b と電源配線との間隔を広げている。

10

【 0 0 5 4 】

さらに、ビア数が減る代わりに、図 7 に示したランド配置での上下の電源 V D D のピアランド 1 5 a がなくなるので、その分グラウンド配線を太くできる。従って、このランド配置によれば、電源インピーダンスの上昇を抑えることができる。

【 0 0 5 5 】

また、上記実施形態では、半導体チップ 1 , 1 B がフェースダウンでプリント配線基板 1 0 , 2 0 に埋め込まれ、半導体チップ 1 , 1 B の端子が、第 1 の配線層 L 1 に配置されたポストランド 1 4 やピアランド 1 5 a , 1 5 b と接触するようにしたが、これに限定されず、半導体チップ 1 , 1 B の端子とポストランド 1 4 やピアランド 1 5 a , 1 5 b との間、薄い絶縁膜が介在してもよい。

20

【 0 0 5 6 】

以下、実施例に基づいて本発明をより具体的に説明する。

(実施例 1)

図 1 3 ~ 1 7 は、本発明の第 1 の実施形態に基づいて作製された実施例 1 の半導体装置を示す図である。図 1 3 は第 1 の配線層 L 1 を示しており、外周 5 列にある信号配線が放射状に引き出せていることがわかる。また、図 1 4 は、第 1 の配線層 L 1 での左上の配置を拡大して示したものであり、電源とグラウンドが規則正しく並んでいることがわかる。さらに、図 1 5 は、第 2 の配線層 L 2 を示しており、プリント配線基板の略全面にグラウンドプレーンが形成されていることがわかる。

30

【 0 0 5 7 】

図 1 6 は、図 1 4 に示した第 1 の配線層 L 1 での真下の第 2 の配線層 L 2 を拡大して示したものであり、上述したように、電源のビアを間引きしたことで、太いグラウンドパターンが電源の間に形成できていることがわかる。また、図 1 7 は、第 3 の配線層 L 3 を示しているが、本実施例での半導体装置では、主に 3 つの電源領域 A 1 ~ A 3 を有しており、これを図 3 ~ 図 5 に示したようなパターンで実現するため、このような配置となった。

【 0 0 5 8 】

ここで、基板サイズを $27 \times 27 \text{ mm}$ 、チップサイズを $9 \times 9 \text{ mm}$ 、半導体チップの接続端子数を約 1 5 0 0 ピン、B G A パッド数を 6 2 5 ピンとした。また、第 1 の配線層 L 1 の最小 L / S を $20 / 20 \mu\text{m}$ とし、第 2 の配線層 L 2 及び第 3 の配線層 L 3 の L / S を $50 / 50 \mu\text{m}$ とした。さらに、ピアランド直径を $160 \mu\text{m}$ 、ポストランド直径を $80 \mu\text{m}$ とした。

40

【 0 0 5 9 】

半導体チップの接続端子ピッチを $A = 320 \mu\text{m}$ とすることで、上記式 1 から導かれる最小スペース S_1 が $40 \mu\text{m}$ 、また、上記式 2 から導かれる最小スペース S_2 が $66.3 \mu\text{m}$ となり、設計条件を満足していることを確認した。さらに、半導体チップのエリア端子の中で、信号配線に割り当てられているのは外周 5 列であった。上記式 3 より求めた最小配線幅 L は $26.7 \mu\text{m}$ となり、第 1 の配線層 L 1 の L / S の条件を満足していることを確認した。

【 0 0 6 0 】

50

(実施例2)

次に、本発明の第2の実施形態に基づいて作製された、半導体チップの回路面側及び背面側に配線層を形成した実施例2について説明する。なお、図11に示す第4～第6の配線層L4～L6は、それぞれ上記した図13～17と同様とした。

【0061】

図18は、図11に示す第1の配線層L1のレイアウトを示し、図19は、図11に示す第2の配線層L2のレイアウトを示し、さらに、図20は、図11に示す第3の配線層L3のレイアウトをそれぞれ示している。ここで、第3の配線層L3には多少の配線が混在しているが、大半がグランドプレーンとなっていることがわかる。これにより、第4の配線層L4の信号配線に対して、帰路電流経路を確保できる。

10

【0062】

以下、図13～図20に示した実施例2と図10に示した比較例との比較結果として、両者の電源インピーダンスを示す。具体的には、電磁界シミュレータ(Ansoft社のSIWAVE)を用い、3つの電源領域にある電源端子とその近傍のグランド端子を選び、半導体チップからBGAパッド側の電源インピーダンスを算出した。なお、図21では、配線層L1～L6でのインピーダンスの観測点を矢印で示し、観測時のグランド面を符号21で示した。

【0063】

図22～24は、実施例2の電源領域A1～A3での電源インピーダンス特性をそれぞれ示している。これに対して、図25～27は、前記電源領域A1～A3に対応する比較例の各電源領域での電源インピーダンス特性をそれぞれ示している。図中、横軸は周波数(GHz)とし、縦軸をインピーダンス()とした。ここでは、各電源領域A1～A3とも、A～Kで示す6～11個の端子の電源インピーダンスを算出した。

20

【0064】

その結果、電源領域A1では、実施例2の電源インピーダンスの方が、比較例に比べて格段に小さくなった。この理由は、比較例での6層のフリップチップパッケージでは、前記コア層16が厚いので、これを貫通するビアのインダクタンスが大きく、インピーダンスが高く、これに対して実施例2では、全てビルドアップ層で形成されているので、ビア長が短く、ビアのインダクタンスが小さくなり、電源インピーダンスが小さくなったものと考えられる。また、同様に電源領域A2、A3でも、実施例2の電源インピーダンスが

30

【0065】

以上の結果から、本実施例2に係る半導体装置によれば、層数を減らすことによる電気特性劣化を回避した製造品質を確保できることが確認できた。なお、フリップチップパッケージに比べて、組立工程削減による組立コスト削減、層数を少なくすることによるプリント配線基板の小型化、それに伴う半導体装置全体の小型化が図れることは上述の通りである。

【0066】

本発明の半導体装置では、前記基本構成に加えて、以下の態様の採用が可能である。半導体チップ1の回路面には、マトリクス状に端子が配列され、信号配線端子2が電源端子3a及びグランド端子3bの外周側に配設されている。この場合、半導体チップは、多ピンかつ狭ピッチのエリア端子を有することになる。

40

【0067】

電源用BGAパッド12が、対角線上に配置され、電源配線で相互に接続されている。この場合には、対角線上に配置された電源用BGAパッドに電源端子を割り当て、例えば、これらを太い配線で接続すれば、電源プレーンを形成できないことによる電源やグランドのインピーダンス上昇を抑えることができる。

【0068】

第1の配線層L1では、半導体チップの接続端子と接続されるバンプの直径又はポストランド14の直径が、第2及び第3の配線層と接続されるビアランド15a, 15bの直

50

径よりも小さい。これにより、エリア端子の内側に位置する電源端子やグランド端子を、その下方に位置する第2の配線層に形成されたグランドプレーンや、第3の配線層に形成された電源配線と接続できる。

【0069】

第1の配線層の最小ピッチ(L/S)が、第2及び第3の配線層の最小ピッチよりも小さい。この場合には、第1の配線層で信号配線を引き出すことができる。また、第2及び第3の配線層での配線の微細化を緩和することで、微細化による歩留まり低下を回避できる。

【0070】

プリント配線基板20は、更に、半導体チップ1Bの端子が形成されない背面側よりも上方に、該背面側から見て、グランドプレーンが形成される第4の配線層と、信号配線が形成される第5の配線層とを順次に備える。これにより、第1の配線層に形成された信号配線を、第2及び第4の配線層に形成されたグランド層で挟み込むことになるから、最も信号配線密度の高い信号配線の上下どちらか一方に連続的な帰路電流の経路を確保でき、信号品質を確保できる。また、上下にグランドプレーンが形成されているので、配線密度の高い配線間のクロストークも低減できる。

10

【0071】

プリント配線基板は、背面側から見て、第5の配線層よりも遠い側に、信号配線が形成される第6の配線層を更に備えてもよい。

【0072】

第6の配線層の上方に更に別の半導体チップ1Cを更に備える。この場合には、別の半導体装置に対しても連続的な帰路電流経路を確保することができる。さらに、一例として、別の半導体チップをメモリとし、プリント配線基板に埋め込まれた半導体チップをCPUとすれば、これらのメモリとCPUとからなる信号処理ユニットを製造できる。

20

【0073】

第1の配線層上では、信号配線のバンプ又はランドが千鳥状に配置される。これにより、より高密度な配線が可能となる。

【0074】

第1の配線層では、信号配線の隣接する2つのバンプ又はランドが、第2の配線層又は第3の配線層と接続されるピアランドを挟んで配置してもよい。

30

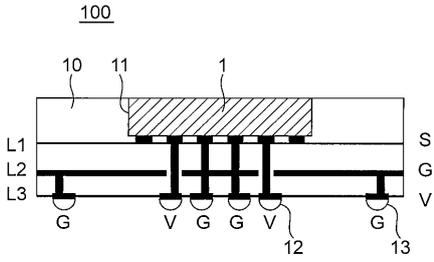
【0075】

本発明を特別に示し且つ例示的な実施形態を参照して説明したが、本発明は、その実施形態及びその変形に限定されるものではない。当業者に明らかなように、本発明は、添付のクレームに規定される本発明の精神及び範囲を逸脱することなく、種々の変更が可能である。

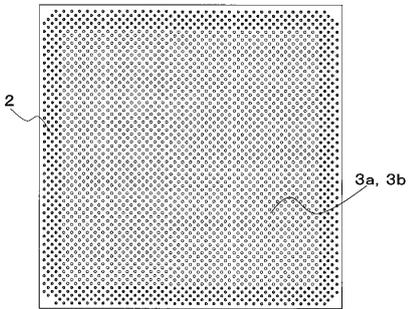
【0076】

本出願は、2007年10月12日出願に係る日本特許出願2007-266980号を基礎とし且つその優先権を主張するものであり、引用によってその開示の内容の全てを本出願の明細書中に加入する。

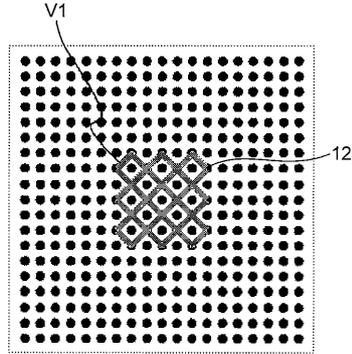
【 図 1 】



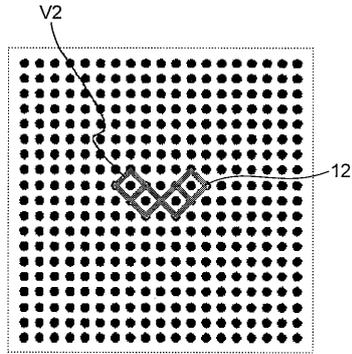
【 図 2 】



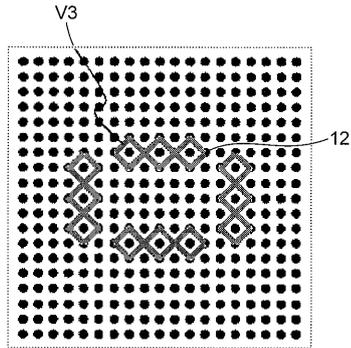
【 図 3 】



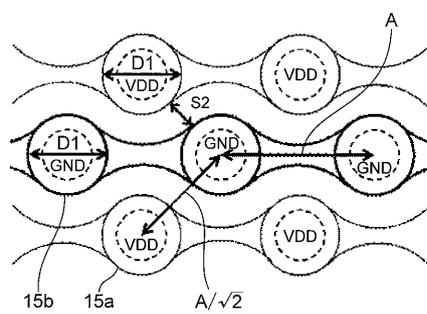
【 図 4 】



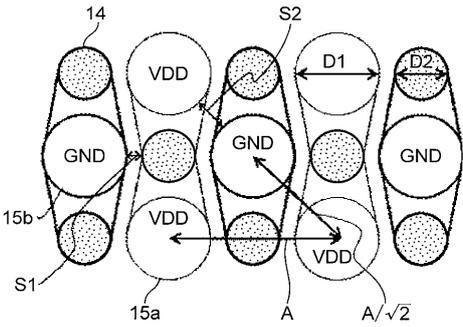
【 図 5 】



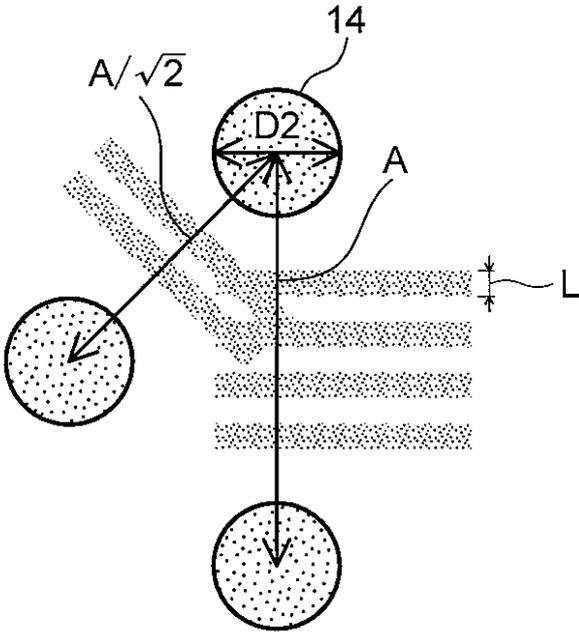
【 図 7 】



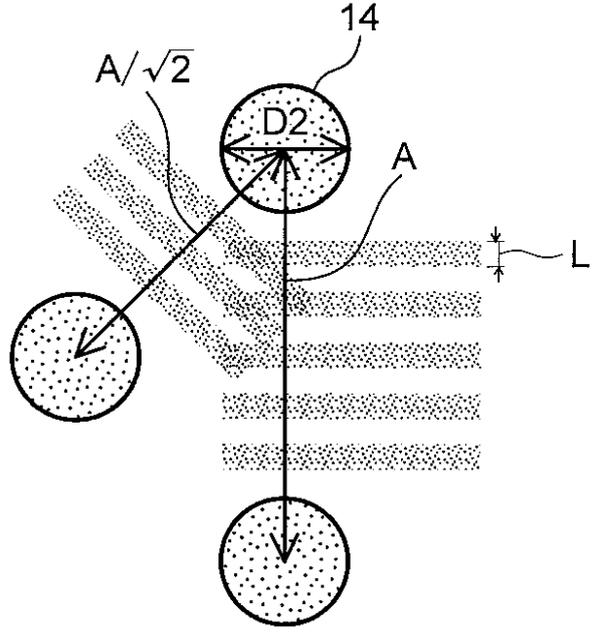
【 図 6 】



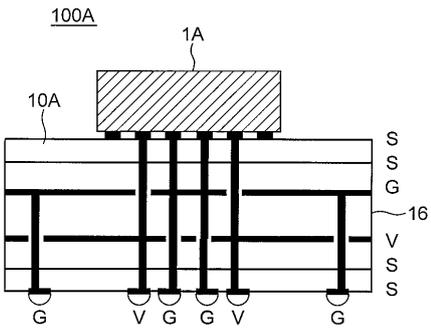
【 図 8 】



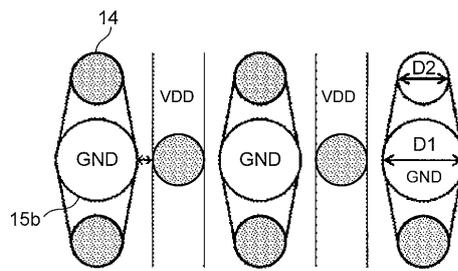
【 図 9 】



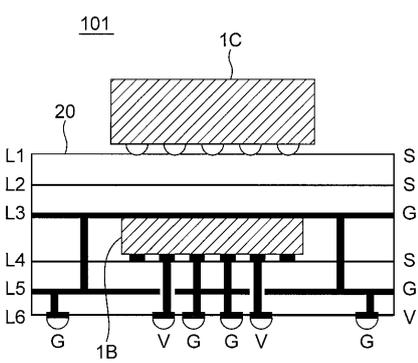
【 図 1 0 】



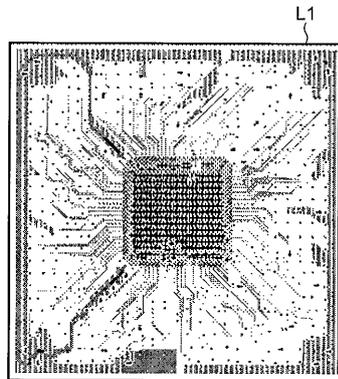
【 図 1 2 】



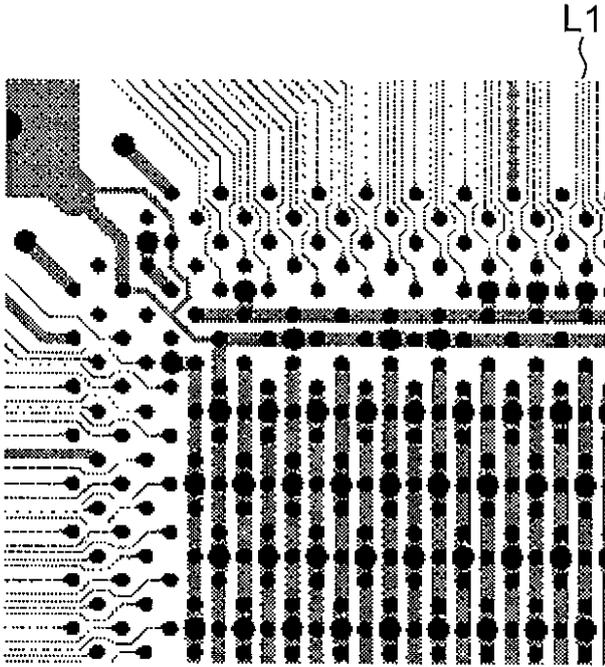
【 図 1 1 】



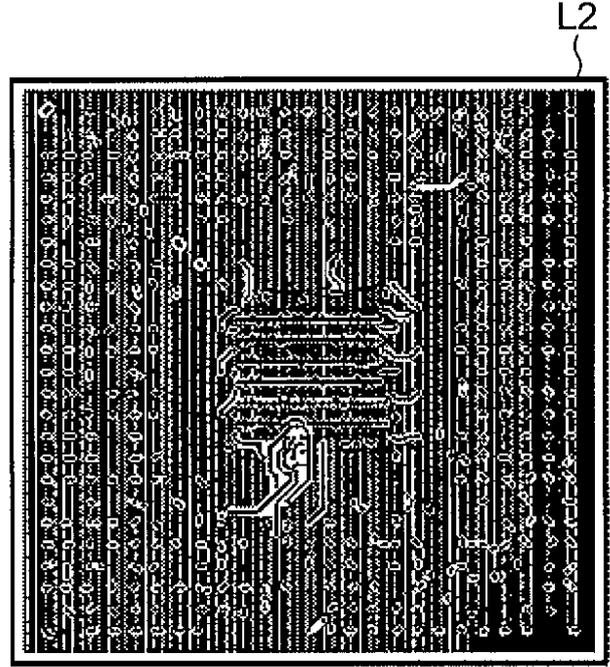
【 図 1 3 】



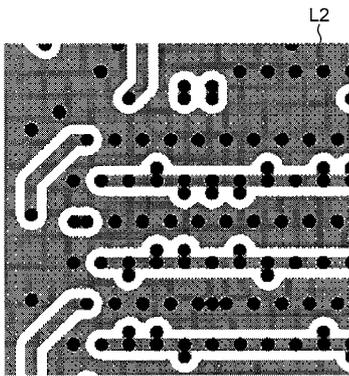
【 図 1 4 】



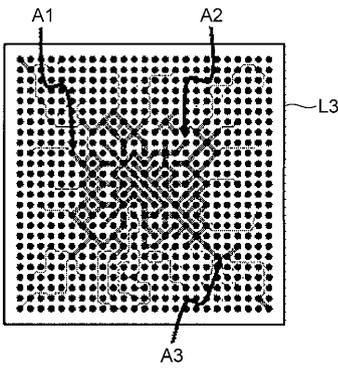
【 図 1 5 】



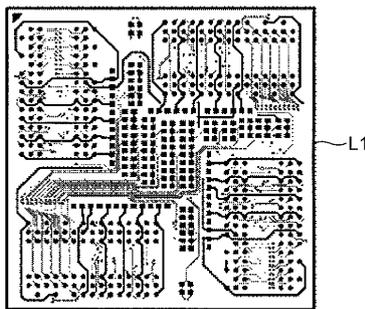
【 図 1 6 】



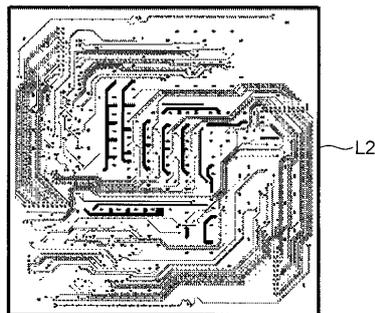
【 図 1 7 】



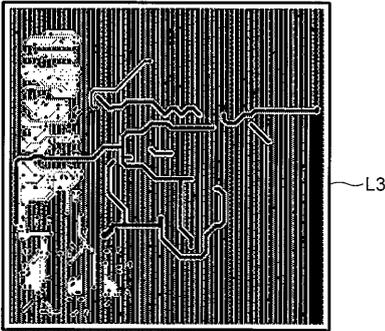
【 図 1 8 】



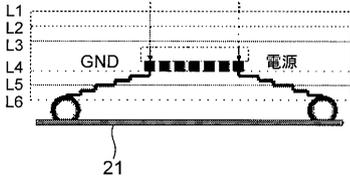
【 図 1 9 】



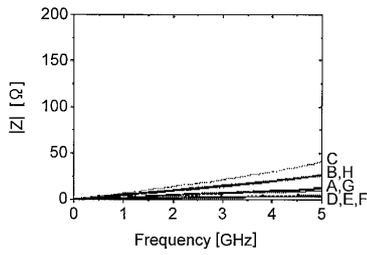
【 図 2 0 】



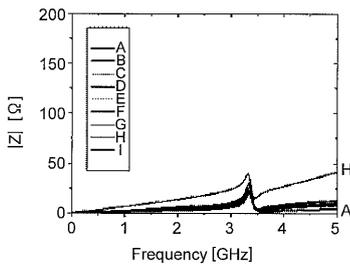
【 図 2 1 】



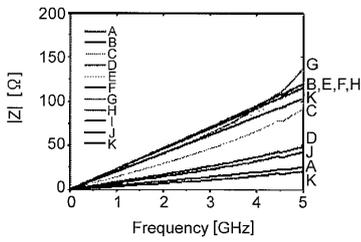
【 図 2 2 】



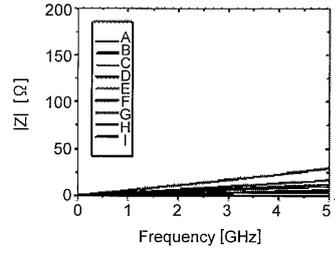
【 図 2 6 】



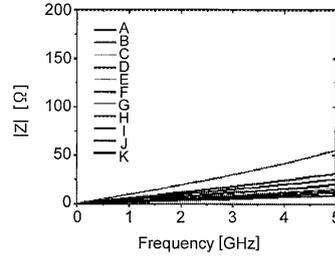
【 図 2 7 】



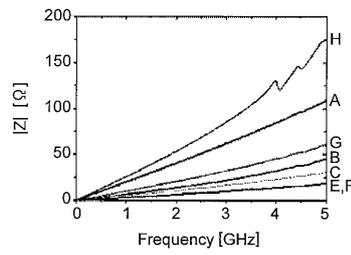
【 図 2 3 】



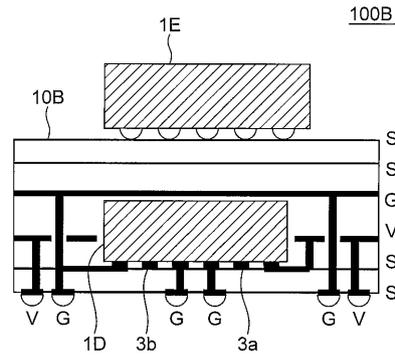
【 図 2 4 】



【 図 2 5 】



【 図 2 8 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2008/068549
A. CLASSIFICATION OF SUBJECT MATTER H01L23/12(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/12, H01L25/065, H01L25/07, H01L25/18 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-209325 A (Sumitomo Metal (SMI) Electronics Devices Inc.), 07 August, 1998 (07.08.98), Par. Nos. [0023] to [0035]; Fig. 1 (Family: none)	1-2, 7-11 3-6
Y	JP 8-78573 A (Hitachi Cable, Ltd.), 22 March, 1996 (22.03.96), Par. Nos. [0014] to [0015]; Figs. 1 to 2 (Family: none)	1-2, 7-11
Y	JP 5-82710 A (Hitachi, Ltd.), 02 April, 1993 (02.04.93), Par. Nos. [0007] to [0020]; Fig. 1 (Family: none)	8-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 19 December, 2008 (19.12.08)		Date of mailing of the international search report 06 January, 2009 (06.01.09)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/068549

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-237275 A (Matsushita Electric Industrial Co., Ltd.), 31 August, 2001 (31.08.01), Full text; all drawings (Family: none)	4-6

国際調査報告		国際出願番号 PCT/JP2008/068549									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L23/12(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L23/12, H01L25/065, H01L25/07, H01L25/18											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2008年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2008年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2008年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2008年	日本国実用新案登録公報	1996-2008年	日本国登録実用新案公報	1994-2008年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2008年										
日本国実用新案登録公報	1996-2008年										
日本国登録実用新案公報	1994-2008年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
Y A	JP 10-209325 A (株式会社住友金属エレクトロデバイス) 1998.08.07, 段落 0023-0035, 図1 (ファミリーなし)	1-2, 7-11 3-6									
Y	JP 8-78573 A (日立電線株式会社) 1996.03.22, 段落 0014-0015, 図1-2 (ファミリーなし)	1-2, 7-11									
Y	JP 5-82710 A (株式会社日立製作所) 1993.04.02, 段落 0007-0020, 図1 (ファミリーなし)	8-10									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 19.12.2008		国際調査報告の発送日 06.01.2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 石野 忠志	4 R 3547								
		電話番号 03-3581-1101	内線 3471								

国際調査報告		国際出願番号 PCT/J P 2 0 0 8 / 0 6 8 5 4 9
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-237275 A (松下電器産業株式会社) 2001.08.31, 全文, 全図 (ファミリーなし)	4-6

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。