



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I579418 B

(45) 公告日：中華民國 106 (2017) 年 04 月 21 日

(21) 申請案號：105100886 (22) 申請日：中華民國 105 (2016) 年 01 月 13 日

(51) Int. Cl. : C30B25/02 (2006.01) C30B29/40 (2006.01)

(30) 優先權：2015/02/19 美國 14/626,165

(71) 申請人：漢民科技股份有限公司 (中華民國) HERMES-EPITEK CORP. (TW)
中華民國(72) 發明人：林伯融 LIN, PO-JUNG (TW)；吳致陞 WU, CHIH-SHENG (TW)；小林隆
KOBAYASHI, TAKASHI (JP)；鍾步青 CHUNG, BU-CHIN (TW)

(74) 代理人：蔡朝安；鄭淑芬

(56) 參考文獻：

CN 101981685A US 2010080256A1

US 2011/0049681A1

黃志方、張庭輔，氮化鎵功率元件簡介，電子資訊，專刊 第 20 卷第 1 期，2014 年 6 月。

審查人員：黃鐘輝

申請專利範圍項數：18 項 圖式數：2 共 15 頁

(54) 名稱

半導體模板及其製造方法

SEMICONDUCTOR TEMPLATE AND MANUFACTURING METHOD THEREOF

(57) 摘要

本發明提供一半導體模板，其包含：一基板、一緩衝層及一磊晶層。緩衝層位於基板的一表面，且緩衝層包括一第一次緩衝層及一第二次緩衝層，兩者依序相疊。緩衝層具有不規則的裂痕，使緩衝層具有不連續的上表面。裂痕的深度大於或等於第二次緩衝層的厚度，且小於或等於第一次緩衝層及第二次緩衝層厚度的總和。磊晶層位於緩衝層之上，並為一連續層。

The present invention provides a semiconductor template, comprising: a substrate; a buffer layer, disposed on a surface of the substrate and comprises a first sub-buffer layer and a second sub-buffer layer sequentially stacked, wherein the buffer layer has irregular cracks such that the top surface of the buffer layer is discontinuous, and the depth of the cracks are greater than or equal to the thickness of the second sub-buffer layer and less than or equal to sum of the thickness of the first sub-buffer and the second sub-buffer layer; and an epitaxial layer, which is a continuous layer and disposed on the buffer layer.

指定代表圖：

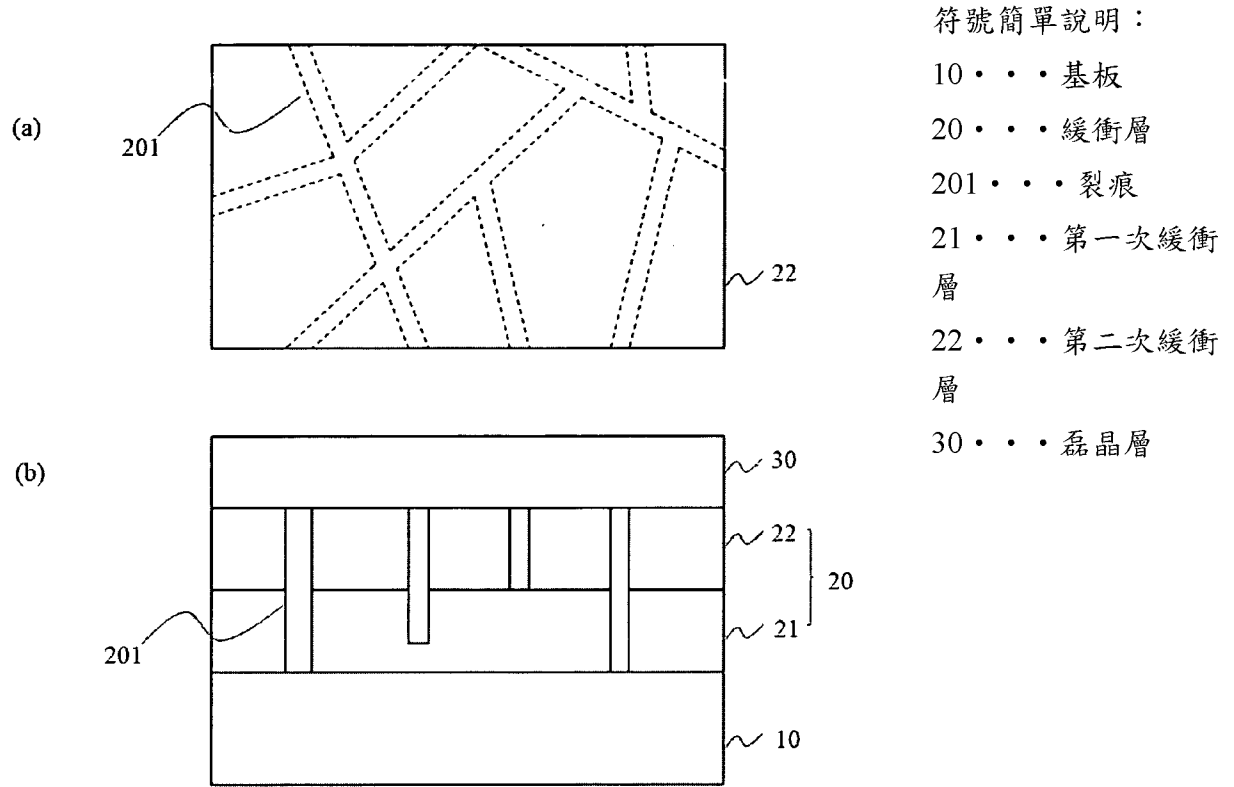


圖 1

**公告本****【發明摘要】**

申請日: 105.11.13

IPC分類: C30B 25/02 (2006.1)
C30B 29/40 (2006.1)**【中文發明名稱】** 半導體模板及其製造方法**【英文發明名稱】** SEMICONDUCTOR TEMPLATE AND MANUFACTURING
METHOD THEREOF

【中文】 本發明提供一半導體模板，其包含：一基板、一緩衝層及一磊晶層。緩衝層位於基板的一表面，且緩衝層包括一第一次緩衝層及一第二次緩衝層，兩者依序相疊。緩衝層具有不規則的裂痕，使緩衝層具有不連續的上表面。裂痕的深度大於或等於第二次緩衝層的厚度，且小於或等於第一次緩衝層及第二次緩衝層厚度的總和。磊晶層位於緩衝層之上，並為一連續層。

【英文】 The present invention provides a semiconductor template, comprising: a substrate; a buffer layer, disposed on a surface of the substrate and comprises a first sub-buffer layer and a second sub-buffer layer sequentially stacked, wherein the buffer layer has irregular cracks such that the top surface of the buffer layer is discontinuous, and the depth of the cracks are greater than or equal to the thickness of the second sub-buffer layer and less than or equal to sum of the thickness of the first sub-buffer layer and the second sub-buffer layer; and an epitaxial layer, which is a continuous layer and disposed on the buffer layer.

【指定代表圖】 圖1**【代表圖之符號簡單說明】**

- 10 基板
- 20 緩衝層
- 201 裂痕
- 21 第一次緩衝層
- 22 第二次緩衝層
- 30 磊晶層

【發明說明書】

【中文發明名稱】半導體模板及其製造方法

【英文發明名稱】SEMICONDUCTOR TEMPLATE AND MANUFACTURING
METHOD THEREOF

【技術領域】

【0001】 本發明係關於一種半導體模板及其製造方法，特別是在緩衝層具有裂痕的半導體模板及其製造方法。

【先前技術】

【0002】 近來，在矽基板上成長氮化鎵磊晶層已是非常流行的技術。由於矽基板及氮化鎵(GaN)磊晶層之間熱膨脹係數的差異，在冷卻過程中產生的拉伸應力容易導致氮化鎵磊晶層表面產生裂痕。此一現象在較大尺寸的晶圓尤其嚴重，因此控制氮化鎵磊晶層的應力以避免裂痕的產生非常重要。

【0003】 當成長氮化鎵磊晶層於氮化鋁(AlN)層，氮化鎵磊晶層會無裂痕地成長，此乃是由於氮化鎵磊晶層及氮化鋁層的晶格常數的差異產生的壓縮應力所致。此壓縮應力會平衡冷卻過程中產生的拉伸應力。除了裂痕的問題，當直接成長氮化鎵磊晶層於矽基板，在氮化鎵磊晶層及矽基板之間的氮化鋁層可有效地防止“回熔”的發生。氮化鋁緩衝層結合其他材料所形成的結構非常複雜，例如：多層結構、超晶格層、插入層、漸變層、及過渡層，因而導致製造成本的增加。

【0004】 於是，開發出在矽基板上成長高品質氮化鎵磊晶層的方法，已成為當前的目標。

【發明內容】

【0005】 本發明目的之一係提出一種半導體模板及其製造方法，藉由簡單結構控制成長過程產生的拉伸應力長出品質良好的磊晶層，並有效降低成本。

【0006】 本發明的目的之一係在提供一半導體模板，其包含：一基板、一緩衝層及一氮化鎵磊晶層。緩衝層位於基板的一表面，且緩衝層包括：一第一次緩衝層，及一第二次緩衝層，兩者依序相疊。緩衝層具有不規則的裂痕，使緩衝層具有不連續的上表面。裂痕的深度大於或等於第二次緩衝層的厚度，且小於或等於第一次緩衝層及第二次緩衝層厚度的總和。氮化鎵磊晶層為一位於緩衝層之上的連續層。其中第一次緩衝層及第二次緩衝層的熱膨脹係數不同於基板的熱膨脹係數，且第一次緩衝層的熱膨脹係數不同於第二次緩衝層的熱膨脹係數。

【0007】 本發明的目的之一係在提供一半導體模板製造方法，其包含：提供一基板；形成一第一次緩衝層於基板上；形成一第二次緩衝層於第一次緩衝層上，其中第一次緩衝層及第二次緩衝層共同形成一緩衝層；在緩衝層形成不規則的裂痕，使緩衝層的上表面為不連續，其中裂痕的深度大於或等於第二次緩衝層的厚度，且小於或等於第一次緩衝層及第二次緩衝層厚度的總和；及形成一連續的氮化鎵磊晶層於緩衝層之上。其中第一次緩衝層及第二次緩衝層的熱膨脹係數不同於基板的熱膨脹係數，且第一次緩衝層的熱膨脹係數不同於第二次緩衝層的熱膨脹係數。

【0008】 本發明的實施例將配合所附圖示詳細描述於下，以使本發明之目

的、技術內容、特徵及功效更易於了解。

【圖式簡單說明】

【0009】

圖1是根據本發明一實施例的半導體模板的示意圖，其中(a)部份是第二次緩衝層的上視圖；(b)部份是半導體模板的剖面圖。

圖2是根據本發明一實施例的半導體模板製造方法的流程圖。

【實施方式】

【0010】 本發明主要提供一種半導體模板結構及其製造方法，藉由簡單結構控制成長過程產生的拉伸應力長出品質良好的磊晶層，並有效降低成本。以下將詳述本案的各實施例，並配合附圖作為例示。除了這些詳細描述之外，本發明還可以廣泛地施行在其他的實施例中，任何所述實施例的輕易替代、修改、等效變化都包含在本案的範圍內，並以之後的專利範圍為準。在說明書的描述中，為了使讀者對本發明有較完整的瞭解，提供了許多特定細節；然而，本發明可能在省略部分或全部這些特定細節的前提下，仍可實施。此外，眾所周知的步驟或元件並未描述於細節中，以避免造成本發明不必要的限制。附圖中相同或類似的元件將以相同或類似符號來表示。特別注意的是，附圖僅為示意之用，並非代表元件實際的尺寸或數量，不相關的細節未完全繪出，以求附圖的簡潔。

【0011】 請參照圖1。根據一實施例，本發明之半導體模板包含：一基板10；一緩衝層20，位於基板10的一表面；及一磊晶層30，位於緩衝層20之上。

【0012】 緩衝層20包括：一第一次緩衝層21，及一第二次緩衝層22，兩

者依序相疊。且如圖 1 所示，圖 1 的緩衝層 20 是雙層構造，即一層第一次緩衝層 21 及一層第二次緩衝層 22，但其僅是例示性質，本發明並不受限於此，如果需要，緩衝層可包括更多層。

【0013】 承上，緩衝層 20 具有不規則的多個裂痕 201，使緩衝層 20 具有不連續的上表面。“不規則裂痕”表示裂痕是由熱應力自然產生而不使用任何的人工處理，例如腐蝕、或切割等。裂痕 201 的形態是隨機任意而沒有任何規則的，如圖 1 所示。由於緩衝層 20 是在半導體模板 10 的內部，因此在圖 1 的(a)部，裂痕 201 是用虛線描繪。

【0014】 再者，裂痕 201 的深度大於或等於第二次緩衝層 22 的厚度，且小於或等於第一次緩衝層 21 及第二次緩衝層 22 厚度的總和，如圖 1(b)部所示。也就是說，不規則裂痕可部份或完全穿透第一次緩衝層 21 及第二次緩衝層 22 之一，或同時穿透第一次緩衝層 21 及第二次緩衝層 22 兩者，而使緩衝層 20 的上表面為不連續。如果裂痕並未延伸到磊晶層 30 或基板 10，則可具有較高品質的製程。

【0015】 在之後的製程中，裂痕 201 會在緩衝層 20 內形成許多空隙，而使裂痕 201 的相對內側壁分開。裂痕 201 在緩衝層 20 所產生的空隙可吸收冷卻過程中產生的應力，且可避免磊晶層 30 表面產生裂痕。

【0016】 此外，於一實施例中，第一次緩衝層 21 及第二次緩衝層 22 的熱膨脹係數不同於基板 10 的熱膨脹係數，且第一次緩衝層 21 的熱膨脹係數亦不同於第二次緩衝層 22 的熱膨脹係數。由於鎵會與矽基板作用而產生回熔腐蝕效應，所以第一次緩衝層 21 不可含鎵。例如，第一次緩衝層 21 含氮化鋁(AlN)，而第二次緩衝層 22 含氮化鋁鎵(AlGaN)或氮化鎵(GaN)。

【0017】 而磊晶層 30 是一個連續層，也就是說，磊晶層 30 沒有裂痕。磊晶層 30 含有氮化物，而一較佳實施例中，磊晶層 30 含氮化鎵。

【0018】 接著，請參照圖 2。以下將詳細介紹製造上述半導體模板的方法。

【0019】 如圖 2 所示，根據一實施例，本發明之半導體模板製造方法包含：步驟 S11、步驟 S13、步驟 S15、及步驟 S17，然而本發明並不受限於此。在步驟 S11，提供一基板，此基板可包含矽基板。在步驟 S13，形成一緩衝層在基板上，此一形成緩衝層的步驟包括：形成一第一次緩衝層於基板上，及形成一第二次緩衝層於第一次緩衝層上，然而本發明並不受限於此，緩衝層亦可包括二個以上的次緩衝層。

【0020】 於一實施例中，此形成緩衝層的步驟可在攝氏 900—1200 度進行，較佳者為攝氏 1000—1100 度，更佳者為攝氏 1050 度，然而本發明並不受限於此。

【0021】 需注意的是：第一次緩衝層及第二次緩衝層的熱膨脹係數不同於基板的熱膨脹係數，且第一次緩衝層的熱膨脹係數亦不同於第二次緩衝層的熱膨脹係數。例如，第一次緩衝層含氮化鋁(AlN)，而第二次緩衝層含氮化鋁鎵(AlGaN)或氮化鎵(GaN)。

【0022】 接著進行步驟 S15，在緩衝層形成不規則的裂痕，使緩衝層的上表面為不連續。在緩衝層形成裂痕的步驟係藉由冷卻方式或機械力而實現。機械力包括由熱膨脹係數的差異而產生的拉伸應力。在本發明的一實施例中，在緩衝層形成裂痕係藉由在攝氏 400—700 度，較佳為攝氏 500—600 度，進行冷卻處理。

【0023】 既然第一次緩衝層及第二次緩衝層的熱膨脹係數不同於基板的

熱膨脹係數，緩衝層就容易在加熱及冷卻過程中產生裂痕，其中裂痕的深度大於或等於第二次緩衝層的厚度，且小於或等於第一次緩衝層及第二次緩衝層厚度的總合。

【0024】 最後進行步驟 S17，將一氮化鎵磊晶層成長於緩衝層。在本發明一實施例，氮化鎵磊晶層是以側向磊晶成長(Epitaxial Lateral Overgrowth, ELOG)的技術成長在圖案化的緩衝層上，並填滿裂痕。此一成長氮化鎵磊晶層的步驟可在攝氏 900—1200 度進行，較佳溫度為攝氏 1000—1100 度，於一更佳實施例中溫度為攝氏 1050 度，然而本發明並不受限於此。經過加熱過程後，半導體模板被冷卻到常溫，於是本發明之半導體模板就製造完成。

【0025】 根據如上所述之半導體模板製造方法，裂痕是由熱應力自然產生在緩衝層，而形成圖案化的緩衝層。圖案化的緩衝層，即具有裂痕的緩衝層，可在冷卻過程中，分散及吸收成長於其上的氮化鎵磊晶層的應力。藉此，氮化鎵磊晶層可避免在其表面產生裂痕，而成連續層。藉此，本發明之半導體模板製造方法可提供成長在矽基板上高品質的氮化鎵磊晶層。

【0026】 綜合上述，習知的矽基板成長氮化鎵磊晶層技術，常用氮化鋁(AIN)結合其他材料形成各種緩衝結構。然而，這些含氮化鋁的緩衝層結構非常複雜，因而導致製造成本的增加。本發明一實施例之半導體模板及其製造方法具有多項優點，例如：使用簡單的結構控制成長過程產生的拉伸應力，及價格低廉，因而能而大幅度地改進習知技術缺點。

【0027】 上述實施例僅是用以闡釋本發明之技術觀念及特徵，以讓習於此項技術者能了解及實施本發明。然而，該些實施例並非用以限制本發明的範圍。亦即，任何依本發明之精神所為之修改或變化均包含於本發明之範圍內。

【符號說明】**【0028】**

- 10 基板
- 20 緩衝層
- 201 裂痕
- 21 第一次緩衝層
- 22 第二次緩衝層
- 30 磊晶層

【發明申請專利範圍】

【第1項】一種半導體模板，包含：

一基板；

一緩衝層，位於該基板的一表面，其包含：一第一次緩衝層，及一第二次緩衝層依序相疊，其中該緩衝層具有不規則的多個裂痕，使該緩衝層的上表面為不連續；該些裂痕的深度大於或等於該第二次緩衝層的厚度，且小於或等於該第一次緩衝層及該第二次緩衝層厚度的總和；及

一磊晶層，位於該緩衝層之上，且為連續層；

其中該第一次緩衝層及該第二次緩衝層的熱膨脹係數不同於該基板的熱膨脹係數，且該第一次緩衝層的熱膨脹係數不同於該第二次緩衝層的熱膨脹係數。

【第2項】如請求項1所述之半導體模板，其中該些裂痕的相對內側壁係為分開。

【第3項】如請求項1所述之半導體模板，其中該第一次緩衝層包含氮化鋁。

【第4項】如請求項1所述之半導體模板，其中該第二次緩衝層包含氮化鋁、氮化鎵或氮化銻。

【第5項】如請求項1所述之半導體模板，其中該磊晶層包含氮化物。

【第6項】如請求項1所述之半導體模板，其中該磊晶層包含氮化鎵。

【第7項】如請求項1所述之半導體模板，其中該基板為一矽基板。

【第8項】一種半導體模板製造方法，其包含：

提供一基板；

形成一第一次緩衝層於該基板上；

形成一第二次緩衝層於該第一次緩衝層上，其中該第一次緩衝層及該第二次緩衝層共同形成一緩衝層；

在該緩衝層形成不規則的多個裂痕，使該緩衝層的上表面為不連續，其中該些裂痕的深度大於或等於該第二次緩衝層的厚度，且小於或等於該第一次緩衝層及該第二次緩衝層厚度的總合；及

形成一連續的磊晶層於該緩衝層之上；

其中該第一次緩衝層及該第二次緩衝層的熱膨脹係數不同於該基板的熱膨脹係數，且該第一次緩衝層的熱膨脹係數不同於該第二次緩衝層的熱膨脹係數。

【第9項】如請求項8所述之半導體模板製造方法，其中該些裂痕的相對內側壁係為分開。

【第10項】如請求項8所述之半導體模板製造方法，其中在該緩衝層形成該些裂痕的係藉由一機械力而實現，而該機械力係由該緩衝層熱膨脹係數的差異而產生。

【第11項】如請求項8所述之半導體模板製造方法，其中形成該第一次緩衝層及該第二次緩衝層係在攝氏900－1200度進行。

【第12項】如請求項8所述之半導體模板製造方法，其中在該緩衝層形成該些裂痕係在攝氏400－700度進行。

【第13項】如請求項8所述之半導體模板製造方法，其中形成該磊晶層係在攝氏900－1200度進行。

【第14項】如請求項8所述之半導體模板製造方法，其中該第一次緩衝層包含氮化鋁。

【第15項】如請求項8所述之半導體模板製造方法，其中該第二次緩衝層包含氮化鋁銻或氮化銻。

【第16項】如請求項8所述之半導體模板製造方法，其中該磊晶層包含氮化物。

【第17項】如請求項8所述之半導體模板製造方法，其中該磊晶層包含氮化鎵。

【第18項】如請求項8所述之半導體模板製造方法，其中該基板為一矽基板。

【發明圖式】

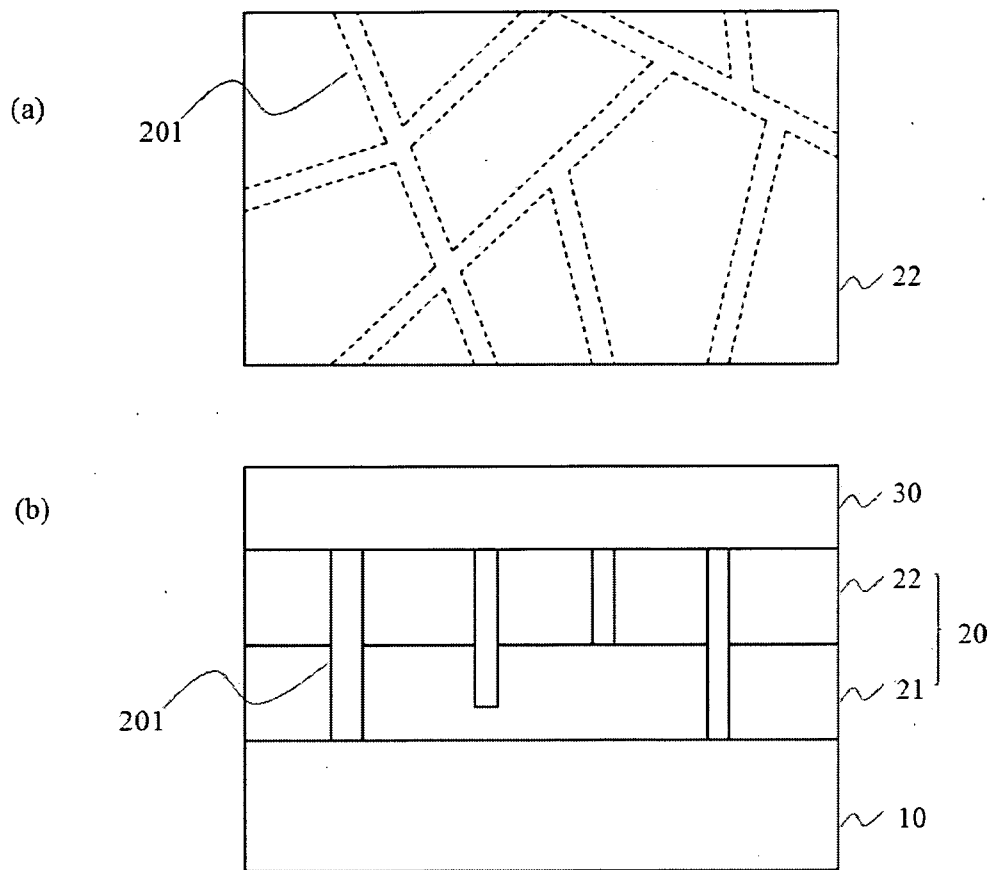


圖 1

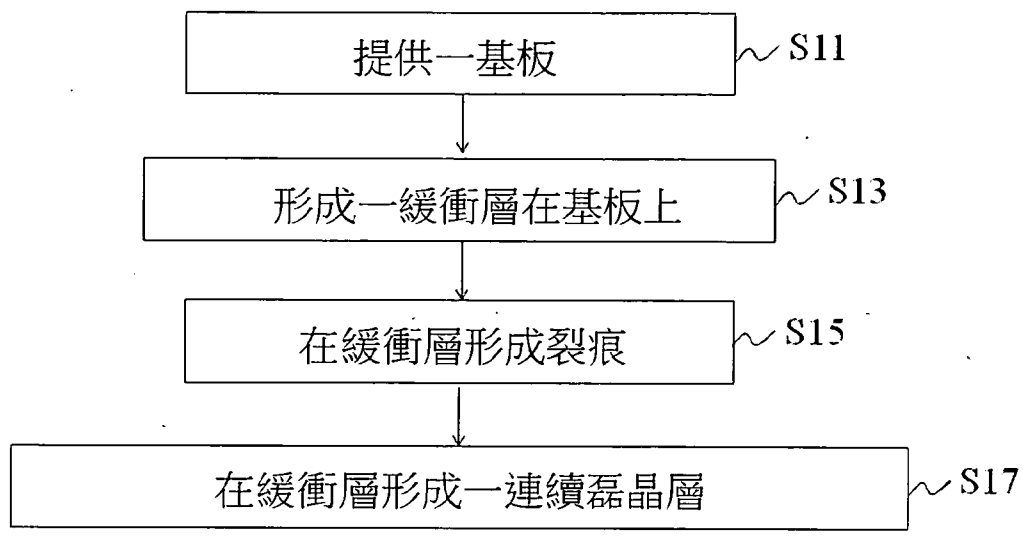


圖 2