

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-520531

(P2006-520531A)

(43) 公表日 平成18年9月7日(2006.9.7)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 25/18 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01)  
 HO 1 L 25/065 (2006.01)

審査請求 未請求 予備審査請求 未請求 (全 10 頁)

(21) 出願番号 特願2006-503297 (P2006-503297)  
 (86) (22) 出願日 平成16年2月4日(2004.2.4)  
 (85) 翻訳文提出日 平成17年8月19日(2005.8.19)  
 (86) 国際出願番号 PCT/US2004/003099  
 (87) 国際公開番号 W02004/077896  
 (87) 国際公開日 平成16年9月10日(2004.9.10)  
 (31) 優先権主張番号 10/371,089  
 (32) 優先日 平成15年2月21日(2003.2.21)  
 (33) 優先権主張国 米国 (US)

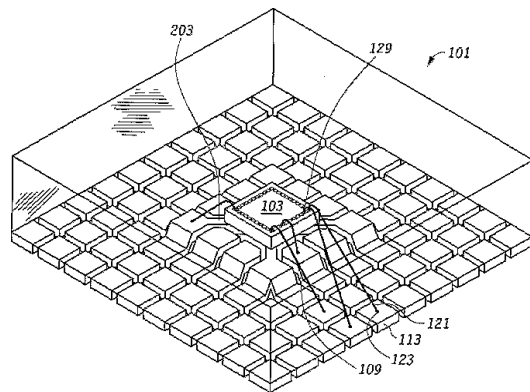
(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国テキサス州78729, オ  
 ースティン, ウェスト・パーマー・レーン  
 7700  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 ガーバー、マーク エイ.  
 アメリカ合衆国 78745 テキサス州  
 オースティン ウェスト ドーマン ド  
 ライブ 15808

最終頁に続く

(54) 【発明の名称】 マルチダイ半導体パッケージ

(57) 【要約】

電気相互接続フレーム107を備えたマルチダイ半導体パッケージ101。頂部集積回路ダイ103はフレームの上部コンタクトレベル109の頂部側に取付けられるとともに底部集積回路ダイ105はフレームの上部コンタクトレベルの底部側に取付けられる。頂部ダイのダイ結合パッド113は、相互接続フレームの下部コンタクトレベル111のパッドに電氣的に接続されている(例えば、ワイヤによる結合)。底部集積回路ダイのダイ結合パッドは、フレームの上部コンタクトレベルのパッドに結合するために電氣的に接続される(例えば、ワイヤによる結合)。下部コンタクトレベルの結合パッドは、パッケージのための外側結合パッドとして機能する。該フレームは差込構造体116を含み、各構造体は、上部コンタクトレベルに配置された上側部と、下部コンタクトレベルに配置された下側部とを有する。



## 【特許請求の範囲】

## 【請求項 1】

半導体パッケージであって、

頂部電気コンタクトレベルと底部電気コンタクトレベルとを有する電気相互接続フレームと、前記頂部電気コンタクトレベルは前記底部電気コンタクトレベルとほぼ平行かつオフセットの状態にあることと、前記頂部及び底部電気コンタクトレベルの各々は、頂部面と底面とをそれぞれ有することと、

前記頂部電気コンタクトレベルの頂部面に取付けられる第一の集積回路ダイと、

前記頂部電気コンタクトレベルの底面に取付けられる第二の集積回路ダイと、

前記第二の集積回路ダイ上のパッドに接続される第一の端部と、前記頂部電気コンタクトレベルの構造体の底面に接続される第二の端部とを有する導体と、

前記第一の集積回路ダイ上のパッドに接続される第一の端部と、前記底部電気コンタクトレベルの構造体の頂部面に接続される第二の端部とを有する第一のワイヤと、  
からなる半導体パッケージ。

## 【請求項 2】

前記電気相互接続フレームは更に差込構造体を含み、前記差込構造体は前記頂部電気コンタクトレベルに配置される頂部と、前記底部電気コンタクトレベルに配置される底部とを含み、前記導体の第二の端部は、前記頂部の底面に接続されている請求項 1 に記載の半導体パッケージ。

## 【請求項 3】

半導体パッケージであって、

複数の第一のパッドを有するほぼ平坦な頂部電気コンタクトレベルと、複数の第二のパッドを有するほぼ平坦な底部電気コンタクトレベルとを含む金属性の電気相互接続フレームと、前記頂部電気コンタクトレベルは、前記底部電気コンタクトレベルとほぼ平行かつオフセットの状態にあることと、前記頂部電気コンタクトレベル及び前記底部電気コンタクトレベルのいずれも頂部面及び底面を有することと、

頂部面及び底面を備えた第一の集積回路ダイと、前記第一の集積回路ダイの底面は前記頂部電気コンタクトレベルの頂部面に取付けられることと、前記第一の集積回路ダイの頂部面は前記複数の第二のパッドにワイヤ接続される複数のパッドを有することと、

頂部面及び底面を備えた第二の集積回路ダイと、前記第二の集積回路ダイの底面は前記頂部電気コンタクトレベルの底面に取付けられることと、前記第二の集積回路ダイの頂部面は前記複数の第一のパッドにワイヤ接続される複数のパッドを有することと、  
からなる半導体パッケージ。

## 【請求項 4】

前記第一の集積回路ダイはデジタル回路を含み、かつ前記第二の集積回路ダイはアナログ回路を含む請求項 3 に記載の半導体パッケージ。

## 【請求項 5】

半導体パッケージを形成する方法において、

相互接続フレームを提供する工程と、

該相互接続フレームの少なくとも一部を所定のパターンにエッチング処理する工程と、

相互接続フレームに頂部コンタクトレベルと、底部コンタクトレベルを形成する工程と、  
前記頂部コンタクトレベルは、前記底部コンタクトレベルとオフセット状態、かつほぼ平行であることと、

最初に頂部コンタクトレベルの底面に第一の集積回路ダイを取付け、該頂部コンタクトレベルのパッドの底面に第一の集積回路ダイを電氣的に接続する工程と、

該頂部コンタクトレベルの頂部面に第二の集積回路ダイを取付ける工程と、底部コンタクトレベルのパッドに第二の集積回路ダイをワイヤ結合させる工程と、

からなる方法。

## 【発明の詳細な説明】

## 【技術分野】

10

20

30

40

50

## 【0001】

本発明は半導体パッケージに関し、より詳細には、マルチダイ半導体パッケージに関する。

## 【背景技術】

## 【0002】

マルチダイ(multi-die)半導体パッケージは複数の集積回路(IC)ダイを含む。幾らかのパッケージにおいて、パッケージ内の一つのダイの動作は、パッケージ内の他のダイの性能を干渉するかもしれない。例えば、内臓メモリを含むデジタル集積回路を備えたダイと、ラジオ周波数RF集積回路を備えたダイとを有するパッケージにおいて、内臓メモリはRF集積回路を備えたダイに近接した範囲内にホットスポットを発生するかもしれない。これらのホットスポットは、RF集積回路のインダクタの性能を干渉し、それによりRF集積回路の性能全体を低減することになるかもしれない。

10

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

マルチダイ半導体パッケージに対する改良された形態が必要とされている。

## 【課題を解決するための手段】

## 【0004】

本発明の一態様において、半導体パッケージは頂部電気コンタクトレベル及び底部電気コンタクトレベルを有する電気相互接続フレームを含む。頂部電気コンタクトレベルは底部電気コンタクトレベルに平行、かつ該底部電気コンタクトレベルからオフセット状態にある。頂部及び底部電気コンタクトレベルの各々は頂部面と底面の両方を備える。半導体パッケージはまた、頂部電気コンタクトレベルの頂部面に取付けられる第一の集積回路ダイと、頂部コンタクトレベルの底面に取付けられる第二の集積回路ダイとを含む。半導体パッケージはまた、第二の集積回路ダイのパッドに接続される第一の端部と、頂部電気コンタクトレベルの構造体の底面に接続される第二の端部とを有する導体を含む。半導体パッケージは更に、第一の集積回路ダイのパッドに接続される第一の端部と、底部電気コンタクトレベルの構造体の頂部面に接続される第二の端部とを有する第一のワイヤを含む。

20

## 【0005】

本発明の別の態様において、半導体パッケージは複数の第一のパッドを有するほぼ平坦な頂部電気コンタクトレベルと、複数の第二のパッドを有するほぼ平坦な底部電気コンタクトレベルを含む金属性の電気相互接続フレームを含む。頂部電気コンタクトレベルは底部電気コンタクトレベルに平行、かつ該底部電気コンタクトレベルからオフセット状態にある。頂部及び底部電気コンタクトレベルのいずれも頂部面と底面の両方を備える。半導体パッケージはまた、頂部面および底面を備えた第一の集積回路ダイを含む。第一の集積回路ダイの底面は、頂部電気コンタクトレベルの頂部面に取付けられる。第一の集積回路ダイの頂部面は複数の第二のパッドにワイヤ接続される複数のパッドを有する。半導体パッケージはまた、頂部面および底面を備えた第二の集積回路ダイを含む。第二の集積回路ダイの底面は、頂部電気コンタクトレベルの底面に取付けられる。第二の集積回路ダイの頂部面は複数の第一のパッドにワイヤ接続される複数のパッドを有する。

30

40

## 【0006】

本発明の別の態様において、半導体パッケージを形成する方法は、相互接続フレームを提供する工程と、該相互接続フレームの少なくとも一部を所定のパターンにエッチング処理する工程とを含む。該方法はまた、相互接続フレームに頂部コンタクトレベルと、底部コンタクトレベルを形成する工程を含む。頂部コンタクトレベルは、底部コンタクトレベルとオフセット状態、かつ平行にある。該方法はまた、最初に頂部コンタクトレベルの底面に第一の集積回路ダイを取付け、該頂部コンタクトレベルのパッドの底面に第一の集積回路ダイを電氣的に接続する工程を含む。該方法は更に、該頂部コンタクトレベルの頂部面に第二の集積回路ダイを取付ける工程と、底部コンタクトレベルのパッドに第二の集積回路ダイをワイヤ結合させる工程とを含む。

50

## 【発明を実施するための最良の形態】

## 【0007】

本発明は、添付した図面を参照してより理解され、かつその種々の目的、特徴及び利点は当業者に明らかにされるであろう。

## 【0008】

明記されていない限り、異なる図面における同一の符号の使用は、同一の部材を示す。

本発明を実施するための形態の詳細な説明を以下に記載する。詳細な説明は本発明を例示することを意図しており、本発明を制限するものと解釈されるべきではない。

## 【0009】

図1は、本発明に従うマルチダイ半導体パッケージの側方断面図である。パッケージ101は、非導電性の封入材料104中に封入される集積回路(IC)ダイ103及びICダイ105を含む。パッケージ101は、集積回路のダイ103及び105の間に導電性を提供し、かつパッケージ101の外側に導電構造体を提供するための電気相互接続フレーム107を含む。図示された実施形態において、パッケージ101は、マルチダイ、パ-

10

## 【0010】

ーシャルアレイ、鉛フリーのパッケージである。フレーム107は上部コンタクトレベル(contact level)109及び下部コンタクトレベル111を含み、上部コンタクトレベル109は下部コンタクトレベル111と平行である。図1の実施形態において、上部コンタクトレベル109は面110内にほぼ配置されており、下部コンタクトレベル111は面112内にほぼ配置されている。フレーム107は複数の導電構造体を含み、一実施形態において該構造体は銅から形成されている。幾らかの実施形態において、フレーム107の一部は、例えばニッケル、銀、金又はパラジウムのような第二の金属でメッキされ得る。フレーム107は下部コンタクトレベル111の一部を構成する複数のパッド(例えば、113)を含む。これらのパッドの各々は、ダイ103又は105の信号又は出力パッドと、パッケージ101が取付けられている装置(例えば、プリント基板(図示しない))の外部導電構造体とを接続するための接触子として機能する。

20

## 【0011】

ダイ103は上部コンタクトレベル109の頂部面に取付けられ、かつダイ105は上部コンタクトレベル109の底面に取付けられる。例えば、121のようなワイヤは、ダイ103の頂部面に配置されたワイヤ結合パッド(例えば、129)に結合されるとともに下部コンタクトレベル111のパッド(例えば、113)の頂部面123に結合され、ダイ103のダイ結合パッドを下部コンタクトレベル111のパッドと電氣的に接続する。

30

## 【0012】

フレーム107は差込構造体(例えば、116)を含み、各差込構造体は上部コンタクトレベル109に配置された上側部(例えば、118)と、下部コンタクトレベル111に配置された下側部(例えば、117)とを含む。ダイ105は上部コンタクトレベル109の底面に取付けられている。上側部(例えば、118)はダイ105の底面に配置されたダイ結合パッド(例えば、131)に結合されるワイヤ(例えば、127)を結合するための結合パッドとして機能する。差込構造体(例えば、116)の下側部(例えば、117)は、ダイ105の信号又は出力ダイパッド(例えば、131)をパッケージ101の外側の導電構造体と接続するためのパッケージ結合パッドとして機能する。図示された実施形態において、ダイ103の幾つかのダイ結合パッドは、ワイヤ(例えば、132)を介して差込構造体の上側部(例えば、118)に接続される。

40

## 【0013】

一実施形態において、ダイ103は、例えばベースバンドプロセッサ又はメモリのよう

なデジタルICを含む。ダイ105は携帯電話のトランスミッタ又はレシーバのようなRFICを含む。その他の実施形態において、ダイ105は他のタイプのアナログICを含み得るか、或いは、デジタルICを含み得る。フレーム107はダイ103及び105の

50

間にRF遮蔽を提供する。

【0014】

上部及び下部コンタクトレベルを備えた電気相互接続フレームを提供することにより、図1の実施形態に示されるように、ダイを(例えば、遮蔽の目的にて)フレームの反対側に配置することを可能にする一方で、フレームの一部が両方のダイに対して外部出力及び信号パッドとして機能することを可能にする。更に、上部及び下部コンタクトレベルを使用することにより、マルチダイパッケージの高さを低減することも可能になる。また、上部及び下部コンタクトレベルを提供することにより、頂部ダイに連結されたワイヤと底部ダイに連結されたワイヤとが平行に進行する可能性が低く、かつ互いに近接した状態であるパッケージのワイヤ間の交差接続を低減することを助ける。

10

【0015】

パッケージ101は、ダイ103を上部コンタクトレベル109の頂部面に取付けるために使用される接着剤を含む接着剤流出制御リング135を、該上部コンタクトレベル109の頂部面に含む。パッケージ101はまた、ダイ105を上部コンタクトレベル109の底面に取付けるために使用される接着剤を含む、第二の接着剤流出制御リング137を含む。その他の実施形態において、ダイは、ある種のダイ取付接着フィルムを用いることにより、又は上部コンタクトレベルに取付けられた別の型の介在構造体にダイを取付けることにより、上部コンタクトレベル109に取付けられ得る。

【0016】

幾らかの実施形態において、ダイ103の頂部面からダイ105の底面までの距離は、各ダイの集積回路からの干渉を低減するように、0.5mm以下である。二つのコンタクトレベルを備えたフレームの相対向する側にダイを配置することにより、パッケージの高さを顕著に増大させることなく頂部ダイ103と底部ダイ105との活性面(図1の実施形態において、ダイのダイ結合パッドを備える面)の間の距離の増大を可能にする。

20

【0017】

図2は、パッケージ101の外側の線を備え、かつフレーム107の詳細を示すとともにダイ103がフレーム107に取付けられた位置を示すために透視して示されたパッケージ101の斜視図を示す。上部コンタクトレベル109はXフラッグ(X-flag)203を含み、ダイ103はXフラッグに取付けられている。図示された実施形態において、ダイ103及び105の接地用ダイパッドはXフラッグ203に連結されている。その他の実施形態において、上部コンタクトレベルは、例えばダイが固形のフラッグ等に取り付けられているようなその他の形態及び/又は構造体を含み得る。

30

【0018】

図2に示されるように、下部コンタクトレベル111の周縁部の外側2列のパッド(例えば、113)は、それらの列のその他のパッドから電氣的に絶縁されている。その他の実施形態において、これらの列のパッドの幾らかはこれらの列のその他のパッドと電氣的に接続されている。ワイヤ121は、ダイ103の頂部面のダイ結合パッド129と、下部コンタクトレベル111のパッド113の頂部面123とに接続された状態にて示されている。簡略化するために、ダイ103の頂部面のダイ結合パッドと下部コンタクトレベル111のその他のパッドとを接続するためのその他のワイヤは図2においては示されていない。

40

【0019】

図5は、本発明に従うマルチダイ半導体パッケージを製造するための段階を記載するフローチャートである。図3及び4はそれぞれ、製造工程の異なる段階のパッケージ101を示す。図5の実施形態において、複数のパッケージのフレームは一枚の金属シートから形成される(図示しない)。幾らかの実施形態において、該シートは銅から形成されるとともに127乃至254 $\mu\text{m}$ (5乃至10ミル)の厚みを有する。パッケージを製造するための工程は、図5には示されていないその他の従来からの段階(例えば、洗浄段階)を含むこともできる。

【0020】

50

503において、金属シートは各電気相互接続フレームの上部コンタクトレベル（例えば、109）の構造を定義するために、該フレームの中心部分に対応する位置がエッチング処理される。505において、上部コンタクトレベル及び下部コンタクトレベルを形成するために該シートが押圧される。押圧動作時に、該シートの一部が変形され、上側部（例えば、118）及び下側部（例えば、117）の間にオフセットを備えた差込構造体（例えば、116）が提供される。507において、ワイヤが結合されるフレームの一部（例えば、107）は第二の金属（例えば、銀、金、ニッケル又はパラジウム）にて選択的にメッキされる。その他の実施形態において、シート全体がメッキされ得る。

#### 【0021】

509において、接着剤が上部コンタクトレベル（例えば、109）の底面のダイ取付領域に適用され、511においてダイ取付領域に底部ダイ（例えば、105）が取付けられる。

#### 【0022】

513において、ワイヤ（例えば、127）は、底部ダイ（例えば、105）のダイ結合パッドに結合され、かつ差込構造体（例えば、116）の上側部（例えば、118）の底面に結合される。一実施形態において、これらのワイヤ（例えば、127）は、該ワイヤのループ高さを低減するために、底部ダイ（例えば、105）の結合パッド及び差込構造体（例えば、116）の上側部（例えば、118）に返し縫い（reversed stitch）にて結合される。図3は、パッケージ101が形成されるシートの一部を示す底面図である。

#### 【0023】

515において、テープ（図示しない）は、下部コンタクトレベル（例えば、111）の底部側においてシートの底部を横切って適用される。テープは上部コンタクトレベル（例えば、109）の底面、底部ダイ（例えば、105）の底面又は底部ダイ（例えば、131）に結合されるワイヤと接触しない。テープは、523において、成形部の一部を封入するために提供される。幾らかの実施形態において、台（図示しない）がテープと底部ダイ（105）の頂部面（ダイ結合パッド（例えば、131）を備えたダイ105の表面）との間に配置される。また、515において、底部ダイ（例えば、105）を支持するとともに底部ダイに結合されるワイヤ（例えば、127）を保護するために、シートは隆起部を備えたキャリア（図示しない）に挿入される。

#### 【0024】

517において、接着剤は、上部コンタクトレベル（例えば、109）の頂部面のダイ取付領域に適用され、519において、頂部ダイ（例えば、103）をダイ取付領域に取付ける。521において、ワイヤ（例えば、121）は頂部ダイ（例えば、103）のダイ結合パッド（例えば、129）及び下部コンタクトレベル（例えば、111）のパッド（例えば、113）の頂部面に結合される。幾らかの実施形態において、頂部ダイのダイ結合パッドに結合されるワイヤは差込構造体（例えば、116）の上側部（例えば、118）の頂部面に結合され得る。図4は段階521における、パッケージ101が形成されるシートの部分の上面図である。下部コンタクトレベル111における点線は、段階527において除去されるパッド間の空間を示す。

#### 【0025】

523において、第一および第二のダイ及びフレームの少なくとも一部は封入される。525において、テープがフレームの底部側から除去される。

527において、下部コンタクト層の一部は、下部コンタクトレベル（例えば、111）の個々のパッド（例えば、113）を形成するために除去される。図4を参照すると、一実施形態において、下部コンタクトレベル（例えば、111）のパッド（例えば、113）を形成するために点線の間に表示されるシートの部分を除去するために該シートはエッチング処理される。その他の実施形態において、下部コンタクトレベルのパッド間の材料は、特定の深さにおいて、点線に沿ってフレームをソーで切断することにより除去され得る。529において、パッケージは、例えばソーにて切断する等により、互いに封入体を

10

20

30

40

50

介して個別化 ( s i n g u l a t e ) される。

【 0 0 2 6 】

その他の実施形態において、フリップ・チップ形態を備えたダイは上部コンタクトレベルの底面に取付けられ得る。これらの実施形態において、フリップ・チップ形態を備えたダイのソルダボール ( s o l d b a l l ) は差込構造体 ( 例えば、 1 1 6 ) の上側部 ( 例えば、 1 1 8 ) の底部側にはんだ付けされる。これらの実施形態において、差込構造体 ( 例えば、 1 1 6 ) の上側部 ( 例えば、 1 1 8 ) は、図 1 に示される図面に対して、ダイ 1 0 5 の上に配置されるべく拡大される。

【 0 0 2 7 】

別の実施形態において、電気相互接続フレームはその他の形態を備え得る、及び / 又はフレームのパッドは、その他の形状を備え得る、及び / 又はその他の方向に配置され得る。例えば、下部コンタクトレベルのパッドは斜めに配置され得る。また、その他の実施形態において、本明細書に示され、又は図示されるフレームはその他のタイプのパッケージにおいても使用され得る。

10

【 0 0 2 8 】

本発明の特殊な実施形態を示すとともに記載してきたが、本明細書の示唆に基づいて、本発明及びそのより広い態様から逸脱することなく更なる変更及び修正がなされることは当業者に認識されるであろう。従って、添付された請求の範囲は、その範囲を包含するものであり、そのような変更及び修正の全ては、本発明の真の精神及び範囲内にある。

【 図面の簡単な説明 】

20

【 0 0 2 9 】

【 図 1 】 本発明に従うマルチダイ半導体パッケージの一実施形態の一部側方断面図である。

【 図 2 】 本発明に従う頂部集積回路ダイ及び電気相互接続フレームを示すマルチダイ半導体パッケージの一実施形態の斜視図である。

【 図 3 】 マルチダイ半導体パッケージが本発明に従って形成されているシートの一実施形態の一部底面図である。

【 図 4 】 マルチダイ半導体パッケージが本発明に従って形成されているシートの一実施形態の一部上面図である。

【 図 5 】 本発明に従うマルチダイ半導体パッケージを製造するための段階の一実施形態を記載するフローチャートである。

30

【 図 1 】

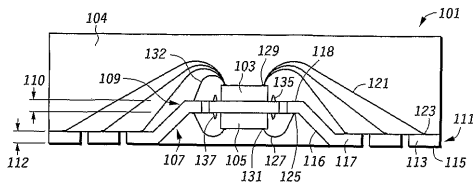


FIG.1

【 図 2 】

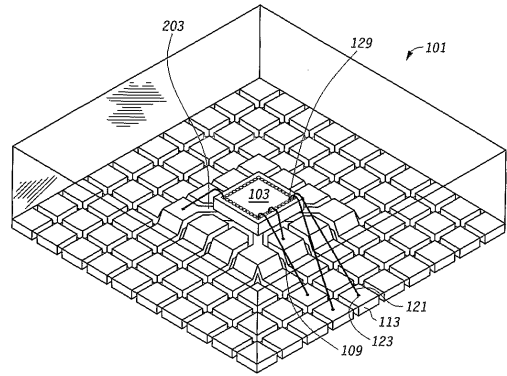
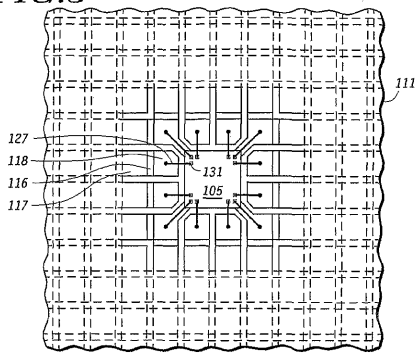


FIG.2

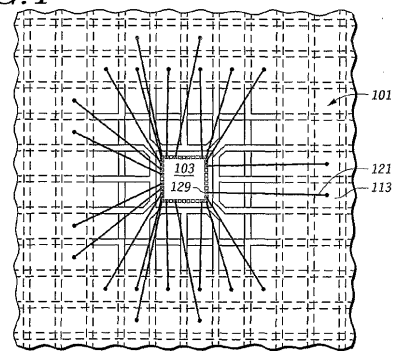
【 図 3 】

FIG.3



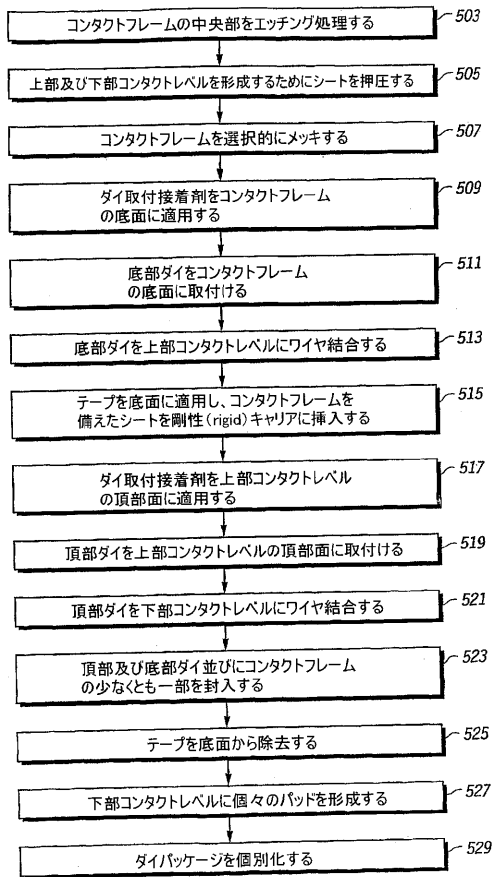
【 図 4 】

FIG.4





【 図 5 】



## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ホン、デ ワイ .

アメリカ合衆国 7 8 7 4 5 テキサス州 オースティン リトル テキサス レーン 4 0 1  
ナンバー 2 1 3 1

(72)発明者 サファイ、ソラブ

アメリカ合衆国 7 8 6 8 1 テキサス州 ラウンド ロック グレン キャニオン ドライブ  
8 3 1 5