

1. 一种扫描信号线驱动电路,其特征在于:

所述扫描信号线驱动电路为显示装置的扫描信号线驱动电路,所述扫描信号线驱动电路驱动配置于显示部的多个扫描信号线,

所述扫描信号线驱动电路具有移位寄存器,该移位寄存器包含彼此串联连接的多个双稳态电路,基于从外部输入且使导通电平和断开电平周期性地重复的多个时钟信号,所述多个双稳态电路的输出信号依次成为有效,

各双稳态电路具有:

第一输入节点,其用于接收该各双稳态电路之前的级的双稳态电路的输出信号作为置位信号;

第二输入节点,其用于接收该各双稳态电路之后的级的双稳态电路的输出信号作为复位信号;

第一输出节点,其用于输出该各双稳态电路的输出信号作为驱动所述扫描信号线的扫描信号,且与所述扫描信号线连接;

第一输出控制用开关元件,该第一输出控制用开关元件的第二电极被供给所述多个时钟信号之一,该第一输出控制用开关元件的第三电极与所述第一输出节点连接;

第一节点接通用开关元件,其用于基于所述置位信号,使与所述第一输出控制用开关元件的第一电极连接的第一节点的电平向导通电平变化;

第一个第一节点关断用开关元件,所述第一个第一节点关断用开关元件的第二电极与所述第一节点连接,所述第一个第一节点关断用开关元件用于使所述第一节点的电平向断开电平变化;

第一个第一输出节点关断用开关元件,所述第一个第一输出节点关断用开关元件的第二电极与所述第一输出节点连接,所述第一个第一输出节点关断用开关元件的第三电极被供给断开电位的电位,且所述第一个第一输出节点关断用开关元件用于使所述第一输出节点的电平向断开电平变化;

第一个第二节点接通用开关元件,其用于基于所述复位信号,使与所述第一个第一节点关断用开关元件的第一电极和所述第一个第一输出节点关断用开关元件的第一电极连接的第二节点的电平向导通电平变化;

第一个第二节点关断用开关元件,所述第一个第二节点关断用开关元件的第一电极与所述第一输入节点连接,所述第一个第二节点关断用开关元件的第二电极与所述第二节点连接,所述第一个第二节点关断用开关元件的第三电极被供给断开电位的电位,所述第一个第二节点关断用开关元件基于所述置位信号使所述第二节点的电平向断开电平变化;

和

电容元件,所述电容元件的一端与所述第二节点连接,所述电容元件的另一端与所述第一输入节点连接,

所述第一输出控制用开关元件、所述第一节点接通用开关元件、所述第一个第一节点关断用开关元件、所述第一个第一输出节点关断用开关元件、所述第一个第二节点接通用开关元件和所述第一个第二节点关断用开关元件分别是具有第一电极、第二电极和第三电极且通过施加至第一电极的信号来控制第二电极-第三电极间的导通/非导通的开关元件,

当设所述电容元件的电容值为 C2、所述第一个第二节点关断用开关元件的第一电极 - 第二电极间的寄生电容的电容值为 C3、所述第一个第一节点关断用开关元件的第一电极 - 第二电极间的寄生电容的电容值为 C5、所述第一个第一输出节点关断用开关元件的第一电极 - 第二电极间的寄生电容的电容值为 C6 时,满足下式:

$$C2 \geq C5+C6-C3。$$

2. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

在各双稳态电路中,在所述第一节点要被维持在断开电平的期间,所述第二节点的电位被维持在导通电平的直流电源电位。

3. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

所述第一个第二节点关断用开关元件,是包括作为第一电极的栅极电极、作为第二电极的漏极电极和作为第三电极的源极电极的薄膜晶体管,

所述电容元件形成于所述薄膜晶体管的栅极电极与漏极电极之间。

4. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路具有所述第一个第一节点关断用开关元件,

所述第一个第一节点关断用开关元件的第三电极,与所述第一输出节点连接。

5. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路还具有第二个第二节点关断用开关元件,所述第二个第二节点关断用开关元件是具有第一电极、第二电极和第三电极且通过施加至第一电极的信号来控制第二电极 - 第三电极间的导通 / 非导通的开关元件,所述第二个第二节点关断用开关元件的第一电极与所述第一输出节点连接,所述第二个第二节点关断用开关元件的第二电极与所述第二节点连接,所述第二个第二节点关断用开关元件的第三电极被供给断开电位的电位。

6. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路还具有第二个第一输出节点关断用开关元件,所述第二个第一输出节点关断用开关元件是具有第一电极、第二电极和第三电极且通过施加至第一电极的信号来控制第二电极 - 第三电极间的导通 / 非导通的开关元件,所述第二个第一输出节点关断用开关元件的第一电极与所述第二输入节点连接,所述第二个第一输出节点关断用开关元件的第二电极与所述第一输出节点连接,所述第二个第一输出节点关断用开关元件的第三电极被供给断开电位的电位。

7. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路还具有第二个第一节点关断用开关元件,所述第二个第一节点关断用开关元件是具有第一电极、第二电极和第三电极且通过施加至第一电极的信号来控制第二电极 - 第三电极间的导通 / 非导通的开关元件,所述第二个第一节点关断用开关元件的第一电极与所述第二输入节点连接,所述第二个第一节点关断用开关元件的第二电极与所述第一节点连接,所述第二个第一节点关断用开关元件的第三电极被供给断开电位的电位。

8. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

所述第一节点接通用开关元件是具有多沟道结构的薄膜晶体管。

9. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路具有所述第一个第一节点关断用开关元件,

所述第一个第一节点关断用开关元件是具有多沟道结构的薄膜晶体管。

10. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路具有:

第二输出节点,其用于输出该各双稳态电路的输出信号作为控制该各双稳态电路以外的双稳态电路的动作的其他级控制信号;和

第二输出控制用开关元件,所述第二输出控制用开关元件是具有第一电极、第二电极和第三电极且通过施加至第一电极的信号来控制第二电极-第三电极间的导通/非导通的开关元件,所述第二输出控制用开关元件的第一电极与所述第一节点连接,所述第二输出控制用开关元件的第二电极与所述第一输出控制用开关元件的第二电极连接,所述第二输出控制用开关元件的第三电极与所述第二输出节点连接,

从各双稳态电路输出的所述其他级控制信号,作为所述复位信号被供给至该各双稳态电路之前的级的双稳态电路。

11. 如权利要求 10 所述的扫描信号线驱动电路,其特征在于:

从各双稳态电路输出的所述其他级控制信号,还作为所述置位信号被供给至该各双稳态电路之后的级的双稳态电路。

12. 如权利要求 10 所述的扫描信号线驱动电路,其特征在于:

所述多个时钟信号是 2 相的时钟信号,

所述第一个第二节点接通用开关元件的第二电极,被供给所述 2 相的时钟信号中与被供给至所述第一输出控制用开关元件的第二电极的信号不同的信号。

13. 如权利要求 10 所述的扫描信号线驱动电路,其特征在于:

所述第一输出控制用开关元件的第二电极被供给直流电源电位来代替所述多个时钟信号之一。

14. 如权利要求 13 所述的扫描信号线驱动电路,其特征在于:

当设所述多个时钟信号的振幅电压为 VCK、以所述多个时钟信号的断开电平侧的电位为基准所述扫描信号线被驱动时的所述扫描信号的电压为 VGH 时,满足下式:

$$VGH \geq VCK \geq VGH/2.$$

15. 如权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路还具有:

第三输入节点,其用于接收从外部发送来的信号作为清零信号;和

第二个第二节点接通用开关元件,其用于基于所述清零信号,使所述第二节点的电平向导通电平变化。

16. 如权利要求 15 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路还具有:

第四输入节点,其用于接收从外部发送来的信号作为刷新信号;和

第二节点电平降低用开关元件,其用于基于所述刷新信号,使所述第二节点的电平向比断开电平低的电平变化。

17. 权利要求 1 所述的扫描信号线驱动电路,其特征在于:

各双稳态电路还具有:

第三输入节点,其用于接收从外部发送来的信号作为清零信号;

第二个第二节点接通用开关元件,其用于基于所述清零信号,使所述第二节点的电平

向导通电平变化；和

第二节点电平降低用开关元件，其用于基于所述清零信号，使所述第二节点的电平向比断开电平低的电平变化。

18. 如权利要求 1 所述的扫描信号线驱动电路，其特征在于：

包含于各双稳态电路中的开关元件全部为同一沟道类型的薄膜晶体管。

19. 如权利要求 1 所述的扫描信号线驱动电路，其特征在于：

包含于各双稳态电路中的开关元件是半导体层包含铟镓锌氧化物 (IGZO) 的薄膜晶体管。

20. 一种显示装置，其特征在于：

包括所述显示部，并具有权利要求 1 所述的扫描信号线驱动电路。

21. 一种驱动方法，其特征在于：

所述驱动方法为利用扫描信号线驱动电路驱动配置于显示部的多个扫描信号线的方法，所述扫描信号线驱动电路具有移位寄存器，该移位寄存器包括具有第一状态和第二状态且彼此串联连接的多个双稳态电路，基于从外部输入且使导通电平和断开电平周期性地重复的多个时钟信号，所述多个双稳态电路的输出信号依次成为有效，

所述驱动方法对于各双稳态电路包括：

第一驱动步骤，使该双稳态电路成为用于使该双稳态电路从所述第二状态变化为所述第一状态的预备状态；

第二驱动步骤，使该双稳态电路从所述预备状态变化为所述第一状态；和

第三驱动步骤，使该双稳态电路从所述第一状态变化为所述第二状态，

各双稳态电路具有：

第一输入节点，其用于接收该各双稳态电路之前的级的双稳态电路的输出信号作为置位信号；

第二输入节点，其用于接收该各双稳态电路之后的级的双稳态电路的输出信号作为复位信号；

第一输出节点，其用于输出该各双稳态电路的输出信号作为驱动所述扫描信号线的扫描信号，且与所述扫描信号线连接；

第一输出控制用开关元件，所述第一输出控制用开关元件的第二电极被供给所述多个时钟信号之一，所述第一输出控制用开关元件的第三电极与所述第一输出节点连接；

第一节点接通用开关元件，其用于基于所述置位信号，使与所述第一输出控制用开关元件的第一电极连接的第一节点的电平向导通电平变化；

第一个第一节点关断用开关元件，所述第一个第一节点关断用开关元件的第二电极与所述第一节点连接，所述第一个第一节点关断用开关元件用于使所述第一节点的电平向断开电平变化；

第一个第一输出节点关断用开关元件，所述第一个第一输出节点关断用开关元件的第二电极与所述第一输出节点连接，所述第一个第一输出节点关断用开关元件的第三电极被供给断开电平的电位，且所述第一个第一输出节点关断用开关元件用于使所述第一输出节点的电平向断开电平变化；

第一个第二节点接通用开关元件，其用于基于所述复位信号，使与所述第一个第一节

点关断用开关元件的第一电极和所述第一个第一输出节点关断用开关元件的第一电极连接的第二节点的电平向导通电平变化；

第一个第二节点关断用开关元件,所述第一个第二节点关断用开关元件的第一电极与所述第一输入节点连接,所述第一个第二节点关断用开关元件的第二电极与所述第二节点连接,所述第一个第二节点关断用开关元件的第三电极被供给断开电平的电位,所述第一个第二节点关断用开关元件基于所述置位信号使所述第二节点的电平向断开电平变化；和

电容元件,所述电容元件的一端与所述第二节点连接,所述电容元件的另一端与所述第一输入节点连接,

所述第一输出控制用开关元件、所述第一节点接通用开关元件、所述第一个第一节点关断用开关元件、所述第一个第一输出节点关断用开关元件、所述第一个第二节点接通用开关元件和所述第一个第二节点关断用开关元件分别是具有第一电极、第二电极和第三电极且通过施加至第一电极的信号来控制第二电极 - 第三电极间的导通 / 非导通的开关元件,

关于各双稳态电路,

在所述第一驱动步骤中,所述置位信号从断开电平变化为导通电平,由此所述第一节点接通用开关元件成为导通状态,

在所述第二驱动步骤中,所述置位信号从导通电平变化为断开电平,由此所述第一节点接通用开关元件成为断开状态,并且所述多个时钟信号中被供给至所述第一输出控制用开关元件的第二电极的信号从断开电平变化为导通电平,由此所述第一节点的电平变化,

在所述第三驱动步骤中,所述复位信号从断开电平变化为导通电平,由此所述第一个第二节点接通用开关元件成为导通状态,当设所述电容元件的电容值为 C_2 、所述第一个第二节点关断用开关元件的第一电极 - 第二电极间的寄生电容的电容值为 C_3 、所述第一个第一节点关断用开关元件的第一电极 - 第二电极间的寄生电容的电容值为 C_5 、所述第一个第一输出节点关断用开关元件的第一电极 - 第二电极间的寄生电容的电容值为 C_6 时,满足下式:

$$C_2 \geq C_5 + C_6 - C_3。$$

扫描信号线驱动电路和具有该扫描信号线驱动电路的显示装置

技术领域

[0001] 本发明涉及显示装置及其驱动电路,详细而言,涉及对配置于显示装置的显示部的扫描信号线进行驱动的具有移位寄存器的扫描信号线驱动电路。

背景技术

[0002] 近年来,在液晶显示装置中,用于驱动栅极总线(扫描信号线)的栅极驱动器(扫描信号线驱动电路)的单片化正在进展中。以往,栅极驱动器大多作为 IC(Integrated Circuit:集成电路)芯片装载于构成液晶面板的基板的周边部,但是近年来,在基本上直接形成栅极驱动器的情况逐渐增多。这种栅极驱动器被称为“单片栅极驱动器”等。具有单片栅极驱动器的液晶显示装置中,作为驱动元件,历来采用使用非晶硅(a-Si)的薄膜晶体管(以下称为“a-SiTFT”),但是近年来,实现了采用使用微晶硅(μ c-Si)或氧化物半导体(例如 IGZO)的薄膜晶体管。微晶硅或氧化物半导体的迁移率比非晶硅的迁移率大,所以通过采用使用微晶硅或氧化物半导体的薄膜晶体管作为驱动元件,能够实现边框面积的缩小和高精细化。

[0003] 然而,在有源矩阵型的液晶显示装置的显示部,包含多条源极总线(视频信号线)、多条栅极总线、以及与这些多条源极总线和多条栅极总线的交叉点分别对应设置的多个像素形成部。这些像素形成部配置成矩阵状,构成像素阵列。各像素形成部包括:栅极端子与通过对应的交叉点的栅极总线连接、并且源极端子与通过该交叉点的源极总线连接的作为开关元件的薄膜晶体管;和用于保持像素电压值的像素电容等。有源矩阵型的液晶显示装置中,还设置有上述栅极驱动器和用于驱动源极总线的源极驱动器(视频信号线驱动电路)。

[0004] 表示像素电压值的视频信号通过源极总线传递,但各源极总线不能将表示多行的像素电压值的视频信号一次性(同时)传递。因此,对配置成矩阵状的上述像素形成部内的像素电容进行的视频信号的写入(充电),逐行依次进行。于是,栅极驱动器由包括多级的移位寄存器构成,以使多条栅极总线按每个规定期间依次被选择。移位寄存器的各级,成为在各时刻成为两个状态(第一状态和第二状态)中的任一个状态并将表示该状态的信号(以下称为“状态信号”。)作为扫描信号输出的双稳态电路。而且,通过从移位寄存器内的多个双稳态电路依次输出有效的扫描信号,如上所述,逐行依次进行对像素电容的视频信号的写入。

[0005] 在现有的显示装置中,双稳态电路例如构成为如图 51(日本特开 2006-107692 号公报的图 1)、图 52(日本特开 2006-107692 号公报的图 14)所示。在这些双稳态电路中,当从前一级发送来的扫描信号 G_{n-1} 成为高电平时,由于晶体管组 TG1 成为导通状态,所以第二节点 N2 的电位成为低电平。由此,晶体管 TG3、TR4 成为断开状态。因此,通过扫描信号 G_{n-1} 成为高电平,第一节点 N1 的电位成为高电平,输出电容 C_b 被充电。该状态时,时钟 CK 的电位现于栅极总线。如上所述,在各双稳态电路中,在从前一级发送来的扫描信号 G_{n-1}

成为高电平之后,通过使供给至该双稳态电路的时钟 CK 的电位为高电平,从移位寄存器内的多个双稳态电路依次输出有效的扫描信号。由此,多条栅极总线逐条依次被驱动。

[0006] 另外,在日本特开 2001-52494 号公报、日本特开 2003-16794 号公报、日本特开 2005-94335 号公报、日本特开 2006-106394 号公报和日本特开 2006-127630 号公报中,也公开有设置于显示装置等的移位寄存器(双稳态电路)的结构。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献 1:日本特开 2006-107692 号公报

[0010] 专利文献 2:日本特开 2001-52494 号公报

[0011] 专利文献 3:日本特开 2003-16794 号公报

[0012] 专利文献 4:日本特开 2005-94335 号公报

[0013] 专利文献 5:日本特开 2006-106394 号公报

[0014] 专利文献 6:日本特开 2006-127630 号公报

发明内容

[0015] 发明要解决的课题

[0016] 然而,根据现有的结构,如下所述缺乏电路动作的稳定性。在图 51 所示的结构中,通过扫描信号 G_{n-1} 从低电平变为高电平,第一节点 N1 被充电。在此,在扫描信号 G_{n-1} 从低电平变为高电平的时刻,第二节点 N2 的电位成为高电平,所以晶体管 TR4 成为导通状态。详细而言,即使扫描信号 G_{n-1} 从低电平变为高电平,在晶体管组 TG1 成为导通状态至第二节点 N2 的电位成为低电平的期间,晶体管 TR4 也被维持在导通状态。因此,有时对第一节点 N1 的充电变得不充分。特别是在使电路动作高速化的情况下,充电期间变短,所以对第一节点 N1 的充电变得更不充分。其结果是,电路动作变得不稳定。另外,在第一电极与第一节点 N1 连接,第二电极被供给时钟 CK 的晶体管 TG2 的栅极-漏极间存在寄生电容,所以由时钟 CK 的波形的变动导致在第一节点 N1 产生噪声。然后,晶体管组 TG1 因该噪声而成为导通状态,第二节点 N2 的电位降低。于是,在第一节点 N1 的电位要被维持于低电平的期间,晶体管 TR4 不成为完全的导通状态,第一节点 N1 的电位不再被维持于低电平。第一节点 N1 的电位的上升和第二节点 N2 的电位的降低正反馈地发生,电路动作变得不稳定。

[0017] 另外,在图 52 所示的结构中,晶体管组 TG1 的栅极端子不与第一节点 N1 连接。因此,在扫描信号 G_n 成为高电平的期间中,晶体管组 TG1 变为导通状态,第二节点 N2 的电位不会降低。在扫描信号 G_n 成为高电平的期间中,由晶体管 TG3、TR4 的栅极-漏极间的寄生电容的存在导致第二节点 N2 的电位上升。由此,晶体管 TR4 略微成为导通状态,在第一节点 N1 的电位要被维持在高电平的期间,该第一节点 N1 的电位降低。其结果是,电路动作变得不稳定。

[0018] 于是,本发明的目的在于,在单片栅极驱动器中提高电路动作的稳定性。

[0019] 用于解决课题的方案

[0020] 本发明的第一方面是一种扫描信号线驱动电路,其特征在于:上述扫描信号线驱动电路为显示装置的扫描信号线驱动电路,上述扫描信号线驱动电路配置于显示部的多个扫描信号线,

[0021] 上述扫描信号线驱动电路具有移位寄存器,该移位寄存器包含彼此串联连接的多个双稳态电路,基于从外部输入且使第一电平和第二电平周期性地重复的多个时钟信号,上述多个双稳态电路的输出信号依次成为有效,

[0022] 各双稳态电路具有:

[0023] 第一输入节点,其用于接收该各双稳态电路之前的级的双稳态电路的输出信号作为置位信号;

[0024] 第二输入节点,其用于接收该各双稳态电路之后的级的双稳态电路的输出信号作为复位信号;

[0025] 第一输出节点,其用于输出该各双稳态电路的输出信号作为驱动上述扫描信号线的扫描信号,且与上述扫描信号线连接;

[0026] 第一输出控制用开关元件,该第一输出控制用开关元件的第二电极被供给上述多个时钟信号之一,该第一输出控制用开关元件的第三电极与上述第一输出节点连接;

[0027] 第一节点接通用开关元件,其用于基于上述置位信号,使与上述第一输出控制用开关元件的第一电极连接的第一节点的电平向导通电平变化;

[0028] 第一个第一节点关断用开关元件和第一个第一输出节点关断用开关元件中的至少一个,其中,上述第一个第一节点关断用开关元件的第二电极与上述第一节点连接,上述第一个第一节点关断用开关元件用于使上述第一节点的电平向断开电平变化,上述第一个第一输出节点关断用开关元件的第二电极与上述第一输出节点连接,上述第一个第一输出节点关断用开关元件的第三电极被供给断开电位的电位,且上述第一个第一输出节点关断用开关元件用于使上述第一输出节点的电平向断开电平变化;

[0029] 第一个第二节点接通用开关元件,其用于基于上述复位信号,使与上述第一个第一节点关断用开关元件和上述第一个第一输出节点关断用开关元件中的至少一个的第一电极连接的第二节点的电平向导通电平变化;

[0030] 第一个第二节点关断用开关元件,上述第一个第二节点关断用开关元件的第一电极与上述第一输入节点连接,上述第一个第二节点关断用开关元件的第二电极与上述第二节点连接,上述第一个第二节点关断用开关元件的第三电极被供给断开电位的电位,上述第一个第二节点关断用开关元件基于上述置位信号使上述第二节点的电平向断开电平变化;和

[0031] 电容元件,上述电容元件的一端与上述第二节点连接,电容元件的另一端与上述第一输入节点连接。

[0032] 本发明的第二方面,在本发明的第一方面的基础上,其特征在于:

[0033] 当设上述电容元件的电容值为 C_2 、上述第一个第二节点关断用开关元件的第一电极-第二电极间的寄生电容的电容值为 C_3 、上述第一个第一节点关断用开关元件的第一电极-第二电极间的寄生电容的电容值为 C_5 、上述第一个第一输出节点关断用开关元件的第一电极-第二电极间的寄生电容的电容值为 C_6 时,满足下式:

[0034] $C_2 \geq C_5 + C_6 - C_3$ 。

[0035] 本发明的第三方面,在本发明的第一方面的基础上,其特征在于:

[0036] 在各双稳态电路中,在上述第一节点要被维持在断开电平的期间,上述第二节点的电位被维持在高电平的直流电源电位。

- [0037] 本发明的第四方面,在本发明的第一方面的基础上,其特征在于:
- [0038] 包含于各双稳态电路中的开关元件,是包括作为第一电极的栅极电极、作为第二电极的漏极电极和作为第三电极的源极电极的薄膜晶体管,
- [0039] 上述电容元件形成于上述薄膜晶体管的栅极电极与源极电极之间。
- [0040] 本发明的第五方面,在本发明的第四方面的基础上,其特征在于:
- [0041] 上述电容元件和上述第一个第二节点关断用开关元件以彼此相邻的方式配置,
- [0042] 上述电容元件的一端侧,由构成作为薄膜晶体管的上述第一个第二节点关断用开关元件的漏极电极的金属膜形成,
- [0043] 上述电容元件的另一端侧,由构成上述第一个第二节点关断用开关元件的栅极电极的金属膜形成。
- [0044] 本发明的第六方面,在本发明的第一方面的基础上,其特征在于:
- [0045] 各双稳态电路具有上述第一个第一节点关断用开关元件,
- [0046] 上述第一个第一节点关断用开关元件的第三电极,与上述第一输出节点连接。
- [0047] 本发明的第七方面,在本发明的第一方面的基础上,其特征在于:
- [0048] 各双稳态电路还具有第二个第二节点关断用开关元件,上述第二个第二节点关断用开关元件的第一电极与上述第一输出节点连接,上述第二个第二节点关断用开关元件的第二电极与上述第二节点连接,上述第二个第二节点关断用开关元件的第三电极被供给断开电平的电位。
- [0049] 本发明的第八方面,在本发明的第一方面的基础上,其特征在于:
- [0050] 各双稳态电路还具有第二个第一输出节点关断用开关元件,上述第二个第一输出节点关断用开关元件的第一电极与上述第二输入节点连接,上述第二个第一输出节点关断用开关元件的第二电极与上述第一输出节点连接,上述第二个第一输出节点关断用开关元件的第三电极被供给断开电平的电位。
- [0051] 本发明的第九方面,在本发明的第一方面的基础上,其特征在于:
- [0052] 各双稳态电路还具有第二个第一节点关断用开关元件,上述第二个第一节点关断用开关元件的第一电极与上述第二输入节点连接,上述第二个第一节点关断用开关元件的第二电极与上述第一节点连接,上述第二个第一节点关断用开关元件的第三电极被供给断开电平的电位。
- [0053] 本发明的第十方面,在本发明的第一方面的基础上,其特征在于:
- [0054] 上述第一节点接通用开关元件是具有多沟道结构的薄膜晶体管。
- [0055] 本发明的第十一方面,在本发明的第一方面的基础上,其特征在于:
- [0056] 各双稳态电路具有上述第一个第一节点关断用开关元件,
- [0057] 上述第一个第一节点关断用开关元件是具有多沟道结构的薄膜晶体管。
- [0058] 本发明的第十二方面,在本发明的第一方面的基础上,其特征在于:
- [0059] 各双稳态电路具有:
- [0060] 第二输出节点,其用于输出该各双稳态电路的输出信号作为控制该各双稳态电路以外的双稳态电路的动作的其他级控制信号;和
- [0061] 第二输出控制用开关元件,上述第二输出控制用开关元件的第一电极与上述第一节点连接,上述第二输出控制用开关元件的第二电极与上述第一输出控制用开关元件的第

二电极连接,上述第二输出控制用开关元件的第三电极与上述第二输出节点连接,

[0062] 从各双稳态电路输出的上述其他级控制信号,作为上述复位信号被供给至该各双稳态电路之前的级的双稳态电路。

[0063] 本发明的第十三方面,在本发明的第十二方面的基础上,其特征在于:

[0064] 从各双稳态电路输出的上述其他级控制信号,还作为上述置位信号被供给至该各双稳态电路之后的级的双稳态电路。

[0065] 本发明的第十四方面,在本发明的第十二方面的基础上,其特征在于:

[0066] 上述第一个第二节点接通用开关元件的第二电极,被供给上述多个时钟信号中与被供给至上述第一输出控制用开关元件的第二电极的信号不同的信号。

[0067] 本发明的第十五方面,在本发明的第十二方面的基础上,其特征在于:

[0068] 上述第一输出控制用开关元件的第二电极被供给直流电源电位来代替上述多个时钟信号之一。

[0069] 本发明的第十六方面,在本发明的第十五方面的基础上,其特征在于:

[0070] 当设上述多个时钟信号的振幅电压为 V_{CK} 、以上述多个时钟信号的低电平侧的电位为基准上述扫描信号线被驱动时的上述扫描信号的电压为 V_{GH} 时,满足下式:

[0071] $V_{GH} \geq V_{CK} \geq V_{GH}/2$ 。

[0072] 本发明的第十七方面,在本发明的第一方面的基础上,其特征在于:

[0073] 各双稳态电路还具有:

[0074] 第三输入节点,其用于接收从外部发送来的信号作为清零信号;和

[0075] 第二个第二节点接通用开关元件,其用于基于上述清零信号,使上述第二节点的电平向导通电平变化。

[0076] 本发明的第十八方面,在本发明的第十七方面的基础上,其特征在于:

[0077] 上述多个双稳态电路的最后一级的双稳态电路,被供给上述清零信号作为上述复位信号。

[0078] 本发明的第十九方面,在本发明的第十七方面的基础上,其特征在于:

[0079] 各双稳态电路还具有:

[0080] 第四输入节点,其用于接收从外部发送来的信号作为刷新信号;和

[0081] 第二节点电平降低用开关元件,其用于基于上述刷新信号,使上述第二节点的电平向比断开电平低的电平变化。

[0082] 本发明的第二十方面,在本发明的第一方面的基础上,其特征在于:

[0083] 各双稳态电路具有:

[0084] 第三输入节点,其用于接收从外部发送来的信号作为清零信号;

[0085] 第二个第二节点接通用开关元件,其用于基于上述清零信号,使上述第二节点的电平向导通电平变化;和

[0086] 第二节点电平降低用开关元件,其用于基于上述清零信号,使上述第二节点的电平向比断开电平低的电平变化。

[0087] 本发明的第二十一方面,在本发明的第一方面的基础上,其特征在于:

[0088] 包含于各双稳态电路中的开关元件全部为同一沟道的薄膜晶体管。

[0089] 本发明的第二十二方面,是一种显示装置,其特征在于:

[0090] 包括上述显示部,并具有本发明的第一方面的扫描信号线驱动电路。

[0091] 本发明的第二十三方面是一种驱动方法,其特征在于:上述驱动方法为利用扫描信号线驱动电路驱动配置于显示部的多个扫描信号线的方法,上述扫描信号线驱动电路具有移位寄存器,该移位寄存器包括具有第一状态和第二状态且彼此串联连接的多个双稳态电路,基于从外部输入且使第一电平和第二电平周期性地重复的多个时钟信号,上述多个双稳态电路的输出信号依次成为有效,

[0092] 上述驱动方法对于各双稳态电路包括:

[0093] 第一驱动步骤,使该双稳态电路成为用于使该双稳态电路从上述第二状态变化为上述第一状态的预备状态;

[0094] 第二驱动步骤,使该双稳态电路从上述预备状态变化为上述第一状态;和

[0095] 第三驱动步骤,使该双稳态电路从上述第一状态变化为上述第二状态,

[0096] 各双稳态电路具有:

[0097] 第一输入节点,其用于接收该各双稳态电路之前的级的双稳态电路的输出信号作为置位信号;

[0098] 第二输入节点,其用于接收该各双稳态电路之后的级的双稳态电路的输出信号作为复位信号;

[0099] 第一输出节点,其用于输出该各双稳态电路的输出信号作为驱动上述扫描信号线的扫描信号,且与上述扫描信号线连接;

[0100] 第一输出控制用开关元件,上述第一输出控制用开关元件的第二电极被供给上述多个时钟信号之一,上述第一输出控制用开关元件的第三电极与上述第一输出节点连接;

[0101] 第一节点接通用开关元件,其用于基于上述置位信号,使与上述第一输出控制用开关元件的第一电极连接的第一节点的电平向导通电平变化;

[0102] 第一个第一节点关断用开关元件和第一个第一输出节点关断用开关元件中的至少一个,其中,上述第一个第一节点关断用开关元件的第二电极与上述第一节点连接,上述第一个第一节点关断用开关元件用于使上述第一节点的电平向断开电平变化,上述第一个第一输出节点关断用开关元件的第二电极与上述第一输出节点连接,上述第一个第一输出节点关断用开关元件的第三电极被供给断开电位的电位,且上述第一个第一输出节点关断用开关元件用于使上述第一输出节点的电平向断开电平变化;

[0103] 第一个第二节点接通用开关元件,其用于基于上述复位信号,使与上述第一个第一节点关断用开关元件和上述第一个第一输出节点关断用开关元件中的至少一个的第一电极连接的第二节点的电平向导通电平变化;

[0104] 第一个第二节点关断用开关元件,上述第一个第二节点关断用开关元件的第一电极与上述第一输入节点连接,上述第一个第二节点关断用开关元件的第二电极与上述第二节点连接,上述第一个第二节点关断用开关元件的第三电极被供给断开电位的电位,上述第一个第二节点关断用开关元件基于上述置位信号使上述第二节点的电平向断开电平变化;和

[0105] 电容元件,上述电容元件的一端与上述第二节点连接,上述电容元件的另一端与上述第一输入节点连接,

[0106] 关于各双稳态电路,

[0107] 在上述第一驱动步骤中,上述置位信号从上述第二电平变化为上述第一电平,由此上述第一节点接通用开关元件成为导通状态,

[0108] 在上述第二驱动步骤中,上述置位信号从上述第一电平变化为上述第二电平,由此上述第一节点接通用开关元件成为断开状态,并且上述多个时钟信号中被供给至上述第一输出控制用开关元件的第二电极的信号从第二电平变化为上述第一电平,由此上述第一节点的电平变化,

[0109] 在上述第三驱动步骤中,上述复位信号从上述第二电平变化为上述第一电平,由此上述第一个第二节点关断用开关元件成为导通状态。

[0110] 发明效果

[0111] 根据本发明的第一方面,在构成扫描信号线驱动电路的移位寄存器的各双稳态电路,设置有用于基于置位信号使第二节点的电平向断开电平变化的第一个第二节点关断用开关元件。因此,通过置位信号的电位变化(例如,在采用n沟道型的薄膜晶体管作为开关元件的情况下,置位信号的电位从低电平变化为高电平),第二节点的电位直接向断开电平变化。另外,由于第一个第一节点关断用开关元件的第一电极与第二节点连接,所以当第二节点的电位变为断开电平时第一个第一节点关断用开关元件成为断开状态。如上所述,在第一节点的电位要为导通电平的期间(置位期间),第二节点的电位迅速成为断开电平,第一个第一节点关断用开关元件成为断开状态,所以不会妨碍第一节点的电位的从断开电平向导通电平的变化。其结果是,与现有结构相比,电路动作的稳定性提高。

[0112] 另外,根据本发明的第一方面,关于用于使第一节点的电位成为断开电平的第二个节点,由于没有采用“通过第一节点的电位成为导通电平,第二个节点的电位成为断开电平”的结构,所以即使在第一节点产生噪声,第二个节点的电位也不会受到该噪声的影响。因此,在第一节点的电位要被维持在断开电平的期间(通常动作期间),第二个节点的电位被维持在导通电平,能够抑制在第一节点产生大的噪声。另外,在置位期间第一输入节点-第二个节点间的电容元件被充电,所以在第一节点的电位要充分被维持在导通电平的期间(选择期间),通过使置位信号的电位向与置位期间时的变化方向相反的方向变化,能够将第二个节点的电位被维持在断开电平。因此,即使由开关元件的寄生电容导致第二个节点的电位发生变动,第二个节点的电位也被维持在断开电平,在选择期间第一节点的电位降低受到抑制,由此,能够确保电路动作的稳定性。

[0113] 而且,根据本发明的第一方面,在通常动作期间,因置位信号和复位信号产生的噪声的影响而在第一个第二节点关断用开关元件和第一个第二节点接通用开关元件发生电流漏泄而可能使第二节点的电位发生变动,但通过在置位期间对电容元件充电,由这种电流漏泄导致的第二个节点的电位的变动得到抑制。进一步,与现有结构相比,能够实现不增加必要电路元件、具有动作的稳定性优异的移位寄存器的扫描信号线驱动电路。

[0114] 根据本发明的第二方面,电容元件的电容值为由从“第二电极与选择期间中电平向导通电平变化的节点连接、第一电极与第二节点连接的开关元件的第一电极-第二电极间的寄生电容的电容值之和”减少“第一电极与选择期间中电平向断开电平变化的节点连接、第二电极与第二节点连接的开关元件的第一电极-第二电极间的寄生电容的电容值”而得的值以上。因此,在选择期间,能够可靠地抑制第二个节点的电位成为导通电平。

[0115] 根据本发明的第三方面,能够实现使用阈值移动小的薄膜晶体管(微晶硅、氧化

物半导体等)作为开关元件的结构的合适的扫描信号线驱动电路。

[0116] 根据本发明的第四方面,利用已有的构成要素,能够在第一输入节点-第二节点间具有电容元件。

[0117] 根据本发明的第五方面,通过在第一输入节点-第二节点间具有电容元件,能够抑制配线面积、安装面积的增大。由此,能够实现面板的窄边框化。另外,由于能够降低配线负载,所以提高了电路动作的可靠性。

[0118] 根据本发明的第六方面,第一个第一节点关断用开关元件的第三电极被供给来自双稳态电路的输出信号的电位。因此,能够使选择期间的第一个第一节点关断用开关元件的第二电极-第三电极间的电压变得比较小。由此,能够抑制从第一节点经过第一个第一节点关断用开关元件流出电荷。其结果是,在选择期间能够将第一节点的电位可靠地被维持在高电平,能够有效地提高电路动作的稳定性。另外,由于第一节点的关断的定时比第一输出节点的关断的定时晚,所以使利用第一输出控制用开关元件的第一输出节点关断的动作变强,能够更迅速地进行第一输出节点的关断。由此,电路能够高速动作。

[0119] 根据本发明的第七方面,第二个第二节点关断用开关元件的第一电极,与用于输出扫描信号的第一输出节点连接。因此,在选择期间,第二个第二节点关断用开关元件成为导通状态。另外,第二个第二节点关断用开关元件的第二电极与第二节点连接,第二个第二节点关断用开关元件的第三电极被供给断开电平的电位。因此,选择期间中第二节点的电位被拉向断开电平。如上所述,在选择期间能够将第二节点的电位可靠地被维持在断开电平,能够有效地提高电路动作的稳定性。

[0120] 根据本发明的第八方面,在构成扫描信号线驱动电路的移位寄存器的各双稳态电路,设置有用于基于复位信号使第一输出节点的电平向断开电平变化的第二个第二节点关断用开关元件。因此,通过复位信号的电位变化(例如,在采用n沟道型的薄膜晶体管作为开关元件的情况下,复位信号的电位从低电平变化为高电平),第一输出节点的电位直接向断开电平变化。另外,在第一输出节点的电位要从导通电平变化为断开电平的期间(复位期间),两个开关元件(第一个第一输出节点关断用开关元件、第二个第一输出节点关断用开关元件)发挥作用以使第一输出节点的电位降低。因此,即使在扫描信号线的负载电容大的情况下,在复位期间也能够使第一输出节点的电位迅速成为断开电平,能够抑制来自第一输出节点的异常脉冲的输出。

[0121] 根据本发明的第九方面,在构成扫描信号线驱动电路的移位寄存器的各双稳态电路,设置有用于基于复位信号使第一节点的电平向断开电平变化的第二个第一节点关断用开关元件。因此,通过复位信号的电位变化,第一节点的电位直接向断开电平变化。另外,在复位期间,两个开关元件(第一个第一节点关断用开关元件、第二个第一节点关断用开关元件)发挥作用以使第一节点的电位降低。因此,即使在使电路高速动作的情况下,也能够使第一节点的电位可靠地成为断开电平,提高电路动作的稳定性。

[0122] 根据本发明的第十方面,置位期间的第一节点的电位上升较小,第一个第一节点接通用开关元件的断开电流较小。因此,选择期间结束时刻的第一节点的电位,维持输出控制所需的电位,并且是较低的值。由此,供给至第一输出控制用开关元件的第一电极的电压降低,能够抑制第一输出控制用开关元件的破坏。另外,由于来自第一节点的电流漏泄受到抑制,所以电路动作的稳定性提高。

[0123] 根据本发明的第十一方面,第一个第一节点关断用开关元件的断开电流变得较小。因此,在采用漏泄电流大的薄膜晶体管作为开关元件的情况下,也能够在选择期间充分地提高第一输出节点的电位,并且能够在复位期间使第一输出节点的电位迅速降低。

[0124] 根据本发明的第十二方面,关于移位寄存器的各双稳态电路,用于驱动与该各双稳态电路对应的扫描信号线的信号,与用于控制该各双稳态电路的前一级的双稳态电路的动作的信号是不同的信号。因此,能够减小各双稳态电路中复位信号的波形变钝。由此,即使在扫描信号线的负载电容大的情况下,各双稳态电路中基于复位信号的动作也能够迅速进行,能够提高电路动作的可靠性。

[0125] 根据本发明的第十三方面,关于移位寄存器的各双稳态电路,用于驱动与该各双稳态电路对应的扫描信号线的信号,与用于控制该各双稳态电路的前一级和后一级的双稳态电路的动作的信号是不同的信号。因此,能够减小各双稳态电路中置位信号和复位信号的波形变钝。由此,即使在扫描信号线的负载电容大的情况下,各双稳态电路中基于置位信号的动作和基于复位信号的动作也能够迅速进行,能够提高电路动作的稳定性。

[0126] 根据本发明的第十四方面,由于第一个第二节点接通用开关元件的第二电极被供给时钟信号,所以电源电压成为第一个第二节点接通用开关元件的电荷供给源。另外,施加到第二输入节点的负载降低。因此,从第二输入节点向第二节点的电荷的流动受到抑制,第二输入节点的电位迅速变化。而且,与本发明的第十二方面同样,复位信号的波形变钝也变小。由此,复位期间结束后的期间的第二节点的电位降低受到抑制。

[0127] 根据本发明的第十五方面,由于第一输出控制用开关元件的第二电极被供给直流电源电位,所以从第一输出节点的电位的断开电平向导通电平的变化在置位期间开始。因此,在选择期间扫描信号线迅速成为选择状态,能够充分确保对像素电容的充电时间。另外,与对第一输出控制用开关元件的第二电极供给时钟信号的结构相比,施加到时钟信号用配线的负载降低。因此,能够降低时钟信号的波形变钝的产生,并且降低消耗电力。

[0128] 根据本发明的第十六方面,在选择期间使扫描信号的电位充分地成为导通电平,并且能够得到降低消耗电力的效果。

[0129] 根据本发明的第十七方面,通过在移位寄存器的动作开始前基于清零信号使第二个第二节点接通用开关元件成为导通状态,在移位寄存器的动作开始时刻在所有双稳态电路中第一节点的电位和第一输出节点的电位成为断开电平,电路动作的稳定性提高。

[0130] 根据本发明的第十八方面,能够削减信号数,并且得到与本发明的第十七方面相同的效果。

[0131] 根据本发明的第十九方面,通过基于刷新信号使第二节点电平降低用开关元件成为导通状态,能够使第二节点的电平成为比断开电平低的电平。因此,能够抑制第一电极与第二节点连接的开关元件(第一个第一节点关断用开关元件、第一个第一输出节点关断用开关元件)的阈值移动。

[0132] 根据本发明的第二十方面,不使用刷新信号,就能够得到与本发明的第十九方面相同的效果。

[0133] 根据本发明的第二十一方面,能够降低扫描信号线驱动电路的制造成本。

[0134] 根据本发明的第二十二方面,实现具有得到与本发明的第一方面相同效果的扫描信号线驱动电路的显示装置。

附图说明

[0135] 图 1 是表示本发明的第一实施方式的液晶显示装置的栅极驱动器内的移位寄存器中包含的双稳态电路的结构的电路图。

[0136] 图 2 是表示上述第一实施方式中液晶显示装置的整体结构的框图。

[0137] 图 3 是用于说明上述第一实施方式中栅极驱动器的结构的框图。

[0138] 图 4 是用于表示上述第一实施方式中栅极驱动器内的移位寄存器的结构的框图。

[0139] 图 5 是用于说明上述第一实施方式中栅极驱动器的动作的信号波形图。

[0140] 图 6 是用于说明上述第一实施方式中双稳态电路的动作的信号波形图。

[0141] 图 7 是表示上述第一实施方式中第一节点的电位和第二节点的电位的变化了的信号波形图。

[0142] 图 8 是表示图 51 所示的现有结构中第一节点的电位和第二节点的电位的变化了的信号波形图。

[0143] 图 9 是表示图 52 所示的现有结构中第一节点的电位和第二节点的电位的变化了的信号波形图。

[0144] 图 10 是表示上述第一实施方式的第一变形例的薄膜晶体管 M1 附近的结构的图。

[0145] 图 11 是用于说明上述第一实施方式的第一变形例中双稳态电路的动作的信号波形图。

[0146] 图 12 是表示上述第一实施方式的第一变形例中栅极驱动器内的移位寄存器的结构的框图。

[0147] 图 13 是表示上述第一实施方式的第二变形例的薄膜晶体管 M1 附近的结构的图。

[0148] 图 14 是表示上述第一实施方式的第三变形例的薄膜晶体管 M7 附近的结构的图。

[0149] 图 15 是表示上述第一实施方式的第四变形例的薄膜晶体管 M7 附近的结构的图。

[0150] 图 16 是表示上述第一实施方式的第五变形例的薄膜晶体管 M7 附近的结构的图。

[0151] 图 17 是表示上述第一实施方式的第六变形例的薄膜晶体管 M3 附近的结构的图。

[0152] 图 18 是表示上述第一实施方式的第七变形例的薄膜晶体管 M3 附近的结构的图。

[0153] 图 19 是形成有栅极驱动器和像素电路等的阵列基板的局部截面图。

[0154] 图 20 是用于说明上述第一实施方式中电容器 CAP2 的优选配置的电路图。

[0155] 图 21 是表示本发明的第二实施方式的双稳态电路的结构的电路图。

[0156] 图 22 是表示本发明的第三实施方式的双稳态电路的结构的电路图。

[0157] 图 23 是表示本发明的第四实施方式的双稳态电路的结构的电路图。

[0158] 图 24 是表示上述第四实施方式中状态信号的电位变化的模拟结果的图。

[0159] 图 25 是表示上述第四实施方式的变形例的双稳态电路的结构的电路图。

[0160] 图 26 是表示本发明的第五实施方式的双稳态电路的结构的电路图。

[0161] 图 27 是表示上述第五实施方式中第一节点的电位变化的模拟结果的图。

[0162] 图 28 是表示上述第五实施方式的变形例的双稳态电路的结构的电路图。

[0163] 图 29 是关于上述第五实施方式的变形例的、在图 25 所示的结构中将薄膜晶体管 M11 多栅极化时的电路图。

[0164] 图 30 是表示本发明的第六实施方式的双稳态电路的结构的电路图。

- [0165] 图 31 是表示上述第六实施方式中栅极驱动器内的移位寄存器的结构的框图。
- [0166] 图 32 是表示上述第六实施方式的第一变形例中栅极驱动器内的移位寄存器的结构的框图。
- [0167] 图 33 是表示上述第六实施方式的第二变形例的双稳态电路的结构的电路图。
- [0168] 图 34 是表示上述第六实施方式的第二变形例中栅极驱动器内的移位寄存器的结构的框图。
- [0169] 图 35 是表示上述第六实施方式的第三变形例的双稳态电路的结构的电路图。
- [0170] 图 36 是用于说明上述第六实施方式的第三变形例中双稳态电路的动作用的信号波形图。
- [0171] 图 37 是表示本发明的第七实施方式的双稳态电路的结构的电路图。
- [0172] 图 38 是表示上述第七实施方式中栅极驱动器内的移位寄存器的结构的框图。
- [0173] 图 39 是用于说明上述第七实施方式中双稳态电路的动作用的信号波形图。
- [0174] 图 40 是表示上述第七实施方式中将栅极结束脉冲 (gate end pulse) 信号用作清零信号 (clear signal) 时的栅极驱动器内的移位寄存器的结构的框图。
- [0175] 图 41 是用于说明上述第七实施方式中将栅极结束脉冲信号用作清零信号时的优选驱动方法的信号波形图。
- [0176] 图 42 是表示上述第七实施方式的第一变形例的双稳态电路的结构的电路图。
- [0177] 图 43 是用于说明上述第七实施方式的第一变形例中双稳态电路的动作用的信号波形图。
- [0178] 图 44 是表示上述第七实施方式的第二变形例的双稳态电路的结构的电路图。
- [0179] 图 45 是用于说明上述第七实施方式的第二变形例中双稳态电路的动作用的信号波形图。
- [0180] 图 46 是表示第一参考例的双稳态电路的结构的电路图。
- [0181] 图 47 是用于说明第一参考例中双稳态电路的动作用的信号波形图。
- [0182] 图 48 是用于说明第一参考例中电容器 CAP2 的优选配置的电路图。
- [0183] 图 49 是表示第二参考例的双稳态电路的结构的电路图。
- [0184] 图 50 是用于说明第二参考例中双稳态电路的动作用的信号波形图。
- [0185] 图 51 是表示现有的显示装置中移位寄存器中包括的双稳态电路的结构的一例的电路图。
- [0186] 图 52 是表示现有的显示装置中移位寄存器中包括的双稳态电路的结构的另一个例子的电路图。

具体实施方式

[0187] 以下,参照附图对本发明的实施方式进行说明。另外,在以下说明中,薄膜晶体管的栅极端子(栅极电极)相当于第一电极,漏极端子(漏极电极)相当于第二电极,源极端子(源极电极)相当于第三电极。另外,将设置在双稳态电路内的薄膜晶体管全部作为 n 沟道型的薄膜晶体管来进行说明。

[0188] <1. 第一实施方式 >

[0189] <1.1 整体结构和动作 >

[0190] 图 2 是表示本发明的第一实施方式的有源矩阵型的液晶显示装置的整体结构的框图。如图 2 所示,该液晶显示装置具有:电源 100、DC/DC 转换器 110、显示控制电路 200、源极驱动器(视频信号线驱动电路)300、栅极驱动器(扫描信号线驱动电路)400、共用电极驱动电路 500 和显示部 600。其中,栅极驱动器 400 使用非晶硅、多晶硅、微晶硅、氧化物半导体(例如 IGZO)等,形成在包含显示部 600 的显示面板上。即,在本实施方式中,栅极驱动器 400 和显示部 600 形成在同一基板(作为构成液晶面板的两块基板中的一块基板的阵列基板)上。

[0191] 在显示部 600 形成有像素电路,该像素电路包括:多条(j 条)源极总线(视频信号线)SL1 ~ SL j 、多条(i 条)栅极总线(扫描信号线)GL1 ~ GL i 、以及与这些源极总线 SL1 ~ SL j 和栅极总线 GL1 ~ GL i 的交叉点分别对应设置的多个($i \times j$ 个)像素形成部。上述多个像素形成部配置成矩阵状,构成像素阵列。各像素形成部包括:栅极端子与通过对应的交叉点的栅极总线连接、并且源极端子与通过该交叉点的源极总线连接的作为开关元件的薄膜晶体管(TFT)60;与该薄膜晶体管 60 的漏极端子连接的像素电极;作为与上述多个像素形成部共用地设置的对置电极的共用电极 Ec;和被夹持在共用地设置于上述多个像素形成部的像素电极与共用电极 Ec 之间的液晶层。而且,通过由像素电极和共用电极 Ec 形成的液晶电容,构成像素电容 Cp。另外,通常为了在像素电容 Cp 中可靠地保持电压而与液晶电容并联地设置有辅助电容,但由于辅助电容与本发明没有直接的关系,所以省略对其的说明和图示。

[0192] 电源 100 对 DC/DC 转换器 110、显示控制电路 200 和共用电极驱动电路 500 供给规定的电源电压。DC/DC 转换器 110,从电源电压生成用于使源极驱动器 300 和栅极驱动器 400 动作的规定的直流电压,将其供给到源极驱动器 300 和栅极驱动器 400。共用电极驱动电路 500 对共用电极 Ec 供给规定的电位 Vcom。

[0193] 显示控制电路 200 接收从外部发送来的图像信号 DAT 和水平同步信号、垂直同步信号等定时信号组 TG,输出:数字视频信号 DV 和用于控制显示部 600 的图像显示的源极起动脉冲信号 SSP、源极时钟信号 SCK、锁存选通(latch strobe)信号 LS、栅极起动脉冲信号 GSP、栅极结束脉冲信号 GEP 和栅极时钟信号 GCK。另外,在本实施方式中,栅极时钟信号 GCK 如后所述包括 2 相的时钟信号 GCK1(以下称为“第一栅极时钟信号”)和 GCK2(以下称为“第二栅极时钟信号”)。另外,栅极时钟信号 GCK 由电源电压生成,其高电平侧的电位为 VDD,低电平侧的电位为 VSS。

[0194] 源极驱动器 300 接收从显示控制电路 200 输出的数字视频信号 DV、源极起动脉冲信号 SSP、源极时钟信号 SCK 和锁存选通信号 LS,对各源极总线 SL1 ~ SL j 施加驱动用视频信号 S(1) ~ S(j)。

[0195] 栅极驱动器 400 基于从显示控制电路 200 输出的栅极起动脉冲信号 GSP、栅极结束脉冲信号 GEP 和栅极时钟信号 GCK,以 1 垂直扫描期间为周期反复对各栅极总线 GL1 ~ GL i 施加有效的扫描信号 GOUT(1) ~ GOUT(i)。另外,对该栅极驱动器 400 的详细说明在后面叙述。

[0196] 如上所述,通过对各源极总线 SL1 ~ SL j 施加驱动用视频信号 S(1) ~ S(j),对各栅极总线 GL1 ~ GL i 施加扫描信号 GOUT(1) ~ GOUT(i),将基于从外部发送来的图像信号 DAT 的图像显示在显示部 600 上。

[0197] <1.2 栅极驱动器的结构和动作 >

[0198] 接着,参照图 3 ~图 5,对本实施方式的栅极驱动器 400 的结构和动作的概要进行说明。如图 3 所示,栅极驱动器 400 具有包含多级的移位寄存器 410。在显示部 600 形成有 i 行 \times j 列的像素矩阵的部位,以与这些像素矩阵的各行一对一地对应的方式设置有移位寄存器 410 的各级。另外,移位寄存器 410 的各级,成为在各时刻成为两个状态(第一状态和第二状态)中的任一个状态并输出表示该状态的信号(以下称为“状态信号”)的双稳态电路。像这样,该移位寄存器 410 包括 i 个双稳态电路 40(1) ~ 40(i)。另外,在本实施方式中,当双稳态电路成为第一状态时,从该双稳态电路输出高电平(H 电平)的状态信号,当双稳态电路成为第二状态时,从该双稳态电路输出低电平(L 电平)的状态信号。另外,在下述中,将从双稳态电路输出高电平的状态信号、对该双稳态电路对应的栅极总线施加高电平的扫描信号的期间称为“选择期间”。

[0199] 图 4 是表示栅极驱动器 400 内的移位寄存器 410 的结构框图。如上所述,该移位寄存器 410 包括 i 个双稳态电路 40(1) ~ 40(i)。在各双稳态电路中设置有:用于接收时钟信号 CK(以下称为“第一时钟”)的输入端子;用于接收低电平的直流电源电位 VSS(将该电位的大小称为“VSS 电位”)的输入端子;用于接收置位信号 S 的输入端子;用于接收复位信号 R 的输入端子;和用于输出状态信号 Q 的输出端子。

[0200] 对移位寄存器 410 供给作为 2 相的时钟信号的第一栅极时钟信号 GCK1 和第二栅极时钟信号 GCK2,作为栅极时钟信号 GCK。第一栅极时钟信号 GCK1 和第二栅极时钟信号 GCK2,如图 5 所示,彼此相位错开 1 水平扫描期间,均仅在 2 水平扫描期间中的 1 水平扫描期间成为高电平(H 电平)的状态。

[0201] 供给至移位寄存器 410 的各级(各双稳态电路)的输入端子的信号如下所述。对第一级 40(1) 供给第一栅极时钟信号 GCK1 作为第一时钟 CK。对第二级 40(2) 供给第二栅极时钟信号 GCK2 作为第一时钟 CK。对第三级以后,按每两级反复上述第一级和第二级的结构。另外,对第一级 40(1) 供给栅极起动脉冲信号 GSP 作为置位信号 S。对第二级 40(2) 以后的级供给前一级的状态信号 Q 作为置位信号 S。进而,对第 i 级 40(i) 供给栅极结束脉冲信号 GEP 作为复位信号 R。对第 ($i-1$) 级 40($i-1$) 以前的级,供给下一级的状态信号 Q 作为复位信号 R。另外,低电平的直流电源电位 VSS,被共用地供给至全部的双稳态电路。

[0202] 在如上所述的结构中,当移位寄存器 410 的第一级 40(1) 被供给作为置位信号 S 的栅极起动脉冲信号 GSP 时,基于第一栅极时钟信号 GCK1 和第二栅极时钟信号 GCK2,将栅极起动脉冲信号 GSP 中包含的脉冲(该脉冲包含在从各级输出的状态信号 Q 中)从第一级 40(1) 向第 i 级 40(i) 依次传送。然后,通过该脉冲的传送,从各级 40(1) ~ 40(i) 输出的状态信号 Q 依次变为高电平。而且,从这些各级 40(1) ~ 40(i) 输出的状态信号 Q,作为扫描信号 GOUT(1) ~ GOUT(i) 被供给至各栅极总线 GL1 ~ GL i 。由此,如图 5 所示,按每 1 水平扫描期间依次将成为高电平(有效)的扫描信号供给至显示部 600 内的栅极总线。

[0203] <1.3 双稳态电路的结构 >

[0204] 图 1 是表示本实施方式的双稳态电路的结构(移位寄存器 410 的一级的结构)的电路图。如图 1 所示,该双稳态电路具有:6 个薄膜晶体管 M1 ~ M3、M5 ~ M7;和 2 个电容器 CAP1、CAP2。另外,该双稳态电路除了低电平的直流电源电位 VSS 用的输入端子以外,还具有 3 个输入端子 41 ~ 43 和 1 个输出端子 48。在此,对接收置位信号 S 的输入端子标

注附图标记 41,对接收复位信号 R 的输入端子标注附图标记 42,对接收第一时钟 CK 的输入端子标注附图标记 43。另外,对输出状态信号 Q 的输出端子标注附图标记 48。

[0205] 接着,对该双稳态电路内的构成要素间的连接关系进行说明。薄膜晶体管 M1 的源极端子、薄膜晶体管 M2 的栅极端子、薄膜晶体管 M5 的漏极端子和电容器 CAP1 的一端互相连接。其中,为了便于说明将这些互相连接的区域(配线)称作“第一节点”。薄膜晶体管 M3 的漏极端子、薄膜晶体管 M5 的栅极端子、薄膜晶体管 M6 的栅极端子、薄膜晶体管 M7 的源极端子和电容器 CAP2 的一端互相连接。其中,为了便于说明将这些互相连接的区域(配线)称作“第二节点”。对第一节点标注附图标记 N1,对第二节点标注附图标记 N2。

[0206] 薄膜晶体管 M1 的栅极端子和漏极端子与输入端子 41 连接(即成为二极管连接),薄膜晶体管 M1 的源极端子与第一节点 N1 连接。薄膜晶体管 M2 的栅极端子与第一节点 N1 连接,薄膜晶体管 M2 的漏极端子与输入端子 43 连接,薄膜晶体管 M2 的源极端子与输出端子 48 连接。薄膜晶体管 M3 的栅极端子与输入端子 41 连接,薄膜晶体管 M3 的漏极端子与第二节点 N2 连接,薄膜晶体管 M3 的源极端子与直流电源电位 VSS 用的输入端子连接。薄膜晶体管 M5 的栅极端子与第二节点 N2 连接,薄膜晶体管 M5 的漏极端子与第一节点 N1 连接,薄膜晶体管 M5 的源极端子与直流电源电位 VSS 用的输入端子连接。薄膜晶体管 M6 的栅极端子与第二节点 N2 连接,薄膜晶体管 M6 的漏极端子与输出端子 48 连接,薄膜晶体管 M6 的源极端子与直流电源电位 VSS 用的输入端子连接。薄膜晶体管 M7 的栅极端子和漏极端子与输入端子 42 连接(即成为二极管连接),薄膜晶体管 M7 的源极端子与第二节点 N2 连接。电容器 CAP1 的一端与第一节点 N1 连接,电容器 CAP1 的另一端与输出端子 48 连接。电容器 CAP2 的一端与第二节点 N2 连接,电容器 CAP2 的另一端与输入端子 41 连接。

[0207] 其中,当将薄膜晶体管 M3、M5 和 M6 的栅极-漏极间的寄生电容的电容值分别设为 C3、C5 和 C6 时,电容器 CAP2 的电容值 C2 优选满足下式(1):

$$[0208] \quad C2 \geq C5+C6-C3 \cdots (1)。$$

[0209] 更详细而言,将包含相对于第二节点 N2 的输入端子 41、第一节点 N1 和输出端子 48 的配线电容的电容值分别设为 C41、CN1 和 C48 时,电容器 CAP2 的电容值 C2 优选满足下式(2):

$$[0210] \quad C2 \geq CN1+C48-C41 \cdots (2)。$$

[0211] 接着,对各构成要素的该双稳态电路的功能进行说明。薄膜晶体管 M1,当置位信号 S 成为高电平时,使第一节点 N1 的电位向高电平变化。薄膜晶体管 M2,当第一节点 N1 的电位成为高电平时,将第一时钟 CK 的电位供给至输出端子 48。薄膜晶体管 M3,当置位信号 S 变为高电平时,使第二节点 N2 的电位向 VSS 电位变化。薄膜晶体管 M5,当第二节点 N2 的电位成为高电平时,使第一节点 N1 的电位向 VSS 电位变化。薄膜晶体管 M6,当第二节点 N2 的电位变为高电平时,使输出端子 48 的电位向 VSS 电位变化。薄膜晶体管 M7,当复位信号 R 成为高电平时,使第二节点 N2 的电位向高电平变化。电容器 CAP1,作为用于在与该双稳态电路连接的栅极总线成为选择状态的期间将第一节点 N1 的电位被维持在高电平的补偿电容起作用。电容器 CAP2,在与该双稳态电路连接的栅极总线成为选择状态时,为了使第二节点 N2 的电位降低使电路动作稳定化而起作用。

[0212] 另外,本实施方式中,由薄膜晶体管 M1 实现第一节点接通用开关元件,由薄膜晶体管 M2 实现第一输出控制用开关元件,由薄膜晶体管 M3 实现第一个第二节点关断用开关

元件,由薄膜晶体管 M5 实现第一个第一节点关断用开关元件,由薄膜晶体管 M6 实现第一个第一输出节点关断用开关元件,由薄膜晶体管 M7 实现第一个第二节点接通用开关元件。另外,由输入端子 41 实现第一输入节点,由输入端子 42 实现第二输入节点,由输出端子 48 实现第一输出节点。

[0213] <1.4 双稳态电路的动作 >

[0214] 接着,参照图 1 和图 6,对本实施方式的双稳态电路的动作进行说明。图 6 中,从时刻 t_1 至时刻 t_2 的期间相当于选择期间。另外,在下述中,将紧临选择期间之前的 1 水平扫描期间称为“置位期间”,将紧随选择期间之后的 1 水平扫描期间称为“复位期间”。另外,选择期间、置位期间和复位期间以外的期间称为“通常动作期间”。

[0215] 在通常动作期间(时刻 t_0 以前的期间和时刻 t_3 以后的期间),第二节点 N2 的电位被维持在高电平。因此,薄膜晶体管 M5、M6 成为导通状态。由于在薄膜晶体管 M2 的栅极-漏极间存在寄生电容,所以由第一时钟 CK 的波形的变动(参照图 6)导致在第一节点 N1 产生噪声,但由于薄膜晶体管 M5 成为导通状态,所以第一节点 N1 的电位被拉向低电平。另外,由在第一节点 N1 产生的噪声和视频信号电压的变动导致在状态信号 Q(输出端子 48)也产生噪声,但由于薄膜晶体管 M6 成为导通状态,所以状态信号 Q 的电位被拉向低电平。如上所述,该期间中,第一节点 N1 的电位和状态信号 Q 的电位被维持在低电平。

[0216] 当成为置位期间时(成为时刻 t_0 时),置位信号 S 从低电平变为高电平。由于薄膜晶体管 M1 如图 1 所示与二极管连接,所以薄膜晶体管 M1 因置位信号 S 成为高电平而成为导通状态,电容器 CAP1 被充电(在此为预充电)。由此,第一节点 N1 的电位从低电平变为高电平,薄膜晶体管 M2 成为导通状态。但是,在置位期间,第一时钟 CK 成为低电平,所以状态信号 Q 的电位被维持在低电平。另外,薄膜晶体管 M3 因置位信号 S 成为高电平而成为导通状态,第二节点 N2 的电位成为低电平。由此,薄膜晶体管 M5、M6 成为断开状态。如上所述,在置位期间,置位信号 S 成为高电平,第二节点 N2 的电位成为低电平,所以基于输入端子 41 与第二节点 N2 的电位差,电容器 CAP2 被充电。

[0217] 当成为选择期间时(成为时刻 t_1 时),置位信号 S 从高电平变为低电平。此时,第二节点 N2 的电位成为低电平,所以薄膜晶体管 M5 成为断开状态。如上所述,第一节点 N1 成为浮置(floating)状态。在此,在时刻 t_1 第一时钟 CK 从低电平变为高电平。如上所述由于在薄膜晶体管 M2 的栅极-漏极间存在寄生电容,所以伴随输入端子 43 的电位的上升,第一节点 N1 的电位也上升(第一节点 N1 被自举升压(Bootstrap))。其结果是,薄膜晶体管 M2 完全成为导通状态,状态信号 Q 的电位上升至与该双稳态电路的输出端子 48 连接的栅极总线成为选择状态所需的充分的电平。然而,薄膜晶体管 M5、M6 也在栅极-漏极间存在寄生电容,所以伴随第一节点 N1 的电位和状态信号 Q 的电位的上升,第二节点 N2 的电位也上升。但是,通过在置位期间基于输入端子 41 与第二节点 N2 的电位差使电容器 CAP2 充电,以及在该期间置位信号 S 从高电平变为低电平,使得第二节点 N2 的电位被维持在低电平。

[0218] 当成为复位期间时(成为时刻 t_2 时),第 1 时钟 CK 从高电平变为低电平。在时刻 t_2 由于薄膜晶体管 M2 变为导通状态,所以输入端子 43 的电位降低并且状态信号 Q 的电位降低。像这样通过状态信号 Q 的电位降低,经由电容器 CAP1,第一节点 N1 的电位也降低。另外,在该期间,复位信号 R 从低电平变为高电平。因此,薄膜晶体管 M7 成为导通状态,第

二节点 N2 的电位成为高电平。由此,薄膜晶体管 M5、M6 成为导通状态。其结果是,在复位期间,第一节点 N1 的电位和状态信号 Q 的电位降低至低电平。

[0219] <1.5 效果>

[0220] 参照图 7 ~ 图 9,对本实施方式的效果进行说明。图 7 是表示本实施方式的第一节点 N1 和第二节点 N2 的电位变化的信号波形图。图 8 是表示图 51 所示的现有结构的第一节点 N1 和第二节点 N2 的电位变化的信号波形图。图 9 是表示图 52 所示的现有结构的第一节点 N1 和第二节点 N2 的电位变化的信号波形图。

[0221] 根据图 51 所示的现有结构,第二节点 N2 的电位因第一节点 N1 的电位上升而降低时,第二节点 N2 的电位的降低按如下顺序进行。首先,通过置位信号 G_{n-1} 从低电平变为高电平,第一节点 N1 的电位上升。接着,通过第一节点 N1 的电位上升,晶体管组 TG1 变为导通状态,由此第二节点 N2 的电位降低。像这样,第二节点 N2 的电位降低是在第一节点 N1 的电位上升后进行。然而,如图 51 所示,在双稳态电路中设置有用根据第二节点 N2 的电位使第一节点 N1 的电位降低的晶体管 TR4。因此,在紧随置位期间开始之后的期间,第一节点 N1 的电位,想要根据第二节点 N2 的电位而降低,并且想要根据置位信号 G_{n-1} 而上升。其结果是,如根据图 8 中附图标记 73 所示部分的波形可以理解到的那样,置位期间的第一节点 N1 的电位未迅速上升。因此,电路动作缺乏稳定性。

[0222] 与之相对,根据本实施方式,通过置位信号 S 的电位从低电平变为高电平,第二节点 N2 的电位直接降低。因第二节点 N2 的电位降低而使薄膜晶体管 M5 成为断开状态,所以不会妨碍置位期间的第一节点 N1 的电位的上升。其结果是,如根据图 7 中附图标记 71 所示部分的波形可以理解到的那样,置位期间的第一节点 N1 的电位迅速上升。因此,与现有结构相比,电路动作的稳定性提高。

[0223] 另外,根据图 51 所示的现有结构,第一电极与第一节点 N1 连接,在第二电极被供给时钟 CK 的晶体管 TG2 的栅极 - 漏极间存在寄生电容,所以由时钟 CK 的波形的变动导致在第一节点 N1 产生噪声。因此,因该噪声而使第二节点 N2 的电位降低。其结果是,具有使第一节点 N1 的电位降低的功能的晶体管 TR4 不会成为完全的导通状态,在第一节点 N1 产生的噪声增大。

[0224] 与之相对,根据本实施方式,关于用于使第一节点的电位降低的第二节点 N2,由于没有采用“通过第一节点 N1 的电位上升而使第二节点 N2 的电位降低”的结构,所以能够抑制在第一节点 N1 产生大的噪声。另外,通过在置位期间使电容器 CAP2 充电,以及在选择期间使置位信号 S 从高电平变为低电平,在选择期间第二节点 N2 的电位被维持在低电平。因此,在置位期间能够抑制第一节点 N1 的电位降低,确保电路动作的稳定性。

[0225] 另外,根据图 52 所示的现有结构,在第二节点 N2 的电位基于置位信号 G_{n-1} 的电位上升而上升之后,在选择期间第二节点 N2 变为浮置状态。在此,在选择期间,由晶体管 TG3、TR4 的栅极 - 漏极间的寄生电容导致第二节点 N2 的电位上升。因此,在选择期间,晶体管 TG3、TR4 略微成为导通状态。由此,栅极信号 G_n (相当于本实施方式的状态信号 Q) 的电位的上升受到妨碍,与此相伴,要被维持在高的电平的第一节点 N1 的电位如图 9 中附图标记 74 所示部分那样降低。

[0226] 与之相对,根据本实施方式,在置位期间中在电容器 CAP2 中蓄积使输入端子 41 侧为正的电荷。然后,在选择期间,供给至输入端子 41 的置位信号 S 从高电平降低至低电平。

因此,即使由薄膜晶体管 M5、M6 的栅极-漏极间的寄生电容的存在导致在选择期间中第二节点 N2 的电位想要上升,由于电容器 CAP2 的另一端侧(输入端子 41 侧)的电位降低,所以第二节点 N2 的电位上升受到抑制。由此,能够抑制选择期间的第一节点 N1 的电位的降低。其结果是,如图 7 中附图标记 72 所示部分那样,选择期间中第一节点 N1 的电位被维持在充分高的电平。另外,优选薄膜晶体管 M3、M5 和 M6 的电容值与电容器 CAP2 的电容值的关系满足上式(1),使得选择期间中的第二节点 N2 的电位上升可靠地受到抑制。另外,因在置位信号 S 或复位信号 R 中产生的噪声的影响而使薄膜晶体管 M3、M7 中产生电流的漏泄,由此可能使第二节点 N2 的电位降低,但根据本实施方式,通过在电容器 CAP2 中蓄积电荷,能够抑制由这种电流漏泄导致第二节点 N2 的电位降低。

[0227] 进而,在本实施方式中,电容器 CAP2 也具有与图 51 或图 52 所示的结构中的帧电容器 Ccharge 同等的功能。因此,与现有结构相比,能够不增加需要的电路元件,就实现动作的稳定性优异的移位寄存器。

[0228] <1.6 变形例>

[0229] 接着,对上述第一实施方式的变形例进行说明。

[0230] <1.6.1 关于薄膜晶体管 M1 附近的结构的变形例>

[0231] 在上述第一实施方式中,薄膜晶体管 M1 的栅极端子和漏极端子与输入端子 41 连接,薄膜晶体管 M1 的源极端子与第一节点 N1 连接。但是,本发明并不限于此。如图 10 所示,也可以以如下方式构成薄膜晶体管 M1:栅极端子与输入端子 41 连接,漏极端子与用于接收时钟信号 CKB(以下称为“第二时钟”)的输入端子 44(以下也对用于接收第二时钟 CKB 的输入端子标注附图标记 44)连接,源极端子与第一节点 N1 连接(第一变形例)。在采用这种结构的情况下,移位寄存器 411 以如 12 所示的方式构成,使得如图 11 所示,对双稳态电路供给按每 1 水平扫描期间交替地成为高电平的第一时钟 CK 和第二时钟 CKB。即,在第一变形例中,对移位寄存器 411 的第奇数级,供给第一栅极时钟信号 GCK1 作为第一时钟 CK,供给第二栅极时钟信号 GCK2 作为第二时钟 CKB。对移位寄存器 411 的第偶数级,供给第二栅极时钟信号 GCK2 作为第一时钟 CK,供给第一栅极时钟信号 GCK1 作为第二时钟 CKB。

[0232] 根据第一变形例,对薄膜晶体管 M1 的漏极端子供给第二时钟 CKB。如图 12 所示,在对各双稳态电路供给第一栅极时钟信号 GCK1 或第二栅极时钟信号 GCK2 作为第二时钟 CKB 时,如上所述第一栅极时钟信号 GCK1 和第二栅极时钟信号 GCK2 由电源电压生成。因此,在第一变形例中,电源电压成为第一节点 N1 的电荷供给源。因此,与上述第一实施方式不同,从输入端子 41 向第一节点 N1 的电荷的流动受到抑制,输入端子 41 的电位迅速上升。另外,即使构成为薄膜晶体管 M1 的漏极端子与用于接收高电平的直流电源电位 VDD(将该电位的大小称为“VDD 电位”)的输入端子连接,也能够得到与图 10 所示的结构同样的效果。

[0233] 另外,如图 13 所示,也可以按如下方式构成薄膜晶体管 M1:栅极端子与输入端子 44 连接,漏极端子与输入端子 41 连接,源极端子与第一节点 N1 连接(第二变形例)。根据第二变形例,薄膜晶体管 M1 基于电源电压成为导通状态。因此,在置位期间薄膜晶体管 M1 迅速变为导通状态,第一节点 N1 的电位迅速上升。

[0234] <1.6.2 关于薄膜晶体管 M7 附近的结构的变形例>

[0235] 在上述第一实施方式中,薄膜晶体管 M7 的栅极端子和漏极端子与输入端子 42 连

接,薄膜晶体管 M7 的源极端子与第二节点 N2 连接。但是,本发明并不限于此。如图 14 所示,也可以按照如下方式构成薄膜晶体管 M7:栅极端子与输入端子 42 连接,漏极端子与输入端子 44 连接,源极端子与第二节点 N2 连接(第三变形例)。根据第三变形例,对薄膜晶体管 M7 的漏极端子供给第二时钟 CKB,所以电源电压成为第二节点 N2 的电荷供给源。因此,与上述第一实施方式不同,从输入端子 42 向第二节点 N2 的电荷的流动受到抑制,输入端子 42 的电位迅速上升。另外,即使构成为薄膜晶体管 M7 的漏极端子与高电平的直流电源电位 VDD 用的输入端子连接,也能够得到与图 14 所示结构同样的效果。

[0236] 另外,如图 15 所示,也可以按如下方式构成薄膜晶体管 M7:栅极端子和漏极端子与输入端子 44 连接,源极端子与第二节点 N2 连接(第四变形例)。进而,如图 16 所示,也可以按如下方式构成薄膜晶体管 M7:栅极端子与输入端子 44 连接,漏极端子与高电平的直流电源电位 VDD 用的输入端子连接,源极端子与第二节点 N2 连接(第五变形例)。在图 1 所示的结构(第一实施方式的结构)中,薄膜晶体管 M7 在 1 垂直扫描期间中仅 1 次成为导通状态,但根据第四变形例和第五变形例,薄膜晶体管 M7 按每 2 水平扫描期间成为导通状态,所以以短周期对第二节点 N2 供给电荷。因此,在通常动作期间,第二节点 N2 的电位可靠地被维持在高电平。然而,在置位期间,置位信号 S 和第二时钟 CKB 成为高电平(参照图 11 的时刻 t0 至时刻 t1 的期间),薄膜晶体管 M3 和薄膜晶体管 M7 大致以相同的定时成为导通状态,电路动作有可能变得不稳定。于是,优选使薄膜晶体管 M7 的晶体管尺寸(沟道宽度/沟道长度)比薄膜晶体管 M3 的晶体管尺寸充分小。由此,薄膜晶体管 M7 的驱动力比薄膜晶体管 M3 的驱动力小,即使在置位期间薄膜晶体管 M3 和薄膜晶体管 M7 在相同定时成为导通状态,第二节点 N2 的电位也降低,能够抑制电路动作变得不稳定。

[0237] 另外,在第三变形例~第五变形例中,移位寄存器 411 以图 12 所示的方式构成。

[0238] <1.6.3 关于薄膜晶体管 M3 附近的结构的变形例>

[0239] 在上述第一实施方式中,薄膜晶体管 M3 的栅极端子与输入端子 41 连接,薄膜晶体管 M3 的漏极端子与第二节点 N2 连接,薄膜晶体管 M3 的源极端子与直流电源电位 VSS 用的输入端子连接。但是,本发明并不限于此。如图 17 所示,薄膜晶体管 M3 的源极端子也可以与输出端子 48 连接(第六变形例)。另外,如图 18 所示,薄膜晶体管 M3 的源极端子也可以与输入端子 43 连接(第七变形例)。其理由如下所述。在置位期间,由于必须使第一节点 N1 的电位上升,所以第二节点 N2 的电位要被维持在低电平。另外,像根据图 6 可以理解到的那样,在置位期间输出端子 48 的电位(状态信号 Q 的电位)和输入端子 43 的电位(第一时钟 CK 的电位)成为低电平。如上所述,关于栅极端子被供给置位信号 S 且漏极端子与第二节点 N2 连接的薄膜晶体管 M3,即使源极端子与输出端子 48 或输入端子 43 连接,在置位期间第二节点 N2 的电位也成为低电平。

[0240] <1.6.4 关于电容器 CAP2 的配置>

[0241] 接着,对关于电容器 CAP2 的配置的优选结构进行说明。图 19 是形成有栅极驱动器 400 和像素电路等的阵列基板的局部截面图。阵列基板是为了形成栅极驱动器 400 和像素电极等的层叠结构,该层叠结构内包含两个金属膜(金属层)。具体而言,如图 19 所示,在玻璃基板 700 上层叠有金属膜 702、保护膜 712、金属膜 701 和保护膜 711。金属膜 701 是为了形成栅极驱动器 400 和设置于像素电路的薄膜晶体管的源极电极(和漏极电极)而使用的。于是,以下将这种金属膜 701 称为“源极金属”701。金属膜 702 是为了形成薄膜

晶体管的栅极电极而使用的。于是,以下将这种金属膜 702 称为“栅极金属”702。另外,关于源极金属 701 和栅极金属 702,不仅用作薄膜晶体管的电极,而且用作在栅极驱动器 400 内或像素电极内形成的配线图案。

[0242] 在上述第一实施方式中,电容器 CAP2 的一端与第二节点 N2 连接,电容器 CAP2 的另一端与输入端子 41 连接。优选该电容器 CAP2 的一端侧的电极用源极金属 701 形成,该电容器 CAP2 的另一端侧的电极用栅极金属 702 形成。另外,如图 20 所示,优选将电容器 CAP2 和薄膜晶体管 M3 彼此相邻配置。此时,薄膜晶体管 M3 的漏极电极用源极金属 701 形成,薄膜晶体管 M3 的栅极电极用栅极金属 702 形成。通过采用这种结构,能够抑制因具有电容器 CAP2 而导致的配线面积、安装面积的增大。由此,能够实现面板的窄边框化。另外,由于能够降低配线负载,所以提高了电路动作的可靠性。

[0243] <2. 第二实施方式>

[0244] <2.1 双稳态电路的结构>

[0245] 图 21 是表示本发明的第二实施方式的双稳态电路的结构的电路图。另外,液晶显示装置的整体结构和动作、栅极驱动器的结构和动作,由于与上述第一实施方式相同,所以省略说明。

[0246] 上述第一实施方式中,薄膜晶体管 M5 的栅极端子与第二节点 N2 连接,薄膜晶体管 M5 的漏极端子与第一节点 N1 连接,薄膜晶体管 M5 的源极端子与直流电源电位 VSS 用的输入端子连接。但是,本发明并不限于此。如图 21 所示,薄膜晶体管 M5 的源极端子也可以与输出端子 48 连接。

[0247] <2.1 效果>

[0248] 根据本实施方式,薄膜晶体管 M5 的源极端子被供给状态信号 Q 的电位。在此,在选择期间,与薄膜晶体管 M5 的漏极端子连接的第一节点 N1 的电位变为高电平,状态信号 Q 成为高电平(参照图 6)。因此,与对薄膜晶体管 M5 的源极端子供给直流电源电位 VSS 的结构的第一实施方式相比,能够降低选择期间的薄膜晶体管 M5 的漏极-源极间的电压。由此,在选择期间中,能够抑制来自第一节点 N1 的经由薄膜晶体管 M5 的电荷的流出。其结果是,在选择期间能够将第一节点 N1 的电位可靠地被维持在高电平,能够有效地提高电路动作的稳定性。

[0249] <3. 第三实施方式>

[0250] <3.1 双稳态电路的结构>

[0251] 图 22 是表示本发明的第三实施方式的双稳态电路的结构的电路图。另外,液晶显示装置的整体结构和动作、栅极驱动器的结构和动作,由于与上述第一实施方式相同,所以省略说明。

[0252] 本实施方式中,在双稳态电路中除了图 1 所示的第一实施方式的构成要素,还设置有薄膜晶体管 M4。薄膜晶体管 M4 的栅极端子与输出端子 48 连接,薄膜晶体管 M4 的漏极端子与第二节点 N2 连接,薄膜晶体管 M4 的源极端子与直流电源电位 VSS 用的输入端子连接。薄膜晶体管 M4 具有当输出端子 48 的电位为高电平时使第二节点 N2 的电位向 VSS 电位变化的功能。通过该薄膜晶体管 M4,能够实现第二个第二节点关断用开关元件。

[0253] <3.2 效果>

[0254] 如上所述,薄膜晶体管 M4 的栅极端子与输出端子 48 连接。另外,在选择期间,状

态信号 Q 的电位（输出端子 48）变为高电平。如上所述，在选择期间，薄膜晶体管 M4 成为导通状态。由此，选择期间中第二节点 N2 的电位被拉向低电平。因此，根据本实施方式，在选择期间能够将第二节点 N2 的电位可靠地被维持在低电平，能够有效地提高电路动作的稳定性。

[0255] <4. 第四实施方式>

[0256] <4.1 双稳态电路的结构>

[0257] 图 23 是表示本发明的第四实施方式的双稳态电路的结构的电路图。另外，液晶显示装置的整体结构和动作、栅极驱动器的结构和动作，由于与上述第一实施方式相同，所以省略说明。

[0258] 本实施方式中，在双稳态电路中除了图 22 所示的第三实施方式的构成要素，还设置有薄膜晶体管 M10。薄膜晶体管 M10 的栅极端子与输入端子 42 连接，薄膜晶体管 M10 的漏极端子与输出端子 48 连接，薄膜晶体管 M10 的源极端子与直流电源电位 VSS 用的输入端子连接。薄膜晶体管 M10 具有当复位信号 R 为高电平时使状态信号 Q 的电位向 VSS 电位变化的功能。通过该薄膜晶体管 M10，能够实现第二个第一输出节点关断用开关元件。另外，也可以除了图 1 所示的第一实施方式的构成要素以外，还设置有薄膜晶体管 M10。

[0259] <4.2 效果>

[0260] 在上述第一实施方式～第三实施方式中，在复位期间，复位信号 R 从低电平变为高电平，薄膜晶体管 M7 变为导通状态，由此第二节点 N2 的电位从低电平变为高电平。然后，第二节点 N2 的电位从低电平变为高电平而薄膜晶体管 M6 变为导通状态，由此状态信号 Q 的电位降低。与之相对，在本实施方式中，通过复位信号 R 从低电平变为高电平，薄膜晶体管 M10 变为导通状态。因此，通过复位信号 R 从低电平变为高电平，状态信号 Q 的电位直接降低。另外，本实施方式中，2 个薄膜晶体管 M6、M10 以在复位期间使状态信号 Q 的电位降低的方式起作用。因此，即使在栅极总线的负载电容大的情况下，也能够使状态信号 Q 的电位迅速降低至低电平。图 24 是表示状态信号 Q 的电位变化的模拟结果的图。如图 24 所示，在具有薄膜晶体管 M10 的结构中，与不具有薄膜晶体管 M10 的结构相比，在复位期间中状态信号 Q 的电位迅速降低。如上所述，根据本实施方式，即使在栅极总线的负载电容大的情况下，状态信号 Q 的电位在复位期间也迅速降低，能够抑制来自输出端子 48 的异常脉冲的输出。

[0261] <4.3 变形例>

[0262] 图 25 是表示上述第四实施方式的变形例的双稳态电路的结构的电路图。本变形例中，在双稳态电路中除了图 23 所示的构成要素以外，还设置有薄膜晶体管 M11。薄膜晶体管 M11 的栅极端子与输入端子 42 连接，薄膜晶体管 M11 的漏极端子与第一节点 N1 连接，薄膜晶体管 M11 的源极端子与直流电源电位 VSS 用的输入端子连接。薄膜晶体管 M11，以当复位信号 R 成为高电平时使第一节点 N1 的电位向 VSS 电位变化的方式起作用。通过该薄膜晶体管 M11，能够实现第二个第一节点关断用开关元件。

[0263] 在上述第一实施方式～第三实施方式中，在复位期间，复位信号 R 从低电平变为高电平而薄膜晶体管 M7 变为导通状态，由此第二节点 N2 的电位从低电平变为高电平。然后，第二节点 N2 的电位从低电平变为高电平而薄膜晶体管 M5 变为导通状态，由此第一节点 N1 的电位降低至低电平。与之相对，根据本变形例，通过复位信号 R 从低电平变为高电平，

薄膜晶体管 M11 变为导通状态。因此,通过复位信号 R 从低电平变为高电平,第一节点 N1 的电位直接向 VSS 电位降低。另外,本变形例中,2 个薄膜晶体管 M5、M11 以在复位期间第一节点 N1 的电位降低的方式起作用。因此,即使在使电路高速动作的情况下,也能够使第一节点 N1 的电位可靠地降低至低电平。由此,栅极总线的负载电容大的情况的电路动作的稳定性提高。

[0264] <5. 第五实施方式 >

[0265] <5.1 双稳态电路的结构 >

[0266] 图 26 是表示本发明的第五实施方式的双稳态电路的结构的电路图。另外,液晶显示装置的整体结构和动作、栅极驱动器的结构和动作,由于与上述第一实施方式相同,所以省略说明。

[0267] 在上述第一实施方式~第四实施方式中,第一节点 N1 在置位期间基于置位信号 S 从低电平变为高电平而被预充电。在此,关于第一时钟 CK,如果高电位的电位为 VDD 电位且低电位的电位为 VSS 电位,则紧临置位期间结束前的第一节点 N1 的电位 V_n 理论上成为下式 (3) 所示的值,其中, V_{th} 是薄膜晶体管 M1 的阈值电压:

[0268] $V_n = VDD - V_{th} \dots (3)$ 。

[0269] 当成为选择期间时,第一时钟 CK 从低电平变为高电平。如上所述,由于在薄膜晶体管 M2 的栅极-漏极间存在寄生电容,所以伴随输入端子 43 的电位的上升,第一节点 N1 的电位也上升。然后,紧临选择期间结束前的第一节点 N1 的电位 V_n 理论上成为下式 (4) 所示的值:

[0270] $V_n = 2 \times VDD - V_{th} \dots (4)$ 。

[0271] 然而,在采用在半导体层使用微晶硅 ($\mu c-Si$) 或氧化物半导体 (例如 IGZO) 等迁移率高的材料的薄膜晶体管的情况下,即使不使第一节点 N1 的电位上升至上式 (4) 所示的程度,也能够充分地驱动栅极总线。关于这一点,基于薄膜晶体管 M2 的栅极-漏极间的寄生电容的第一节点 N1 的电位的上升是必然的。于是,在本实施方式中,如图 26 所示,用于基于置位信号 S 提高第一节点 N1 的电位的薄膜晶体管 M1 多栅极化。根据该结构,在置位期间第一节点被预充电时,第一节点 N1 的电位 V_n 理论是下式 (5) 所示的值,其中, n 为薄膜晶体管 M1 的栅极电极的个数:

[0272] $V_n = VDD - n \times V_{th} \dots (5)$ 。

[0273] <5.2 效果 >

[0274] 根据上式 (3) 和上式 (5) 可以理解,在本实施方式中,置位期间的紧随预充电后的第一节点 N1 的电位与上述第一实施方式~第四实施方式相比低。因此,如果比较本实施方式和上述第一实施方式~第四实施方式,紧临选择期间结束前的第一节点 N1 的电位,本实施方式与上述第一~第四实施方式相比低。由此,供给至薄膜晶体管 M2 的栅极端子的电压降低,薄膜晶体管 M2 的栅极绝缘膜破坏受到抑制。特别是,关于在半导体层使用氧化物半导体 (例如 IGZO) 的薄膜晶体管,由于耐压较低,所以通过采用本实施方式的结构,能够有效地抑制薄膜晶体管 M2 的栅极绝缘膜破坏。

[0275] 图 27 是表示第一节点 N1 的电位变化的模拟结果的图。如图 27 所示,在薄膜晶体管 M1 多栅极化的结构中,与薄膜晶体管 M1 未多栅极化的结构相比,置位期间的第一节点 N1 的电位上升变小。其结果是,在薄膜晶体管 M1 多栅极化的结构中,与薄膜晶体管 M1 未多栅

极化结构相比,紧临选择期间结束前的第一节点 N1 的电位低。

[0276] 如上所述,根据本实施方式,即使在采用在半导体层使用氧化物半导体(例如 IGZO)等耐压较低的材料薄膜晶体管的情况下,也能够抑制薄膜晶体管的栅极绝缘膜破坏,提高电路动作的稳定性。

[0277] <5.3 变形例>

[0278] 图 28 是表示上述记录第五实施方式的变形例的双稳态电路的结构的电路图。本变形例中,除了薄膜晶体管 M1 以外,薄膜晶体管 M5 也多栅极化。

[0279] 在上述第一实施方式~第四实施方式中,在采用对漏极-源极间施加高电压时的漏泄电流(栅极-源极间的电压为 0V 时的漏泄电流)大的薄膜晶体管的情况下,选择期间中第一节点 N1 的电位有可能会降低。其理由如下所述。根据图 1 和图 6 可以理解到,在选择期间,薄膜晶体管 M1、M5 的漏极-源极间的电压变大。另外,在选择期间,置位信号 S 的电位和第二节点 N2 的电位成为低电平。因此,选择期间中,在薄膜晶体管 M1、M5 发生电流的漏泄,第一节点 N1 的电位降低。像这样当在选择期间中第一节点 N1 的电位降低时,状态信号 Q 的电位有可能不会上升至第一时钟 CK 的高电位的电位。另外,在复位期间通过电荷经由薄膜晶体管 M2 从输出端子 48 侧向输入端子 43 侧流动而使状态信号 Q 的电位降低时,如果与薄膜晶体管 M2 的栅极端子连接的第一节点 N1 的电位低,则状态信号 Q 的电位降低至低电平所需的时间变长。于是,在本变形例中,如图 28 所示,漏极端子或源极端子与第一节点 N1 连接的薄膜晶体管 M1、M5 多栅极化。

[0280] 根据本变形例,薄膜晶体管 M1、M5 的断开电流较小。因此,在采用在半导体层使用例如微晶硅($\mu\text{c-Si}$)的薄膜晶体管即采用漏泄电流大的薄膜晶体管的情况下,能够在选择期间充分地提高状态信号 Q 的电位,并且能够在复位期间使状态信号 Q 的电位迅速降低。

[0281] 另外,通过与上述相同的主旨,在上述第四实施方式的变形例的结构(参照图 25)中,也可以如图 29 所示采用薄膜晶体管 M11 多栅极化的结构。

[0282] <6. 第六实施方式>

[0283] <6.1 双稳态电路的结构>

[0284] 图 30 是表示本发明的第六实施方式的双稳态电路的结构的电路图。本实施方式中,在双稳态电路中除了图 22 所示的第三实施方式的构成要素以外,还设置有薄膜晶体管 M9 和输出端子 49。由薄膜晶体管 M9 实现第二输出控制用开关元件,由输出端子 49 实现第二输出节点。从各双稳态电路的输出端子 49 输出的信号,作为用于控制与该各双稳态电路不同级的双稳态电路的动作的信号(以下称为“其他级控制信号”)Z,被供给至该不同级的双稳态电路。另外,在本实施方式中,移位寄存器 412 以图 31 所示的方式构成。即,从移位寄存器 412 的各级的输出端子 49 输出的其他级控制信号 Z,作为复位信号 R 被供给至前一级,并且作为置位信号 S 被供给至后一级。从移位寄存器 412 的各级的输出端子 48 输出的状态信号 Q,仅作为用于驱动与该输出端子 48 连接的栅极总线的信号而使用。另外,也可以除了图 1 所示的第一实施方式的构成要素以外,还设置有薄膜晶体管 M9 和输出端子 49。

[0285] <6.2 效果>

[0286] 根据本实施方式,关于移位寄存器 412 的各级,用于驱动与该各级对应的栅极总线的信号,与用于控制该各级的前一级和后一级的动作的信号是不同的信号。因此,能够减

小各双稳态电路中置位信号 S 和复位信号 R 的波形变钝。由此,即使在栅极总线的负载电容大的情况下,各双稳态电路中基于置位信号 S 的动作和基于复位信号 R 的动作迅速进行,能够提高电路动作的稳定性。

[0287] <6.3 变形例>

[0288] <6.3.1 第一变形例>

[0289] 图 32 是表示上述第六实施方式的第一变形例的栅极驱动器 400 内的移位寄存器 413 的结构框图。本变形例中,与上述第六实施方式不同,从双稳态电路输出的其他级控制信号 Z 不作为置位信号 S 供给至后一级。即,本变形例中,从双稳态电路输出的其他级控制信号 Z 仅作为复位信号 R 使用。因此,从双稳态电路输出的状态信号 Q,除了作为用于驱动栅极总线的信号使用以外,也作为用于控制后一级的动作的置位信号 S 使用。

[0290] 根据图 6 可以理解到,关于置位期间,只要在置位期间结束的时刻前使第一节点 N1 的电位上升至充分的电平即可。另外,关于复位期间,要在复位期间开始后迅速使状态信号 Q 的电位降低至低电平。考虑到这些情况,可以认为在电路动作上,相比在置位信号 S 产生波形变钝,更不优选在复位信号 R 产生波形变钝。于是,像本变形例那样通过采用仅将其其他级控制信号 Z 用作复位信号 R 的结构,施加到输出端子 49 的负载与上述第六实施方式相比降低,能够缩短移位寄存器 413 的各级的复位信号 R 的上升时间。由此,选择期间结束后状态信号 Q 的电位迅速降低至低电平,能够提高电路动作的可靠性。

[0291] <6.3.2 第二变形例>

[0292] 图 33 是表示上述第六实施方式的第二变形例的双稳态电路的结构的电路图。本变形例中,薄膜晶体管 M7 的漏极端子与用于接收第二时钟 CKB 的输入端子 44 连接。在采用这种结构的情况下,移位寄存器 414 以如 34 所示的方式构成,以使如图 11 所示,对双稳态电路供给按每 1 水平扫描期间交替地成为高电平的第一时钟 CK 和第二时钟 CKB。

[0293] 在本变形例中,将第二时钟 CKB 供给至薄膜晶体管 M7 的漏极端子,所以电源电压成为第二节点 N2 的电荷供给源。另外,施加到输入端子 42 的负载降低。因此,与上述第六实施方式相比,从输入端子 42 向第二节点 N2 的电荷的流动受到抑制,输入端子 42 的电位迅速上升。

[0294] 上述第一实施方式的第三变形例(参照图 14)中,复位信号 R 的上升定时与第二时钟 CKB 的上升定时大致相同,但与第二时钟 CKB 相比,复位信号 R 至完全上升所需的时间较多。这些信号的下降也同样。其理由在于,不仅将从双稳态电路输出的状态信号 Q 作为前一级的复位信号 R 使用,而且作为驱动栅极总线的扫描信号和后一级的置位信号 S 使用,施加到栅极总线的负载大。因此,与第二时钟 CKB 相比,复位信号 R 更容易发生波形变钝。因此,在图 11 的时刻 t3 以后的期间,薄膜晶体管 M7 的漏极端子的电位降低至 VSS 电位之后,薄膜晶体管 M7 的栅极端子的电位变得比 VSS 电位大。其结果是,在时刻 t3 以后的期间第二节点 N2 的电位有可能降低。与之相对,根据本变形例,作为复位信号 R 使用的信号与作为扫描信号和置位信号 S 使用的信号不同。详细而言,将从移位寄存器 414 的各级的输出端子 49 输出的其他级控制信号 Z 作为该各级的前一级的置位信号 R 使用,将从移位寄存器 414 的各级的输出端子 48 输出的状态信号 Q 作为用于驱动与该各级对应的栅极总线的扫描信号和该各级的后一级置位信号 S 使用。由此,由于从负载较小的输出端子 49 输出的信号(其他级控制信号 Z)成为复位信号 R,所以复位信号 R 的波形变钝受到抑制。由此,复

位期间结束后的期间的第二节点 N2 的电位的降低受到抑制。

[0295] <6. 3. 3 第三变形例>

[0296] 图 35 是表示上述第六实施方式的第三变形例的双稳态电路的结构的电路图。本变形例中, 薄膜晶体管 M2 的漏极端子与高电平的直流电源电位 VDD 用的输入端子连接。根据本变形例, 在置位期间和选择期间双稳态电路以如下方式动作 (参照图 36)。

[0297] 当成为置位期间时 (为时刻 t0 时), 置位信号 S 从低电平变为高电平。由此, 薄膜晶体管 M1 成为导通状态, 电容器 CAP1 被充电 (在此为预充电)。由此, 第一节点 N1 的电位从低电平变为高电平, 薄膜晶体管 M2、M9 成为导通状态。由于对薄膜晶体管 M2 的漏极端子供给 VDD 电位, 所以薄膜晶体管 M2 成为导通状态, 由此状态信号 Q 的电位上升。关于其他级控制信号 Z, 由于在置位期间第一时钟 CK 成为低电平, 所以被维持在低电平。另外, 因置位信号 S 变为高电平而使薄膜晶体管 M3 成为导通状态, 第二节点 N2 的电位成为低电平。

[0298] 当成为选择期间时 (成为时刻 t1 时), 置位信号 S 从高电平变为低电平。由此, 与上述第一实施方式同样, 第一节点 N1 成为浮置状态。在此, 在时刻 t1 第一时钟 CK 从低电平变为高电平。由于在薄膜晶体管 M9 的栅极-漏极间存在寄生电容, 所以伴随输入端子 43 的电位的上升第一节点 N1 的电位也上升。其结果是, 薄膜晶体管 M2、M9 完全成为导通状态。通过薄膜晶体管 M2 成为完全的导通状态, 状态信号 Q 的电位上升至 VDD 电位。另外, 通过薄膜晶体管 M2 成为完全的导通状态, 其他级控制信号 Z 的电位上升至第一时钟 CK 的高电位的电位。另外, 第二节点 N2 的电位, 与上述第一实施方式同样, 被维持在低电平。

[0299] 根据本变形例, 状态信号 Q 的电位的上升在置位期间开始。因此, 在选择期间栅极总线迅速成为选择状态, 能够确保对像素电容的充电时间。另外, 由于构成为对薄膜晶体管 M2 的漏极端子供给 VDD 电位而不是供给时钟信号, 所以施加到时钟信号用的配线的负载降低。因此, 能够抑制时钟信号的波形变钝的发生, 并且降低消耗电力。

[0300] 另外, 在本变形例中, 扫描信号用的电压源与电路驱动用的电压源是不同系统。在此, 时钟信号的高电平侧的电位 VCK 与扫描信号的高电平侧的电位 (使栅极端子与传递扫描信号的栅极总线连接的薄膜晶体管成为导通状态的电位) VGH 的关系, 优选满足下式 (6) 和下式 (7) :

$$[0301] \quad VCK \geq VGH/2 \dots (6),$$

$$[0302] \quad VCK \leq VGH \dots (7)。$$

[0303] 优选满足上式 (6) 的理由如下所述。在选择期间, 扫描信号必须充分上升, 以使显示部 600 的各像素形成部的薄膜晶体管 60 (参照图 2) 成为导通状态。因此, 第一节点 N1 的电位在选择期间必须成为上述 VGH 以上的大小。在此, 在选择期间, 理想的是第一节点 N1 的电位是 VCK 的 2 倍大小。因此, 当使 VCK 比 VGH 的二分之一小时, 第一节点 N1 的电位在选择期间不会为 VGH 以上。其结果是, 用于驱动各栅极总线的扫描信号的电位, 在选择期间不能充分提高。

[0304] 更详细而言, 当设基准电位为 0V, 选择期间的第一节点 N1 的上升电压为 $A \times VCK$, 薄膜晶体管 M1 的阈值电压为 $V1th$, 薄膜晶体管 M2 的阈值电压为 $V2th$ 时, 优选满足下式 (8) :

$$[0305] \quad (1+A) \times VCK - V1th - V2th \geq VGH \dots (8)。$$

[0306] 上式 (8) 能够变形成下式 (9) :

[0307] $VCK \geq (VGH+V1th+V2th)/(1+A) \dots (9)$ 。

[0308] 上式 (9) 中,令阈值电压 $V1th$ 、 $V2th$ 为 0, A 为 1 时,能够导出上式 (6)。

[0309] 另外,优选满足上式 (7) 的理由如下所述。一般而言,电信号导致的消耗电力 W ,与电压 (振幅) V 的平方、电容 C 和频率 f 之积成比例。在此,关于时钟信号,由于频率 f 较大且消耗电力 W 与电压 V 的平方成比例,所以通过降低时钟信号的电压 V 即时钟信号的高电平侧的电位 VCK 能够大幅降低消耗电力 W 。因此,优选成立上式 (7)。另外,根据本变形例,由于不再对寄生电容较大的薄膜晶体管 $M2$ 供给时钟信号,所以即使在上式 (7) 不成立的情况下,也能够减小影响时钟信号导致的消耗电力 W 的大小的电容 C ,能够得到消耗电力降低的效果。

[0310] <7. 第七实施方式 >

[0311] <7.1 双稳态电路的结构 >

[0312] 图 37 是表示本发明的第七实施方式的双稳态电路的结构的电路图。本实施方式中,在双稳态电路中除了图 1 所示的第一实施方式的构成要素,还设置有薄膜晶体管 $M8$ 。通过该薄膜晶体管 $M8$,能够实现第二个第二节点接通用开关元件。关于薄膜晶体管 $M8$,栅极端子和漏极端子与用于接收用于将各双稳态电路初始化的清零信号 CLR 的输入端子 45 连接,源极端子与第二节点 $N2$ 连接。另外,通过输入端子 45 实现第三输入节点。薄膜晶体管 $M8$ 具有当清零信号 CLR 变为高电平时使第二节点 $N2$ 的电位向高电平变化的功能。在采用这种结构的情况下,移位寄存器 415 以图 38 所示的方式构成,使得对各双稳态电路供给清零信号 CLR 。另外,清零信号 CLR ,如图 39 所示,在装置的电源导通后的期间中仅在栅极起动脉冲信号 GSP 的最初的脉冲产生前的一部分期间为高电平,此外为低电平。另外,图 39 中清零信号 CLR 的变化定时与第一时钟 CK 的变化定时同步,但两者也可以不同步。

[0313] 在上述第一实施方式~第六实施方式中,第二节点 $N2$ 的充电仅通过复位信号 R 进行。因此,装置的电源导通后,在各双稳态电路中,在至复位信号 R 最开始变为高电平的期间,第二节点 $N2$ 的电位不定。例如,如果装置的电源导通后的第二节点 $N2$ 的电位为 VSS 电位,则在开始最初的图像的显示的期间薄膜晶体管 $M5$ 、 $M6$ 成为断开状态。因此,由薄膜晶体管 $M2$ 的栅极-漏极间的寄生电容的存在导致在第一节点 $N1$ 产生噪声时,本来要被维持在低电平的信号 Q 的电位不再被维持在低电平。

[0314] 与之相对,在本实施方式中,装置的电源导通后,在至移位寄存器 415 的动作开始的期间,清零信号 CLR 成为高电平。由于薄膜晶体管 $M8$ 如图 37 所示与二极管连接,所以因清零信号 CLR 变为高电平而使薄膜晶体管 $M8$ 成为导通状态,第二节点 $N2$ 的电位从不定状态向高电平变化。因此,在移位寄存器 415 的动作开始前,薄膜晶体管 $M5$ 、 $M6$ 为导通状态。由此,在移位寄存器 415 的动作开始时刻,所有的双稳态电路中第一节点 $N1$ 的电位和状态信号 Q 的电位成为低电平,电路动作的稳定性提高。

[0315] 另外,优选在垂直消隐期间 (从栅极结束脉冲信号 GEP 的脉冲产生时刻至栅极起动脉冲信号 GSP 的脉冲产生时刻的期间) 也设置有清零信号 CLR 成为高电平的期间。由此,按每 1 垂直扫描期间,所有的双稳态电路中第一节点 $N1$ 的电位和状态信号 Q 的电位成为低电平,所以能够进一步提高电路动作的稳定性。另外,如图 40 所示,也可以将栅极结束脉冲信号 GEP 作为清零信号 CLR 使用。由此,能够削减信号数,并且进一步提高电路动作的稳定

性。进而,在将栅极结束脉冲信号 GEP 作为清零信号 CLR 使用的情况下,如图 41 所示,优选与栅极结束脉冲信号 GEP 的振荡相应地开始移位寄存器的驱动。

[0316] <7.2 变形例>

[0317] <7.2.1 第一变形例>

[0318] 图 42 是表示上述第七实施方式的第一变形例的双稳态电路的结构的电路图。本变形例中,除了图 37 所示的第七实施方式的构成要素以外,还设置有薄膜晶体管 M12。通过该薄膜晶体管 M12,能够实现第二节点电平降低用开关元件。薄膜晶体管 M12 的栅极端子与低电平的直流电源电位 VSS 的输入端子连接,薄膜晶体管 M12 的漏极端子与第二节点 N2 连接,薄膜晶体管 M12 的源极端子与用于接收使第二节点 N2 的电位降低至比 VSS 电位低的电位的刷新信号 RFR 的输入端子 46 连接。另外,通过输入端子 46 实现第四输入节点。

[0319] 刷新信号 RFR,如图 43 所示,除了一部分期间外被维持在 VSS 电位。详细而言,仅清零信号 CLR 为高电平的期间以前的一部分期间成为比 VSS 电位低的电位。另外,图 43 中刷新信号 RFR 的变化定时与第一时钟 CK 的变化定时同步,但两者也可以不同步。

[0320] 在上述第一实施方式~第七实施方式中,大半的期间,第二节点 N2 的电位被维持在高电平。因此,大半的期间,薄膜晶体管 M5、M6 成为导通状态。因此,薄膜晶体管 M5、M6 有可能发生由阈值移动导致的特性劣化。与之相对,根据本变形例,在从刷新信号 RFR 的电位成为比 VSS 电位低的电位的时刻至清零信号 CLR 从低电平变为高电平的时刻的期间(图 43 的刷新期间),第二节点 N2 的电位被维持在比 VSS 电位低的电位。因此,在该期间中,薄膜晶体管 M5、M6 的栅极-源极间施加负电压。由此,在移位寄存器的动作中,薄膜晶体管 M5、M6 的上述的阈值移动能够得到制止或抑制。另外,刷新期间优选设置在垂直消隐期间(从栅极结束脉冲信号 GEP 的脉冲的发生时刻至栅极起动脉冲信号 GSP 的脉冲的发生时刻的期间)。

[0321] 另外,由于在刷新期间薄膜晶体管 M5、M6 成为断开状态,所以由第一时钟 CK 的电位的变动导致第一节点 N1 的电位有可能会上升。于是,在刷新期间,优选将第一栅极时钟信号 GCK1 和第二栅极时钟信号 GCK2 被维持在低电平。由此,在刷新期间,即使供给至各双稳态电路的第一时钟 CK 成为低电平,薄膜晶体管 M5、M6 成为断开状态,第一节点 N1 的电位也被维持在低电平。其结果是,能够提高电路动作的稳定性。

[0322] <7.2.2 第二变形例>

[0323] 图 44 是表示上第七实施方式的第二变形例的双稳态电路的结构的电路图。本变形例中,与上述第一变形例同样,除了图 37 所示的第七实施方式的构成要素以外,还设置有薄膜晶体管 M12。另外,在上述第一变形例中,双稳态电路构成为:对薄膜晶体管 M8 的栅极端子和漏极端子供给清零信号 CLR,对薄膜晶体管 M12 的源极端子供给刷新信号 RFR。与之相对,在本变形例中,双稳态电路构成为:对薄膜晶体管 M8 的栅极端子、漏极端子和薄膜晶体管 M12 的源极端子供给清零信号 CLR。

[0324] 在本变形例中,关于清零信号 CLR,如图 45 所示,在一部分期间为比 VSS 电位低的电位,在另一部分期间为比 VSS 电位高的电位,在此外的期间(大半的期间)被维持在 VSS 电位。详细而言,仅清零信号 CLR 电位为比 VSS 电位高的电位的期间以前的一部分期间,该清零信号 CLR 的电位为比 VSS 电位低的电位。另外,在清零信号 CLR 的电位成为 VSS 电位以外的电位的期间,优选设置在垂直消隐期间(从栅极结束脉冲信号 GEP 的脉冲的发生时

刻至栅极起动脉冲信号 GSP 的脉冲的发生时刻的期间)。另外,图 45 中清零信号 CLR 的变化定时与第一时钟 CK 的变化定时同步,但两者也可以不同步。

[0325] 根据本变形例,当清零信号 CLR 的电位比 VSS 电位低时,薄膜晶体管 M12 成为导通状态,第二节点 N2 的电位降低至比 VSS 电位低的电位。另外,当清零信号 CLR 的电位比 VSS 电位高时,薄膜晶体管 M8 成为导通状态,第二节点 N2 的电位成为高电平。像这样,根据本变形例,不使用上述第一变形例中的刷新信号 RFR,就能够得到与上述第一变形例同样的效果。

[0326] <8. 参考例>

[0327] 在上述各实施方式中,电容器 CAP2 的一端与第二节点 N2 连接,电容器 CAP2 的另一端与输入端子 41 连接。但是,电容器 CAP2 的另一端的连接目标也可以是输入端子 41 以外的端子。对此以下作为参考例进行说明。

[0328] <8.1 第一参考例>

[0329] 图 46 是表示第一参考例的双稳态电路的结构的电路图。本参考例中,电容器 CAP2 的另一端与输出端子 48 连接。以下,参照图 46 和图 47,对本参考例的双稳态电路的动作进行说明。

[0330] 在通常动作期间(时刻 t_0 以前的期间和时刻 t_3 以后的期间),第二节点 N2 的电位被维持在高电平。因此,薄膜晶体管 M5、M6 成为导通状态。由于在薄膜晶体管 M2 的栅极-漏极间存在寄生电容,所以由第一时钟 CK 的波形的变动(参照图 47)导致在第一节点 N1 产生噪声,但由于薄膜晶体管 M5 成为导通状态,所以第一节点 N1 的电位被拉向低电平。另外,由在第一节点 N1 产生的噪声导致在状态信号 Q(输出端子 48)也产生噪声,但由于薄膜晶体管 M6 成为导通状态,所以状态信号 Q 的电位被拉向低电平。另外,因噪声而使状态信号 Q 的电位上升时,在本参考例中,经由电容器 CAP2,第二节点 N2 的电位也上升。其结果是,薄膜晶体管 M5、M6 的栅极-源极间的电压变得更大,能够降低在第一节点 N1 和状态信号 Q 产生的噪声的影响。如上所述,该期间中,第一节点 N1 的电位和状态信号 Q 的电位可靠地被维持在低电平。

[0331] 在成为置位期间时(成为时刻 t_0 时),与上述第一实施方式同样,电容器 CAP1 被充电(在此为预充电),第一节点 N1 的电位从低电平变为高电平。另外,薄膜晶体管 M3 成为导通状态,所以第二节点 N2 成为低电平。由此,薄膜晶体管 M5、M6 成为断开状态。

[0332] 在成为选择期间时(成为时刻 t_1 时),与上述第一实施方式同样,由于第一节点 N1 的电位上升,薄膜晶体管 M2 完全变为导通状态,状态信号 Q 电位上升至与该双稳态电路的输出端子 48 连接的栅极总线变为选择状态所需的充分的电平。另外,薄膜晶体管 M5、M6 的栅极-漏极间存在寄生电容。因此,伴随第一节点 N1 的电位和状态信号 Q 的电位的上升,第二节点 N2 的电位略微上升。另外,为了抑制伴随第二节点 N2 的电位的上升的动作不良的发生,只要采用具有上述第三实施方式所示的薄膜晶体管(栅极端子与输出端子 48 连接、漏极端子与第二节点 N2 连接、源极端子与直流电源电位 VSS 用的输入端子连接的薄膜晶体管)M4 即可。

[0333] 在成为复位期间时(成为时刻 t_2 时),与上述第一实施方式同样,状态信号 Q 的电位和第一节点 N1 的电位降低。另外,在该期间,复位信号 R 从低电平变为高电平。因此,薄膜晶体管 M7 成为导通状态,第二节点 N2 成为高电平。此时,基于第二节点 N2 与输出端子

48 的电位差, 电容器 CAP2 被充电。另外, 在通常动作期间, 由第一时钟 CK 的波形的变动导致在状态信号 Q 会产生噪声。由于状态信号 Q 的噪声作为置位信号 S 或复位信号 R 的噪声出现, 所以在薄膜晶体管 M3、M7 发生电流漏泄, 第二节点 N2 的电位会降低。但是, 在本参考例中, 如上所述在复位期间电容器 CAP2 被充电, 所以能够抑制通常动作期间的第二节点 N2 的电位的降低。

[0334] 如上所述, 根据本参考例, 即使因噪声而使第一节点 N1 的电位和状态信号 Q 的电位上升, 由于薄膜晶体管 M5、M6 的栅极 - 源极间的电压变大, 能够降低该噪声的影响。另外, 由通常动作期间的薄膜晶体管 M3、M7 的电流漏泄导致第二节点 N2 的电位降低受到抑制。由此, 能够期待显示品质的提高。

[0335] 在本参考例中, 如图 48 所示, 优选电容器 CAP2 与薄膜晶体管 M6 彼此相邻配置, 电容器 CAP2 的一端侧 (第二节点 N2 侧) 的电极用栅极金属 702 形成, 电容器 CAP2 的另一端侧 (输出端子 48 侧) 的电极用源极金属 701 形成。此时, 薄膜晶体管 M6 的漏极电极用源极金属 701 形成, 栅极电极用栅极金属 702 形成。通过采用这种结构, 能够抑制因具有电容器 CAP2 而导致的配线面积、安装面积的增大, 能够实现面板的窄边框化和电路动作的可靠性提升。另外, 也可以构成为: 电容器 CAP2 与薄膜晶体管 M4 彼此相邻配置, 电容器 CAP2 的一端侧的电极用源极金属 701 形成, 电容器 CAP2 的另一端侧的电极用栅极金属 702 形成。

[0336] <8.2 第二参考例 >

[0337] 图 49 是表示第二参考例的双稳态电路的结构的电路图。本参考例中, 电容器 CAP2 的另一端与第一节点 N1 连接。以下, 参照图 49 和图 50, 对本参考例的双稳态电路的动作进行说明。

[0338] 在通常动作期间 (时刻 t_0 以前的期间和时刻 t_3 以后的期间), 第二节点 N2 的电位被维持在高电平。因此, 薄膜晶体管 M5、M6 成为导通状态。由于在薄膜晶体管 M2 的栅极 - 漏极间存在寄生电容, 所以由第一时钟 CK 的波形的变动 (参照图 50) 导致在第一节点 N1 产生噪声, 但由于薄膜晶体管 M5 变为导通状态, 所以第一节点 N1 的电位被拉向低电平。另外, 由在第一节点 N1 产生的噪声导致在状态信号 Q (输出端子 48) 也产生噪声, 但由于薄膜晶体管 M6 变为导通状态, 所以状态信号 Q 的电位被拉向低电平。另外, 第一节点 N1 的电位因噪声而上升时, 在本参考例中, 经由电容器 CAP2, 第二节点 N2 的电位也上升。其结果是, 薄膜晶体管 M5、M6 的栅极 - 源极间的电压变得更大, 能够降低在第一节点 N1 和状态信号 Q 产生的噪声的影响。如上所述, 该期间中, 第一节点 N1 的电位和状态信号 Q 的电位可靠地被维持在低电平。

[0339] 在置位期间和选择期间, 进行与上述第一参考例同样的动作。复位期间时 (时刻 t_2 时), 与上述第一实施方式同样, 状态信号 Q 的电位和第一节点 N1 的电位降低。另外, 在该期间, 复位信号 R 从低电平变为高电平。因此, 薄膜晶体管 M7 变为导通状态, 第二节点 N2 变为高电平。此时, 基于第二节点 N2 与第一节点 N1 的电位差, 电容器 CAP2 被充电。另外, 在通常动作期间, 由第一时钟 CK 的波形的变动导致在状态信号 Q 会产生噪声。由于状态信号 Q 的噪声作为置位信号 S 或复位信号 R 的噪声出现, 所以在薄膜晶体管 M3、M7 发生电流漏泄, 第二节点 N2 的电位会降低。但是, 在本参考例中, 如上所述在复位期间电容器 CAP2 被充电, 所以能够抑制通常动作期间的第二节点 N2 的电位的降低。另外, 在本变形例中, 由于电容器 CAP2 的另一端与第一节点 N1 连接, 所以在复位期间开始后至第二节点 N2 的电位

成为高电平的期间,经由电容器 CAP2,第一节点 N1 的电位上升。因此,与上述各实施方式相比,复位期间开始后至第一节点 N1 的电位成为低电平的期间变长。由此,薄膜晶体管 M2 被维持在导通状态的期间变长,所以与上述各实施方式相比,在复位期间状态信号 Q 的电位迅速降低。

[0340] 如上所述,根据本参考例,即使第一节点 N1 的电位和状态信号 Q 的电位因噪声而上升,由于薄膜晶体管 M5、M6 的栅极-源极间的电压变大,能够降低该噪声的影响。另外,由通常动作期间的薄膜晶体管 M3、M7 的电流漏泄导致第二节点 N2 的电位的降低受到抑制。由此,能够期待显示品质的提高。进而,由于复位期间开始后至第一节点 N1 的电位成为低电平的期间变长,所以在复位期间状态信号 Q 的电位迅速降低。因此,能够高速驱动大型面板和高精细化的面板。进而,由于第一节点 N1 的电容变大,所以选择期间的因第一节点 N1 的自举升压而导致的电位上升受到抑制,与第一节点 N1 连接的薄膜晶体管的栅极绝缘膜的破坏受到抑制。

[0341] 另外,在本参考例中,优选电容器 CAP2 与薄膜晶体管 M5 彼此相邻配置,电容器 CAP2 的一端侧(第二节点 N2 侧)的电极用栅极金属 702 形成,电容器 CAP2 的另一端侧(第一节点 N1 侧)的电极用源极金属 701 形成。此时,薄膜晶体管 M5 的漏极电极用源极金属 701 形成,栅极电极用栅极金属 702 形成。通过采用这种结构,能够抑制因具有电容器 CAP2 而导致的配线面积、安装面积的增大,能够实现面板的窄边框化和电路动作的可靠性提升。

[0342] <9. 其他>

[0343] 上述各实施方式中以液晶显示装置为例进行了说明,但本发明并不限于此。本发明也能够应用于有机 EL(Electro Luminescence:电致发光)等其他显示装置。

[0344] 附图标记说明

[0345] 40(1) ~ 40(i)……双稳态电路

[0346] 41 ~ 46……(双稳态电路的)输入端子

[0347] 48 ~ 49……(双稳态电路的)输出端子

[0348] 300……源极驱动器(视频信号线驱动电路)

[0349] 400……栅极驱动器(扫描信号线驱动电路)

[0350] 410 ~ 415……移位寄存器

[0351] 600……显示部

[0352] CAP1、CAP2……电容器(电容元件)

[0353] M1 ~ M12……薄膜晶体管

[0354] N1、N2……第一节点、第二节点

[0355] GL1 ~ GLi……栅极总线

[0356] SL1 ~ SLj……源极总线

[0357] GCK1、GCK2……第一栅极时钟信号、第二栅极时钟信号

[0358] CK、CKB……第一时钟、第二时钟

[0359] S……置位信号

[0360] R……复位信号

[0361] Q……状态信号

[0362] Z……其他级控制信号

- [0363] GOUT……扫描信号
- [0364] VDD……高电平的直流电源电位
- [0365] VSS……低电平的直流电源电位

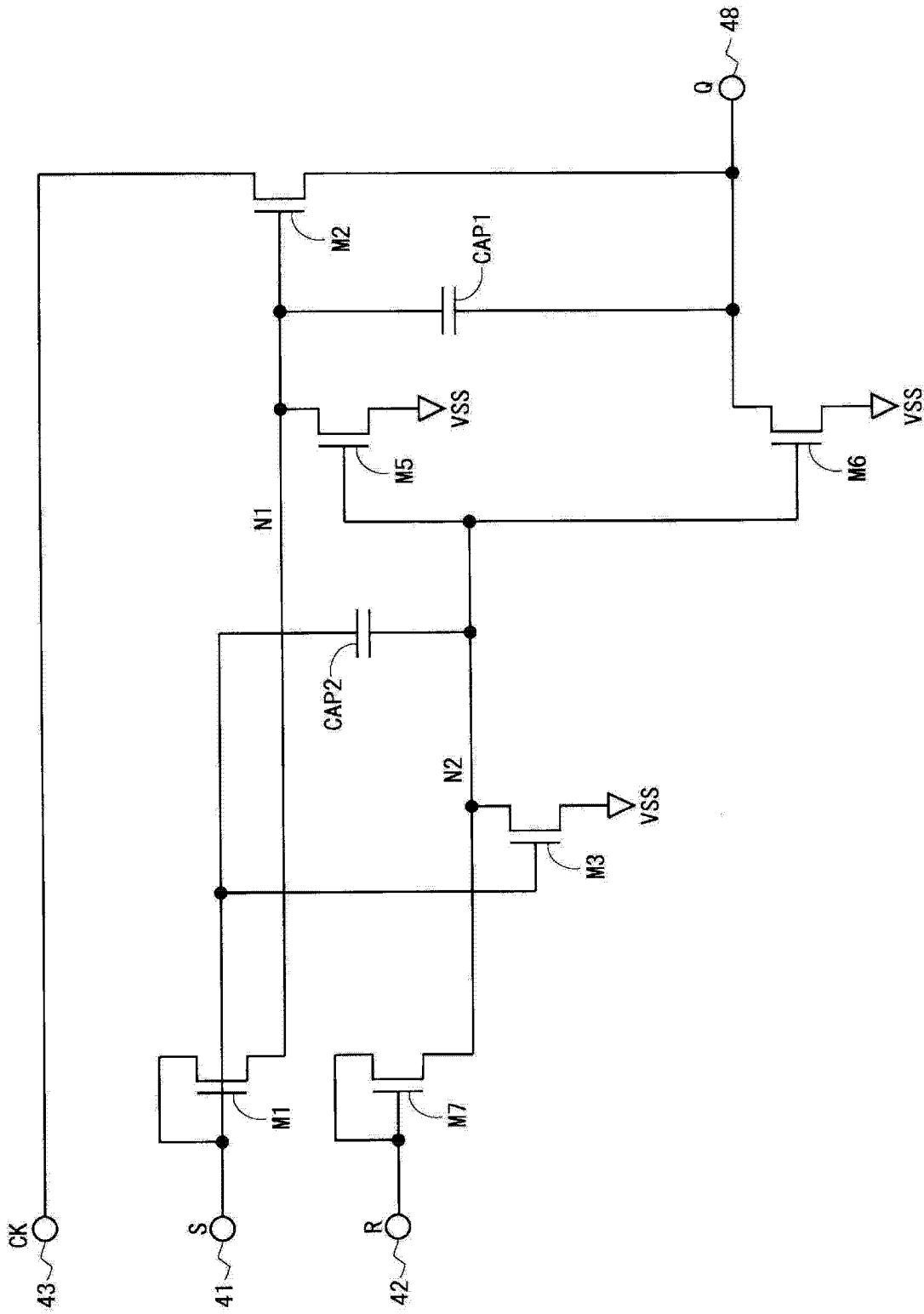


图 1

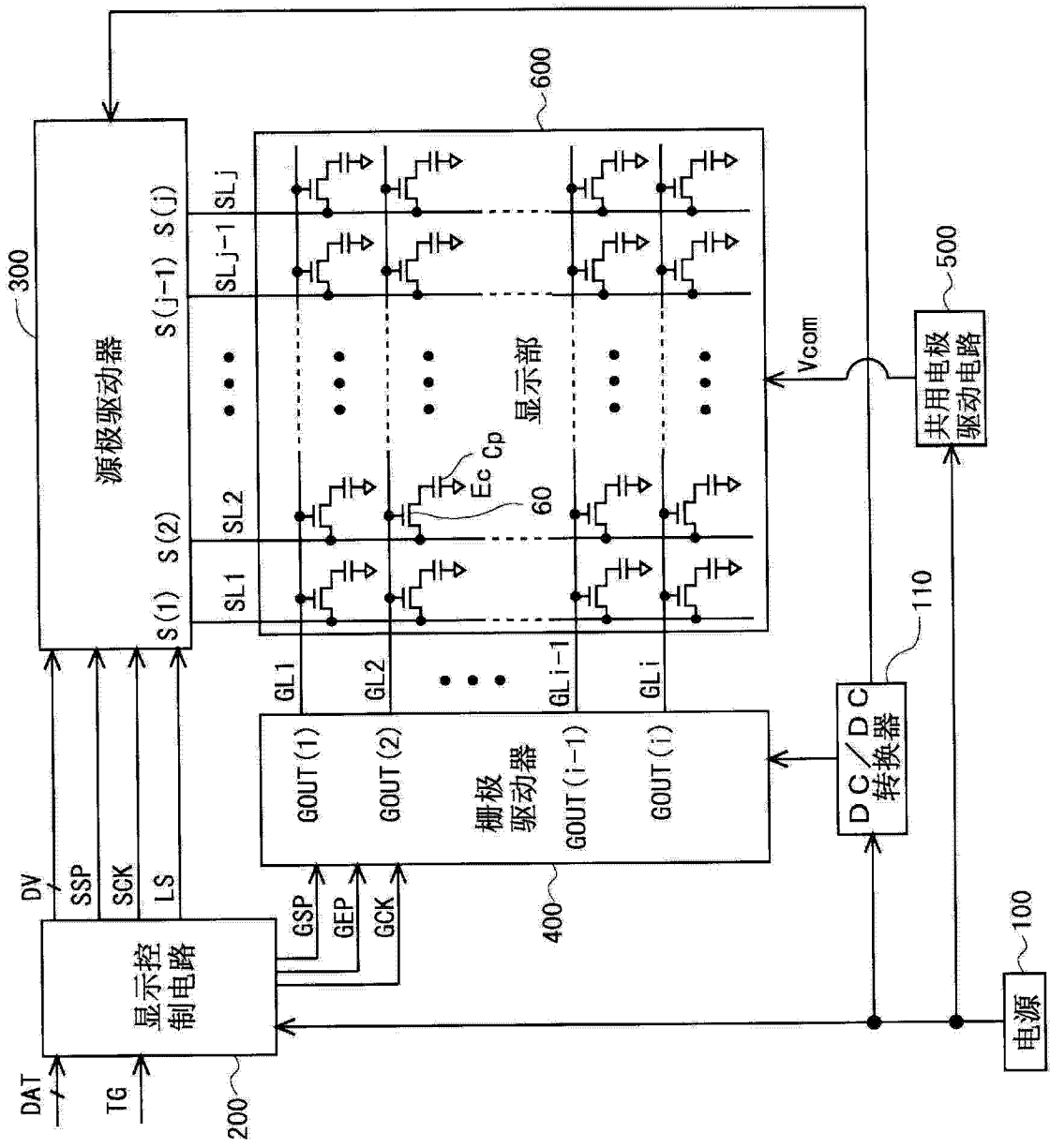


图 2

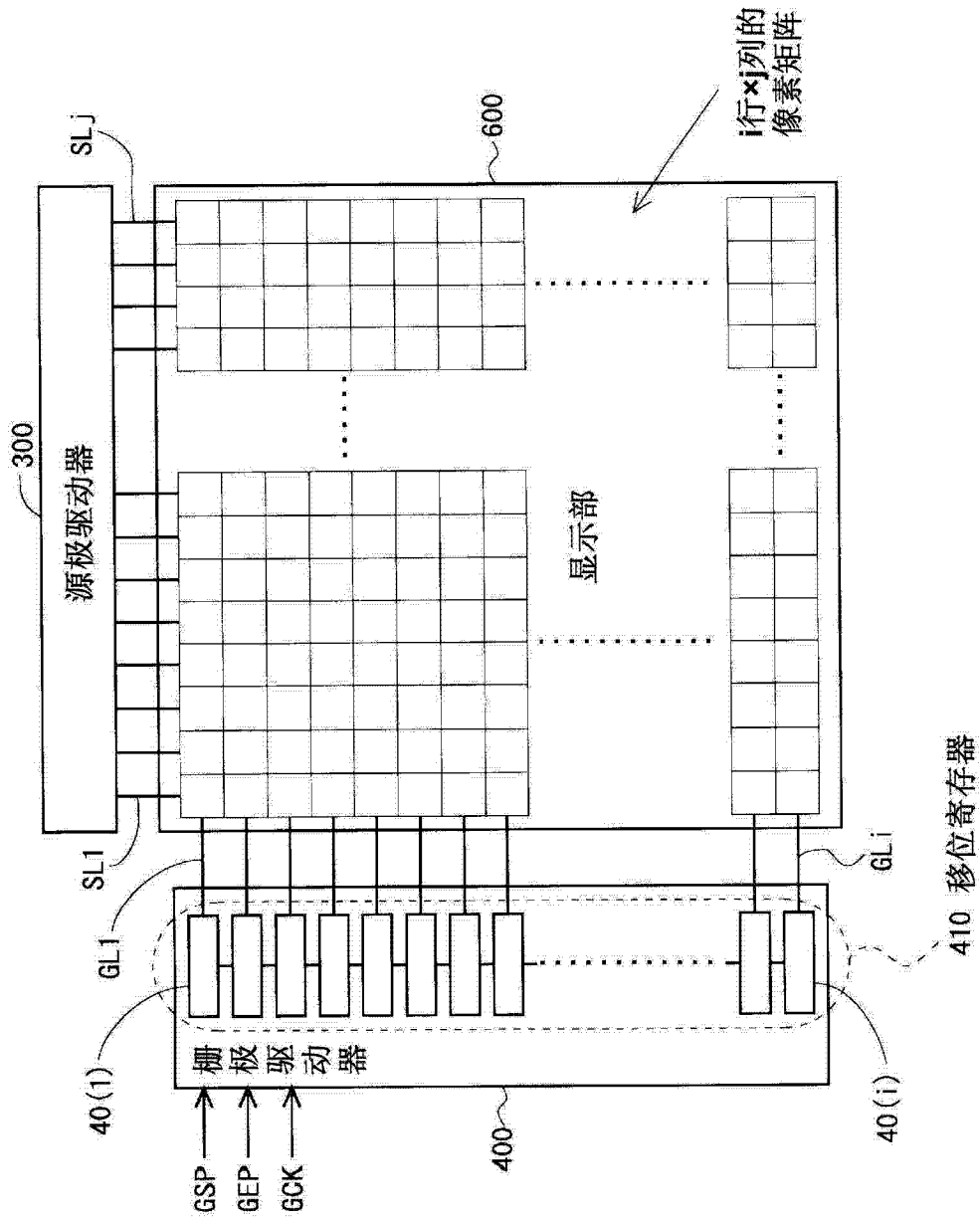


图 3

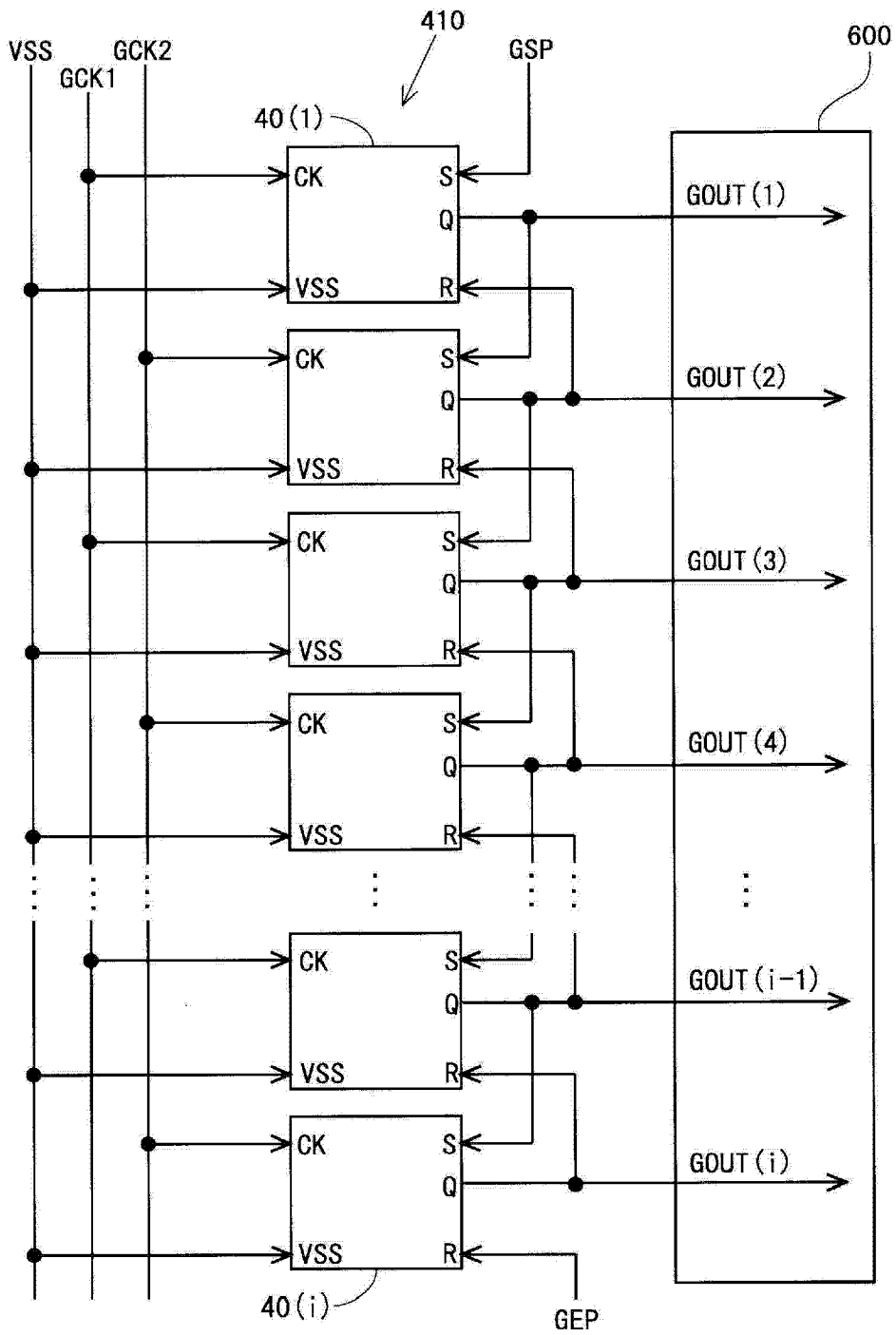


图 4

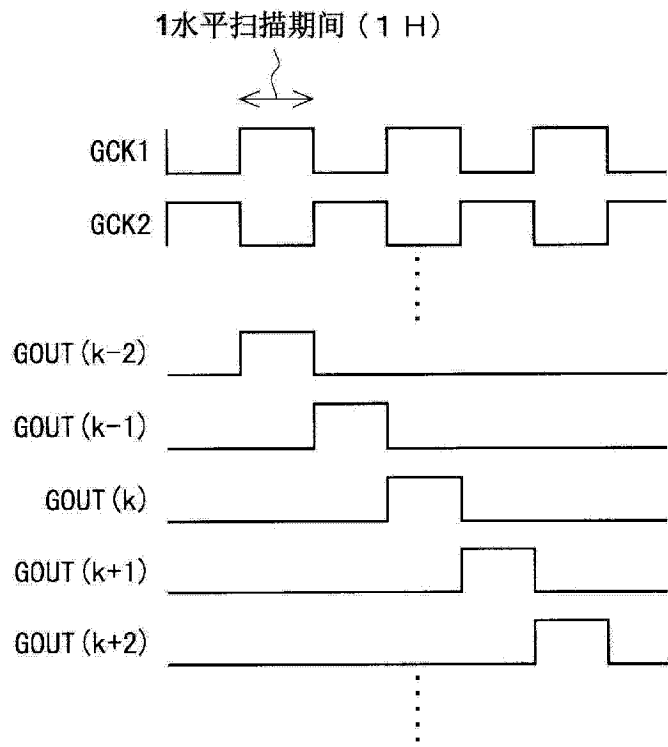


图 5

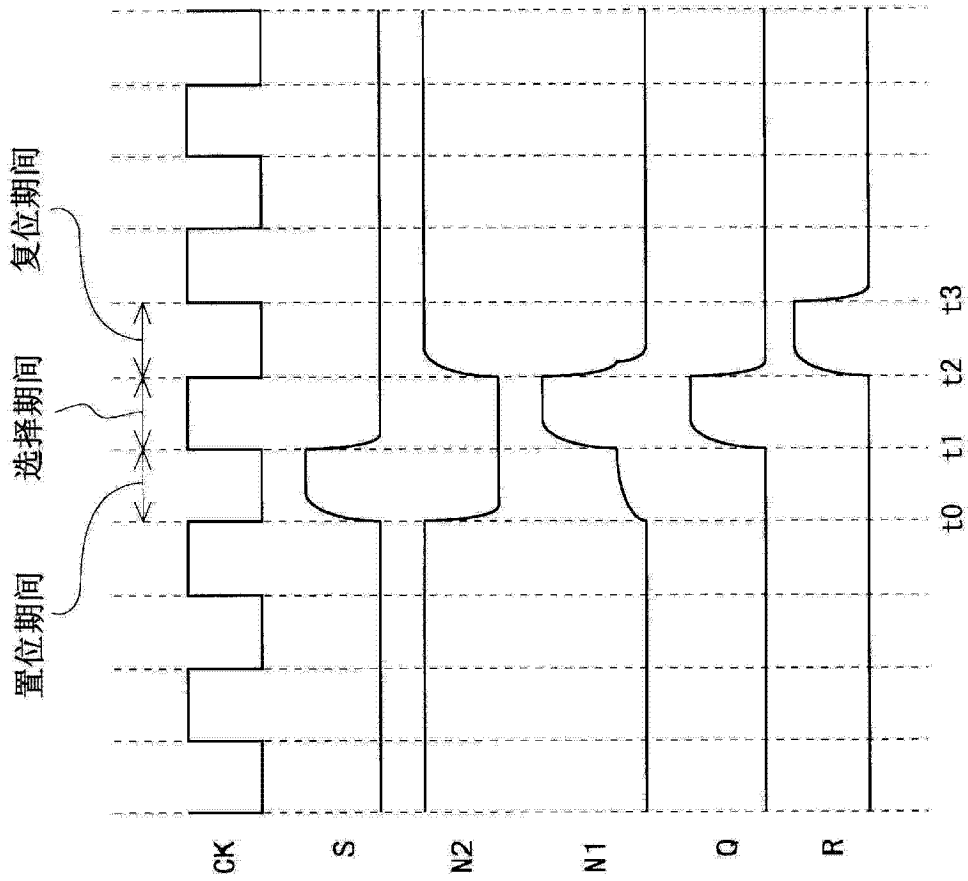


图 6

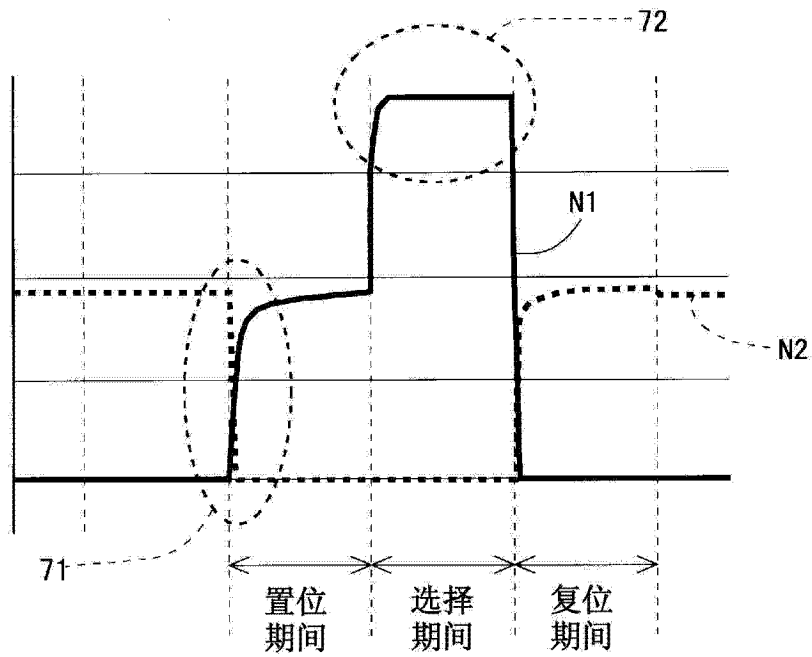


图 7

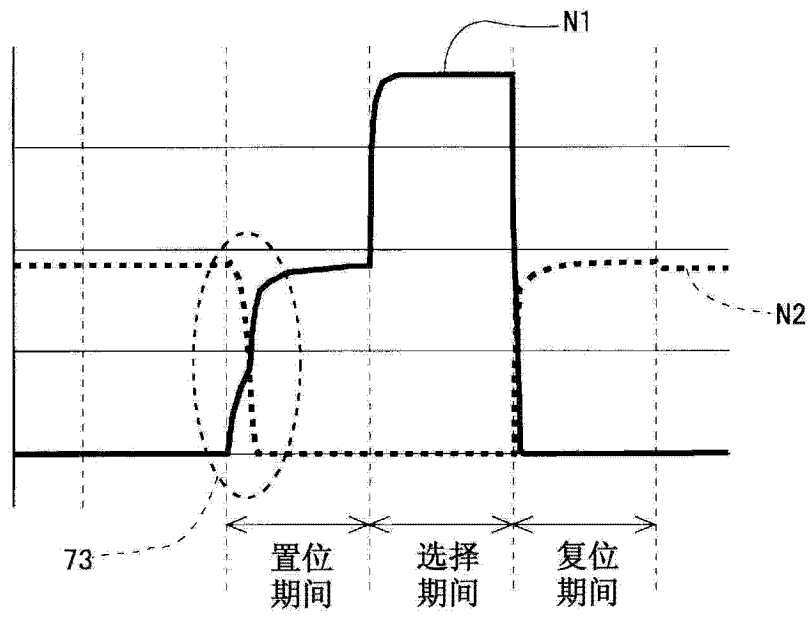


图 8

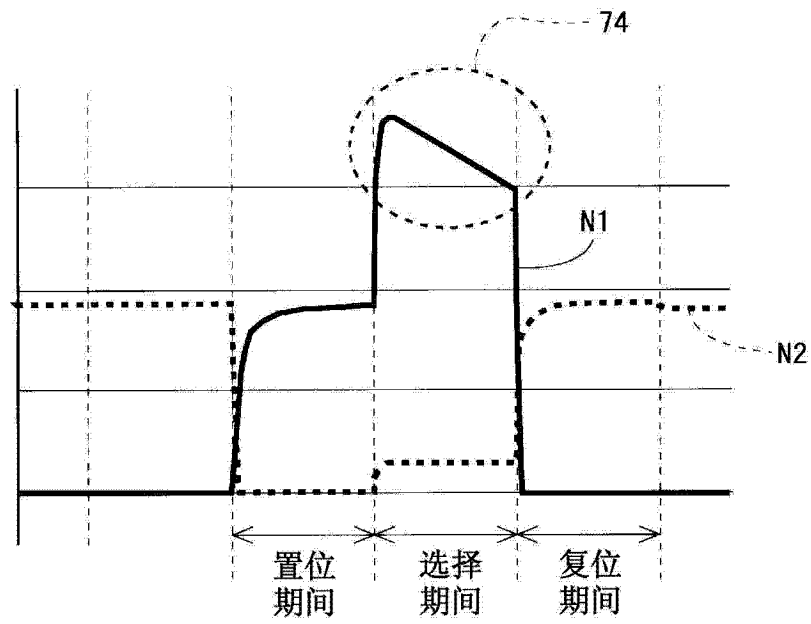


图 9

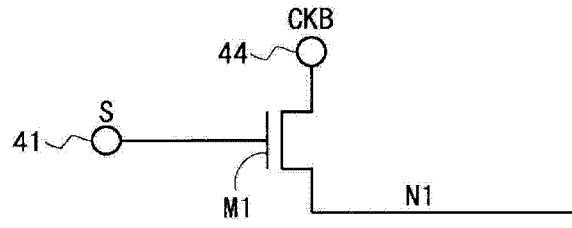


图 10

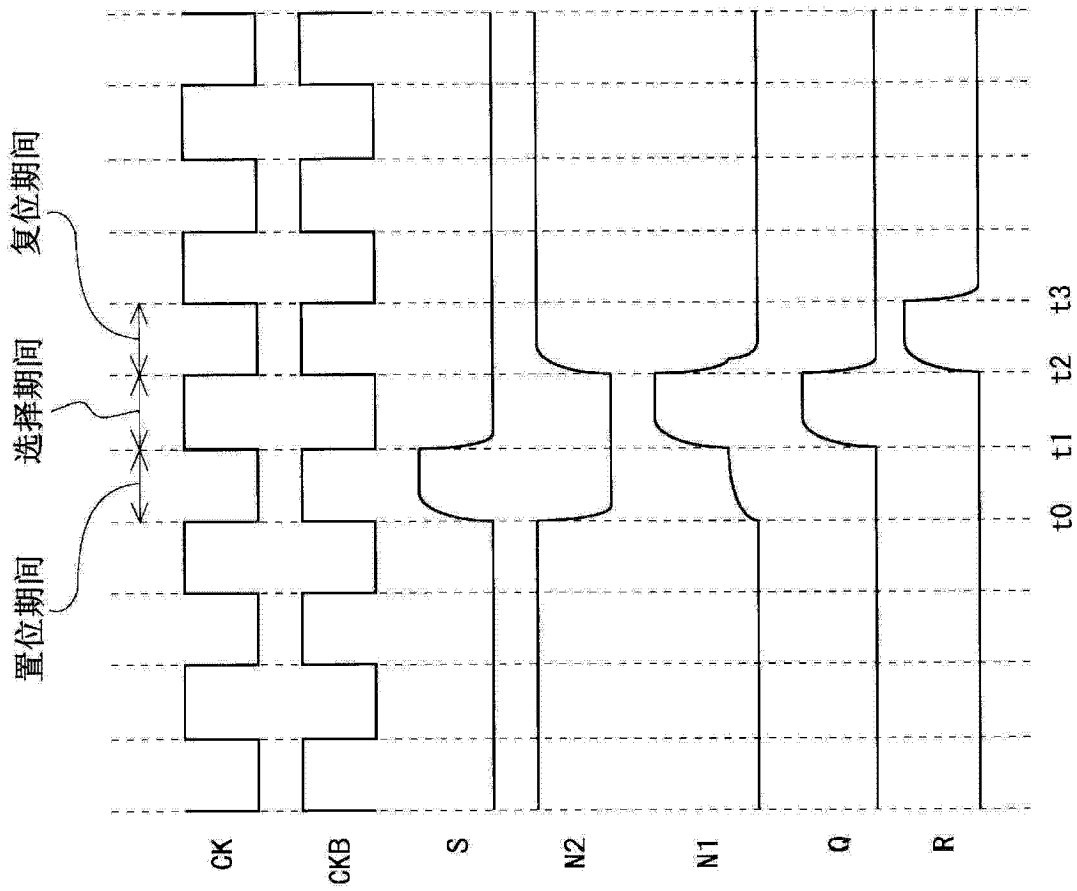


图 11

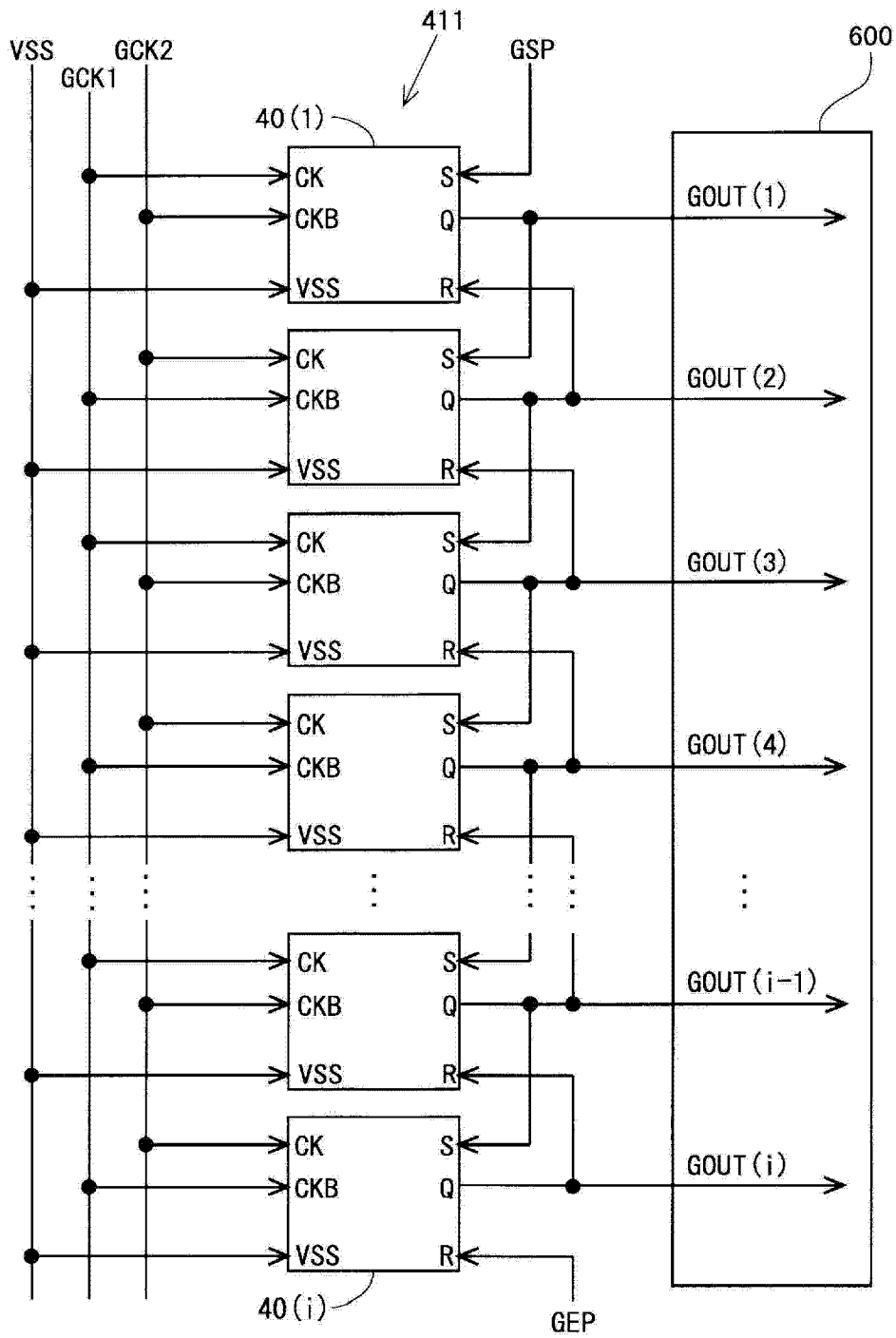


图 12

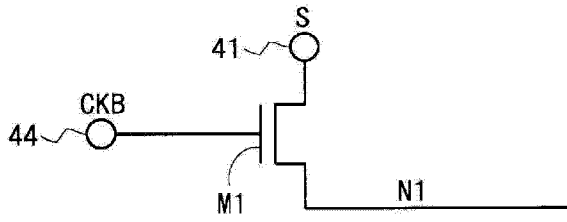


图 13

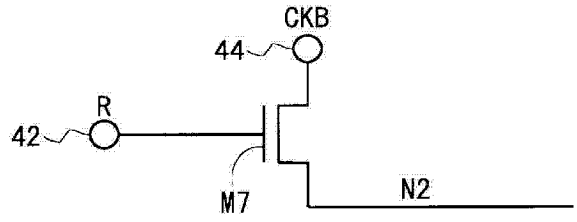


图 14

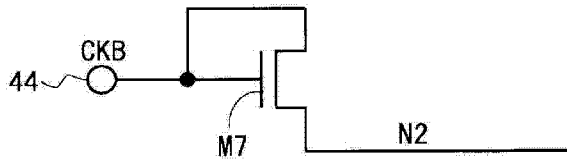


图 15

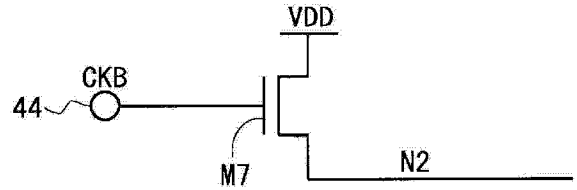


图 16

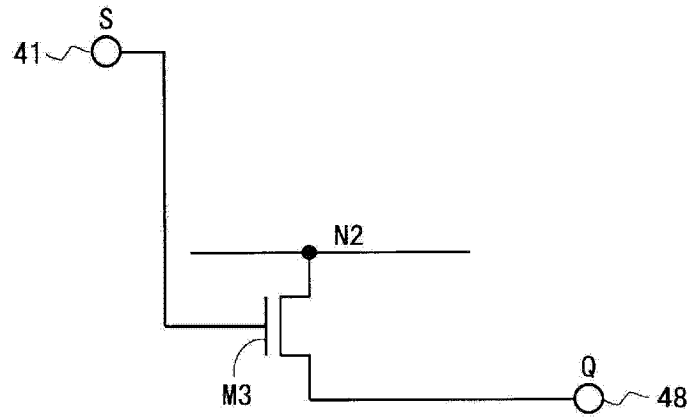


图 17

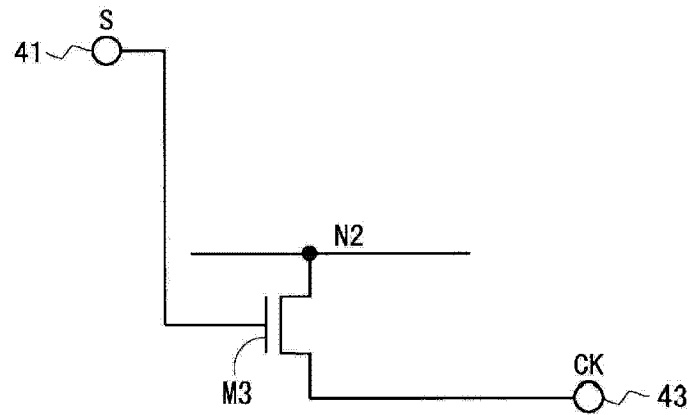


图 18

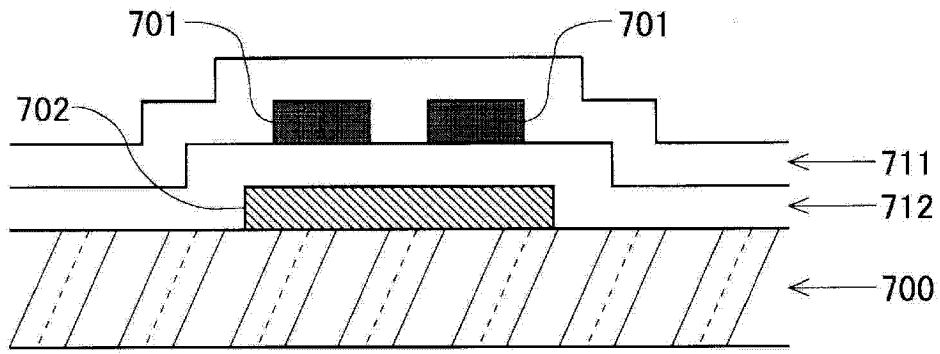


图 19

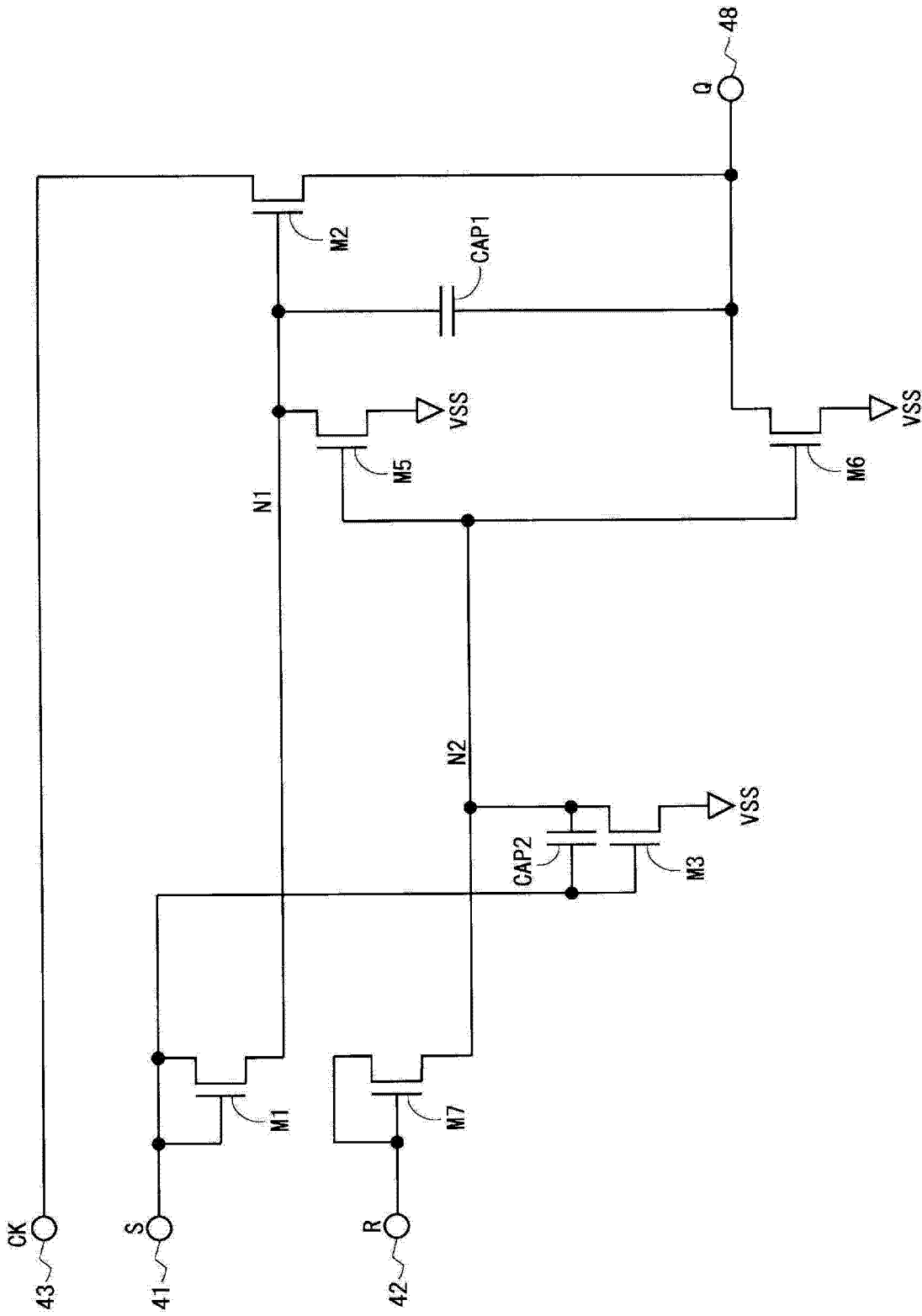


图 20

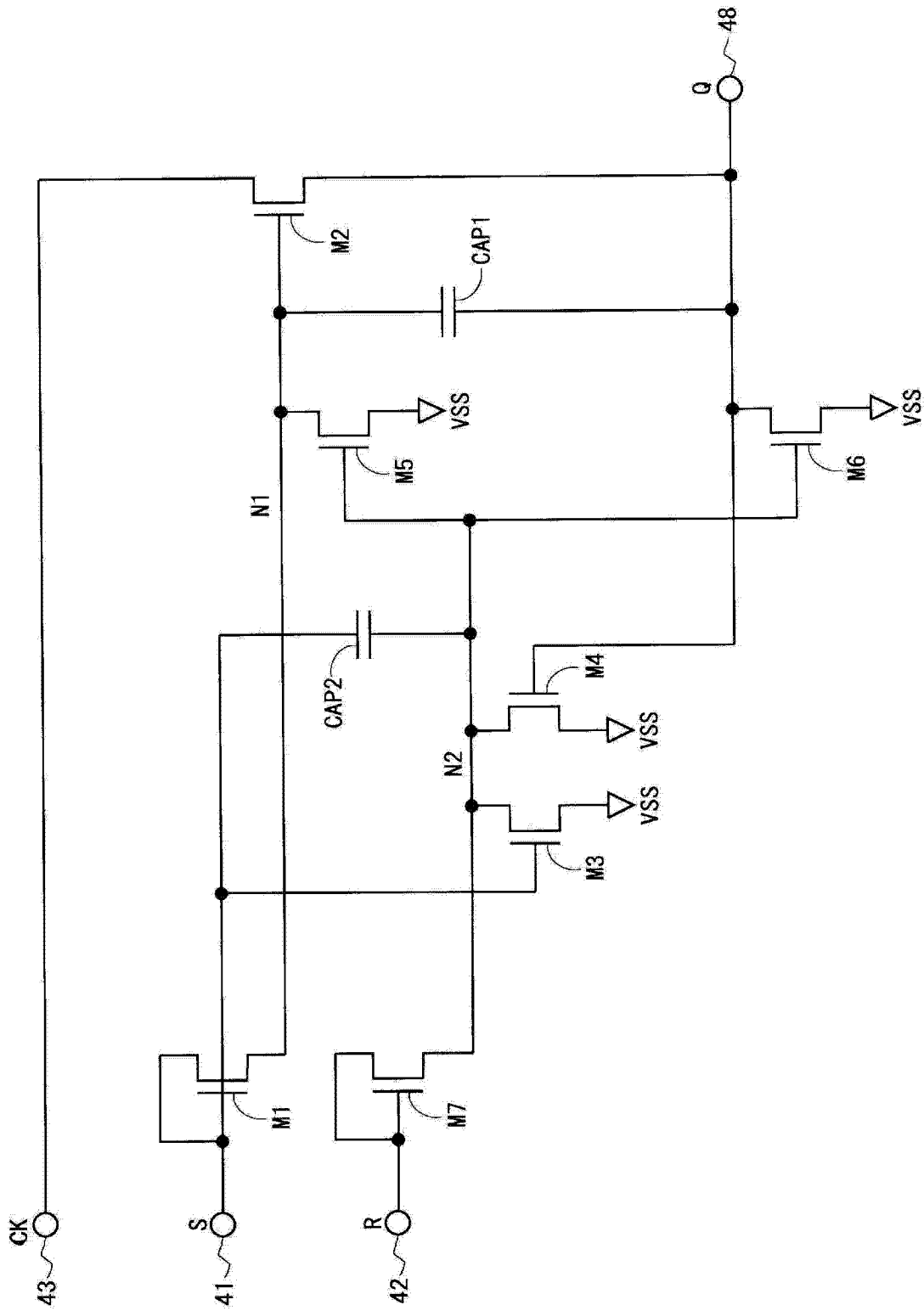


图 22

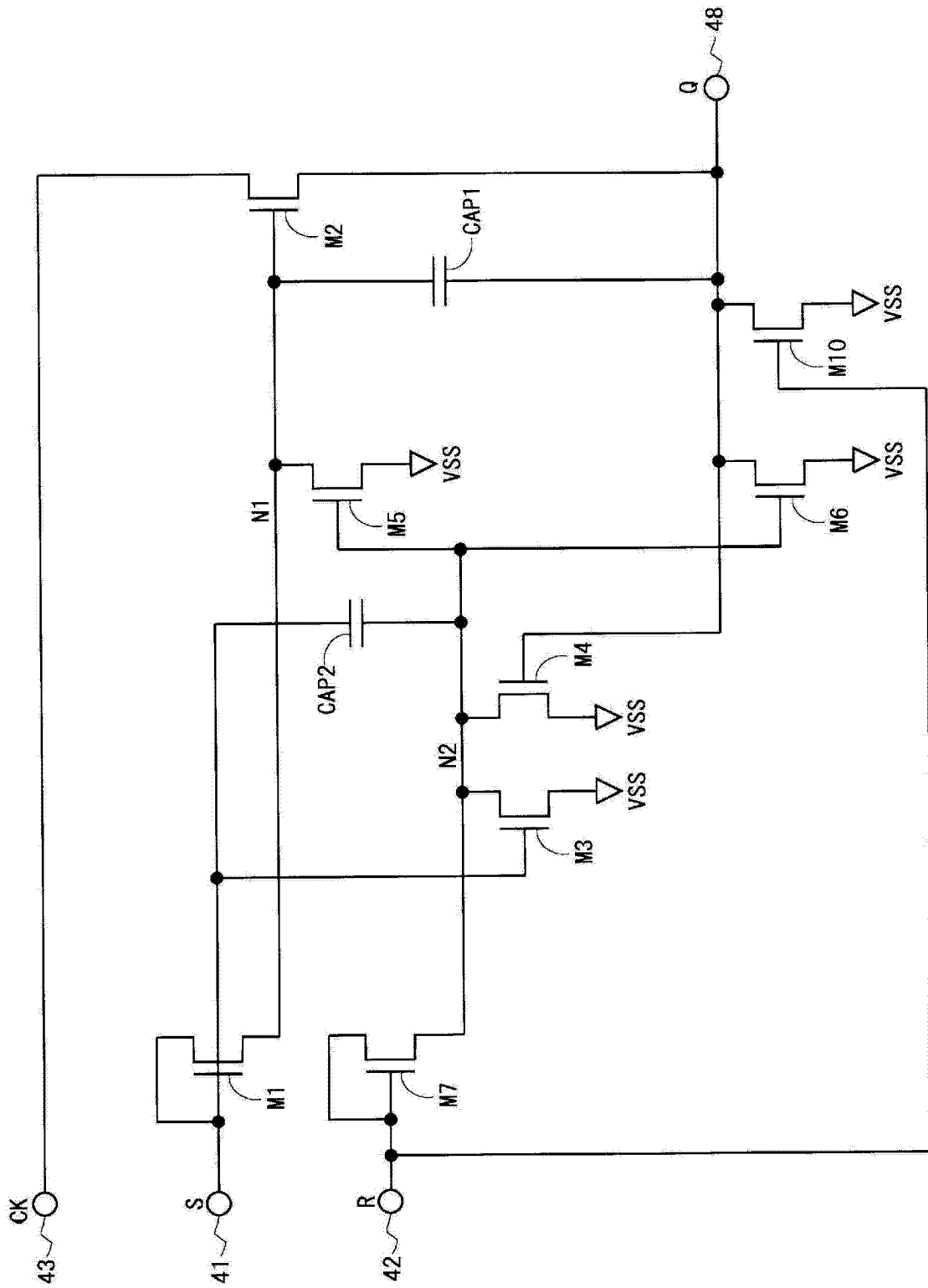


图 23

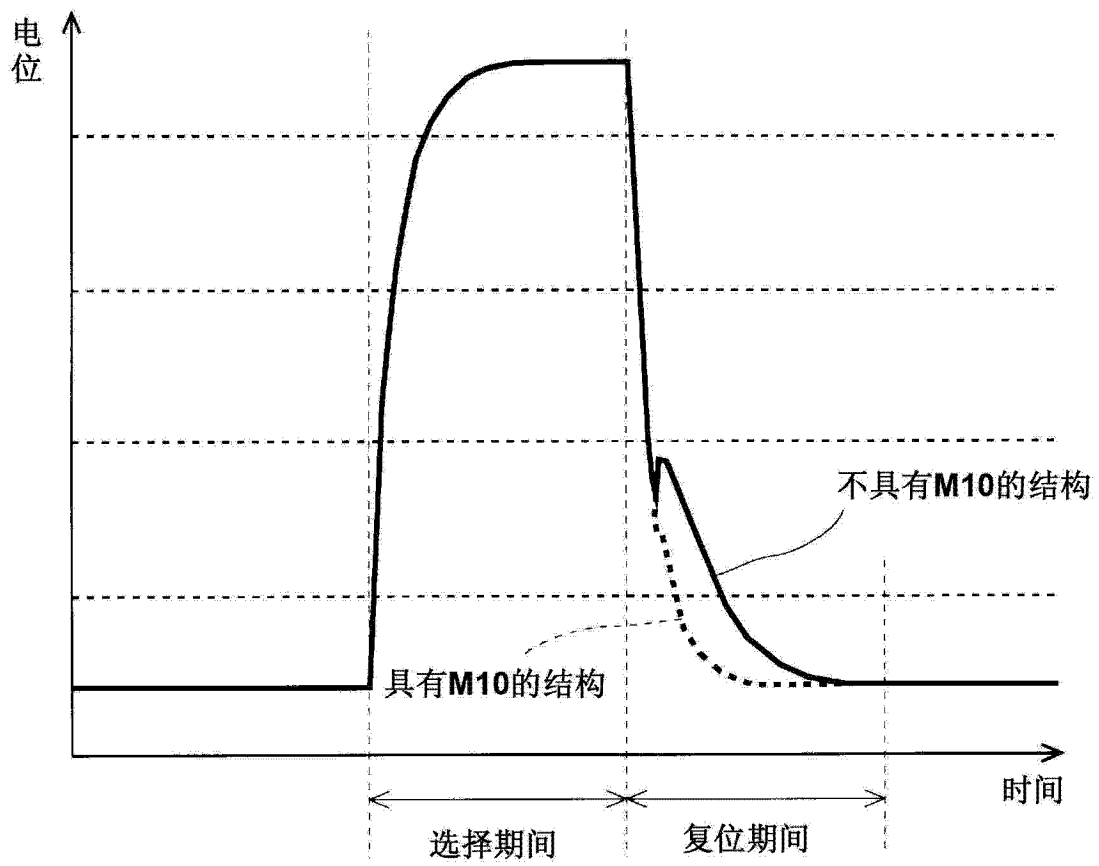


图 24

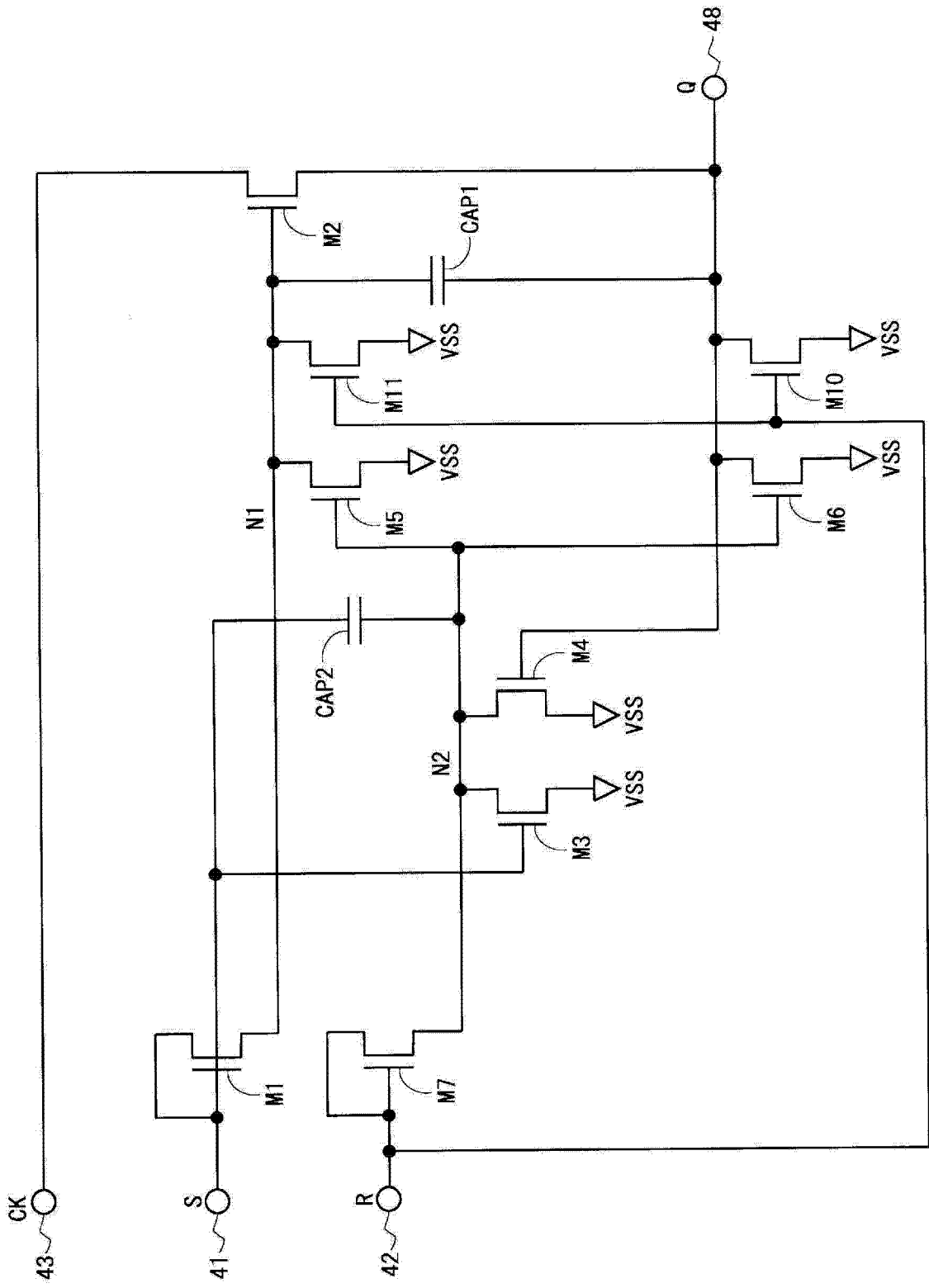


图 25

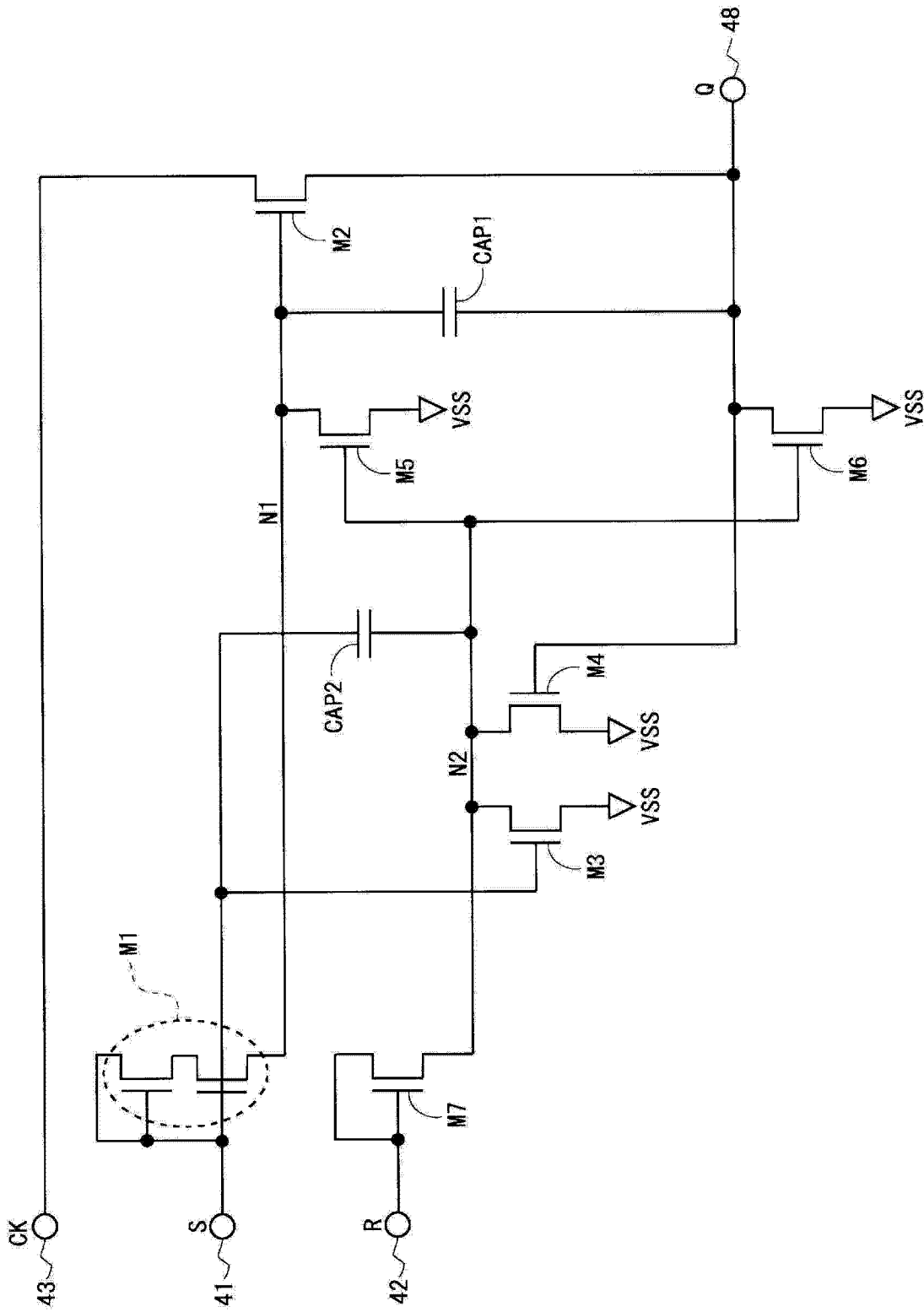


图 26

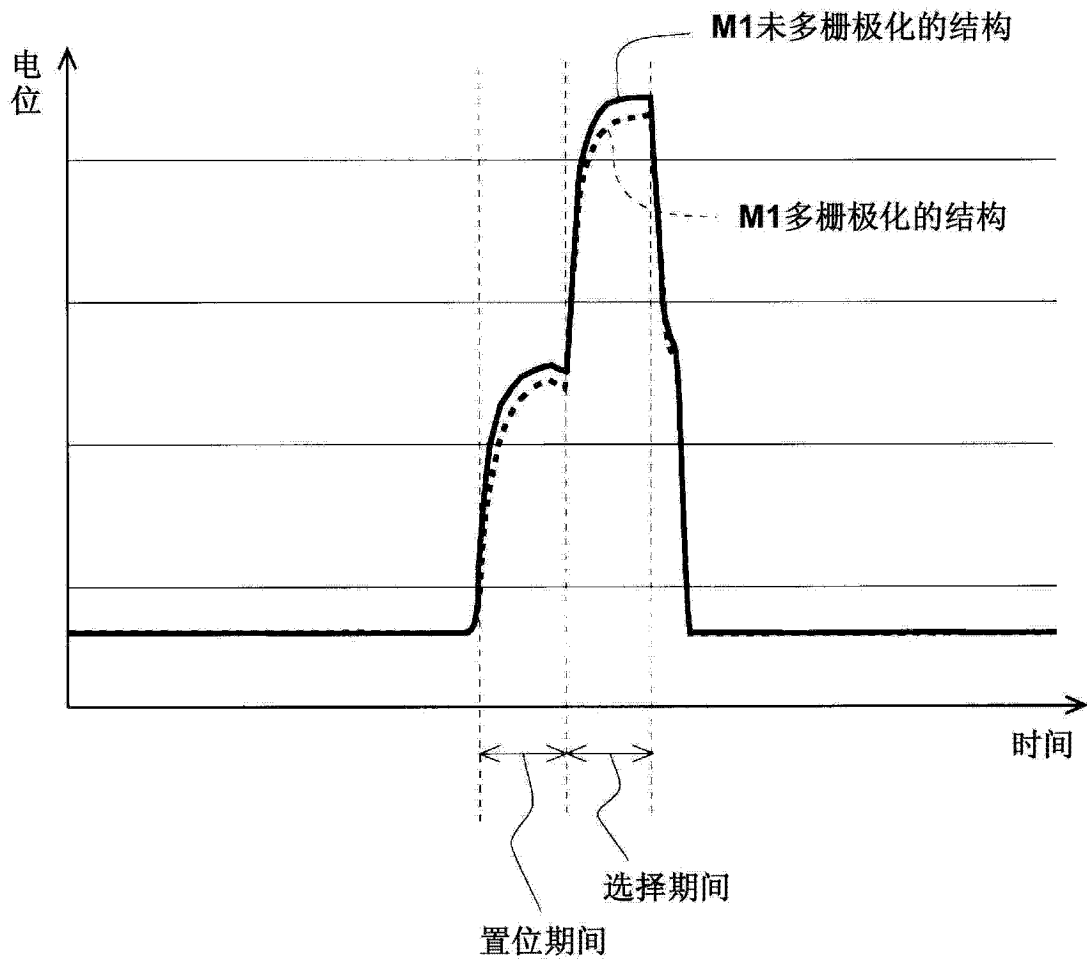


图 27

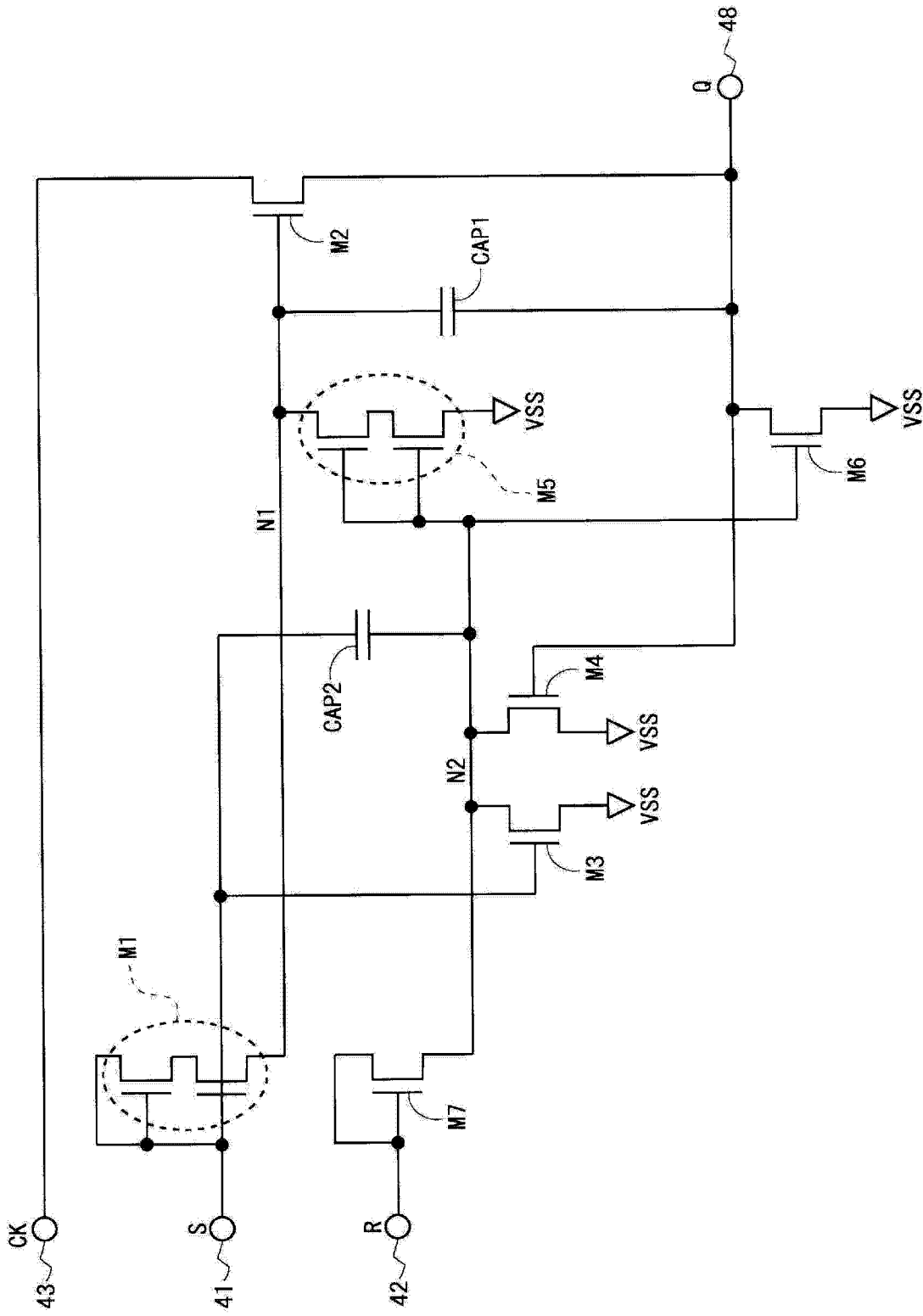


图 28

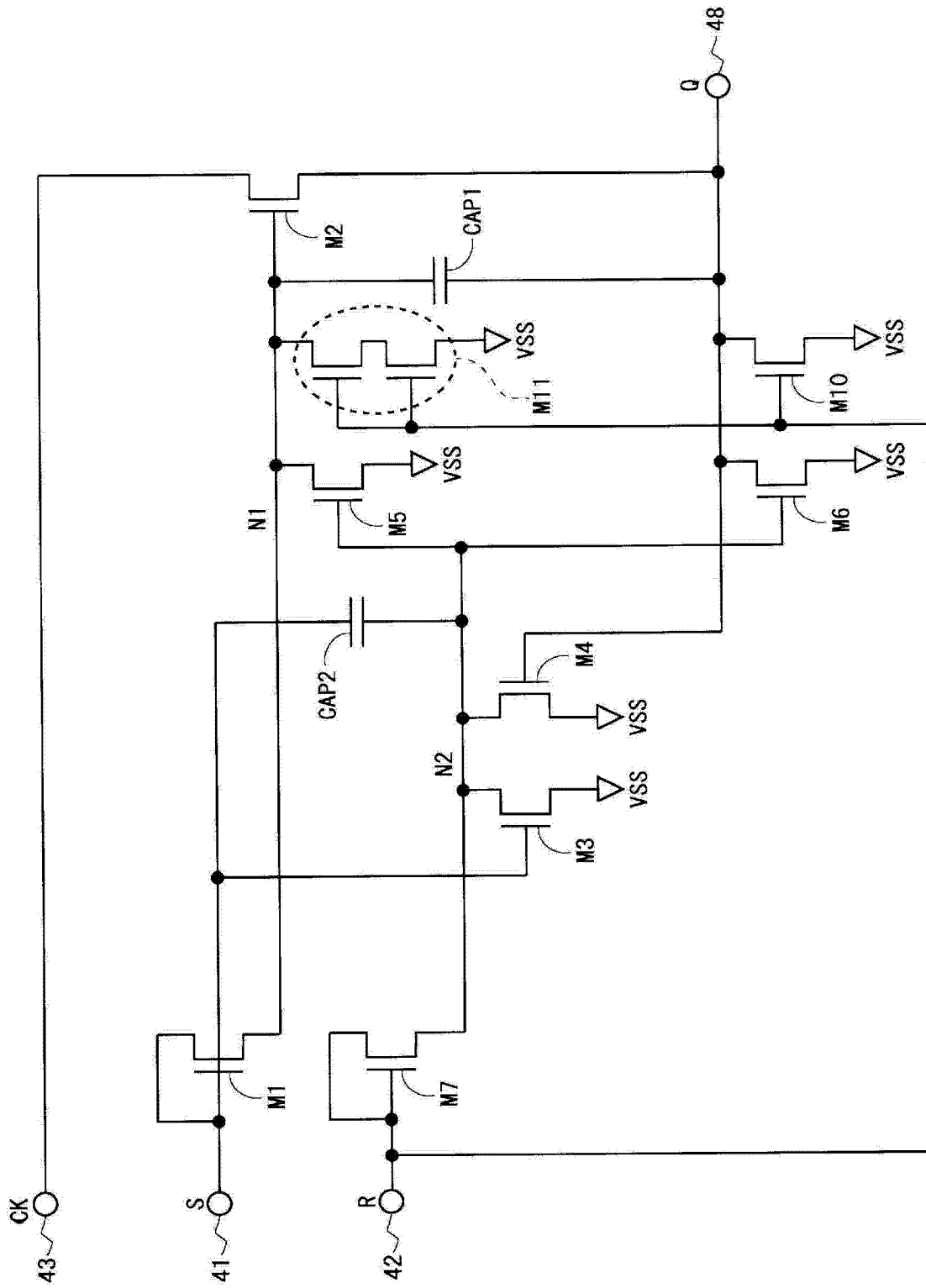


图 29

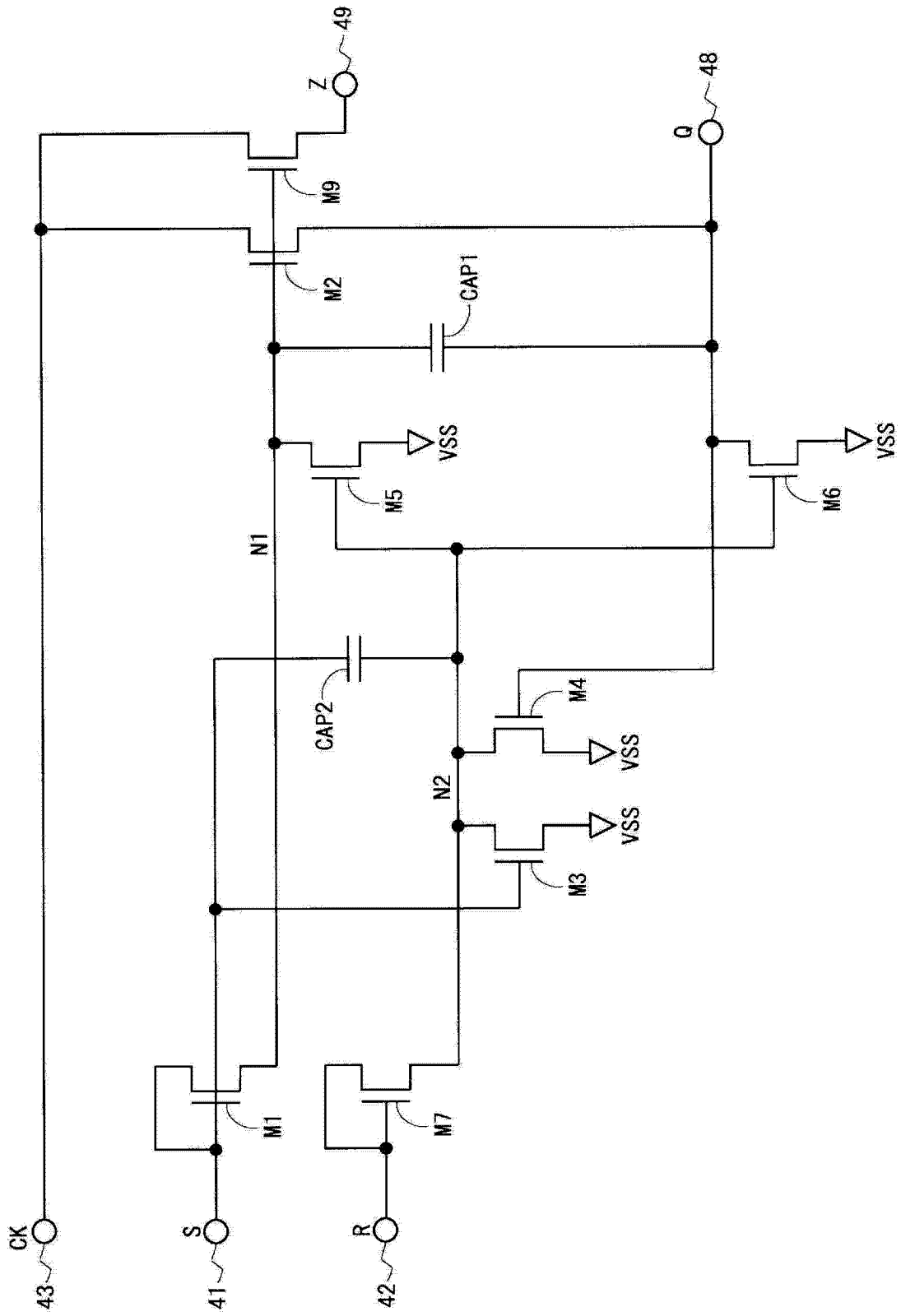


图 30

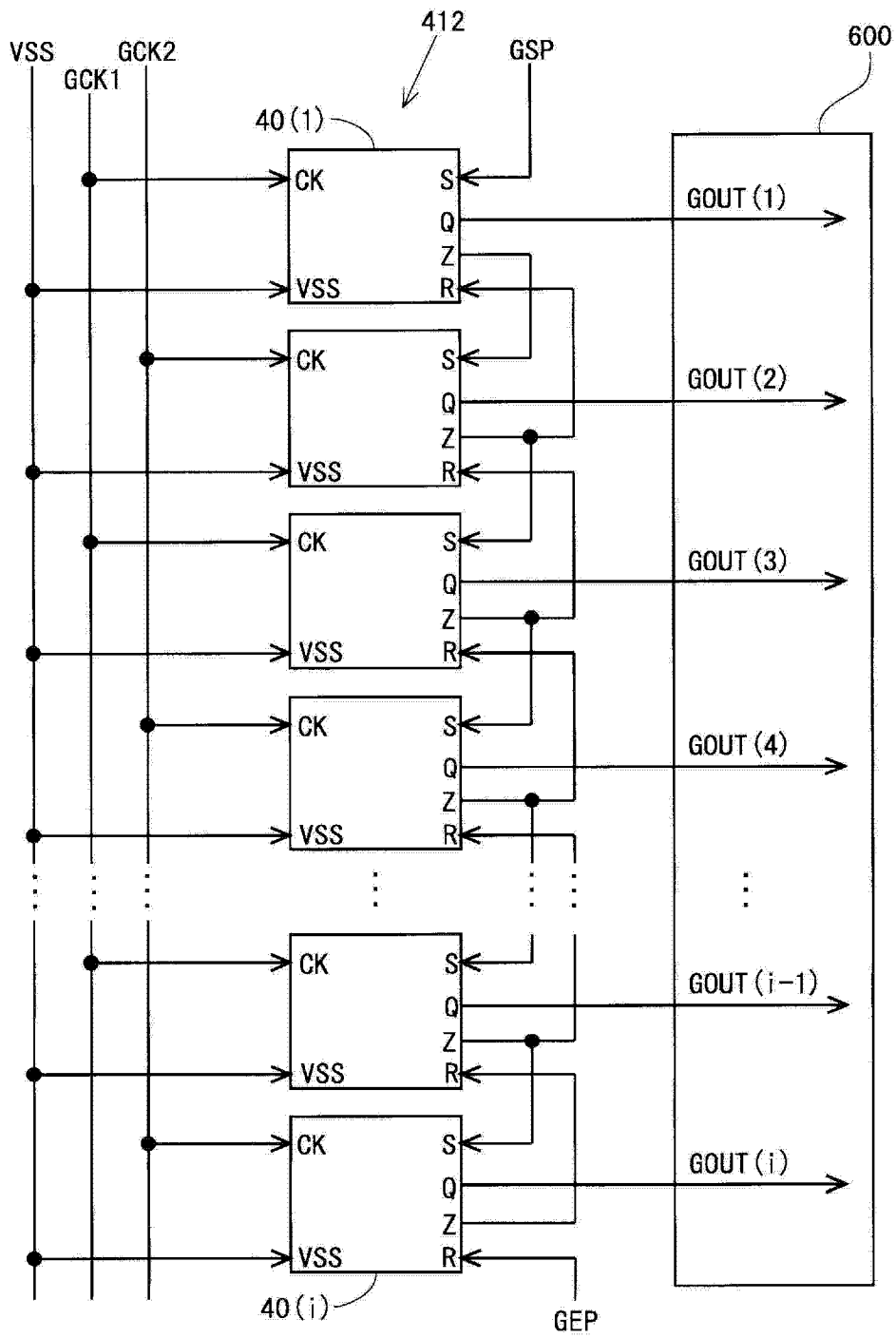


图 31

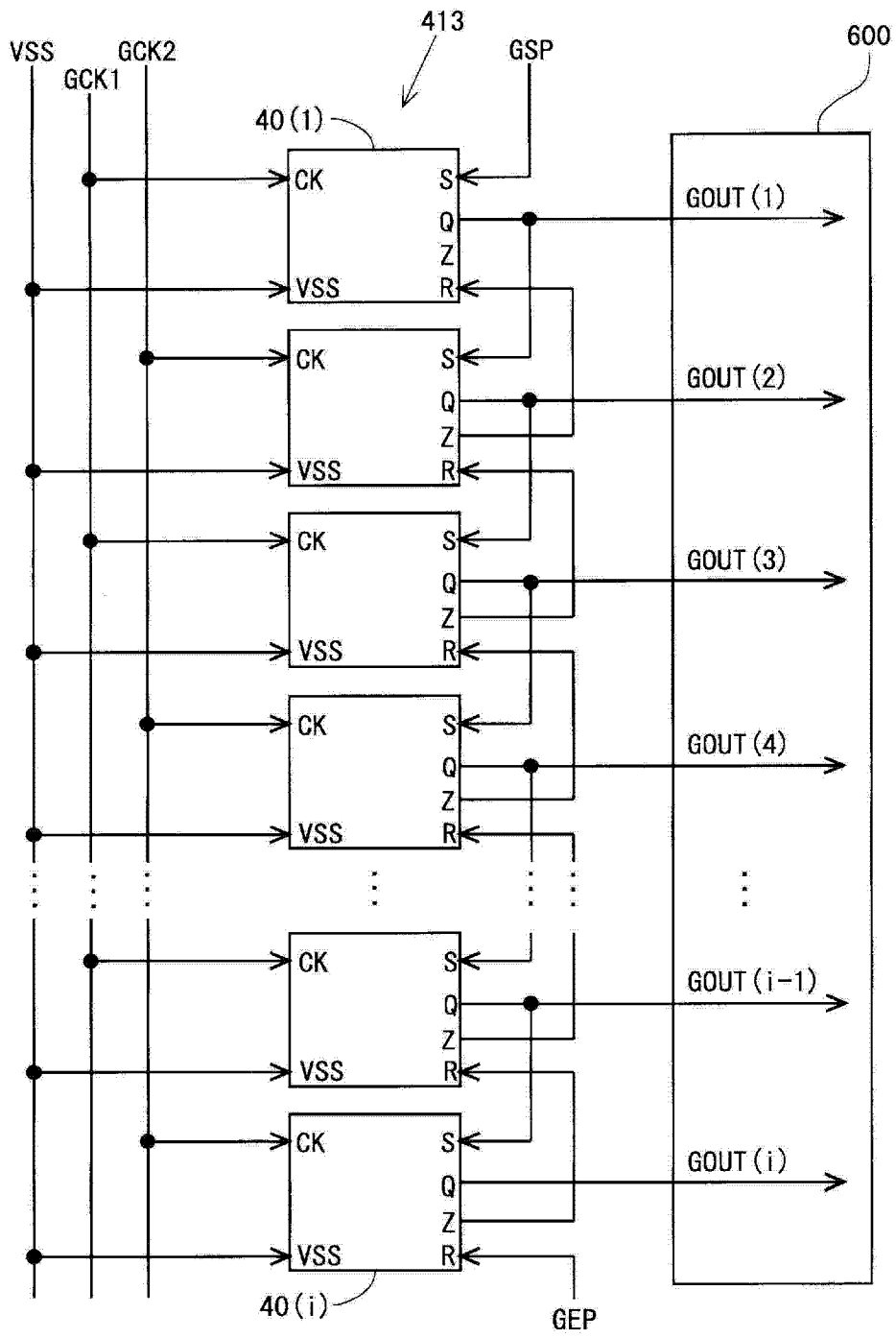


图 32

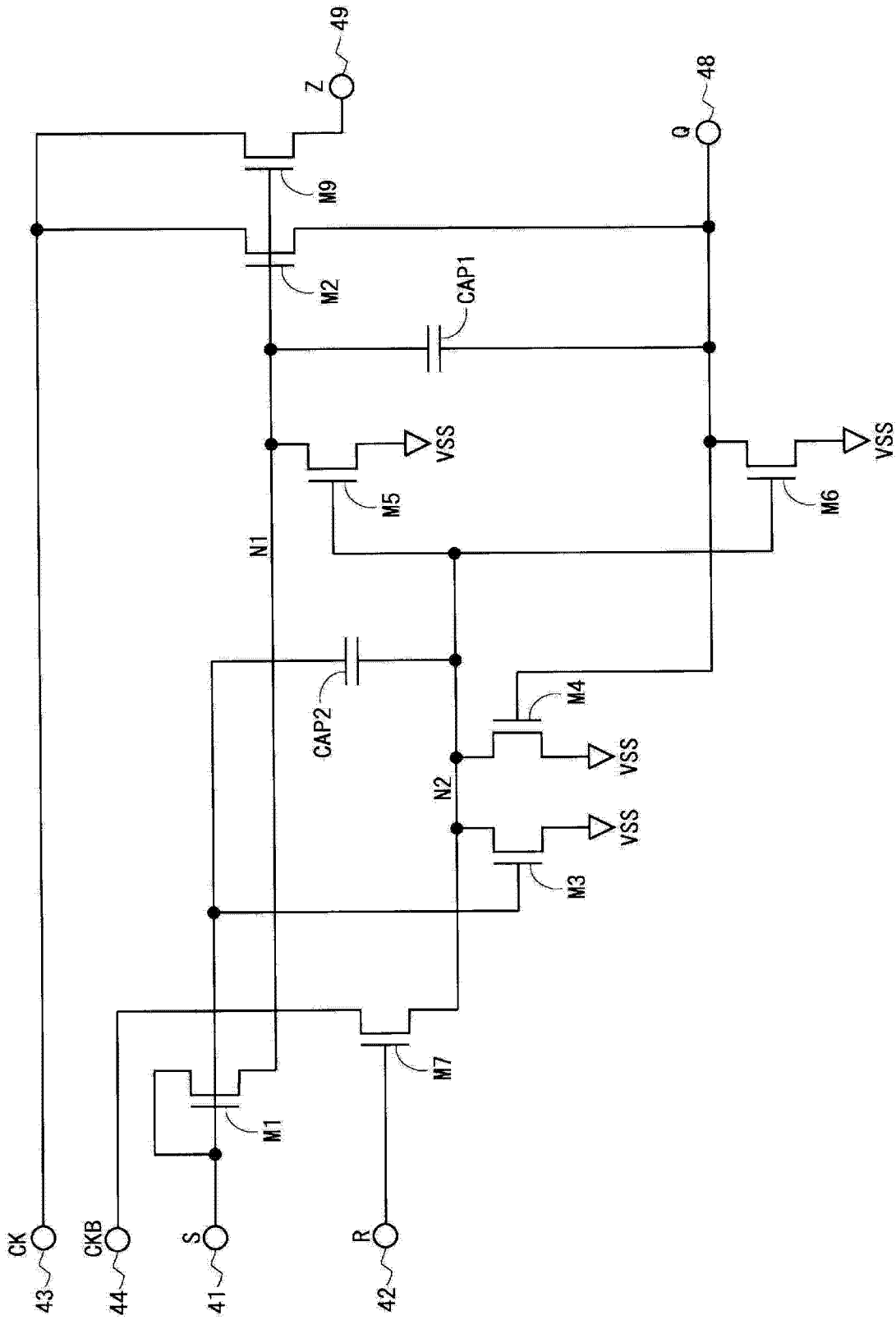


图 33

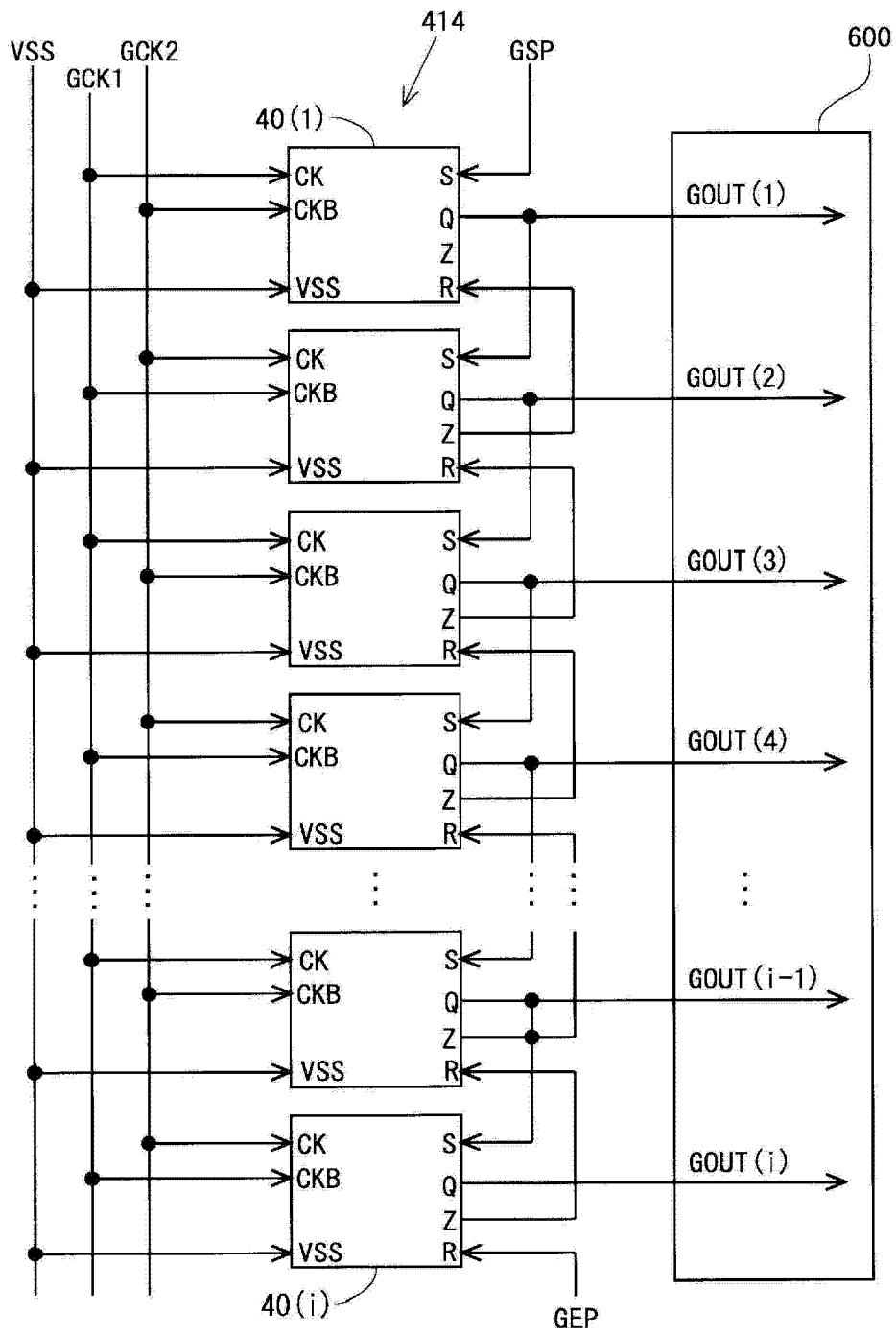


图 34

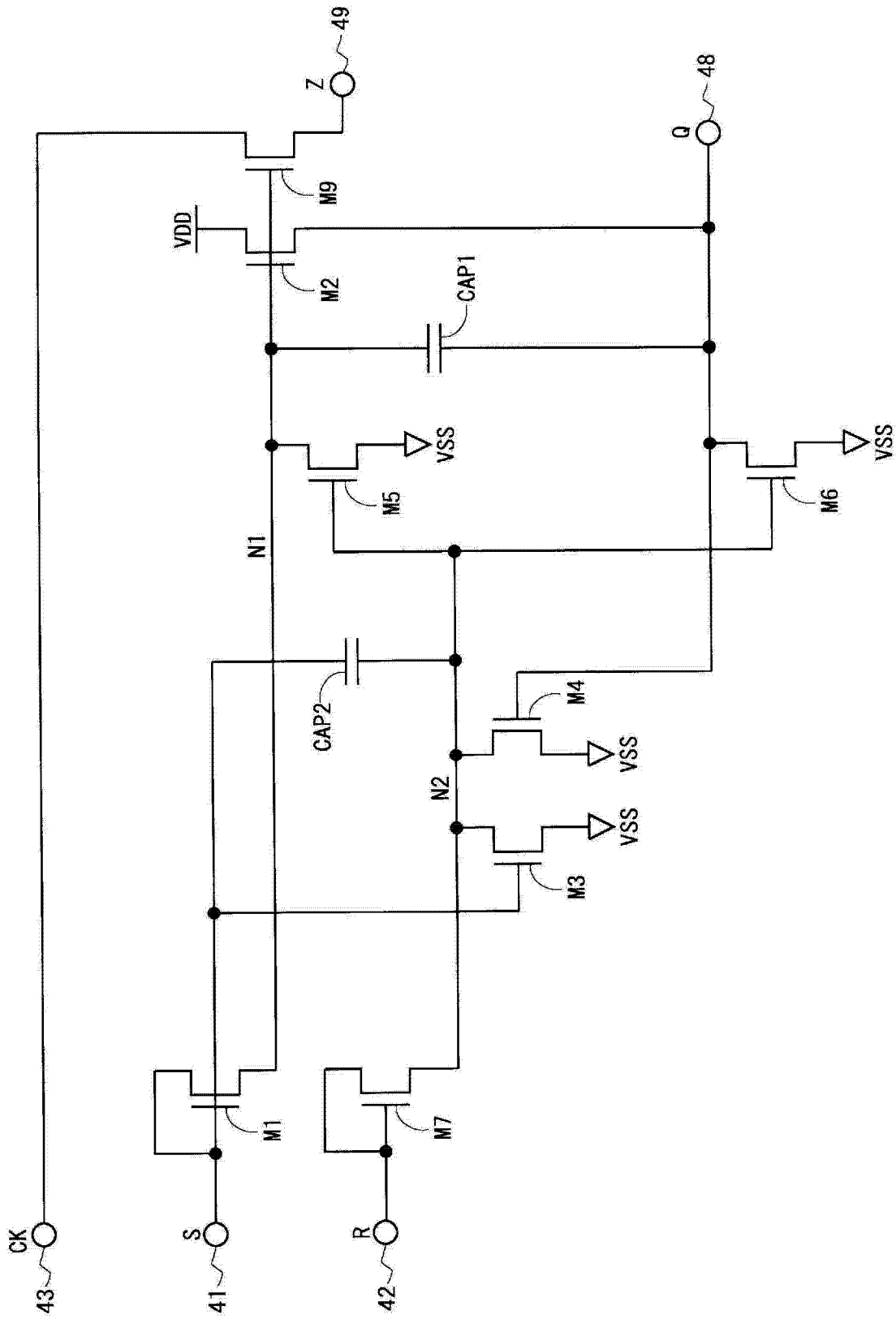


图 35

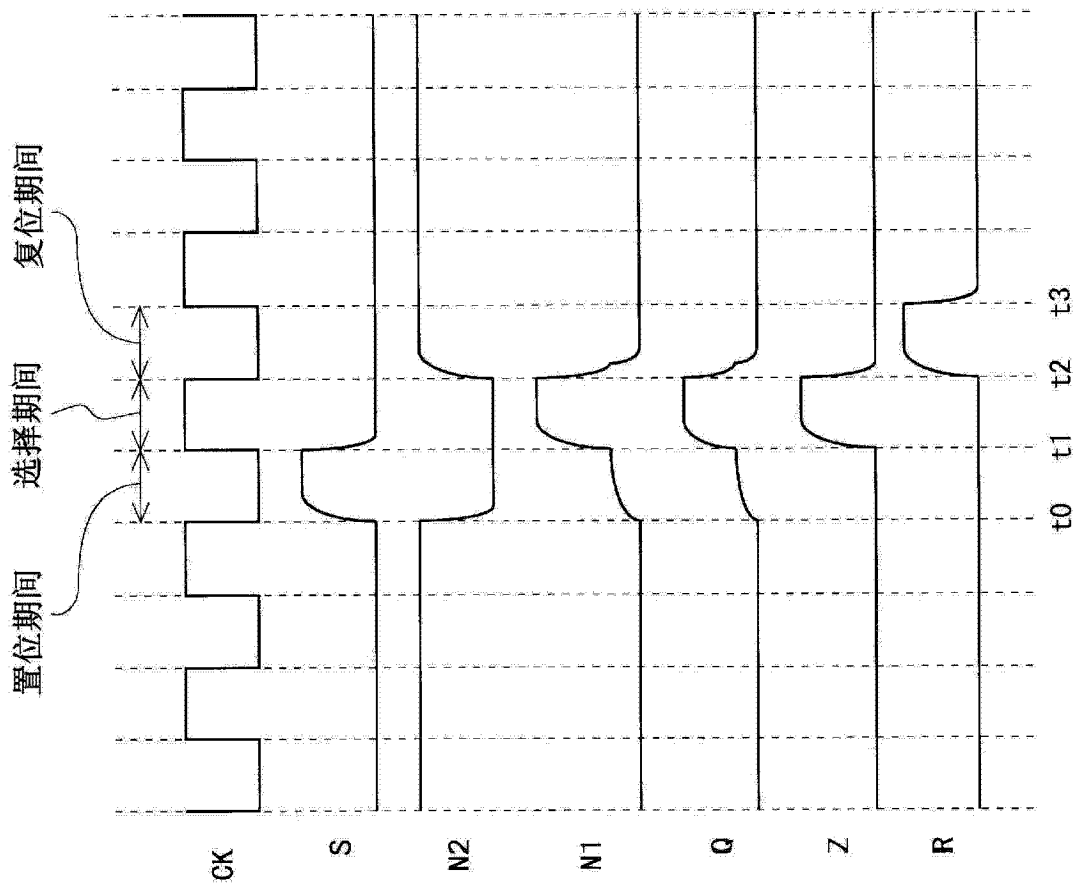


图 36

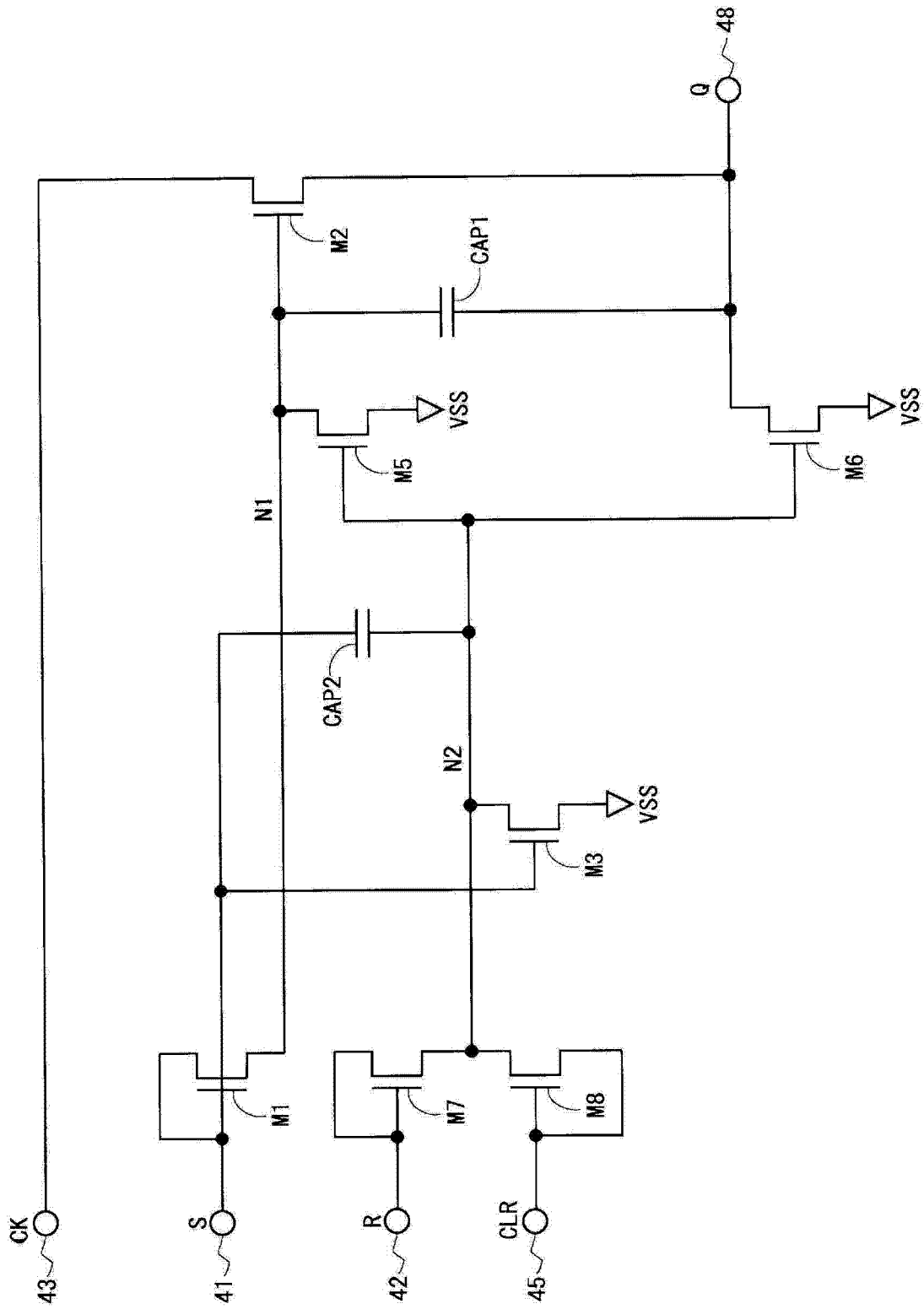


图 37

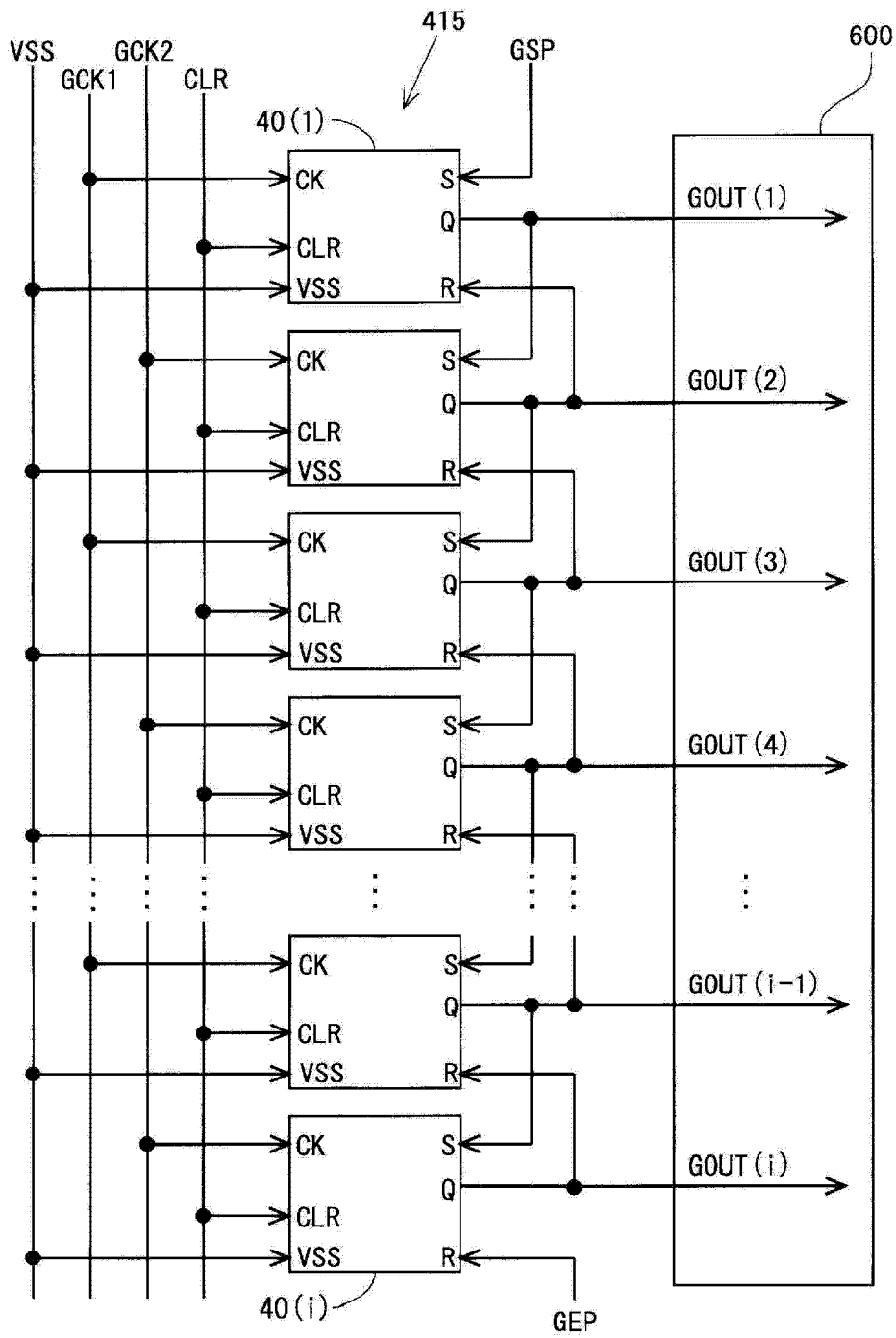


图 38

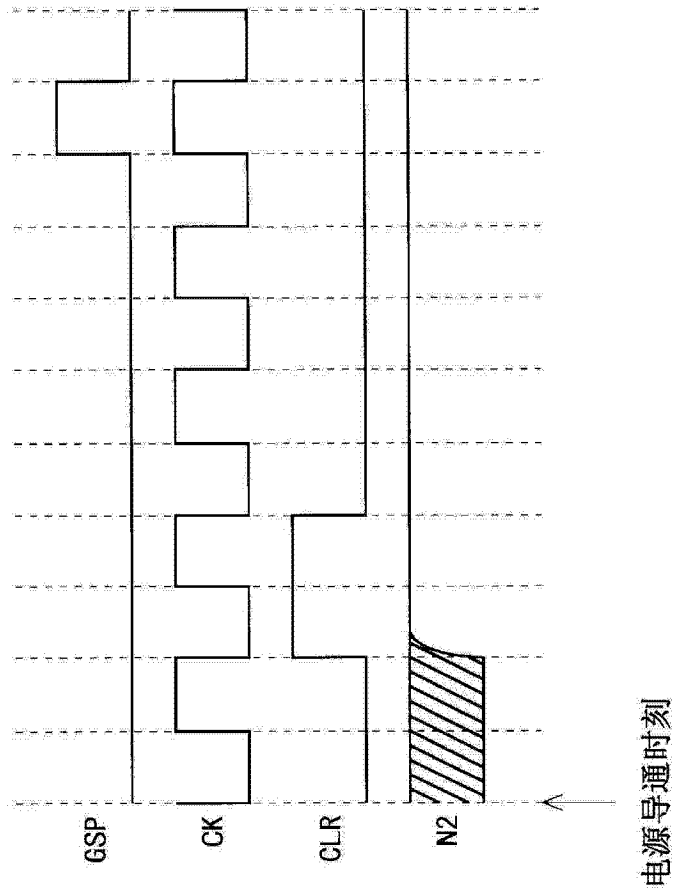


图 39

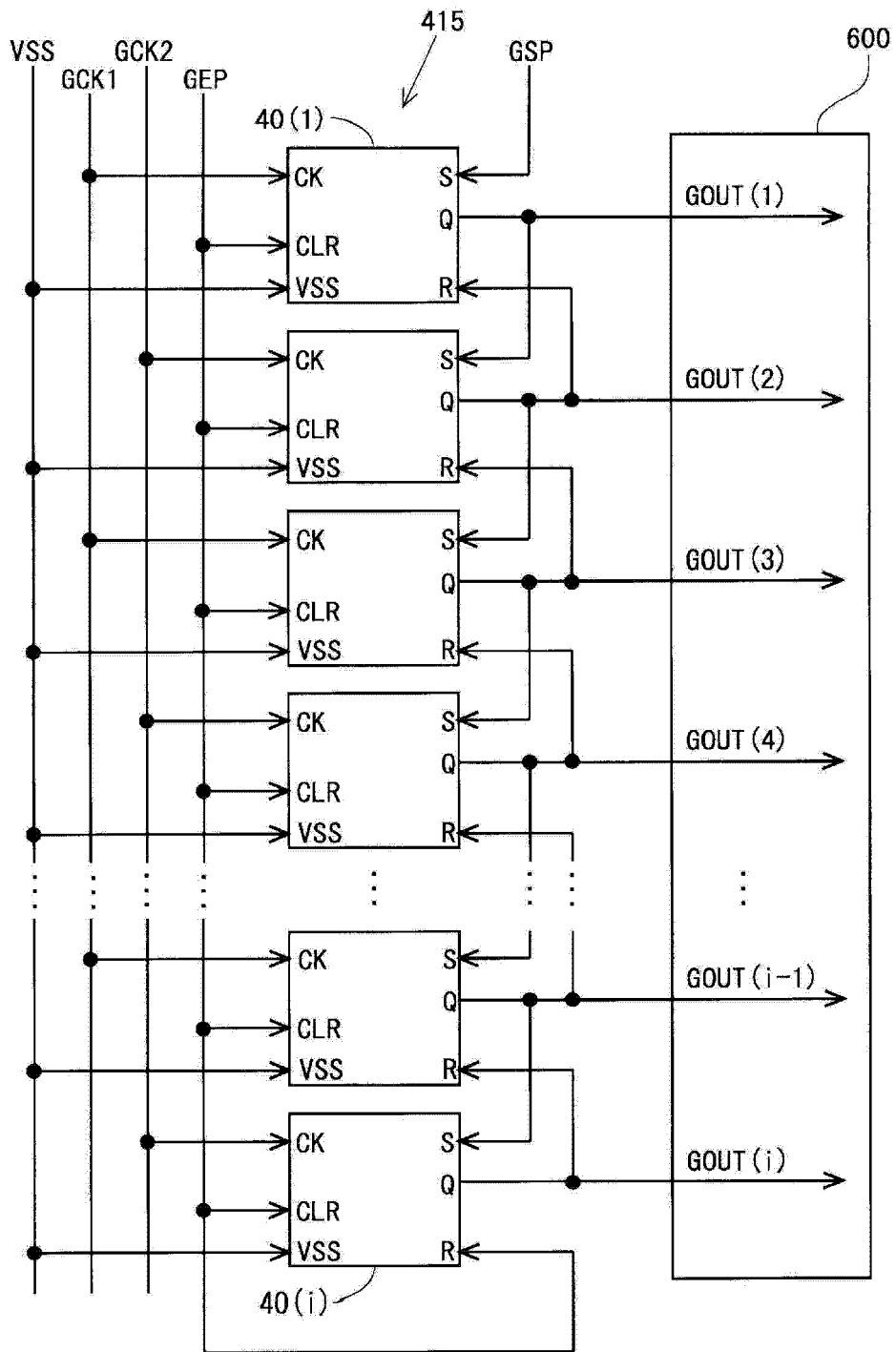


图 40

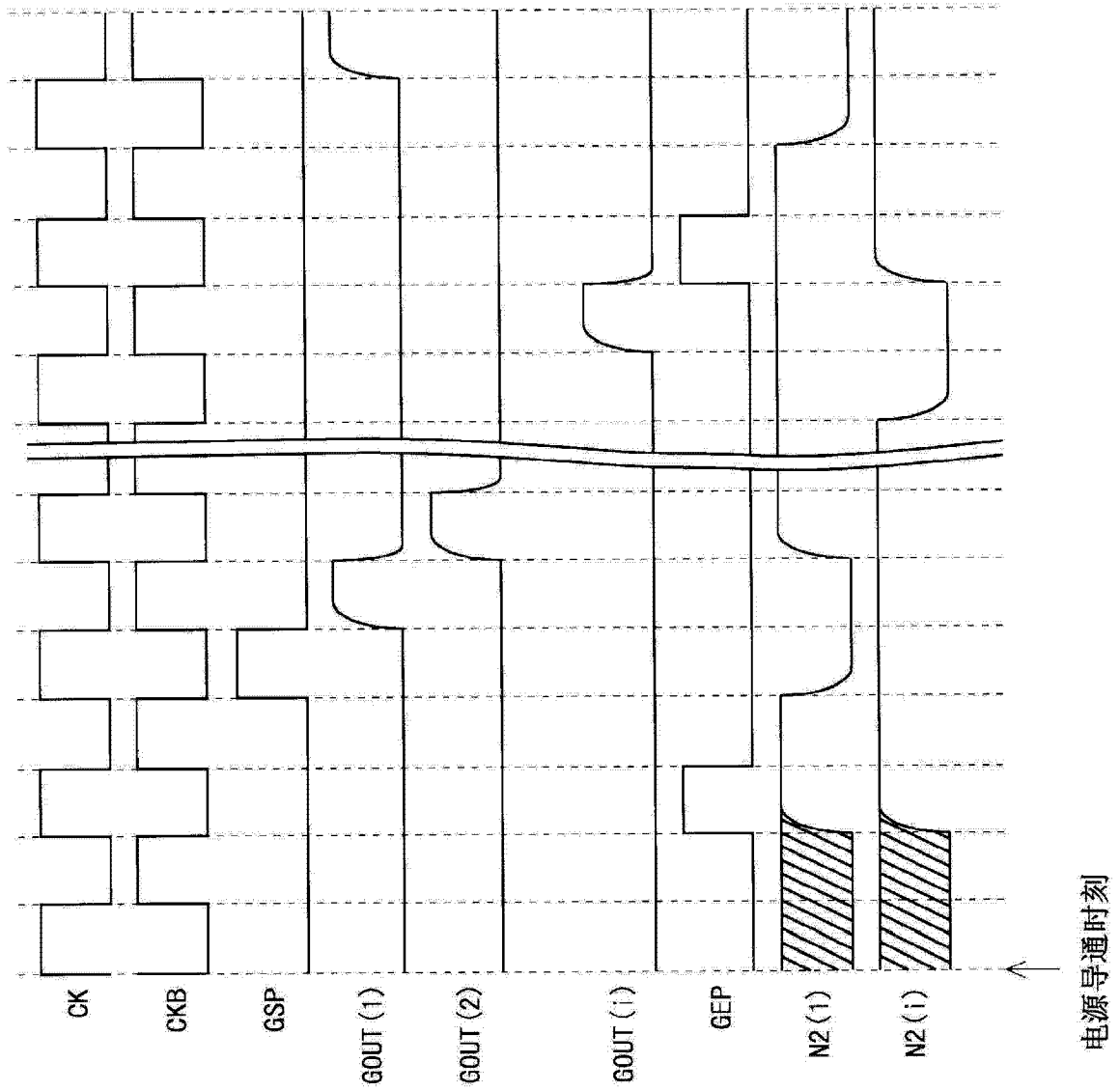


图 41

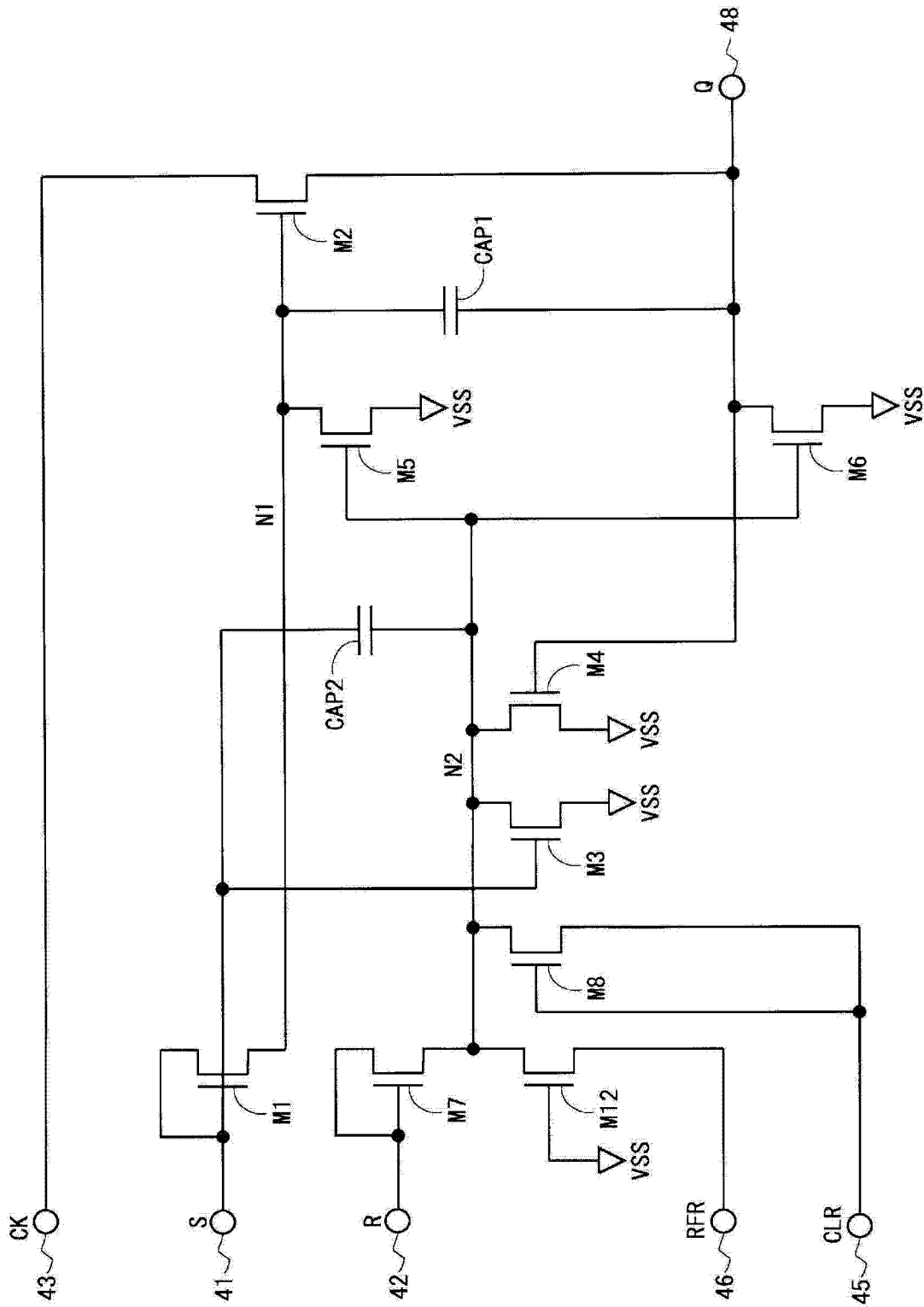


图 42

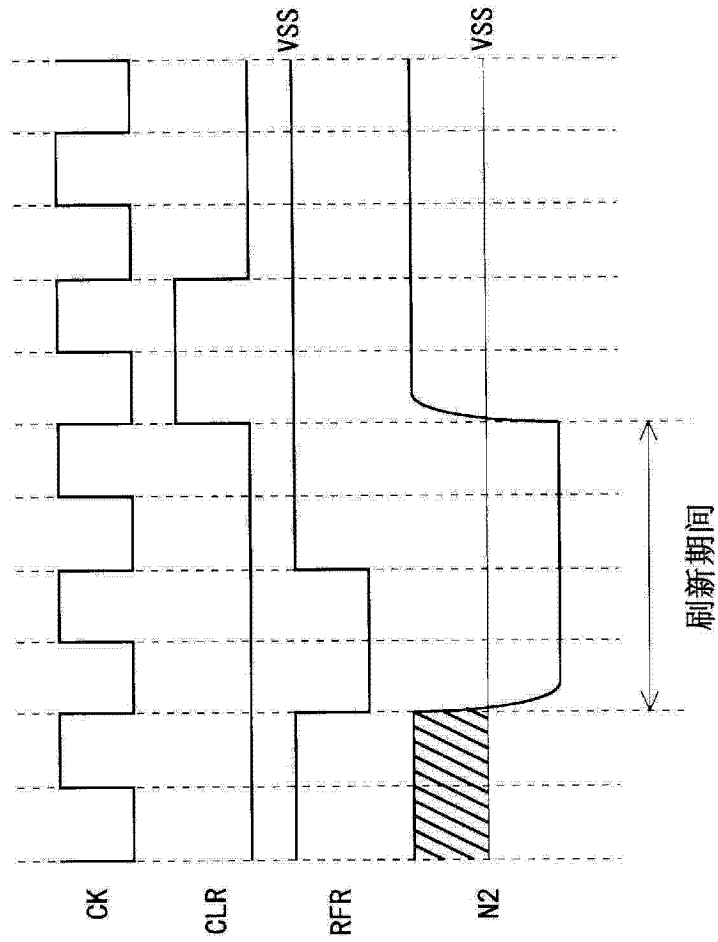


图 43

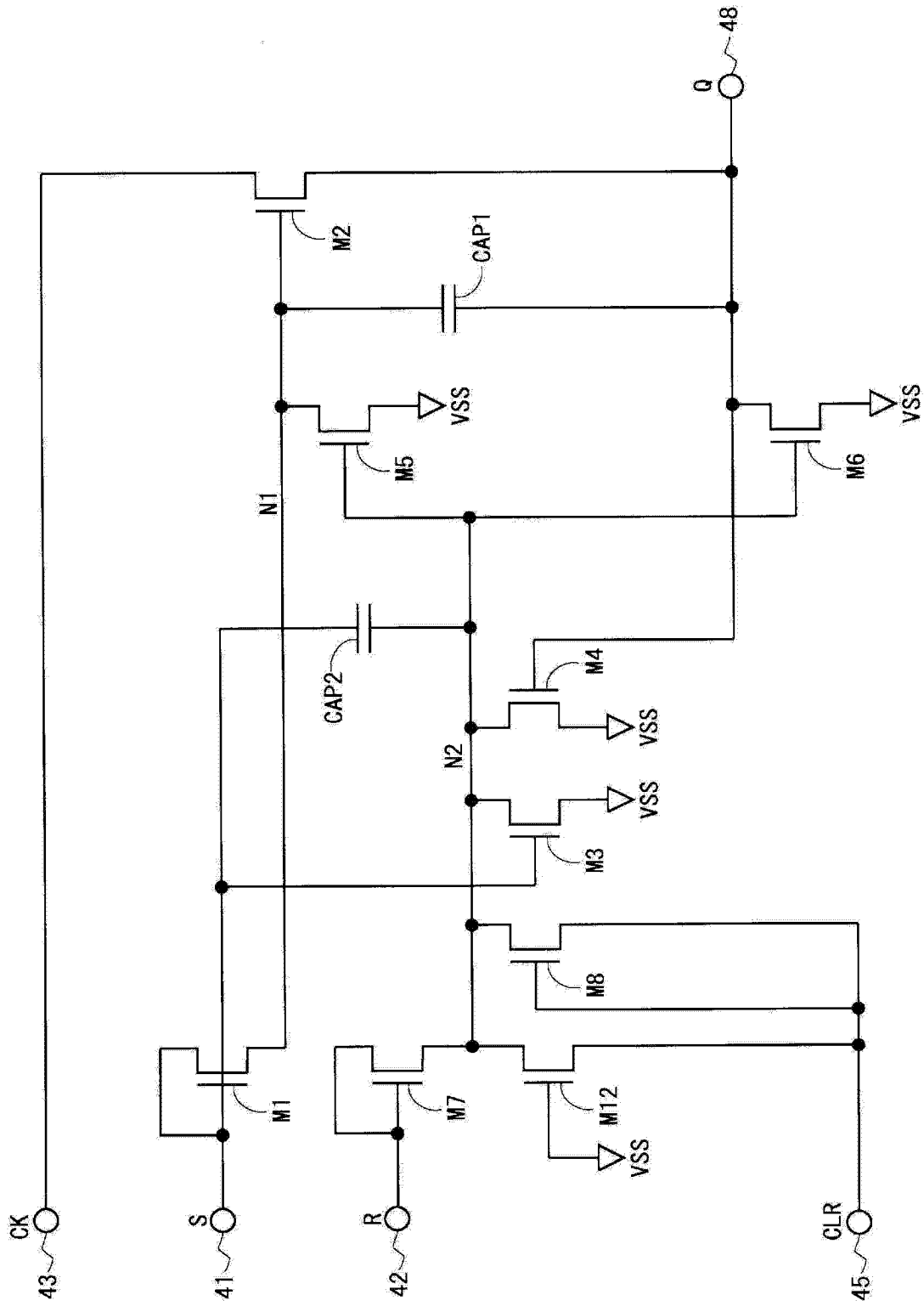


图 44

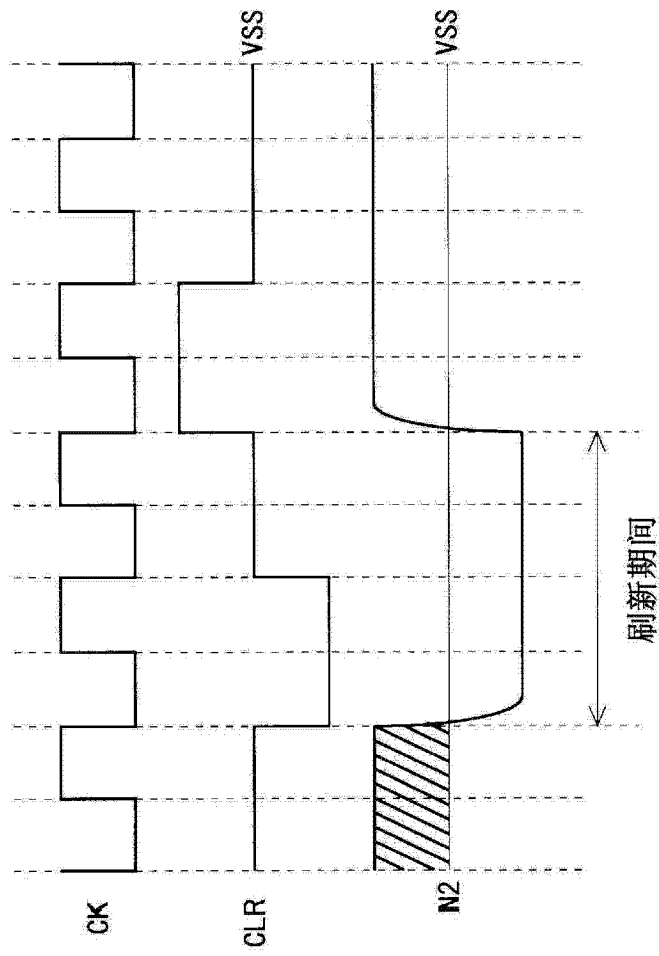


图 45

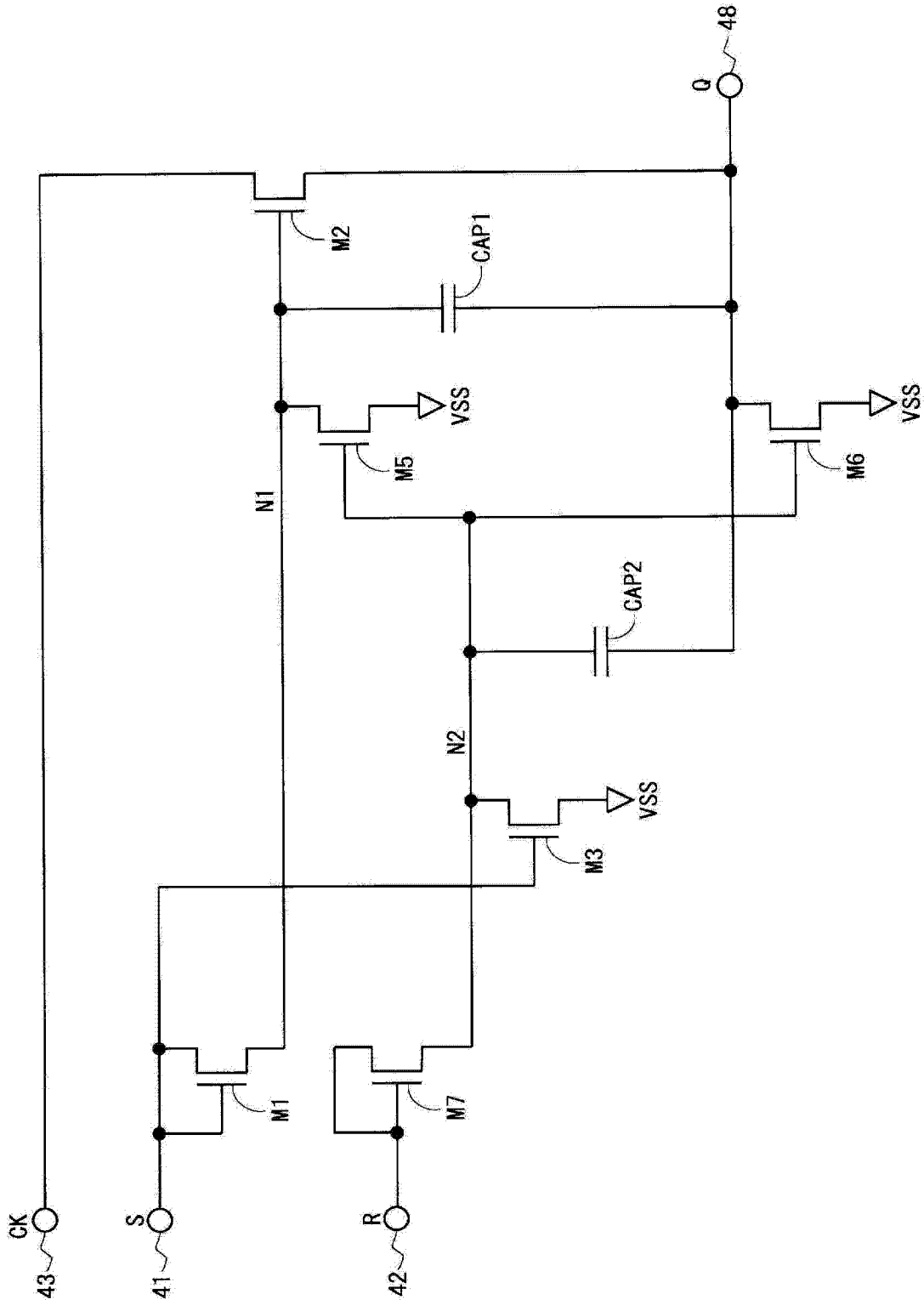


图 46

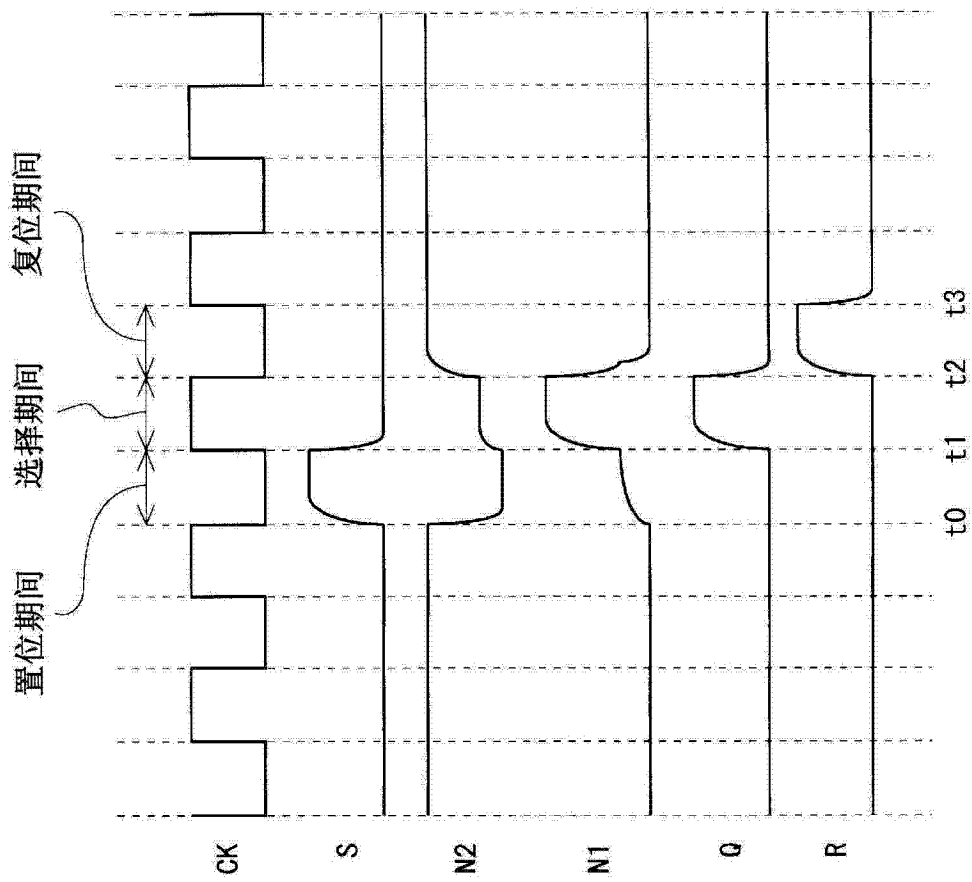


图 47

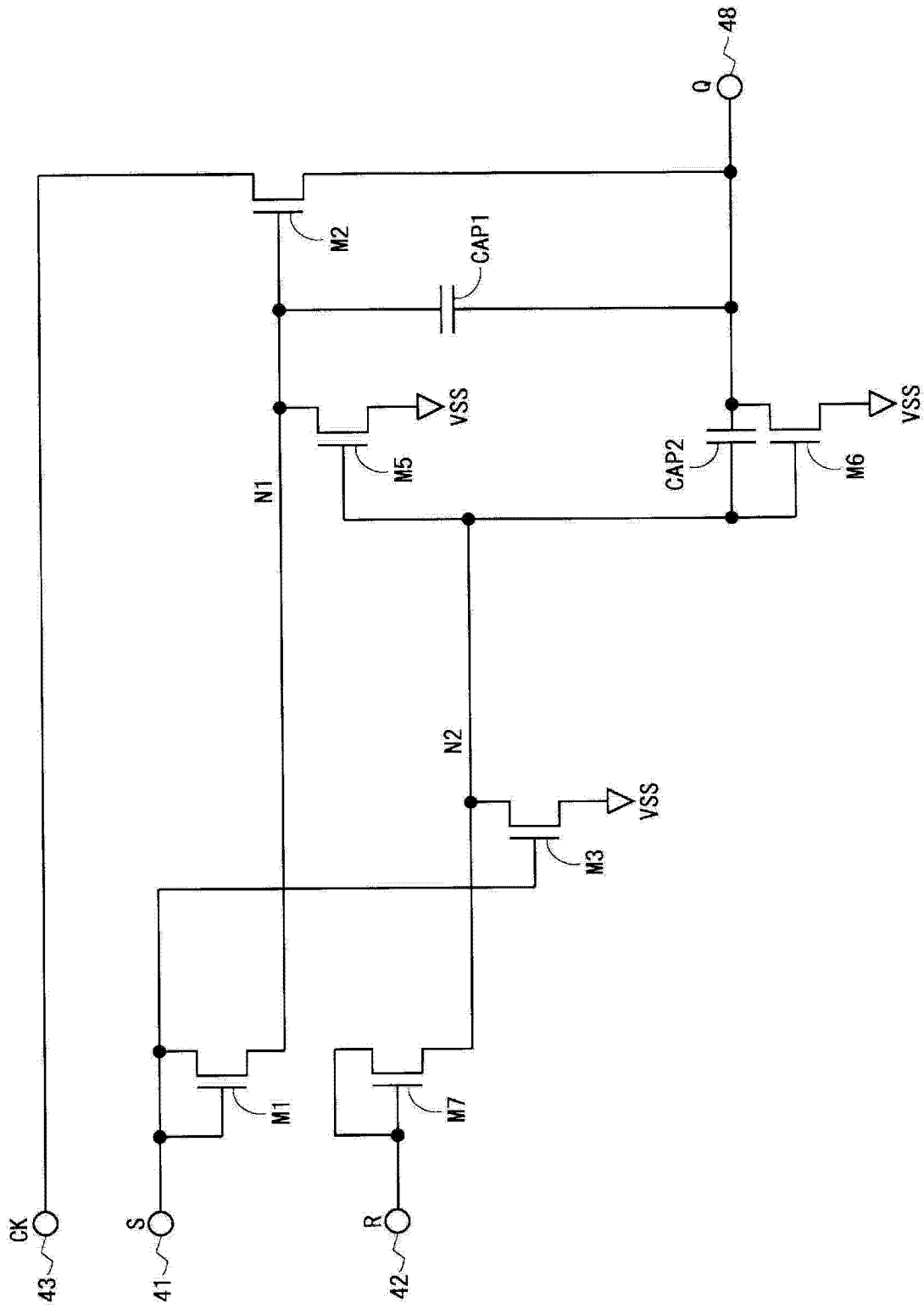


图 48

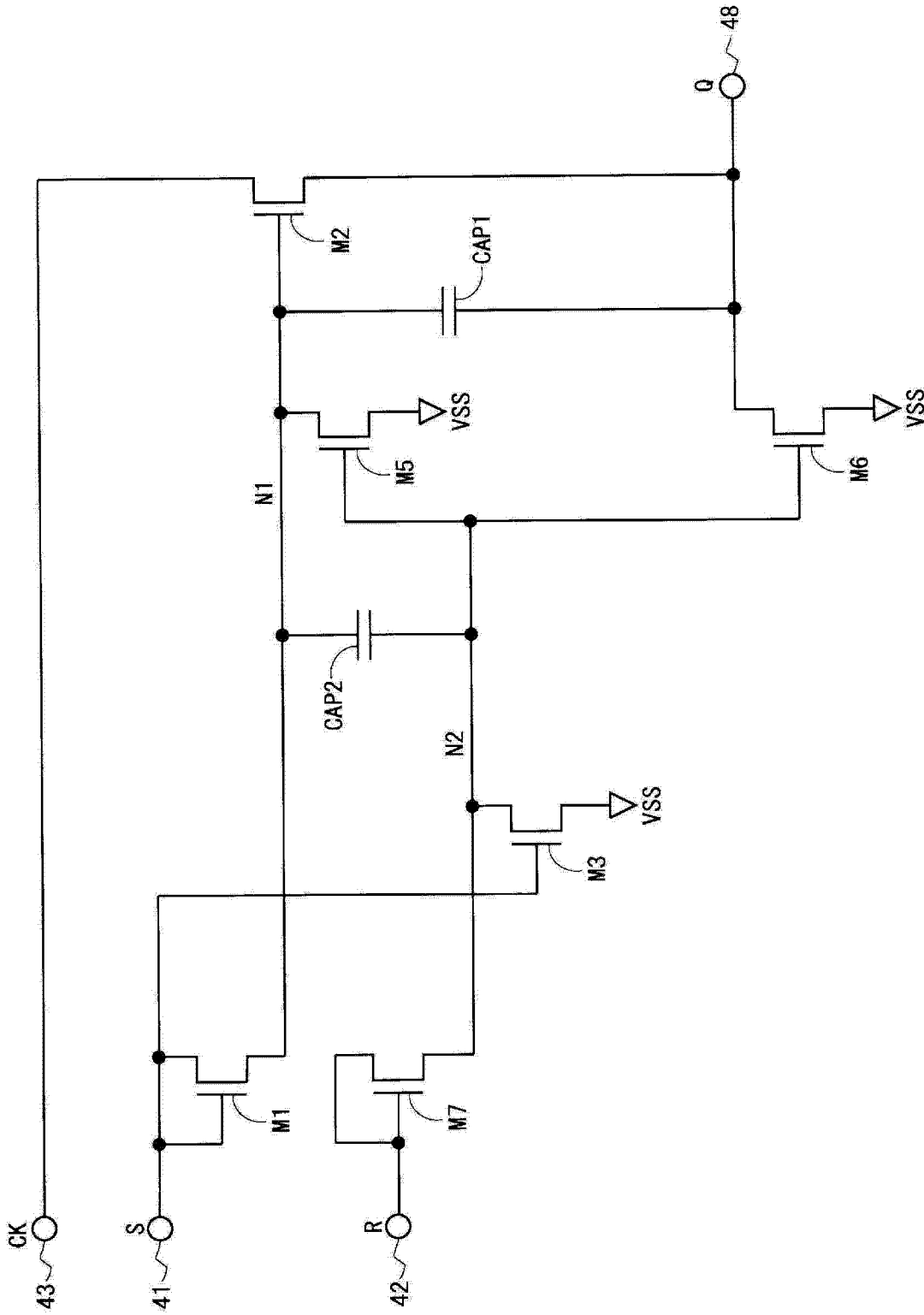


图 49

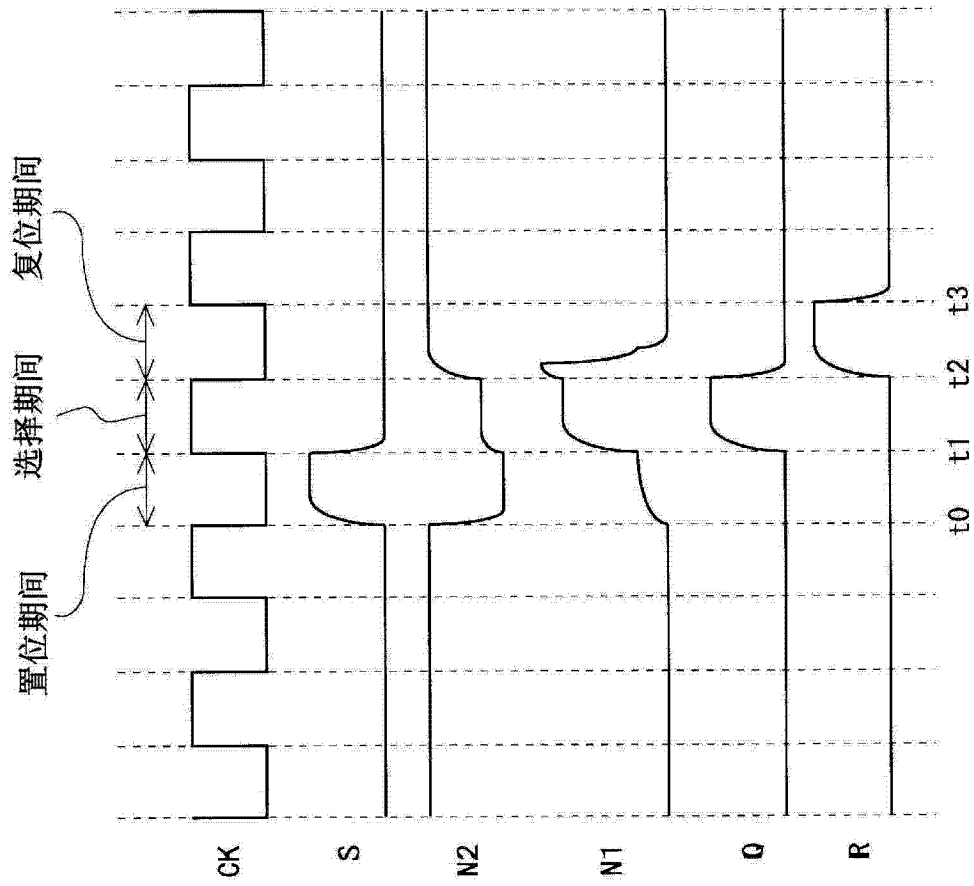


图 50

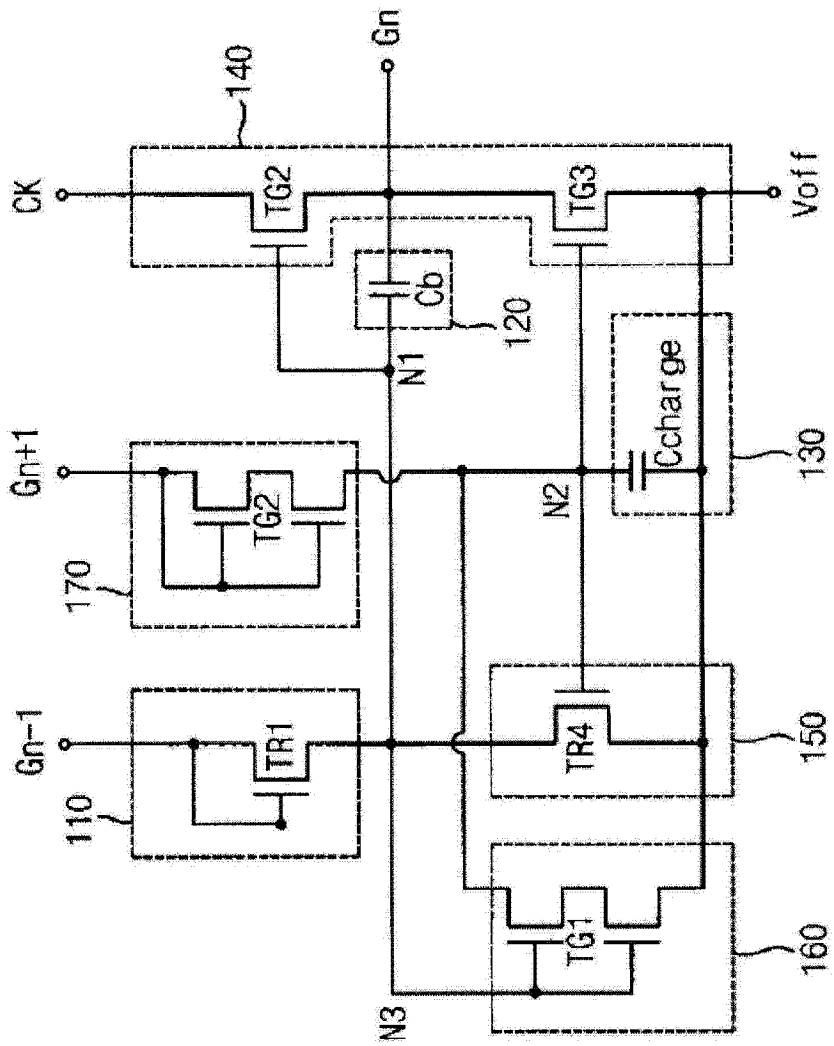


图 51

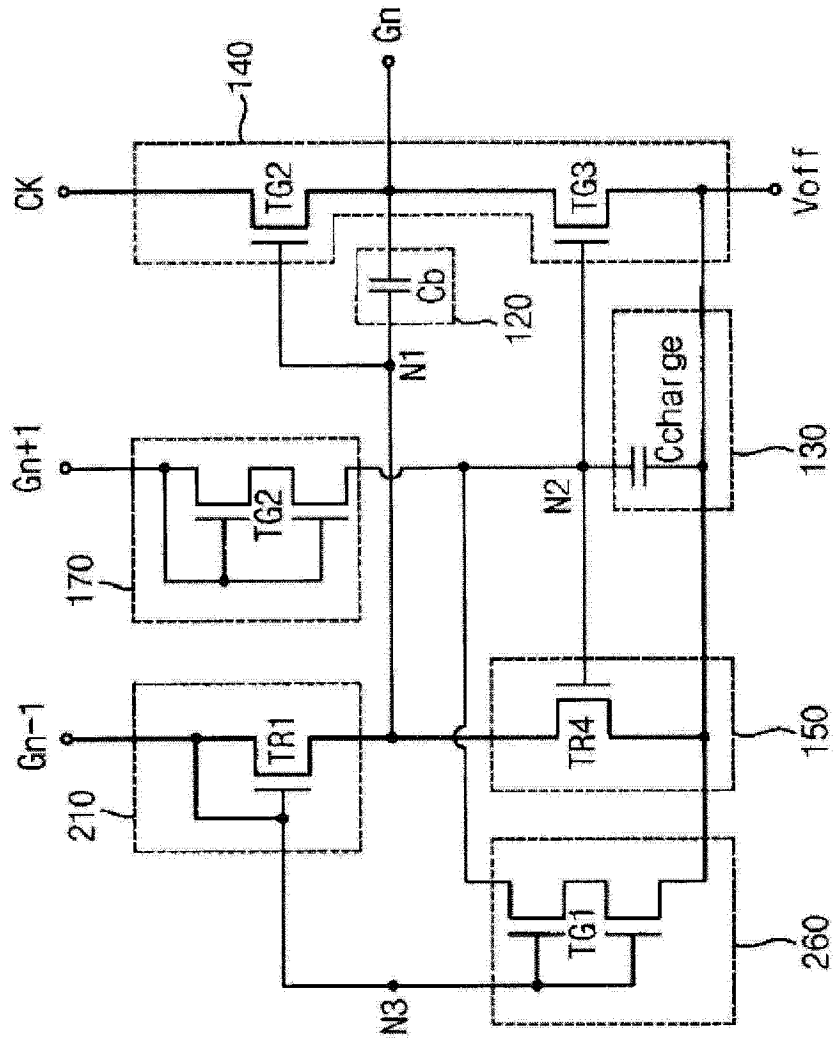


图 52