



# (12) 发明专利申请

(10) 申请公布号 CN 116896862 A

(43) 申请公布日 2023. 10. 17

(21) 申请号 202211586563.4

(22) 申请日 2022.12.09

(30) 优先权数据

10-2022-0040056 2022.03.31 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金钟珉 尹灿植 金孝燮 朴素贤

安潸娜

(74) 专利代理机构 北京市立方律师事务所

11330

专利代理人 李娜 王占杰

(51) Int. Cl.

H10B 12/00 (2023.01)

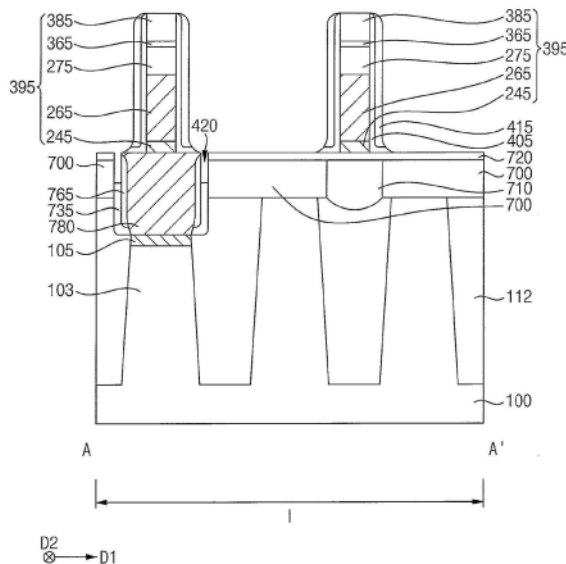
权利要求书3页 说明书15页 附图47页

(54) 发明名称

半导体器件

(57) 摘要

提供了一种半导体器件,所述半导体器件包括:导电接触插塞,所述导电接触插塞位于衬底上,并且包括下部和位于所述下部上的上部,所述下部具有第一宽度,并且所述上部具有小于所述第一宽度的第二宽度;位线结构,所述位线结构位于所述导电接触插塞上,并且包括在与所述衬底的上表面垂直的垂直方向上设置的导电结构和绝缘结构;以及第一下间隔物、第二下间隔物和第三下间隔物,所述第一下间隔物、所述第二下间隔物和所述第三下间隔物在与所述衬底的所述上表面平行的水平方向上顺序地设置在所述导电接触插塞的所述下部的侧壁上,其中,所述第三下间隔物的最上表面高于所述第一下间隔物的上表面和所述第二下间隔物的上表面。



1. 一种半导体器件,所述半导体器件包括:

导电接触插塞,所述导电接触插塞位于衬底上,并且包括下部和位于所述下部的上部,所述下部具有第一宽度,并且所述上部具有小于所述第一宽度的第二宽度;

位线结构,所述位线结构位于所述导电接触插塞上,并且包括在与所述衬底的上表面垂直的垂直方向上设置的导电结构和绝缘结构;以及

第一下间隔物、第二下间隔物和第三下间隔物,所述第一下间隔物、所述第二下间隔物和所述第三下间隔物在与所述衬底的所述上表面平行的水平方向上顺序地设置在所述导电接触插塞的所述下部的侧壁上,

其中,所述第三下间隔物的最上表面高于所述第一下间隔物的上表面和所述第二下间隔物的上表面。

2. 根据权利要求1所述的半导体器件,其中,所述第一下间隔物的所述上表面和所述第二下间隔物的所述上表面彼此共面。

3. 根据权利要求1所述的半导体器件,其中,所述第一下间隔物、所述第二下间隔物和所述第三下间隔物分别包括碳化硅、氧化硅和氮化硅。

4. 根据权利要求1所述的半导体器件,所述半导体器件还包括:

覆盖图案,所述覆盖图案位于所述导电接触插塞的所述上部的侧壁上、所述导电接触插塞的所述下部的上表面上、所述第一下间隔物的所述上表面上、所述第二下间隔物的所述上表面上以及所述第三下间隔物的上表面和上侧壁上;以及

绝缘填充图案,所述绝缘填充图案位于所述覆盖图案上。

5. 根据权利要求4所述的半导体器件,所述半导体器件还包括上间隔物结构,所述上间隔物结构位于所述覆盖图案和所述绝缘填充图案上并且设置在所述位线结构的侧壁上。

6. 根据权利要求1所述的半导体器件,所述半导体器件还包括有源图案和隔离图案,所述有源图案和隔离图案位于所述衬底上,所述隔离图案设置在所述有源图案的侧壁上,

其中,所述导电接触插塞接触所述有源图案的中心上表面。

7. 根据权利要求6所述的半导体器件,其中,所述第三下间隔物的最上表面在所述垂直方向上高于所述隔离图案的上表面。

8. 根据权利要求6所述的半导体器件,所述半导体器件还包括导电焊盘结构,所述导电焊盘结构位于所述有源图案和所述隔离图案上并且在所述水平方向上与所述导电接触插塞的至少一部分交叠。

9. 根据权利要求8所述的半导体器件,其中,所述导电焊盘结构包括在所述垂直方向上顺序设置的第一焊盘、第二焊盘和第三焊盘,并且

其中,所述第一焊盘、所述第二焊盘和所述第三焊盘分别包括掺杂有杂质的多晶硅、金属硅化物和金属。

10. 根据权利要求9所述的半导体器件,其中,所述第三下间隔物的最上表面在所述垂直方向上高于所述第二焊盘的上表面。

11. 一种半导体器件,所述半导体器件包括:

有源图案,所述有源图案位于衬底上;

隔离图案,所述隔离图案设置在所述有源图案的侧壁上;

导电接触插塞,所述导电接触插塞接触所述有源图案的上表面;

位线结构,所述位线结构位于所述导电接触插塞上;

导电焊盘结构,所述导电焊盘结构位于所述有源图案和所述隔离图案上,所述导电焊盘结构在与所述衬底的所述上表面平行的水平方向上与所述导电接触插塞的至少一部分交叠,并且包括在与所述衬底的所述上表面垂直的垂直方向上顺序设置的第一焊盘、第二焊盘和第三焊盘;以及

第一下间隔物和第二下间隔物,所述第一下间隔物和所述第二下间隔物在所述导电接触插塞的侧壁上在所述水平方向上堆叠,

其中,所述第二下间隔物的最上表面在所述垂直方向上高于所述第二焊盘的上表面。

12. 根据权利要求11所述的半导体器件,其中,所述第一下间隔物的最上表面与所述第二下间隔物的所述最上表面是共面的。

13. 根据权利要求11所述的半导体器件,其中,所述第一下间隔物和所述第二下间隔物分别包括碳氧化硅和氮化硅。

14. 根据权利要求11所述的半导体器件,其中,所述第一焊盘、所述第二焊盘和所述第三焊盘分别包括掺杂有杂质的多晶硅、金属硅化物和金属。

15. 根据权利要求11所述的半导体器件,其中,所述导电接触插塞包括下部和位于所述下部上的上部,

其中,所述下部具有第一宽度,并且所述上部具有小于所述第一宽度的第二宽度,并且

其中,所述第一下间隔物和所述第二下间隔物设置在所述导电接触插塞的所述下部的侧壁上。

16. 根据权利要求15所述的半导体器件,所述半导体器件还包括:

覆盖图案,所述覆盖图案位于所述导电接触插塞的所述上部的侧壁上、所述导电接触插塞的所述下部的上表面上、所述第一下间隔物的上表面上和所述第二下间隔物的上表面上;以及

绝缘填充图案,所述绝缘填充图案位于所述覆盖图案上。

17. 根据权利要求16所述的半导体器件,所述半导体器件还包括间隔物结构,所述间隔物结构位于所述覆盖图案和所述绝缘填充图案上并且设置在所述位线结构的侧壁上。

18. 一种半导体器件,所述半导体器件包括:

有源图案,所述有源图案位于衬底上;

隔离图案,所述隔离图案位于所述衬底上,并且设置在所述有源图案的侧壁上;

栅极结构,所述栅极结构在与所述衬底的上表面平行的第一方向上延伸,并且所述栅极结构被包括在所述有源图案的上部和所述隔离图案的上部中;

导电焊盘结构,所述导电焊盘结构位于所述有源图案和所述隔离图案上;

导电接触插塞,所述导电接触插塞延伸穿过所述导电焊盘结构并且接触所述有源图案的中心上表面,所述导电接触插塞包括下部和位于所述下部上的上部,所述下部具有第一宽度,并且所述上部具有小于所述第一宽度的第二宽度;

位线结构,所述位线结构位于所述导电接触插塞和所述导电焊盘结构上,并且在与所述衬底的所述上表面平行且与所述第一方向垂直的第二方向上延伸;

第一下间隔物和第二下间隔物,所述第一下间隔物和所述第二下间隔物位于所述导电接触插塞的所述下部的侧壁上,在与所述衬底的所述上表面平行的水平方向上顺序地设

置,并且包括彼此不同的绝缘材料;

绝缘填充图案,所述绝缘填充图案位于所述第一下间隔物和所述第二下间隔物上;

上间隔物结构,所述上间隔物结构位于所述绝缘填充图案上,并且设置在所述位线结构的侧壁上;

接触插塞结构,所述接触插塞结构位于所述导电焊盘结构上;以及

电容器,所述电容器位于所述接触插塞结构上,

其中,所述第一下间隔物的最上表面和所述第二下间隔物的最上表面与所述导电接触插塞的所述下部的上表面是共面的。

19. 根据权利要求18所述的半导体器件,其中,所述导电接触插塞是在所述第一方向和所述第二方向上彼此间隔开的多个导电接触插塞中的一者,所述第一下间隔物是在所述第一方向和所述第二方向上设置的多个第一下间隔物中的一者,并且所述第二下间隔物是在所述第一方向和所述第二方向上设置的多个第二下间隔物中的一者,并且

其中,所述多个第二下间隔物的最上表面彼此共面。

20. 根据权利要求18所述的半导体器件,其中,所述导电焊盘结构包括在与所述衬底的所述上表面垂直的垂直方向上顺序设置的第一焊盘、第二焊盘和第三焊盘,

其中,所述第一焊盘、所述第二焊盘和所述第三焊盘分别包括掺杂有杂质的多晶硅、金属硅化物和金属,并且

其中,所述第二下间隔物的所述最上表面在所述垂直方向上高于所述第二焊盘的上表面。

## 半导体器件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2022年3月31日在韩国知识产权局提交的韩国专利申请No. 10-2022-0040056的优先权,其公开内容通过引用整体并入本文。

### 技术领域

[0003] 本公开的示例实施例涉及一种半导体器件。更具体地,本公开的示例实施例涉及一种动态随机存取存储器 (DRAM) 器件。

### 背景技术

[0004] 在DRAM器件中,导电接触插塞可以形成在位线结构下方以接触有源图案,并且导电接触插塞和与其相邻的导电结构可能由于DRAM器件的制造工艺期间的未对准而电短路。

### 发明内容

[0005] 一个或多个示例实施例提供了一种具有改善的特性的半导体器件。

[0006] 根据示例实施例的一方面,提供了一种半导体器件,所述半导体器件包括:导电接触插塞,所述导电接触插塞位于衬底上,并且包括下部和位于所述下部上的上部,所述下部具有第一宽度,并且所述上部具有小于所述第一宽度的第二宽度;位线结构,所述位线结构位于所述导电接触插塞上,并且包括在与所述衬底的上表面垂直的垂直方向上设置的导电结构和绝缘结构;以及第一下间隔物、第二下间隔物和第三下间隔物,所述第一下间隔物、所述第二下间隔物和所述第三下间隔物在与所述衬底的所述上表面平行的水平方向上顺序地设置在所述导电接触插塞的所述下部的侧壁上,其中,所述第三下间隔物的最上表面高于所述第一下间隔物的上表面和所述第二下间隔物的上表面。

[0007] 根据示例实施例的另一方面,提供了一种半导体器件,所述半导体器件包括:有源图案,所述有源图案位于衬底上;隔离图案,所述隔离图案设置在所述有源图案的侧壁上;导电接触插塞,所述导电接触插塞接触所述有源图案的上表面;位线结构,所述位线结构位于所述导电接触插塞上;导电焊盘结构,所述导电焊盘结构位于所述有源图案和所述隔离图案上,在与所述衬底的所述上表面平行的水平方向上与所述导电接触插塞的至少一部分交叠,并且包括在与所述衬底的所述上表面垂直的垂直方向上顺序设置的第一焊盘、第二焊盘和第三焊盘;以及第一下间隔物和第二下间隔物,所述第一下间隔物和所述第二下间隔物在所述导电接触插塞的侧壁上在所述水平方向上堆叠,其中,所述第二下间隔物的最上表面在所述垂直方向上高于所述第二焊盘的上表面。

[0008] 根据示例实施例的另一方面,提供了一种半导体器件,所述半导体器件包括:有源图案,所述有源图案位于衬底上;隔离图案,所述隔离图案位于所述衬底上,并且设置在所述有源图案的侧壁上;栅极结构,所述栅极结构在与所述衬底的上表面平行的第一方向上延伸,并且所述栅极结构被包括在所述有源图案的上部和所述隔离图案的上部中;导电焊盘结构,所述导电焊盘结构位于所述有源图案和所述隔离图案上;导电接触插塞,所述导电

接触插塞延伸穿过所述导电焊盘结构,接触所述有源图案的中心上表面,并且包括下部和位于所述下部上的上部,所述下部具有第一宽度,并且所述上部具有小于所述第一宽度的第二宽度;位线结构,所述位线结构位于所述导电接触插塞和所述导电焊盘结构上,并且在与所述衬底的所述上表面平行且与所述第一方向垂直的第二方向上延伸;第一下间隔物和第二下间隔物,所述第一下间隔物和所述第二下间隔物位于所述导电接触插塞的所述下部的侧壁上,在与所述衬底的所述上表面平行的水平方向上顺序地设置,并且包括彼此不同的绝缘材料;绝缘填充图案,所述绝缘填充图案位于所述第一下间隔物和所述第二下间隔物上;上间隔物结构,所述上间隔物结构位于所述绝缘填充图案上,并且设置在所述位线结构的侧壁上;接触插塞结构,所述接触插塞结构位于所述导电焊盘结构上;以及电容器,所述电容器位于所述接触插塞结构上,其中,所述第一下间隔物的最上表面和所述第二下间隔物的最上表面与所述导电接触插塞的所述下部的上表面是共面的。

### 附图说明

[0009] 通过以下结合附图的描述,本公开的示例实施例的以上和/或其他方面、特征以及优点将更加清楚,在附图中:

[0010] 图1至图28是示出根据示例实施例的制造半导体器件的方法的俯视图和截面图;

[0011] 图29至图34是示出根据示例实施例的制造半导体器件的方法的截面图;

[0012] 图35至图38是示出根据示例实施例的制造半导体器件的方法的截面图;

[0013] 图39至图45是示出根据示例实施例的制造半导体器件的方法的截面图;

[0014] 图46至图47是示出根据示例实施例的制造半导体器件的方法的截面图。

### 具体实施方式

[0015] 根据以下参考附图进行的详细描述,根据示例实施例的半导体器件及其形成方法的以上和其他方面以及特征将变得容易理解。将理解的是,尽管本文中可使用术语“第一”、“第二”和/或“第三”来描述各种材料、层(膜)、区域、电极、焊盘、图案、结构和工艺,但这些材料、层(膜)、区域、电极、焊盘、图案、结构和工艺不应受这些术语限制。这些术语仅用于将一种材料、层(膜)、区域、电极、焊盘、图案、结构和工艺与另一种材料、层(膜)、区域、电极、焊盘、图案、结构和工艺区分开。因此,在不脱离本发明构思的教导的情况下,下面讨论的第一材料、层(膜)、区域、电极、焊盘、图案、结构和工艺可以被称为第二或第三材料、层(膜)、区域、电极、焊盘、图案、结构和工艺。

[0016] 图1至图28是示出根据示例实施例的制造半导体器件的方法的俯视图和截面图。特别地,图1、图3、图5、图22和图26是俯视图,图2包括沿着图1的线A-A'和B-B'截取的截面,并且图4、图6至图21、图23至图25和图27至图28分别是沿着对应的俯视图的线A-A'截取的截面图。

[0017] 在下文中,在本说明书中(并且不一定在权利要求中),基本上平行于衬底100的上表面并且基本上彼此垂直的两个方向可以分别被称为第一方向D1和第二方向D2,并且基本上平行于衬底100的上表面并且相对于第一方向D1和第二方向D2具有锐角的方向可以被称为第三方向D3。

[0018] 参考图1和图2,可以在衬底100上形成有源图案103,并且隔离图案112可以形成在

有源图案103的侧壁上并且覆盖有源图案103的侧壁。

[0019] 衬底100可以包括硅、锗、硅锗、或者诸如磷化镓(GaP)、砷化镓(GaAs)或锑化镓(GaSb)的Ⅲ-V族化合物半导体。在示例实施例中,衬底100可以是绝缘体上硅(SOI)衬底或绝缘体上锗(GOI)衬底。

[0020] 有源图案103可以通过去除衬底100的上部以形成第一凹部来形成,并且可以在第三方向D3上延伸。多个有源图案103可以在第一方向D1和第二方向D2上彼此间隔开。隔离图案112可以形成在第一凹部中,并且可以包括氧化物,例如氧化硅。

[0021] 可以部分地去除有源图案103和隔离图案112以形成在第一方向D1上延伸的第二凹部。

[0022] 可以在第二凹部中形成栅极结构170。栅极结构170可以包括:栅极绝缘图案120,位于第二凹部的底部和侧壁上;第一阻挡图案130,位于第二凹部的底部和下侧壁上的栅极绝缘图案120的部分上;第一导电图案140,位于第一阻挡图案130上并填充第二凹部的下部;第二导电图案150,位于第一阻挡图案130以及第一导电图案140的上表面上;以及栅极掩模160,位于第二导电图案150的上表面和栅极绝缘图案120的上内侧壁上并填充第二凹部的上部。第一阻挡图案130、第一导电图案140和第二导电图案150可以形成栅电极。

[0023] 栅极绝缘图案120可以包括氧化物,例如氧化硅,第一阻挡图案130可以包括金属氮化物,例如氮化钛、氮化钽等,第一导电图案140可以包括例如金属、金属氮化物、金属硅化物、掺杂的多晶硅等,第二导电图案150可以包括例如掺杂的多晶硅,并且栅极掩模160可以包括氮化物,例如氮化硅。

[0024] 在示例实施例中,栅极结构170可以在第一方向D1上延伸,并且多个栅极结构170可以在第二方向D2上彼此间隔开。

[0025] 参考图3和图4,可以在其上具有有源图案103、隔离图案112和栅极结构170的衬底100上形成第一焊盘700和第二焊盘710。

[0026] 在示例实施例中,可以在衬底100上形成第一焊盘层,可以将第一焊盘层图案化以形成暴露有源图案103、隔离图案112和栅极结构170的上表面的第一开口,并且可以在第一开口中形成第二焊盘710。根据另一示例,可以在衬底100上形成第二焊盘层,并且可以将第二焊盘层图案化以形成第二焊盘710,并且可以形成第一焊盘700。

[0027] 第一焊盘700可以包括例如掺杂的多晶硅、金属(诸如钨、钌等)、金属氮化物(诸如氮化钛、氮化钽等)或石墨烯。在示例实施例中,第一焊盘700可以是包括上述材料之一的单层。根据另一示例,第一焊盘700可以是包括多个堆叠层的多层,多个堆叠层中的每一者可以包括上述材料之一。

[0028] 第二焊盘710可以包括氮化物,例如氮化硅。

[0029] 在示例实施例中,第一开口可以包括在第一方向D1上延伸的第一部分和在第二方向D2上延伸的第二部分,并且第一部分和第二部分可以彼此连接。由此,第二焊盘710可以包括在第一方向D1上延伸的第一延伸部分和在第二方向D2上延伸的第二延伸部分,并且第一延伸部分和第二延伸部分可以彼此连接。在示例实施例中,多个第一焊盘700可以在第一方向D1和第二方向D2上彼此间隔开,并且可以在俯视图中布置成网格图案。

[0030] 在示例实施例中,第一焊盘700可以在垂直方向(D3方向)上与在第三方向D3上延伸的每个有源图案103的端部部分和在第一方向D1上与其相邻的隔离图案112的一部分交

叠。

[0031] 参考图5和图6,可以在第一焊盘700和第二焊盘710上形成第三焊盘层,并且可以将第三焊盘层图案化以形成第三焊盘720,并且可以使用第三焊盘720作为蚀刻掩模来部分地蚀刻包括在栅极结构170中的有源图案103、隔离图案112和栅极掩模160,以形成第二开口230。

[0032] 在示例实施例中,第三焊盘720在俯视图中可以具有例如圆形或椭圆形的形状,并且多个第三焊盘720可以形成为在第一方向D1和第二方向D2上彼此间隔开。每个第三焊盘720可以在垂直方向上与有源图案103的在第一方向D1上相邻的端部和隔离图案112的在有源图案103的端部之间的部分交叠。第三焊盘720可以包括氮化物,例如氮化硅。

[0033] 参考图7,可以在第二开口230的侧壁和底部上以及第三焊盘720的上表面上形成第一下间隔物层730,并且可以在第一下间隔物层730上形成第一牺牲层740以填充第二开口230。

[0034] 第一下间隔物层730可以包括氮化物,例如氮化硅,并且第一牺牲层740可以包括例如旋涂硬掩模(SOH)、非晶碳层(ACL)等。

[0035] 参考图8,可以通过回蚀工艺去除第一牺牲层740的上部,使得第一牺牲层740的下部可以保留在第二开口230的下部中,并且第一下间隔物层730的位于第三焊盘720的上表面和第二开口230的上侧壁上的部分可以被暴露。

[0036] 第一牺牲层740的保留在第二开口230的下部中的下部可以被称为第一牺牲图案745。在示例实施例中,第一牺牲图案745的上表面可以在D3方向上高于隔离图案112的上表面或第一焊盘700的下表面。

[0037] 可以通过例如剥离工艺去除第一下间隔物层730的暴露部分,以在第二开口230的下侧壁和底部上形成第一下间隔物735。保留在第二开口230的下部中的第一牺牲图案745的上表面可以在剥离工艺期间用作蚀刻停止层,使得通过剥离工艺分别形成在多个第二开口230中的多个第一下间隔物735的最上表面可以基本上彼此共面。

[0038] 在示例实施例中,第一下间隔物735的最上表面可以与相邻于其的第一牺牲图案745的上表面基本上共面,使得第一下间隔物735的最上表面可以高于隔离图案112的上表面或第一焊盘700的下表面。

[0039] 可以去除第一牺牲层740和第一下间隔物层730的上部以在第二开口230的上部中形成第三凹部235。

[0040] 参考图9,可以通过例如原子层沉积(ALD)工艺在第三凹部235的底部和侧壁上以及第三焊盘720的上表面上形成第一牺牲间隔物层,并且可以各向异性地蚀刻第一牺牲间隔物层以在第三凹部235的侧壁上形成第一牺牲间隔物755。

[0041] 第一牺牲间隔物755可以包括氧化物,例如氧化硅,并且可以形成在第一下间隔物735的最上表面上。

[0042] 参考图10,可以去除第一牺牲图案745以暴露第一下间隔物735的表面,因此可以重新形成第二开口230的大部分。

[0043] 可以在第一下间隔物735的暴露表面、第一牺牲间隔物755的表面和第三焊盘720的上表面上形成第二下间隔物层760。

[0044] 可以通过例如灰化工艺和/或剥离工艺去除第一牺牲图案745。



[0045] 第二下间隔物层760可以包括例如碳氧化硅(SiOC)。

[0046] 参考图11,可以各向异性地蚀刻第二下间隔物层760及其下方的第一下间隔物735。

[0047] 可以通过各向异性蚀刻工艺去除第二下间隔物层760的位于第三焊盘720的上表面上的部分以及第一下间隔物735和第二下间隔物层760的位于第二开口230的底部上的部分。

[0048] 因此,第一下间隔物735和第一牺牲间隔物755可以在第二开口230的侧壁上在基本上垂直于衬底100的上表面的垂直方向上顺序堆叠,并且可以在第一下间隔物735和第一牺牲间隔物755的内侧壁上形成第二下间隔物765。第一下间隔物735和第二下间隔物765以及第一牺牲间隔物755可以形成第一初步下间隔物结构770。

[0049] 可以通过各向异性蚀刻工艺暴露有源图案103的位于第二开口230下方的部分的上表面,即,有源图案103的未被第一初步下间隔物结构770覆盖的部分的上表面。可以在有源图案103的暴露部分的上表面、第一初步下间隔物结构770的内侧壁和第三焊盘720的上表面上形成第一金属层,并且可以对第一金属层执行热处理,例如,可以执行硅化工艺,使得第一金属层和包含硅的有源图案103彼此反应,以在由第二开口230暴露的有源图案103的上部上形成第一金属硅化物图案105。

[0050] 第一金属硅化物图案105可以包括例如硅化钛、硅化钴、硅化镍等,并且可以去除第一金属层与有源图案103的未反应部分。

[0051] 可以在第二开口230中形成第一填充图案780。通过在第一金属硅化物图案105的上表面、第一初步下间隔物结构770的内侧壁和第三焊盘720的上表面上形成填充第二开口230的第一填充层,并且对第一填充层执行回蚀工艺和/或化学机械抛光(CMP)工艺,可以在第二开口230中形成第一填充图案780。第一填充图案780可以包括金属氮化物(例如,氮化钛、氮化钽、氮化钨等)和/或金属(例如,钛、钽、钨等)。

[0052] 第一初步下间隔物结构770和第二开口230中的第一填充图案780可以形成第一初步填充结构790。

[0053] 参考图12,可以在第三焊盘720和第一初步填充结构790上顺序地形成粘合层、第三导电层、第一掩模层、第一蚀刻停止层和第一覆盖层,可以图案化第一覆盖层以形成第一覆盖图案385,并且可以使用第一覆盖图案385作为蚀刻掩模顺序地蚀刻第一蚀刻停止层、第一掩模层、第三导电层和粘合层。

[0054] 可以通过蚀刻工艺在第一初步填充结构790和第三焊盘720上顺序地堆叠粘合图案245、第三导电图案265、第一掩模275、第一蚀刻停止图案365和第一覆盖图案385。

[0055] 粘合图案245可以包括金属氮化物,例如氮化钛、氮化钽、氮化钨等,第三导电图案265可以包括金属,例如钨、钛、钽、钨等,并且第一掩模275、第一蚀刻停止图案365和第一覆盖图案385中的每一者可以包括绝缘氮化物,例如氮化硅。

[0056] 粘合图案245可以形成在包括绝缘氮化物(例如,氮化硅)的第三焊盘720与包括金属(例如,钨)的第三导电图案265之间,使得粘合图案245和第三导电图案265可以彼此良好地粘合。

[0057] 在下文中,顺序堆叠的粘合图案245、第三导电图案265、第一掩模275、第一蚀刻停止图案365和第一覆盖图案385可以被称为位线结构395。位线结构395可以包括具有粘合图

案245和第三导电图案265的导电结构以及位于导电结构上的具有第一掩模275、第一蚀刻停止图案365和第一覆盖图案的绝缘结构。在示例实施例中,第一掩模275、第一蚀刻停止图案365和第一覆盖图案385可以合并以形成单个绝缘结构。

[0058] 在示例实施例中,位线结构395可以在衬底100上在第二方向D2上延伸,并且多个位线结构395可以在第一方向D1上彼此间隔开。

[0059] 参考图13,可以在位线结构395、第一初步填充结构790和第三焊盘720上形成第二牺牲间隔物层400和第三牺牲间隔物层410。

[0060] 第二牺牲间隔物层400可以包括绝缘氮化物,例如氮化硅,并且第三牺牲间隔物层410可以包括与第二下间隔物765的材料基本上相同的材料,例如,碳化硅(SiC)。

[0061] 在示例实施例中,可以不形成第二牺牲间隔物层400,并且第三牺牲间隔物层410可以直接接触位线结构395、第一初步填充结构790和第三焊盘720。

[0062] 在形成第二牺牲间隔物层400之前,可以对位线结构395(具体地,包括在其中的第三导电图案265)进一步执行等离子体氮化工艺。

[0063] 参考图14,可以各向异性地蚀刻第二牺牲间隔物层400和第三牺牲间隔物层410,以分别形成可以顺序地堆叠在位线结构395的侧壁上的第二牺牲间隔物405和第三牺牲间隔物415。

[0064] 因此,可以暴露包括在第一初步填充结构790中的第一初步下间隔物结构770的上表面、第三焊盘720的上表面和位线结构395的上表面。

[0065] 参考图15,可以去除包括在暴露的第一初步下间隔物结构770中的第一牺牲间隔物755,因此可以形成暴露第一下间隔物735的最上表面的第三开口420。

[0066] 在示例实施例中,可以通过使用例如氢氟酸(HF)作为蚀刻剂的湿法蚀刻工艺来去除第一牺牲间隔物755,并且第一牺牲间隔物755下方的第一下间隔物735可以用作蚀刻停止层。因此,可以通过去除各个第二开口23中的多个第一牺牲间隔物755而形成的多个第三开口420的底部可以基本上彼此共面。

[0067] 因为第一牺牲间隔物755被去除,所以可以暴露第二下间隔物765的上外侧壁。

[0068] 参考图16,可以去除暴露的第二下间隔物765的上部和位于位线结构395的侧壁上的第三牺牲间隔物415。因此,可以扩大第三开口420的宽度,并且可以暴露第一填充图案780的上侧壁和第二牺牲间隔物405的表面。

[0069] 在示例实施例中,可以通过例如使用氧(O<sub>2</sub>)的灰化工艺和/或使用氢氟酸(HF)的剥离工艺去除第二下间隔物765的上部和第三牺牲间隔物415。

[0070] 在实施例中,因为第二下间隔物765的上部被去除,所以剩余的第三开口420的最上表面可以与第一下间隔物735的最上表面基本上共面。

[0071] 参考图17,可以通过蚀刻工艺去除位于位线结构395的侧壁上的第二牺牲间隔物405以及第一填充图案780的未被位线结构395覆盖且被第三开口420暴露的部分。

[0072] 在蚀刻工艺之后保留在第二开口230中的第一填充图案780可以包括导电材料,并且可以接触位线结构395的下表面和位于有源图案103的上表面上的第一金属硅化物图案105中的每一者。因此,剩余的第一填充图案780可以被称为导电接触插塞780。第一填充图案780可以包括具有相对大的宽度的下部和具有相对小的宽度的上部。在示例实施例中,第一填充图案780的下部的上表面可以与第一下间隔物735和第二下间隔物765的最上表面基

本上共面。

[0073] 第三焊盘720的未被位线结构395覆盖的部分也可以在蚀刻工艺期间被去除,因此,第一焊盘700的上表面和第二焊盘710的上表面可以被暴露。然而,第三焊盘720的位于第二焊盘710与位线结构395之间的部分可以保留为第三焊盘图案725。

[0074] 因为执行蚀刻工艺,所以可以进一步扩大第三开口420的宽度。

[0075] 参考图18,可以通过例如ALD工艺在位线结构395、第一填充图案780、第一下间隔物735和第二下间隔物765以及第一焊盘700和第二焊盘710上形成第二覆盖层792。

[0076] 第二覆盖层792可以包括氧化物(例如,氧化硅)或绝缘氮化物(例如,氮化硅)。

[0077] 参考图19,可以在第二覆盖层792上形成第二填充层以填充第三开口420,并且可以蚀刻第二填充层,直到第一焊盘700和第二焊盘710的上表面被暴露。

[0078] 还可以在蚀刻工艺期间去除第二覆盖层792的位于第三开口420外部的部分,并且相应地,位线结构395的上表面和侧壁、第一焊盘700和第二焊盘710的上表面以及第三焊盘图案725的侧壁可以被暴露。

[0079] 因此,第二覆盖图案795可以保留在第三开口420的内壁上,并且第二填充图案810可以形成在第二覆盖图案795上。第二开口230中的第一填充图案780和第二填充图案810、第一下间隔物735和第二下间隔物765以及第二覆盖图案795可以形成第一填充结构。另外,位于第一填充图案780的下部的侧壁上的第一下间隔物735和第二下间隔物765可以形成第一下间隔物结构。

[0080] 第二填充图案810可以包括绝缘氮化物,例如氮化硅。

[0081] 参考图20,可以在其上形成有位线结构395、第一焊盘700、第二焊盘710、第三焊盘图案725和第一填充结构的衬底100上顺序地形成第一上间隔物层和第二上间隔物层,并且可以各向异性地蚀刻第一上间隔物层和第二上间隔物层以形成第一上间隔物820和第二上间隔物830。第一上间隔物820可以形成在位线结构395的侧壁以及包括在第一填充结构中的第二覆盖图案795和第二填充图案810的部分的上表面上并且覆盖位线结构395的侧壁以及包括在第一填充结构中的第二覆盖图案795和第二填充图案810的部分的上表面,并且第二上间隔物830可以形成在第一上间隔物820的外侧壁上并覆盖第一上间隔物820的外侧壁。

[0082] 第一上间隔物820可以包括绝缘氮化物,例如氮化硅,并且第二上间隔物830可以包括氧化物,例如氧化硅。

[0083] 可以使用位线结构395以及第一上间隔物820和第二上间隔物830作为蚀刻掩模来执行干法蚀刻工艺,以形成部分地暴露第一焊盘700和第二焊盘710的上表面的第四开口440。

[0084] 可以在第一覆盖图案385的上表面、第一上间隔物820的上表面、第二上间隔物830的上表面和外侧壁、第一填充结构的一部分的上表面以及第一焊盘700和第二焊盘710的由第四开口440暴露的部分的上表面上形成第三上间隔物层,并且可以各向异性蚀刻第三上间隔物层以形成第三上间隔物840,第三上间隔物840形成在第二上间隔物830的外侧壁上并覆盖第二上间隔物830的外侧壁。第三上间隔物840还可以覆盖第一填充结构的部分的上表面。第三上间隔物840可以包括绝缘氮化物,例如氮化硅。

[0085] 顺序堆叠在位线结构395的侧壁上的第一上间隔物820、第二上间隔物830和第三

上间隔物840可以形成初步上间隔物结构850。

[0086] 参考图21,可以将第二牺牲层形成为足够的高度以填充衬底100上的第四开口440,并且可以将第二牺牲层平坦化直到第一覆盖图案385的上表面被暴露以形成第二牺牲图案480。在示例实施例中,第二牺牲图案480可以在第二方向D2上延伸,并且多个第二牺牲图案480可以通过位线结构395在第一方向D1上彼此间隔开。第二牺牲图案480可以包括氧化物,例如氧化硅。

[0087] 参考图22和图23,可以在第一覆盖图案385、第二牺牲图案480和初步上间隔物结构850上形成具有在第二方向D2上彼此间隔开的多个第五开口的第二掩模,每个第五开口可以在第一方向D1上延伸。可以使用第二掩模作为蚀刻掩模来蚀刻第二牺牲图案480,以形成暴露栅极结构170的栅极掩模160的上表面的第六开口。

[0088] 在示例实施例中,每个第五开口可以在垂直方向上与栅极结构170交叠,并且多个第六开口可以在沿第一方向D1相邻的位线结构395之间在第二方向D2上彼此间隔开。

[0089] 在去除第二掩模之后,可以形成第三覆盖图案485以填充第六开口。根据第六开口的布局,多个第三覆盖图案485可以在沿第一方向D1相邻的位线结构395之间在第二方向D2上彼此间隔开。第三覆盖图案485可以包括绝缘氮化物,例如氮化硅。

[0090] 多个第二牺牲图案480可以在位线结构395之间在第二方向D2上彼此间隔开。

[0091] 可以去除剩余的第二牺牲图案480以形成部分地暴露第一焊盘700和第二焊盘710的上表面的第九开口。多个第七开口可以在沿第一方向D1相邻的位线结构395之间在第二方向D2上彼此间隔开。

[0092] 下接触插塞层可以形成为足够的高度以填充第七开口,并且可以被平坦化,直到暴露第一覆盖图案385的上表面以及第三覆盖图案485的上表面和初步上间隔物结构850的上表面。因此,下接触插塞层可以被分成多个下接触插塞475,该多个下接触插塞475可以通过位线结构395之间的第三覆盖图案485在第二方向D2上彼此间隔开。

[0093] 下接触插塞475可以包括例如掺杂的多晶硅,并且可以通过接触第一焊盘700而电连接到有源图案103。

[0094] 参考图24,可以去除下接触插塞475的上部以暴露位于位线结构395的侧壁上的初步上间隔物结构850的上部,并且可以去除暴露的初步上间隔物结构850的第二上间隔物830和第三上间隔物840的上部。

[0095] 可以通过例如回蚀工艺去除下接触插塞475的上部,并且可以通过例如湿法蚀刻工艺去除第二上间隔物830和第三上间隔物840的上部。

[0096] 可以在位线结构395、初步上间隔物结构850、下接触插塞475和第三覆盖图案485上形成第四上间隔物层,并且可以各向异性蚀刻第四上间隔物层以形成第四上间隔物490。第四上间隔物可以形成在第一上间隔物820的位于位线结构395的上侧壁上的部分的外侧壁上。

[0097] 可通过各向异性蚀刻工艺形成的第四上间隔物490可以形成在第二上间隔物830的上表面以及第三上间隔物840的上表面的至少一部分上并覆盖第二上间隔物830的上表面以及第三上间隔物840的上表面的至少一部分。因此,在各向异性蚀刻工艺期间,下接触插塞475的上部可以被部分地去除,并且第三上间隔物840的未被第四上间隔物490覆盖的部分也可以被去除。

[0098] 在示例实施例中,可以在位线结构395、第一上间隔物820、第四上间隔物490、下接触插塞475和第三覆盖图案485上形成第五上间隔物层,并且可以进一步蚀刻第五上间隔物层以在第四上间隔物490的侧壁上形成第五上间隔物,并且可以使用位线结构395、第一上间隔物820、第四上间隔物490、下接触插塞475和第三覆盖图案485作为蚀刻掩模来另外地蚀刻下接触插塞475的上部。因此,下接触插塞475的上表面可以低于第二上间隔物830的最上表面和第三上间隔物840的最上表面。

[0099] 可以在下接触插塞475的上表面上形成第二金属硅化物图案500。在示例实施例中,通过在位线结构395、第一上间隔物820、第四上间隔物490、第三上间隔物840、下接触插塞475和第三覆盖图案485上形成第二金属层,对第二金属层执行热处理,即,通过执行其中包含金属的第二金属层和包含硅的下接触插塞475彼此反应的硅化工艺,并且去除第一金属层的未反应部分,可以形成第二金属硅化物图案500。

[0100] 第二金属硅化物图案500可以包括例如硅化钴、硅化镍、硅化钛等。

[0101] 参考图25,可以在位线结构395、第一上间隔物820、第四上间隔物490、第三上间隔物840、第二金属硅化物图案500和第三覆盖图案485上形成第二阻挡层530,并且可以在第二阻挡层530上形成第三金属层540以填充位线结构395之间的空间。

[0102] 可以对第三金属层540的上部执行平坦化工艺。平坦化工艺可以包括CMP工艺和/或回蚀工艺。

[0103] 参考图26和图27,可以图案化第三金属层540和第二阻挡层530以形成上接触插塞549,并且可以在多个上接触插塞549之间形成第八开口547。

[0104] 在形成第八开口547期间,不仅第三金属层540和第二阻挡层530,而且包括在位线结构395中的绝缘结构的上部、初步上间隔物结构850和其侧壁上的第四上间隔物490以及第三覆盖图案485,也可以被部分地去除,因此第二上间隔物830的上表面可以被暴露。

[0105] 当形成第八开口547时,第三金属层540和第二阻挡层530可以分别转变成形成在第三金属图案545的下表面和侧壁上并覆盖第三金属图案545的下表面和侧壁的第二金属图案545和第三金属图案545,第三金属图案545和第三金属图案545可以形成上接触插塞549。在示例实施例中,多个上接触插塞549可以在第一方向D1和第二方向D2上彼此间隔开,并且可以在俯视图中以蜂窝图案或网格图案布置。每个上接触插塞549可以具有圆形、椭圆形或多边形的形状。

[0106] 顺序堆叠在衬底100上的下接触插塞475、第二金属硅化物图案500和上接触插塞549可以形成接触插塞结构。

[0107] 可以去除暴露的第二上间隔物830以形成与第八开口547连通的气隙835。可以通过例如湿法蚀刻工艺去除第二上间隔物830。

[0108] 在示例实施例中,不仅可以去除第二上间隔物830的由第八开口547直接暴露的部分,而且可以去除第二上间隔物830的与第八开口547平行的部分。例如,不仅可以去除第二上间隔物830的由第八开口547暴露的不被上接触插塞549覆盖的部分,而且可以去除第二上间隔物830的由上接触插塞549覆盖的部分。

[0109] 参考图28,可以在第八开口547的侧壁上形成第一绝缘图案615,并且可以在第一绝缘图案615上形成第二绝缘图案620以填充第八开口547的剩余部分。因此,气隙835的顶端可以由第一绝缘图案615和第二绝缘图案620封闭。

[0110] 气隙835也可以被称为第二上间隔物835,并且第一上间隔物820、第二上间隔物835、第三上间隔物840可以形成上间隔物结构855。

[0111] 可以通过在第八开口547的内壁、上接触插塞549和第三覆盖图案485上形成第一绝缘层并且各向异性地蚀刻第一绝缘层来形成第一绝缘图案615。

[0112] 可以通过在第一绝缘图案615、上接触插塞549和第三覆盖图案485上形成第二绝缘层并且对第二绝缘层执行回蚀工艺来形成第二绝缘图案620。

[0113] 第一绝缘图案615和第二绝缘图案620中的每一者可以包括氮化物,例如氮化硅,并且可以形成绝缘图案结构。

[0114] 可以在第二绝缘图案620、上接触插塞549和第三覆盖图案485上形成第二蚀刻停止层630,并且可以在第二蚀刻停止层630上形成模制层。可以部分地蚀刻模制层的一部分和其下方的第二蚀刻停止层630的一部分,以形成暴露上接触插塞549的上表面的第九开口。

[0115] 由于多个上接触插塞549在第一方向D1和第二方向D2上彼此间隔开,并且可以在俯视图中以蜂窝图案或网格图案布置,因此暴露上接触插塞549的第九开口也可以在俯视图中以蜂窝图案或网格图案布置。

[0116] 可以在第九开口的侧壁、上接触插塞549的暴露的上表面和模制层上形成下电极层,可以在下电极层上形成第三牺牲层以填充第九开口,并且可以将下电极层和第三牺牲层平坦化,直到模制层的上表面暴露,以将下电极层分成多个部分。

[0117] 因此,可以在第九开口中形成具有圆柱形状的下电极640。然而,当第九开口具有相对小的宽度时,下电极640可以具有柱的形状。下电极640可以包括例如金属、金属氮化物、金属硅化物、掺杂的多晶硅等。

[0118] 可以通过例如使用例如LAL溶液的湿法蚀刻工艺来去除第三牺牲层和模制层。

[0119] 可以在下电极640的表面和第二蚀刻停止层630上形成电介质层650。电介质层650可以包括例如金属氧化物。

[0120] 可以在电介质层650上形成上电极660。上电极660可以包括例如金属、金属氮化物、金属硅化物、掺杂的硅锗等。在示例实施例中,上电极660可以具有包括金属或金属氮化物的第一上电极和包括掺杂的硅锗的第二上电极。

[0121] 下电极640、电介质层650和上电极660可以形成电容器670。

[0122] 可以在电容器670上进一步形成上布线以完成半导体器件的制造。

[0123] 如上所述,形成在第二开口230中的第一初步填充结构790可以包括位于第一填充图案780的侧壁上的第一初步下间隔物结构770。第一初步下间隔物结构770可以包括位于第一填充图案780的侧壁上的第二下间隔物765,以及在第二下间隔物765的外侧壁上在垂直方向上堆叠的第一下间隔物735和第一牺牲间隔物755。

[0124] 在示例实施例中,可以通过去除第一牺牲间隔物755形成第三开口420,并且可以去除由第三开口420暴露的第二下间隔物765的上部。因此,可以扩大第三开口420的宽度以暴露第一填充图案780的上部,并且可以去除第一填充图案780的暴露的上部。

[0125] 在示例实施例中,当去除第一牺牲间隔物755时,第一牺牲间隔物755下方的第一下间隔物735可以充当蚀刻停止层。因此,相应的第二开口230中的第三开口420的深度可以是基本上恒定的而没有大的散布。

[0126] 例如,当仅形成第一牺牲间隔物755而不单独形成第一下间隔物735和第一牺牲间隔物755时,第一牺牲间隔物755的去除量取决于工艺时间。因此,相应的第二开口230中的第三开口420的深度会具有非常大的散布。然而,在示例实施例中,第一下间隔物735可以充当蚀刻停止层,因此,通过去除第一牺牲间隔物755而形成的第三开口420的深度可以具有非常小的散布。因此,通过第三开口420去除第一填充图案780的量可以在第二开口230内基本上恒定,使得半导体器件可以具有改善的电特性。

[0127] 另外,第一牺牲间隔物755可以包括氧化物,例如氧化硅,并且位于有源图案103的侧壁上的隔离图案112也可以包括与第一牺牲间隔物755基本上相同的材料。因此,当仅形成第一牺牲间隔物755而不单独形成第一下间隔物735时,可能无法适当地控制用于形成第三开口420的第一牺牲间隔物755的去除量,并且可能过度地去除第一牺牲间隔物755。因此,也可能去除接触第一牺牲间隔物755的隔离图案112。

[0128] 然而,在示例实施例中,包括与第一牺牲间隔物755的材料不同的材料的第一下间隔物735可以另外形成在第一牺牲间隔物755下方,并且第一下间隔物735的最上表面可以高于隔离图案112的上表面或第一焊盘700的下表面。因此,代替第一牺牲间隔物755,第一下间隔物735可以接触隔离图案112,并且当形成第三开口420时,隔离图案112可以不被去除。

[0129] 此外,当与在第一填充图案780的侧壁上在水平方向上形成三层的情况相比时,为了防止在形成第三开口420时隔离图案112被去除,根据示例实施例,第一初步下间隔物结构770可以在水平方向上包括双层,并且即使当第二开口230的尺寸减小时,也可以确保用于形成第三开口420的空间余量。

[0130] 通过上述工艺制造的半导体器件可以具有以下结构特性。

[0131] 参考图26和图28,半导体器件可以包括:有源图案103,位于衬底100上;隔离图案112,位于衬底100上并覆盖有源图案103的侧壁;栅极结构170,在第一方向D1上延伸并位于有源图案103和隔离图案112的上部中;导电焊盘(也称为“第一焊盘”)700,位于有源图案103和隔离图案112上;导电接触插塞780,延伸穿过导电焊盘700,接触有源图案103的在第三方向D3上的中心上表面,并且包括具有第一宽度的下部和具有小于第一宽度的第二宽度的上部;位线结构395,位于导电接触插塞780和导电焊盘700上并在第二方向D2上延伸;第二下间隔物765和第一下间隔物735,在导电接触插塞780的下部的侧壁上在水平方向上堆叠并且包括彼此不同的绝缘材料;绝缘填充图案(也称为“第二填充图案”)810,位于第一下间隔物735和第二下间隔物765上;上间隔物结构855,位于绝缘填充图案810上并覆盖位线结构395的侧壁;接触插塞结构475、500和549,位于导电焊盘700上;以及电容器670,位于接触插塞结构475、500和549上。第一下间隔物和第二下间隔物的最上表面可以与导电接触插塞780的下部的上表面基本上共面。

[0132] 在示例实施例中,第二覆盖图案795可以进一步形成覆盖导电接触插塞780的上部的侧壁、导电接触插塞780的下部的上表面以及第一下间隔物735和第二下间隔物765的最上表面。

[0133] 在示例实施例中,导电接触插塞780可以是在第一方向D1和第二方向D2上彼此间隔开的多个导电接触插塞780中的一者,第一下间隔物735可以是在第一方向D1和第二方向D2上设置的多个第一下间隔物735中的一者,并且第二下间隔物765可以是在第一方向D1和

第二方向D2上设置的多个第二下间隔物765中的一者。多个第一下间隔物的最上表面可以基本上彼此共面。

[0134] 图29至图34是示出根据示例实施例的制造半导体器件的方法的截面图。该方法可以包括与参考图1至图28所示的工艺基本上相同或相似的工艺,因此在此省略其重复说明。

[0135] 参考图29,可以执行与参考图1至图8所示的工艺基本上相同或相似的工艺,并且可以去除第一牺牲图案745。

[0136] 因此,可以暴露第一下间隔物735的表面,并且可以通过例如ALD工艺在第一下间隔物735的暴露表面、第三凹部235的侧壁和第三焊盘720的上表面上形成第一牺牲间隔物层750。

[0137] 参考图30,可以执行与参考图11所示的工艺基本上相同或相似的工艺,并且可以形成第二初步填充结构797以填充第二开口230。

[0138] 第二初步填充结构797可以包括第二初步下间隔物结构777和第一填充图案780。第二初步下间隔物结构777可以具有:第一下间隔物735,位于第二开口230的下侧壁和底部边缘上;第四牺牲间隔物757,位于第一下间隔物735的表面和第二开口230的上侧壁上;以及第三下间隔物767,位于第四牺牲间隔物757的侧壁上。

[0139] 参考图31,可以执行与参考图12至图15所示的工艺基本上相同或相似的工艺,并且可以去除第四牺牲间隔物757的上部以形成第十开口422。

[0140] 在示例实施例中,可以通过使用例如氢氟酸(HF)作为蚀刻剂的湿法蚀刻工艺去除第四牺牲间隔物757的上部。第四牺牲间隔物757可以在第一下间隔物735的最上表面的高度处具有相对薄的厚度。因此,在湿法蚀刻工艺期间,蚀刻剂可能难以渗透到第四牺牲间隔物757的下部中,并且可以仅去除第四牺牲间隔物757的上部。

[0141] 因此,与参考图14所示的第一牺牲间隔物755不同,第一牺牲间隔物755可以不被完全去除并且可以部分地保留。在下文中,第四牺牲间隔物757可以被称为第四下间隔物757。

[0142] 参考图32,可以执行与参考图16所示的工艺基本上相同或相似的工艺,从而可以去除第三下间隔物767的上部以扩大第十开口422的宽度。

[0143] 参考图33,可以执行与参考图17所示的工艺基本上相同或相似的工艺,并且可以通过蚀刻工艺去除位于位线结构395的侧壁上的第二牺牲间隔物405以及第一填充图案780的未被位线结构395覆盖且被第十开口422暴露的部分。

[0144] 参考图34,可以执行与参考图18至图28所示的工艺基本上相同或相似的工艺,以完成半导体器件的制造。

[0145] 通过执行上述工艺,可以在第二开口230中形成包括第一填充图案780和第二填充图案810、第一下间隔物735、第三下间隔物767和第四下间隔物757以及第二覆盖图案795的第二填充结构。位于第一填充图案780的下侧壁上的第一下间隔物735、第三下间隔物767和第四下间隔物757可以形成第二下间隔物结构。

[0146] 与图28所示的半导体器件不同,图34中的半导体器件可以包括具有包含第三下间隔物767、第四下间隔物757和第一下间隔物735的三层的第二下间隔物结构。因此,可以增强均可以包括导电材料的第一填充图案780和第一焊盘700之间的绝缘,因此可以防止它们之间的电短路。



[0147] 在示例实施例中,第一下间隔物735的最上表面以及第三下间隔物767和第四下间隔物757的最上表面可以基本上彼此共面。

[0148] 图35至图38是示出根据示例实施例的制造半导体器件的方法的截面图。该方法可以包括与参考图29至图34所示的工艺基本上相同或相似的工艺,因此在此省略其重复说明。

[0149] 参考图35,可以执行与参考图29至图31所示的工艺基本上相同或相似的工艺,从而可以通过去除第四下间隔物757的上部来形成第十开口422。

[0150] 当与图31所示的半导体器件相比时,在湿法蚀刻工艺期间,可以去除第四下间隔物757的比第一下间隔物735的最上表面低的部分以及比第一下间隔物735的最上表面高的部分。然而,第四下间隔物757可以不被完全去除而是可以部分地保留,并且蚀刻剂的一部分可以在湿法蚀刻工艺期间渗透到第四下间隔物757的比第一下间隔物735的最上表面低的部分中,因此剩余的第四下间隔物757的最上表面可以低于第一下间隔物735的最上表面。

[0151] 参考图36,可以执行与参考图32所示的工艺基本上相同或相似的工艺,并且可以去除第三下间隔物767的由第十开口422暴露的部分,因此,可以扩大第十开口422的宽度。

[0152] 第十开口422的底部可以低于第一下间隔物735的最上表面,因此第三下间隔物767可以比图32的第三下间隔物767更多地被去除。剩余的第三下间隔物767的最上表面可以与第四下间隔物757的最上表面基本上共面,因此可以低于第一下间隔物735的最上表面。

[0153] 参考图37,可以执行与参考图33所示的工艺基本上相同或相似的工艺,从而可以通过蚀刻工艺去除位于位线结构395的侧壁上的第二牺牲间隔物405以及第一填充图案780的未被位线结构395覆盖且被第十开口422暴露的部分。

[0154] 第一填充图案780可以包括具有相对大的宽度的下部和具有相对小的宽度的上部,并且第一填充图案780的下部的上表面可以与第三下间隔物767和第四下间隔物757的最上表面基本上共面,并且低于第一下间隔物735的最上表面。

[0155] 参考图38,可以执行与参考图34所示的工艺基本上相同或相似的工艺,以完成半导体器件的制造。

[0156] 图39至图45是示出根据示例实施例的制造半导体器件的方法的俯视图和截面图。特别地,图39和图41是俯视图,并且图40和图42至图45分别是沿着对应的俯视图的线A-A'截取的截面图。该方法可以包括与参考图1至图28所示的工艺基本上相同或相似的工艺,因此在此省略其重复说明。

[0157] 参考图39和图40,可以执行与参考图1至图2所示的工艺基本上相同或相似的工艺,并且可以在衬底100上形成有源图案103和隔离图案112。

[0158] 可以在有源图案103和隔离图案112上形成导电焊盘结构930。

[0159] 导电焊盘结构930可以包括在垂直方向上顺序堆叠的第四焊盘900、第五焊盘910和第六焊盘920。在示例实施例中,第四焊盘900可以包括例如掺杂的多晶硅,第五焊盘910可以包括例如金属硅化物(诸如硅化钛、硅化钴、硅化镍等)、金属氮化物(诸如氮化钛、氮化钽、氮化钨等)或金属硅氮化物(诸如氮化钛硅、钽硅等),并且第六焊盘920可以包括金属(诸如钨、钌等)。例如,当与图3和图4中具有单层结构的第一焊盘700相比时,导电焊盘结构

930可以为多层结构。

[0160] 可以通过蚀刻工艺将导电焊盘结构930图案化,以形成暴露有源图案103、隔离图案112和栅极结构170的上表面的第十一开口940,并且也可以在蚀刻工艺期间部分地去除有源图案103和隔离图案112的上部。

[0161] 第十一开口940可以具有与参考图3和图4所示的第一开口对应的布局。第十一开口940可以包括可彼此连接的在第一方向D1上延伸的第一部分和在第二方向D2上延伸的第二部分。多个第十一开口940可以在第一方向D1和第二方向D2上彼此间隔开,并且可以以网格图案布置。

[0162] 在示例实施例中,导电焊盘结构930可以在垂直方向上与在第三方向D3上延伸的每个有源图案103的端部和在第一方向D1上与其相邻的隔离图案112的部分交叠。

[0163] 参考图41和图42,可以在导电焊盘结构930上形成绝缘焊盘层结构980以填充第十一开口940。

[0164] 在示例实施例中,绝缘焊盘层结构980可以包括顺序堆叠的第七焊盘层950、第八焊盘层960和第九焊盘层970,并且第七焊盘层950可以填充第十一开口940。在示例实施例中,第七焊盘层950和第九焊盘层970可以包括绝缘氮化物,例如氮化硅,并且第八焊盘层960可以包括金属氧化物,例如氧化钪、氧化锆等。

[0165] 可以在绝缘焊盘层结构980上形成第十焊盘层,并且将第十焊盘层图案化以形成第十焊盘990。可以通过使用第十焊盘990作为蚀刻掩模来部分地蚀刻包括在栅极结构170中的绝缘焊盘层结构980、导电焊盘结构、有源图案103、隔离图案112和栅极掩模160,以形成第十二开口995。

[0166] 第十二开口995可以具有与参考图5和图6所示的第二开口230对应的布局。例如,第十焊盘990可以在俯视图中具有圆形或椭圆形的形状,并且多个第十焊盘990可以形成为在第一方向D1和第二方向D2上彼此间隔开。每个第十焊盘990可以在垂直方向上与有源图案103的在第一方向D1上相邻的端部和隔离图案112的在有源图案103的端部之间的部分交叠。

[0167] 参考图43,可以执行与参考图7至图11所示的工艺基本上相同或相似的工艺,从而可以形成第一初步填充结构790以填充第十二开口995。

[0168] 在示例实施例中,包括在第一初步填充结构790中的第一下间隔物735的最上表面可以高于包括在导电焊盘结构930中的第五焊盘910的上表面。

[0169] 参考图44,可以执行与参考图12至图17所示的工艺基本上相同或相似的工艺,从而可以在第十二开口995中形成第一填充图案780以及第一下间隔物735和第二下间隔物765。

[0170] 位线结构395下方的第九焊盘层970的仅一部分可以保留为第九焊盘图案975。

[0171] 参考图45,可以执行与参考图18至图28所示的工艺基本上相同或相似的工艺,以完成半导体器件的制造。

[0172] 在示例实施例中,除了掺杂的多晶硅之外,下接触插塞475还可以包括金属(例如,钨),并且包括在接触插塞结构中的下接触插塞475和上接触插塞549可以包含相同的金属。因此,可以不在下接触插塞475和上接触插塞549之间形成第二金属硅化物图案500。

[0173] 在示例实施例中,下接触插塞475可以接触包括在导电焊盘结构930中的第六焊盘

920的上表面,因此,下接触插塞475可以通过第四焊盘900、第五焊盘910和第六焊盘920电连接到有源图案103。

[0174] 如上所述,导电焊盘结构930和绝缘焊盘层结构980可以形成在有源图案103和隔离图案112上,并且第一初步填充结构790可以形成在延伸穿过导电焊盘结构930和绝缘焊盘层结构980的第十二开口995中,以暴露有源图案103和隔离图案112。

[0175] 当通过去除包括在第一初步填充结构790中的第一牺牲间隔物755来形成第三开口420时,第一下间隔物735可以用作蚀刻停止层,并且第一下间隔物735的最上表面可以高于包括在导电焊盘结构930中的第五焊盘910的上表面。因此,第三开口420的底部可以高于包括例如金属硅化物的第五焊盘910的上表面,并且当去除第一牺牲间隔物755时,第五焊盘910可以不被去除。

[0176] 当仅形成第一牺牲间隔物755而不单独形成第一下间隔物735时,当通过去除第一牺牲间隔物755形成第三开口420时,第一牺牲间隔物755可能被过度去除,并且第五焊盘910也可能被去除。为了防止第五焊盘910被去除,必须增加包括在导电焊盘结构930中并形成在第五焊盘910上的第六焊盘920的厚度。

[0177] 然而,在示例实施例中,由于第一牺牲间隔物75下方的第一下间隔物735,第三开口420的底部可以不低于第五焊盘910的上表面,因此可以无需不必要地增加包括金属的第六焊盘920的厚度。

[0178] 图46至图47是示出根据示例实施例的半导体器件的截面图。这些半导体器件可以分别与参考图34和图38所示的半导体器件相似。然而,如参考图39至图45所示,这些半导体器件可以通过在有源图案103和隔离图案112上形成导电焊盘结构930和绝缘焊盘层结构980的工艺来制造。

[0179] 因此,参考图46,第三下间隔物767、第四下间隔物757和第一下间隔物735可以在基本上平行于衬底100的上表面的水平方向上形成在第一填充图案780的下侧壁上。在示例实施例中,第一下间隔物735、第三下间隔物767和第四下间隔物757的最上表面可以高于包括在导电焊盘结构930中的第五焊盘910的上表面。

[0180] 参考图47,第三下间隔物767、第四下间隔物757和第一下间隔物735可以在水平方向上顺序地形成在第一填充图案780的下侧壁上。在示例实施例中,第一下间隔物735的最上表面可以高于包括在导电焊盘结构930中的第五焊盘910的上表面,并且第三下间隔物767和第四下间隔物757的最上表面可以低于包括在导电焊盘结构930中的第五焊盘910的上表面。

[0181] 在示例实施例中,第三下间隔物767和第四下间隔物757的最上表面可以低于第一下间隔物735的最上表面。

[0182] 虽然已经参考附图描述了实施例,但是本领域普通技术人员将理解,在不脱离由所附权利要求及其等同物限定的精神和范围的情况下,可以在其中进行形式和细节上的各种改变。

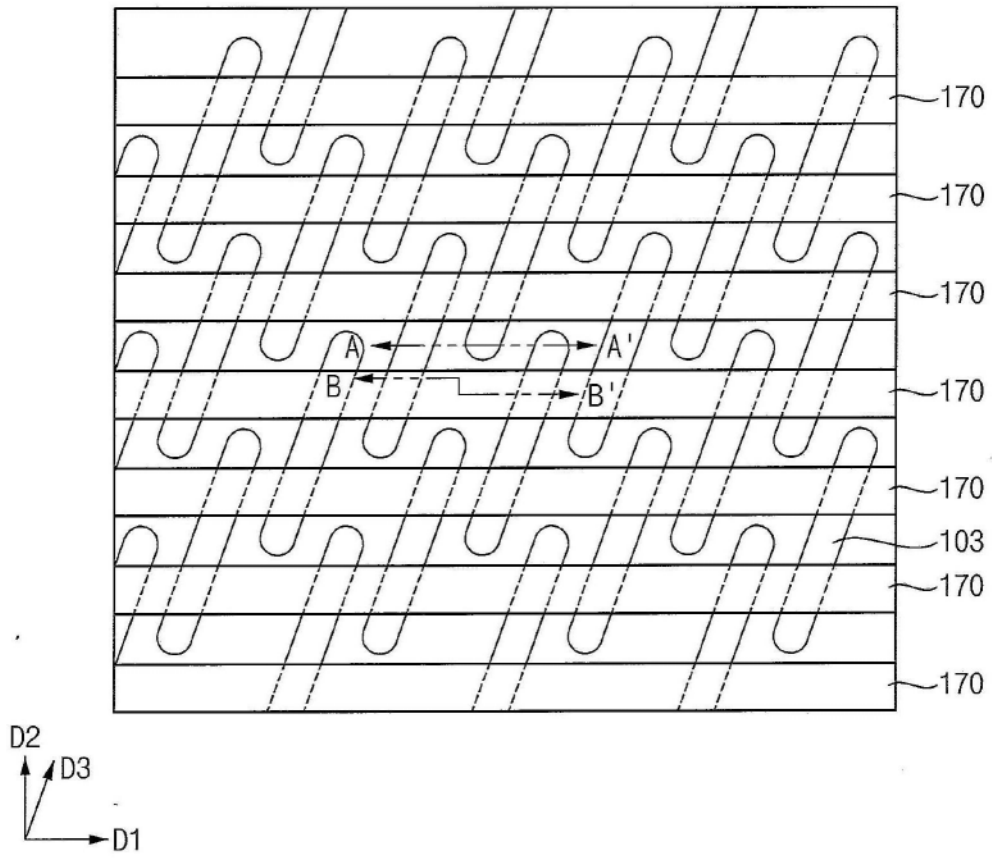


图1

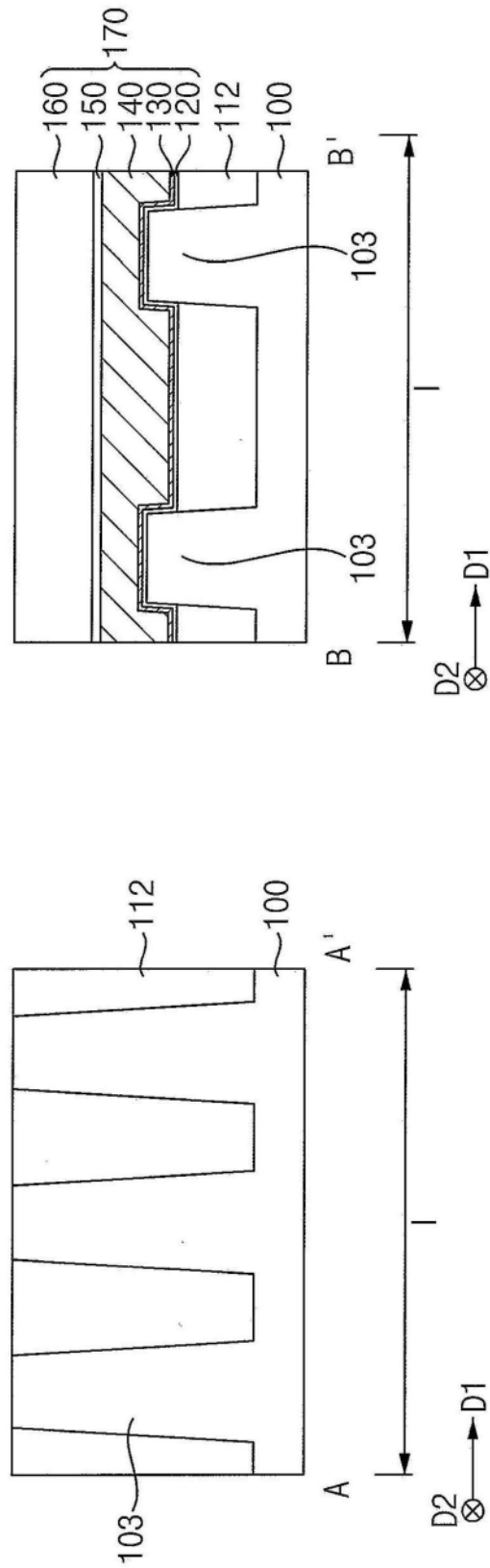


图2

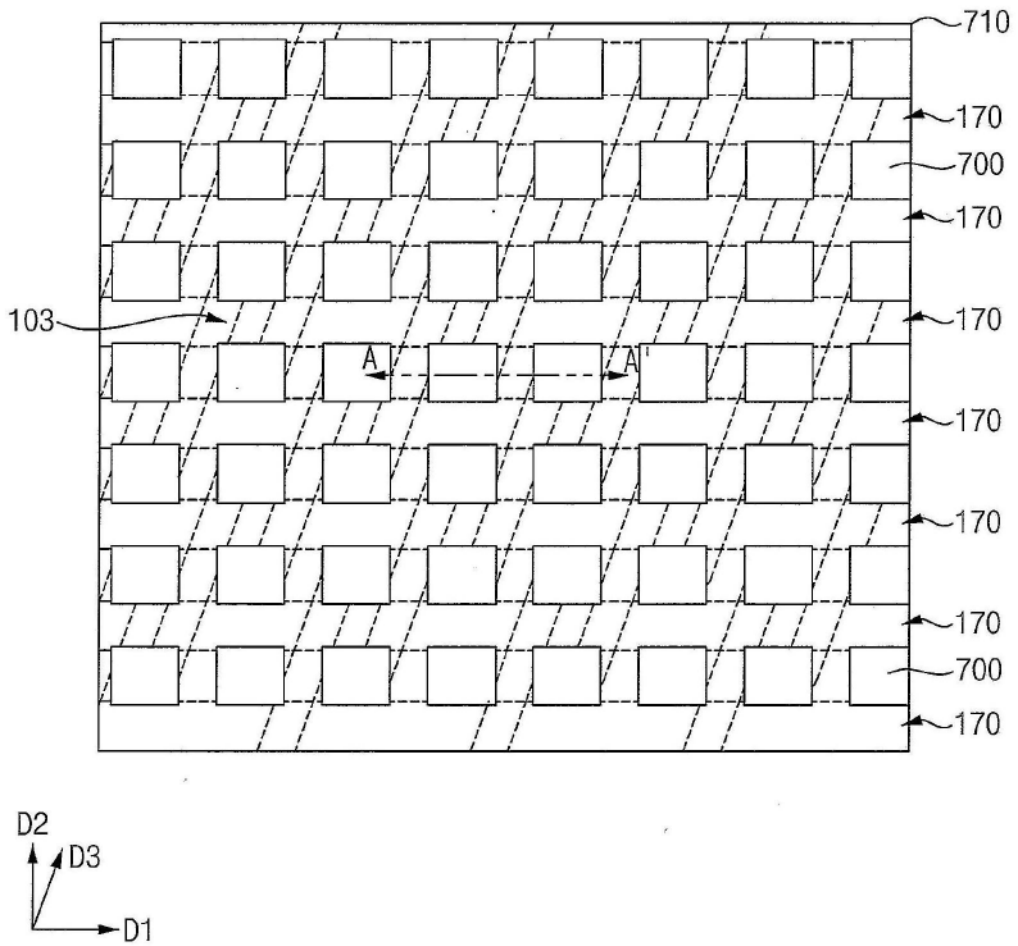


图3

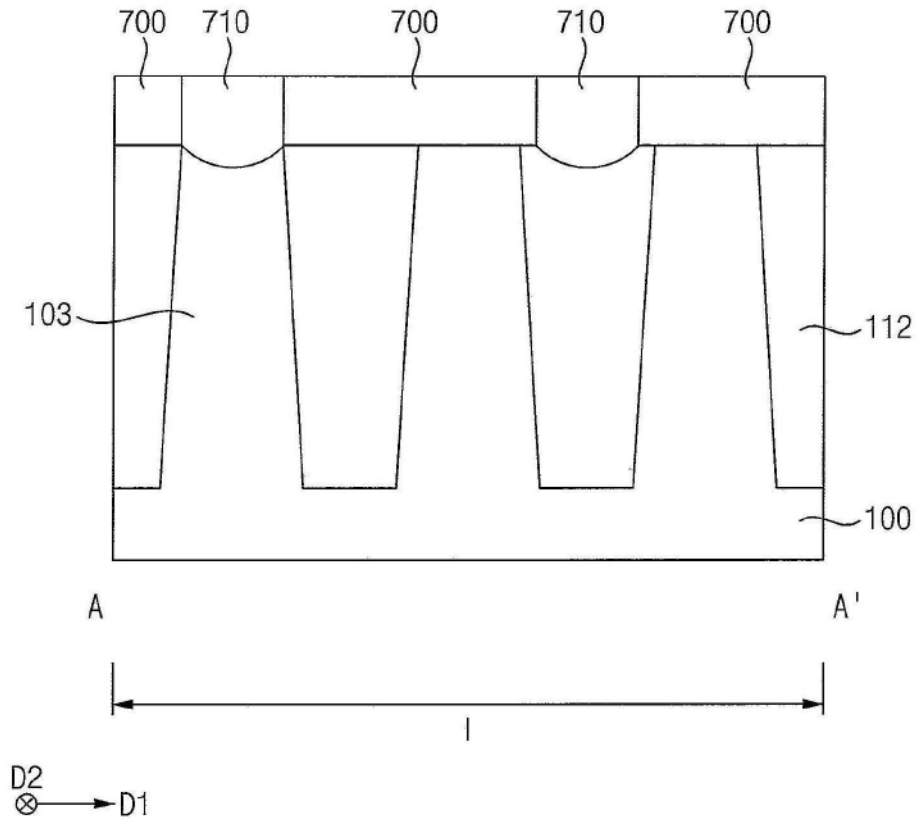


图4

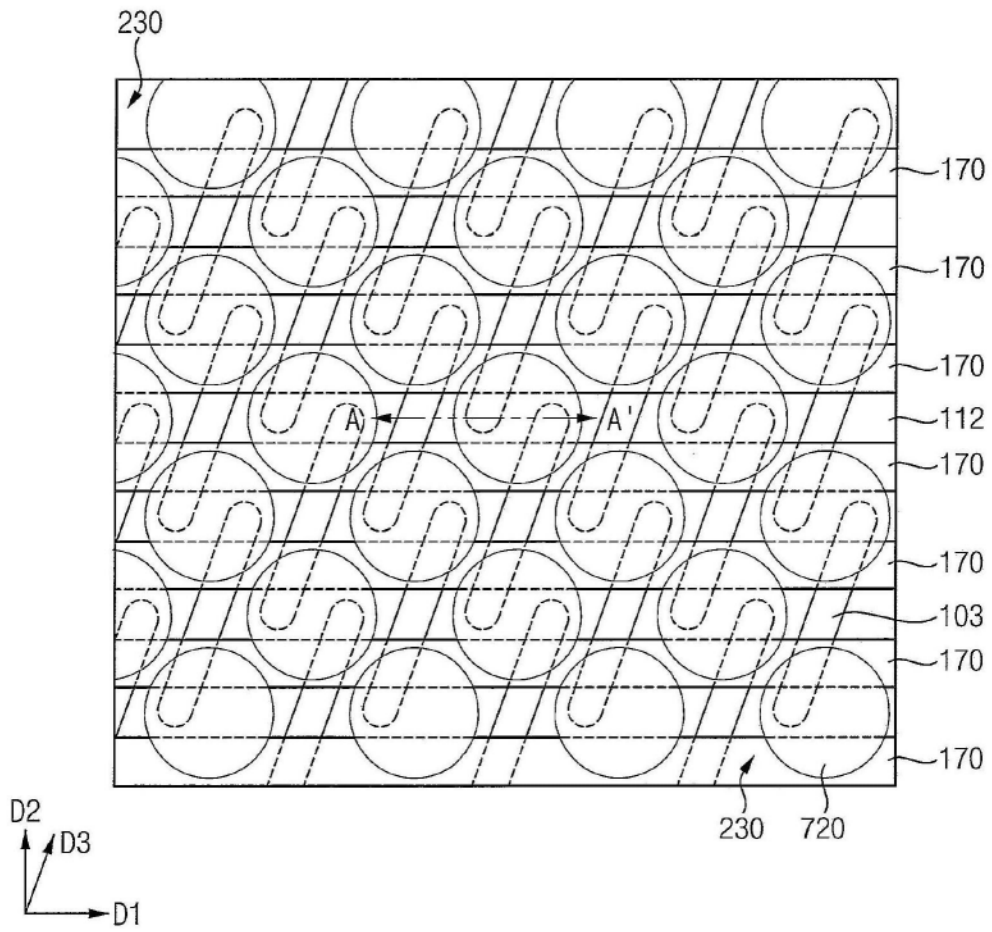


图5



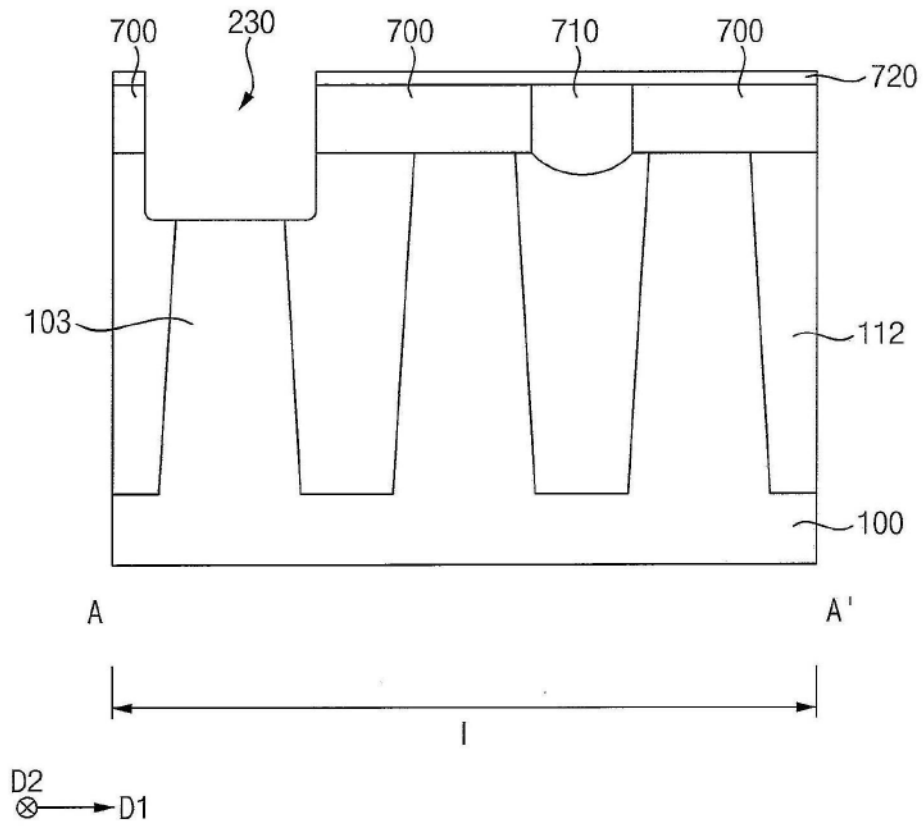


图6

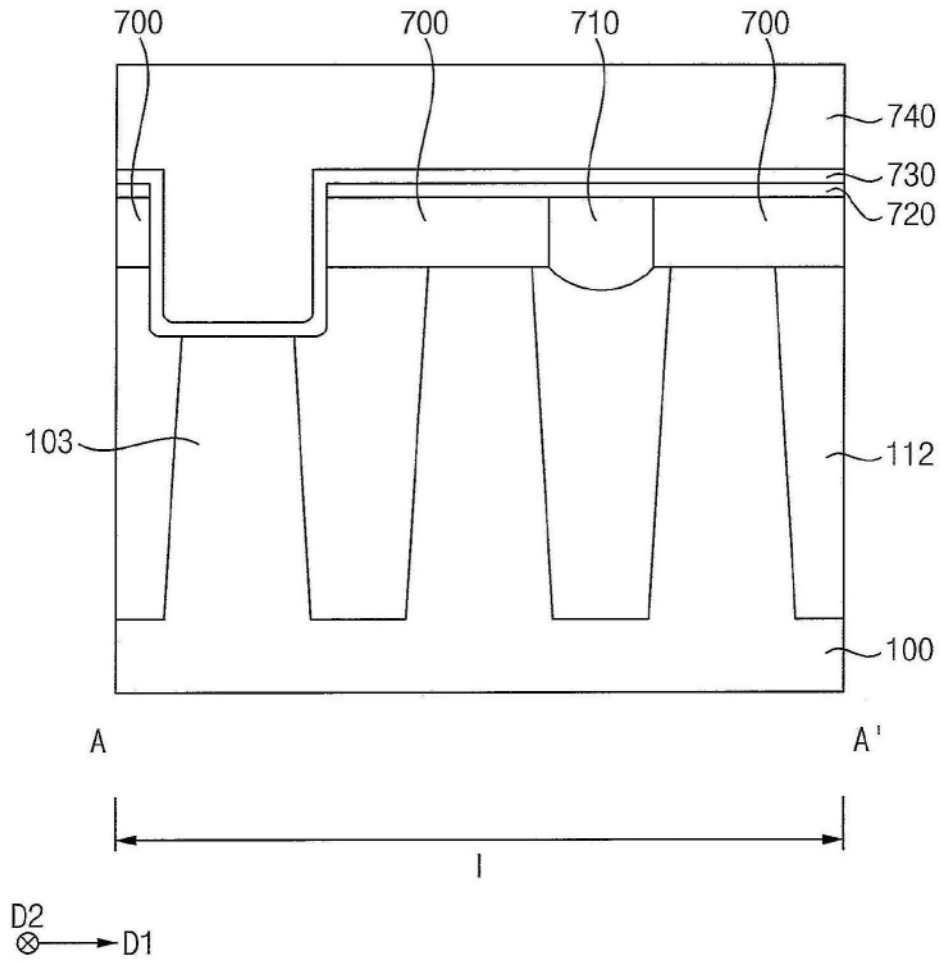


图7

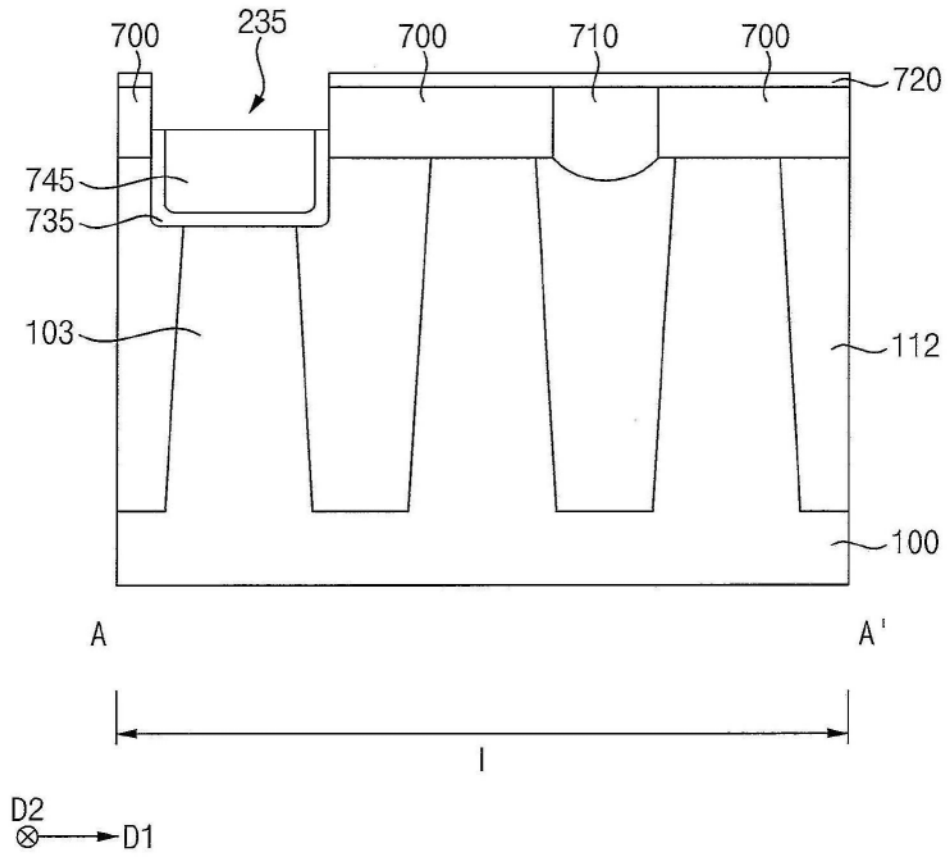


图8

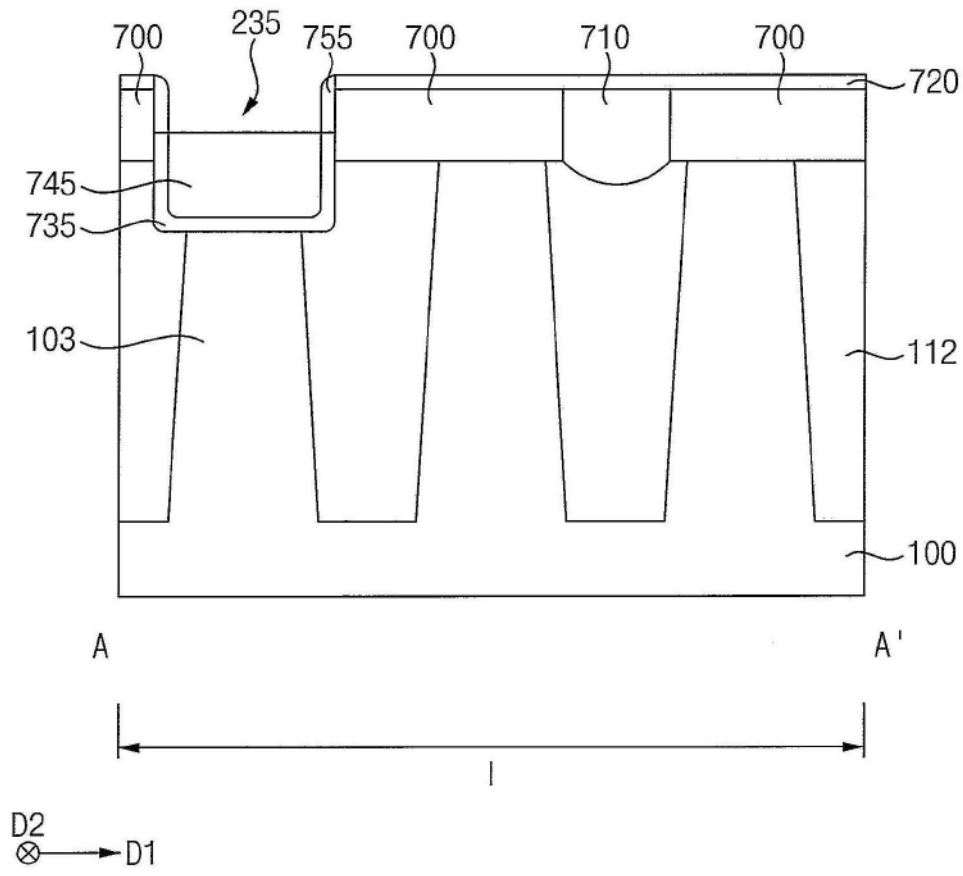


图9

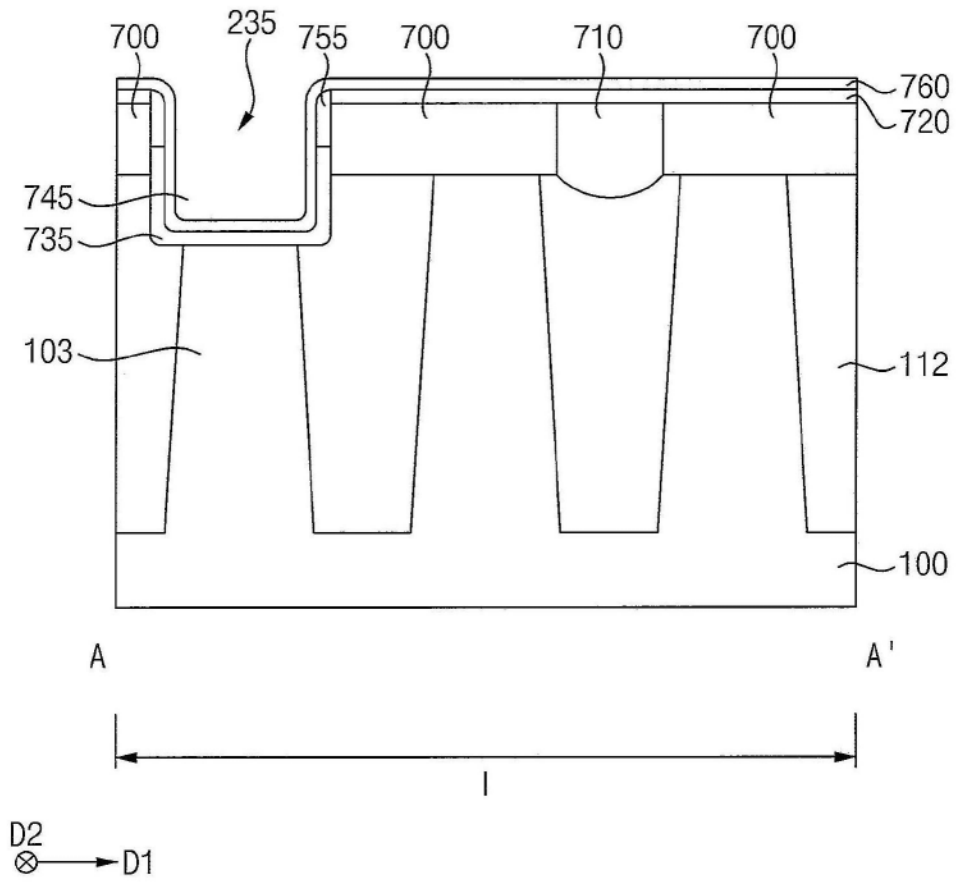


图10

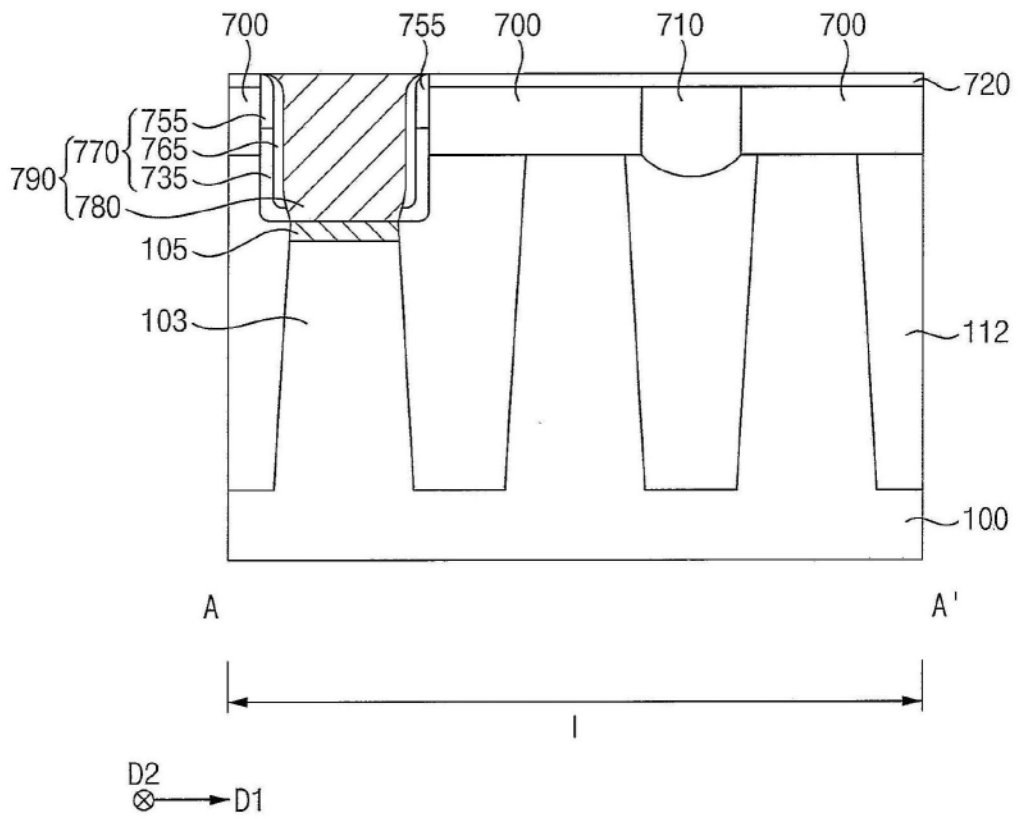


图11

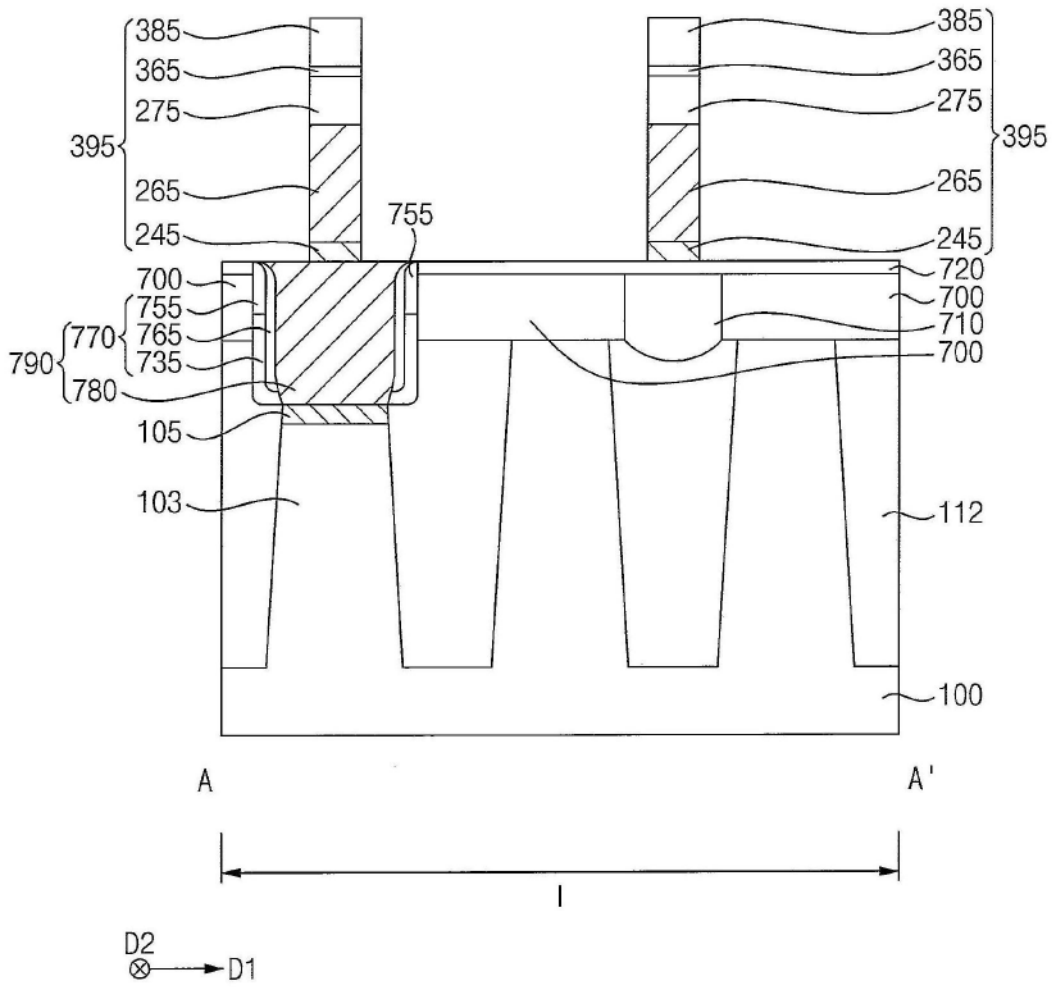


图12

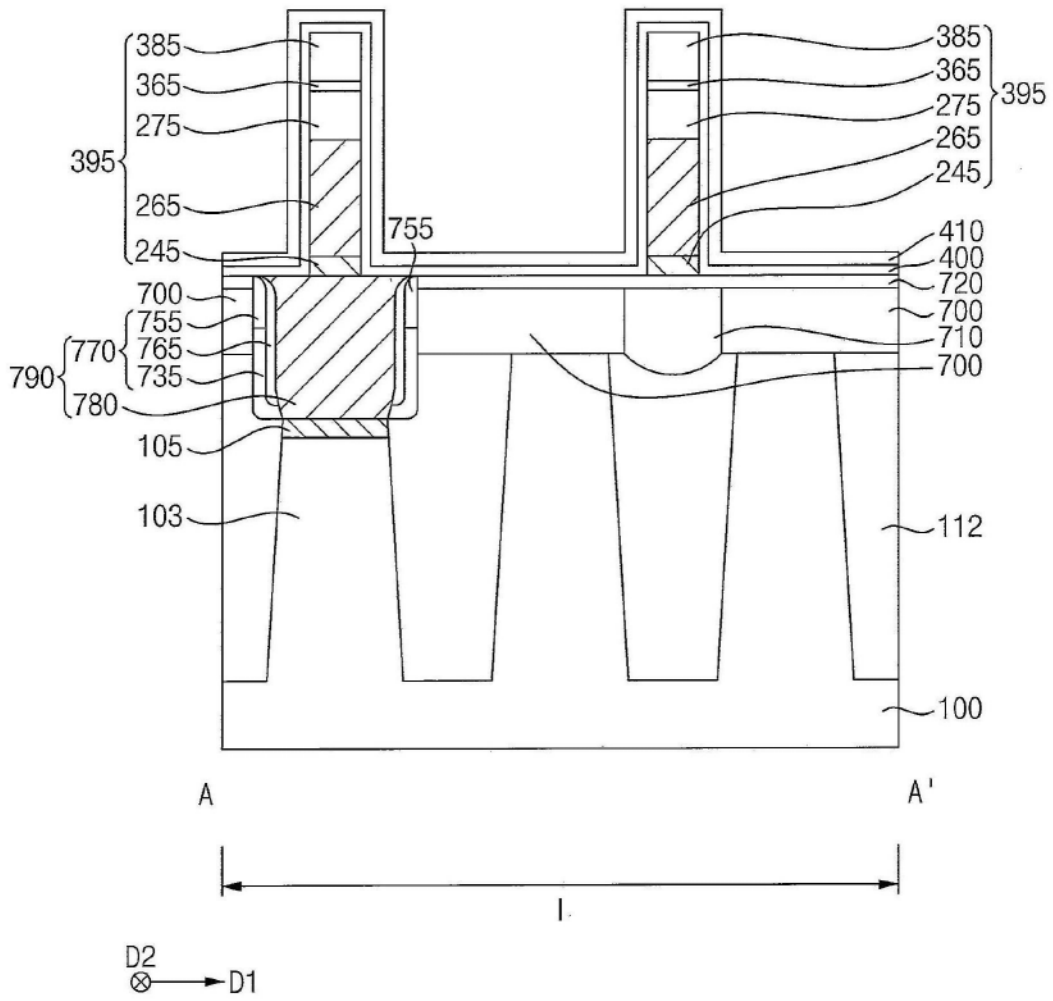


图13



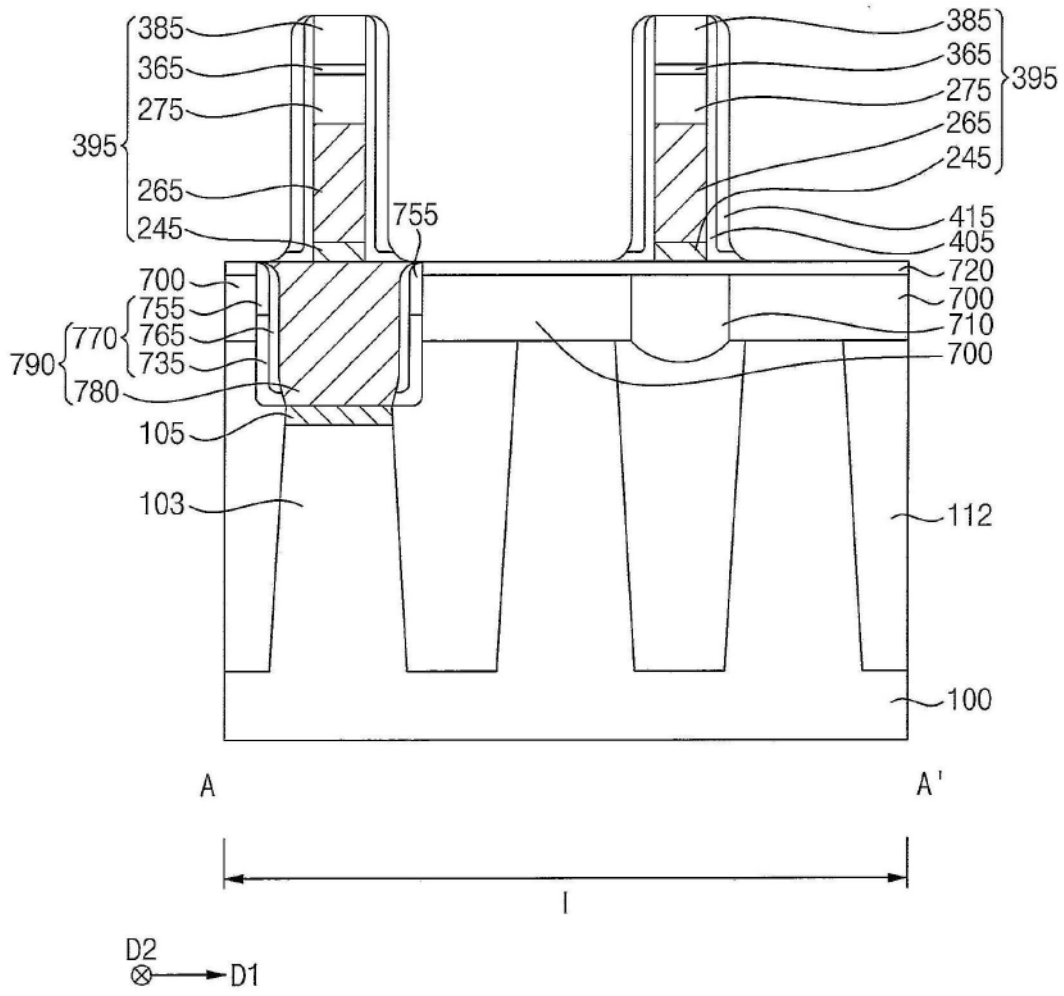


图14

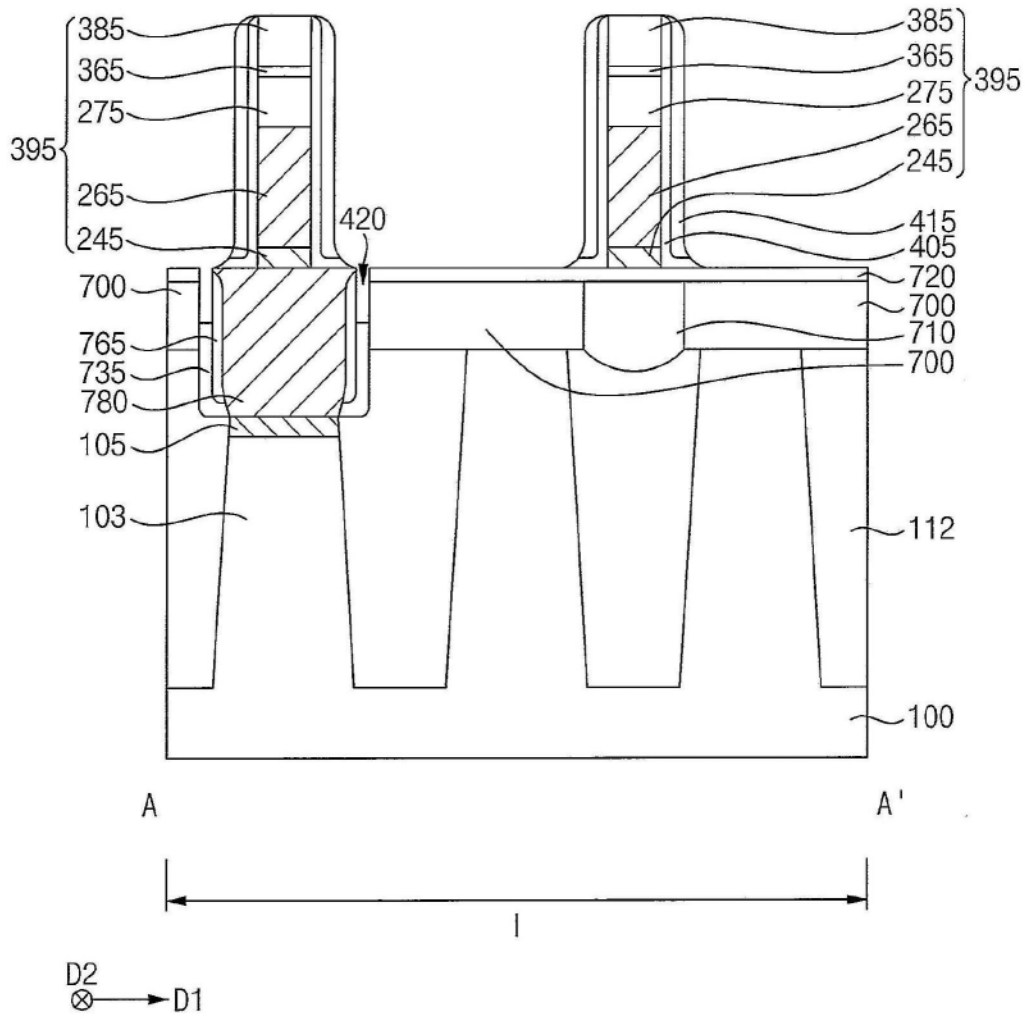


图15

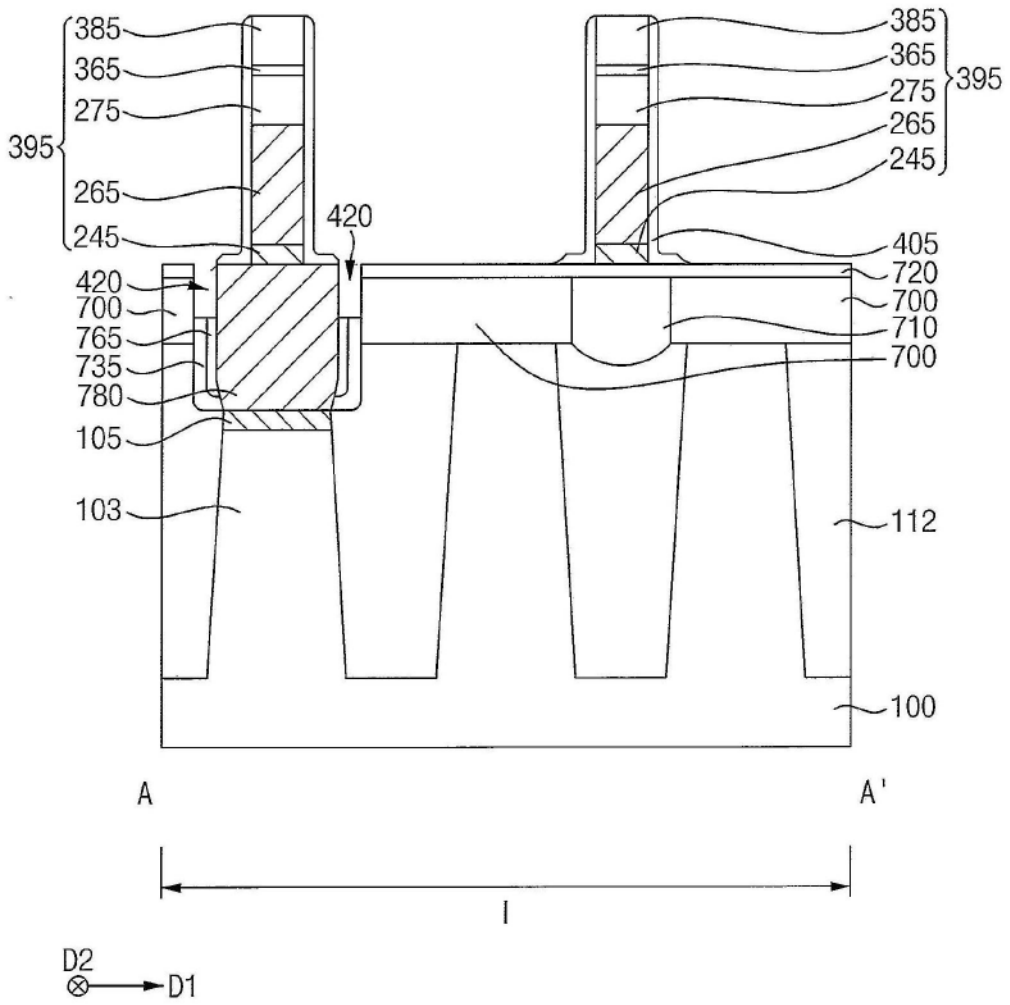


图16

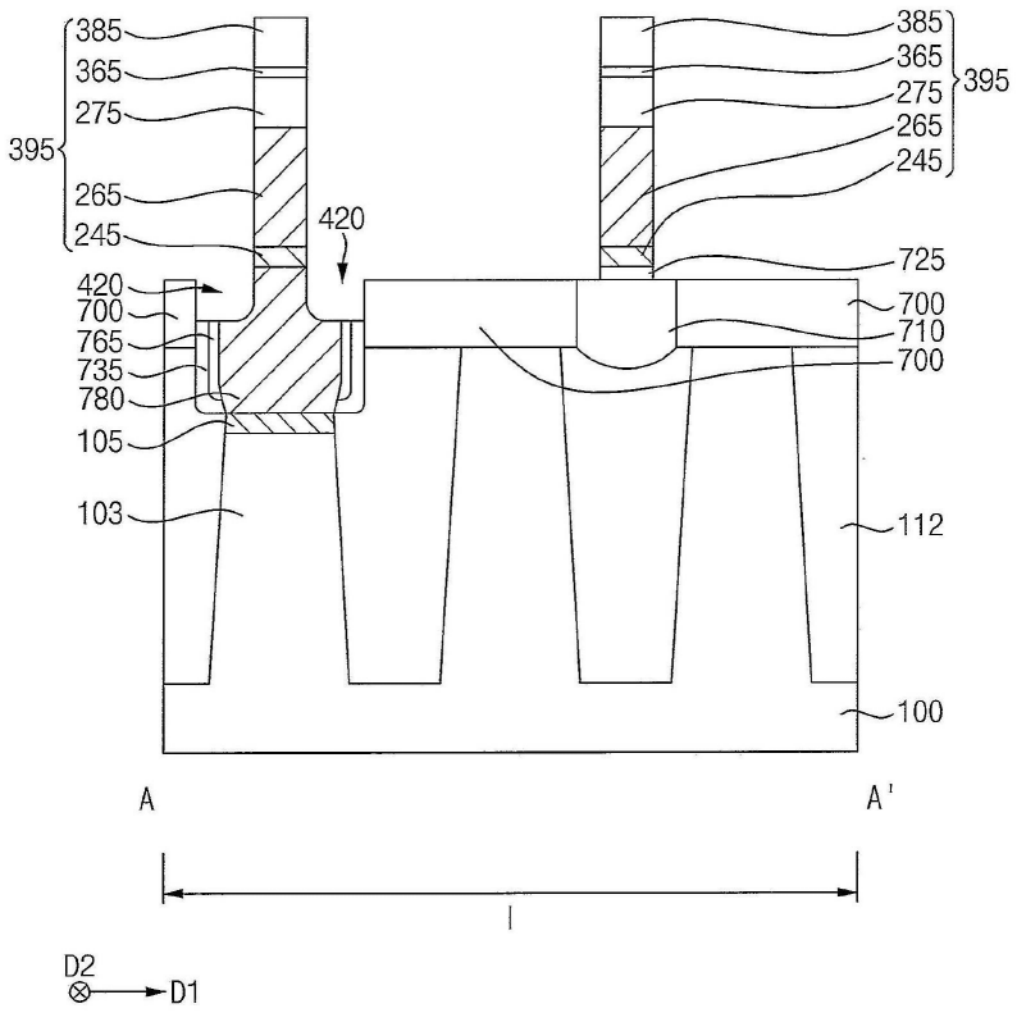


图17

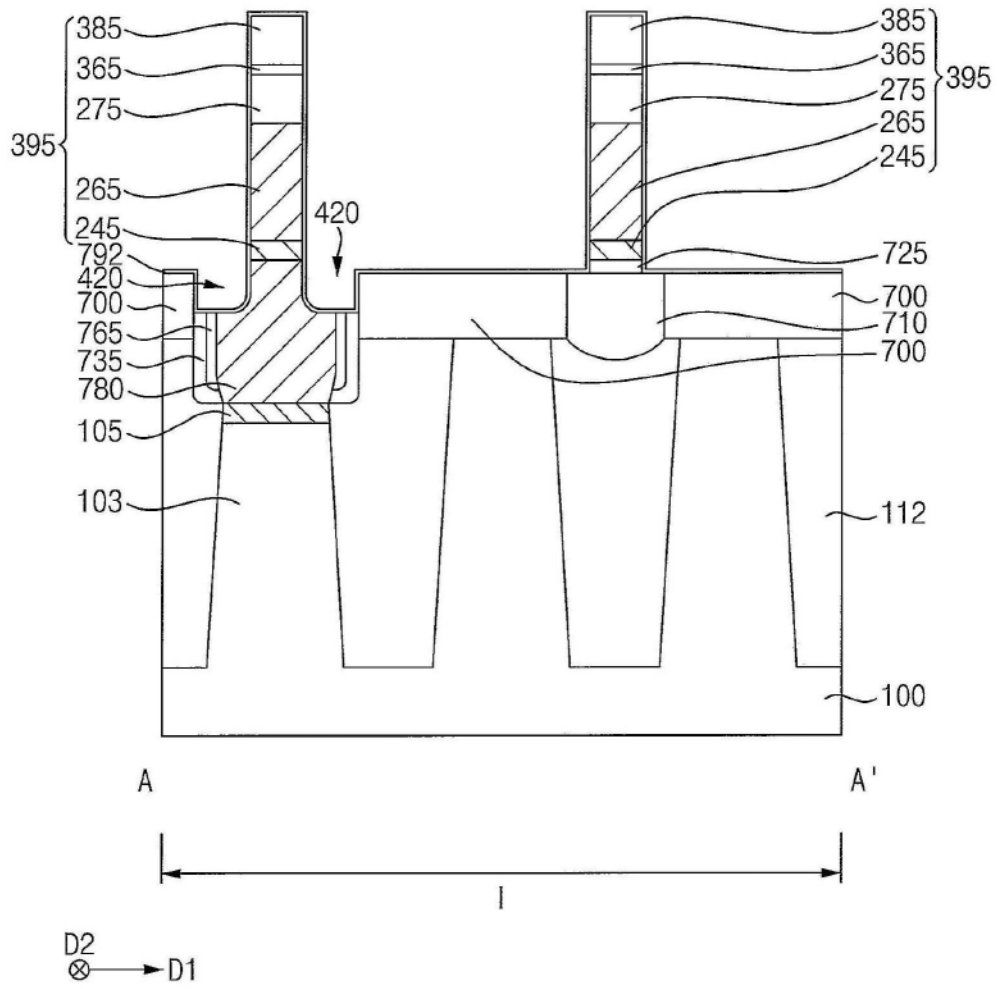


图18

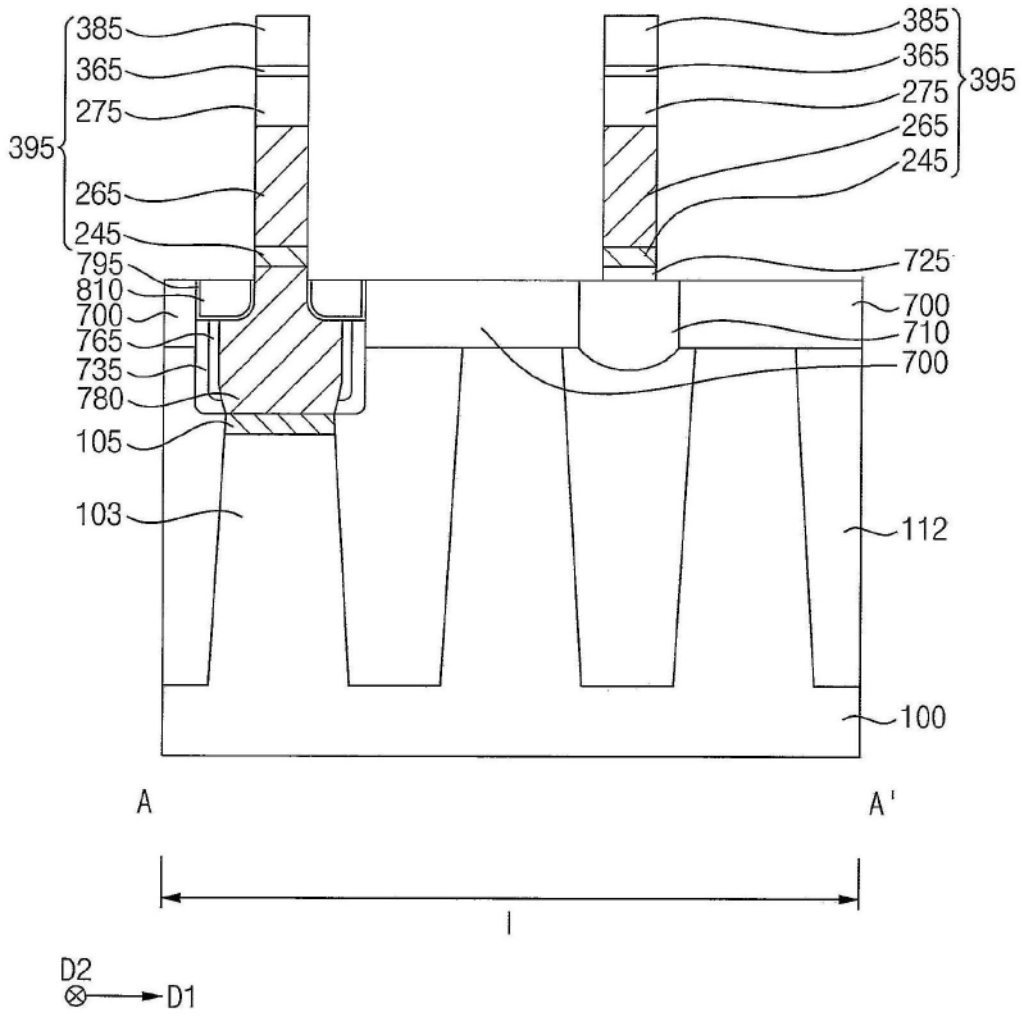


图19

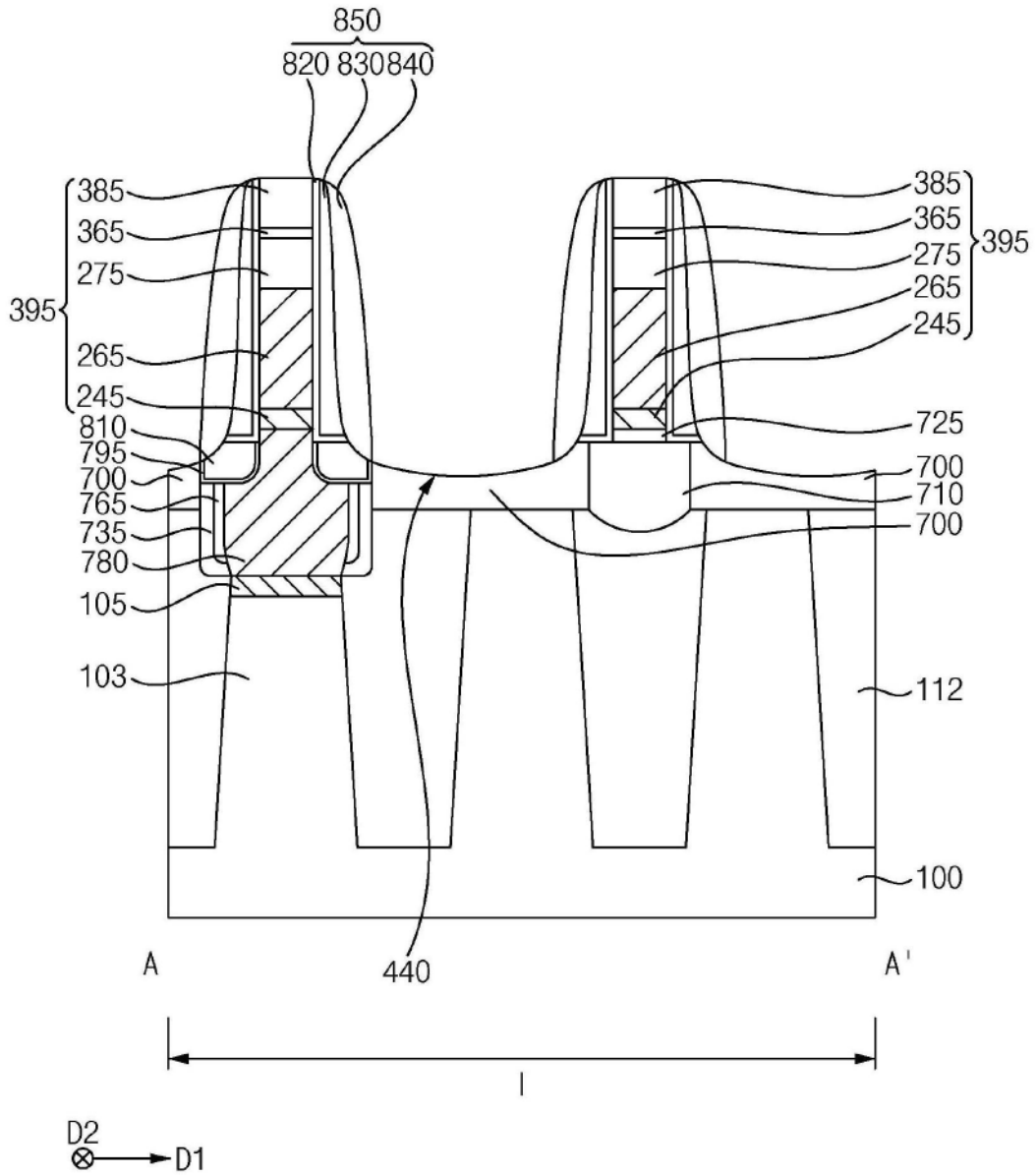


图20

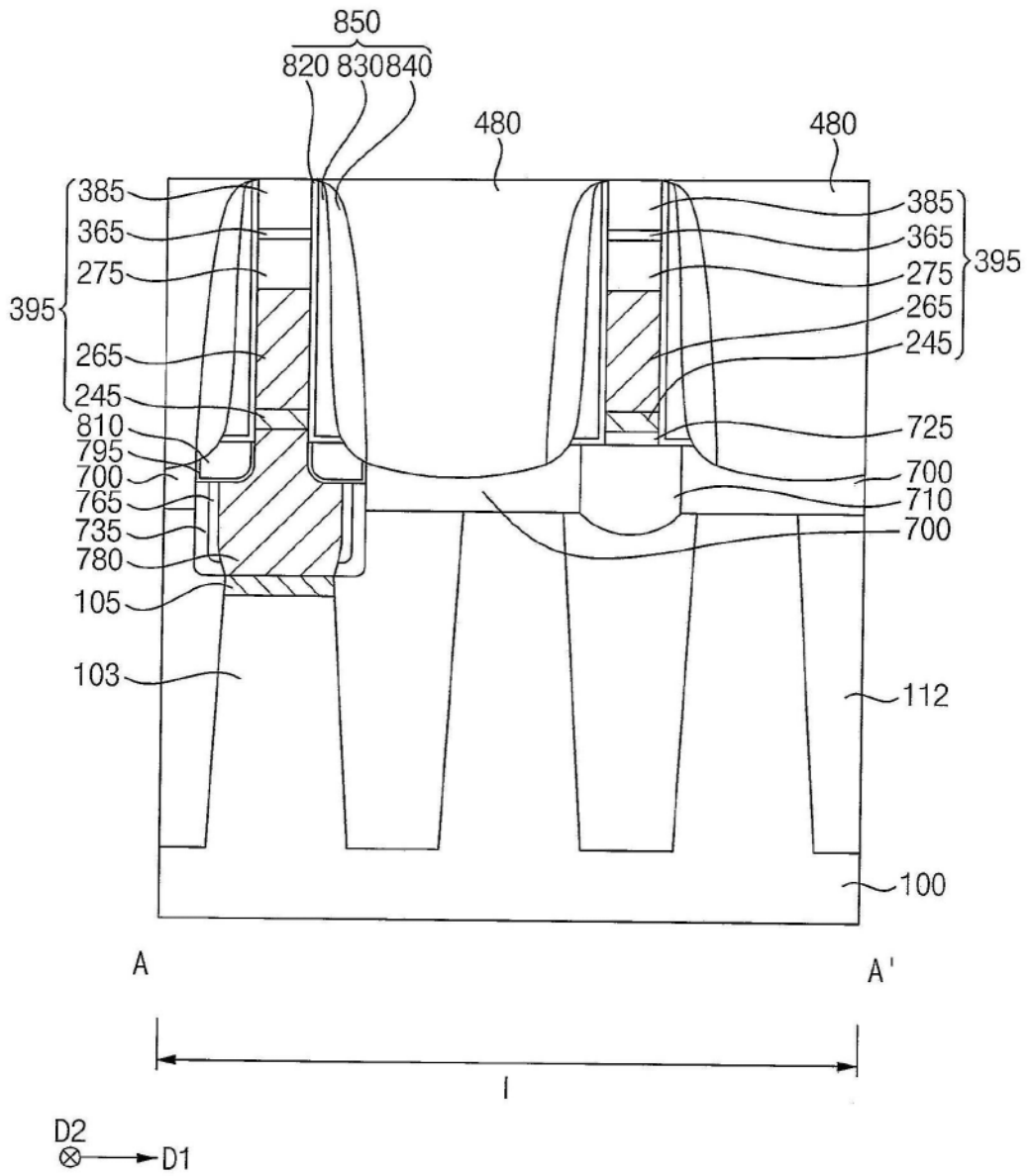


图21



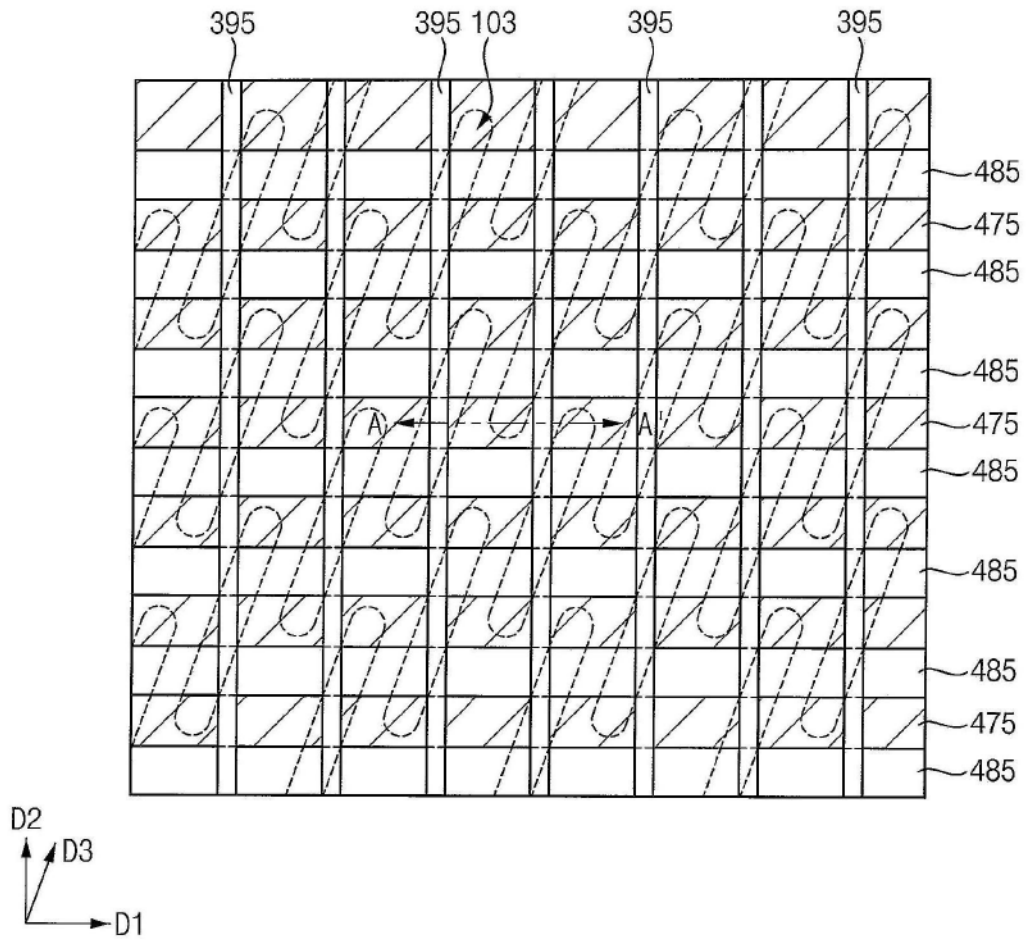


图22

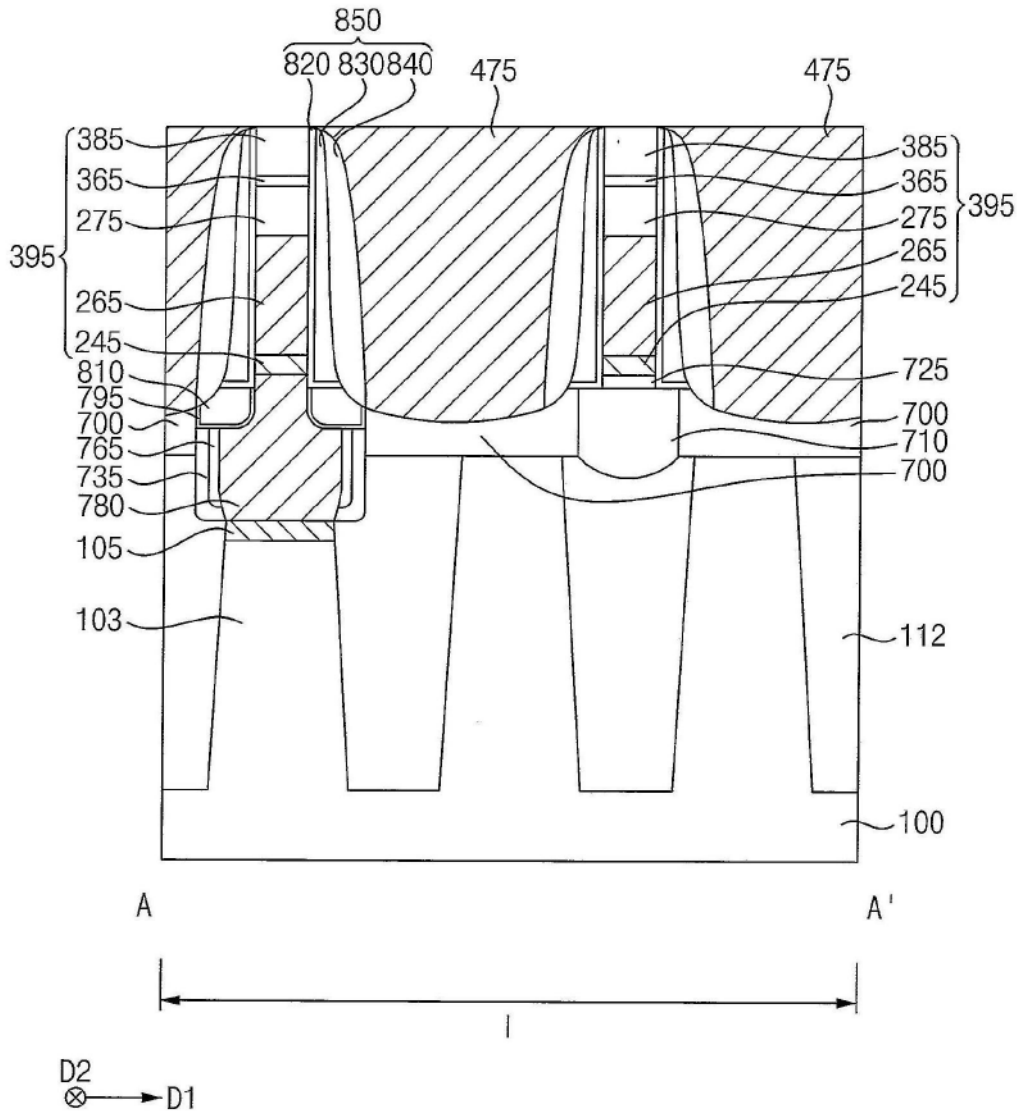


图23

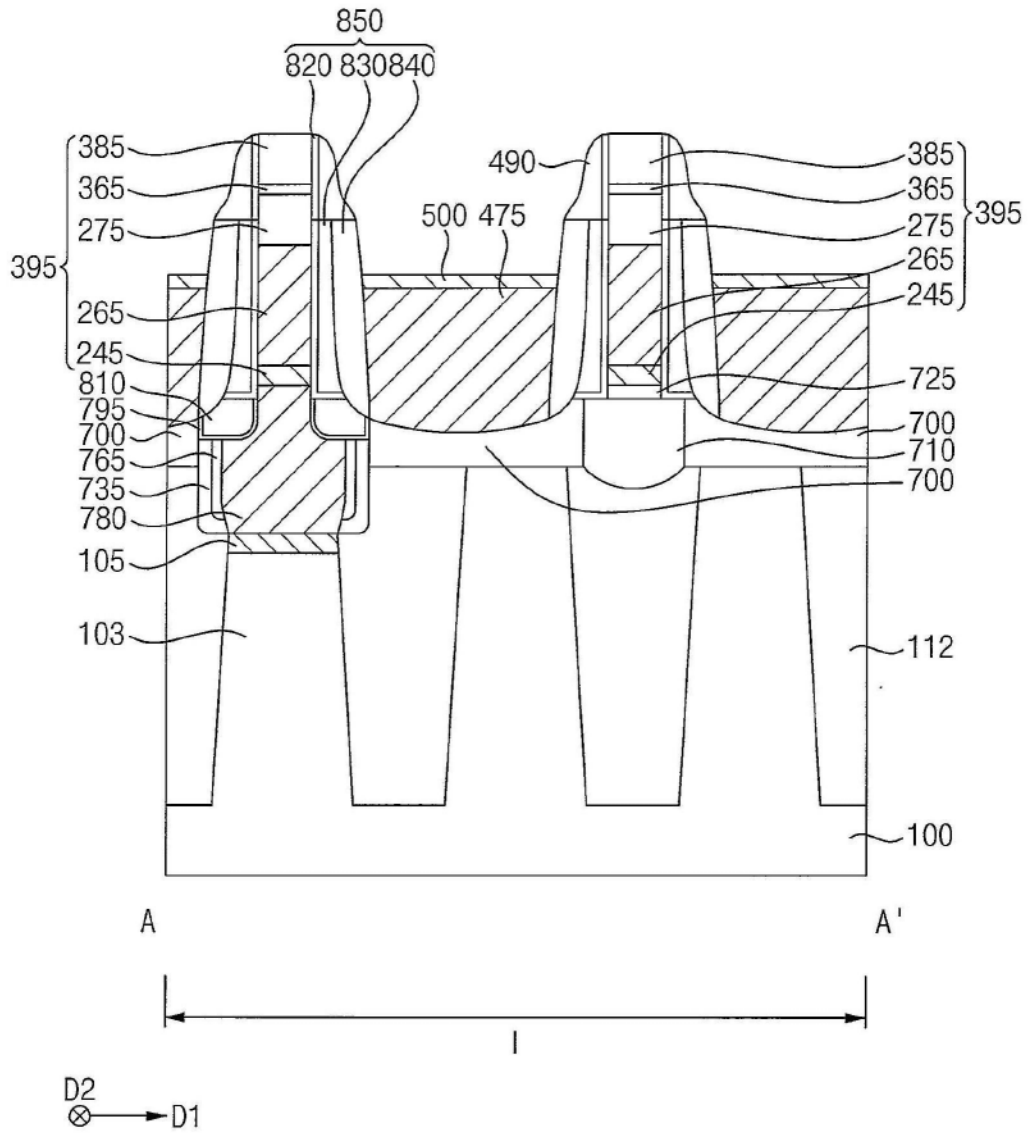


图24

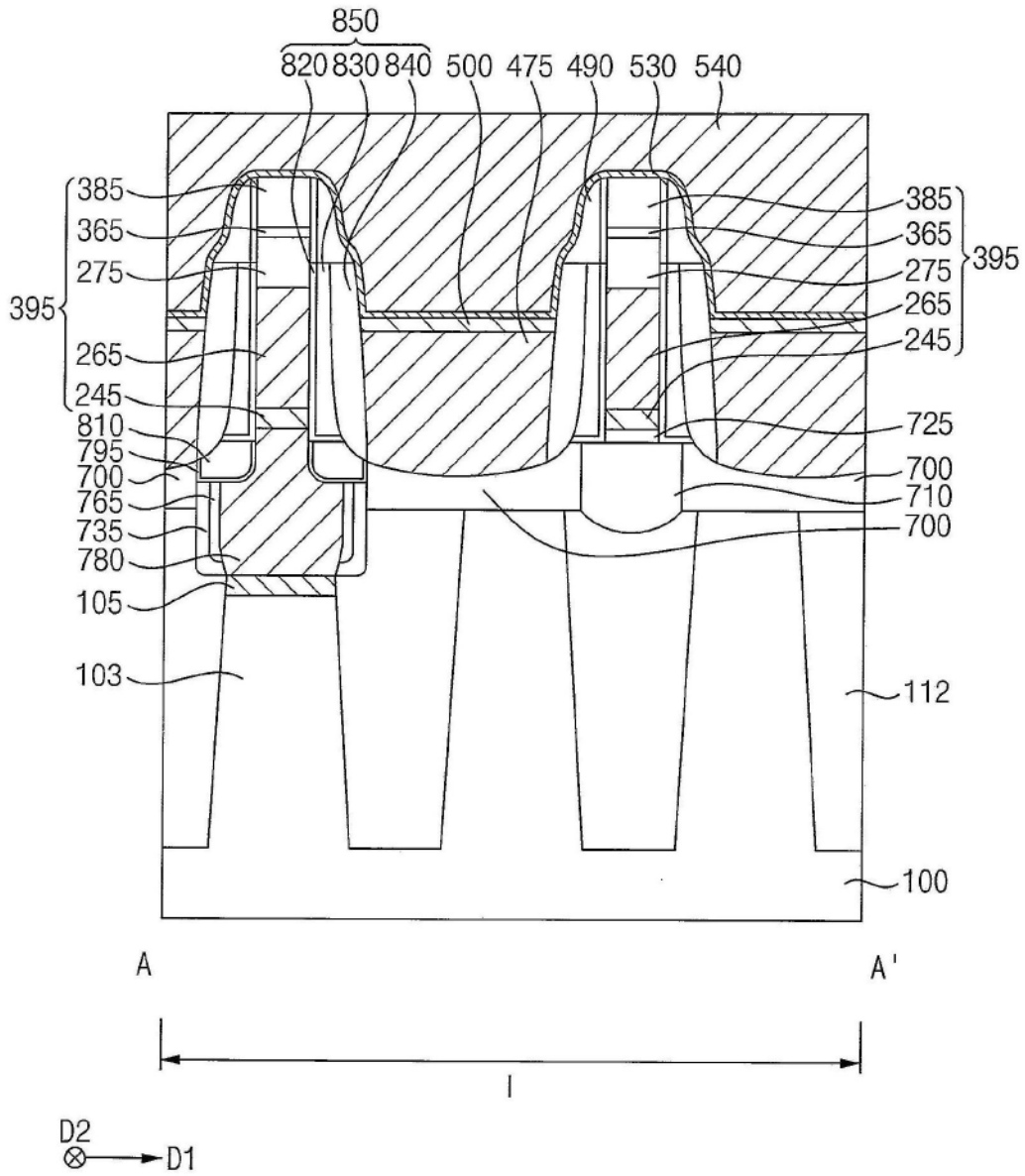


图25

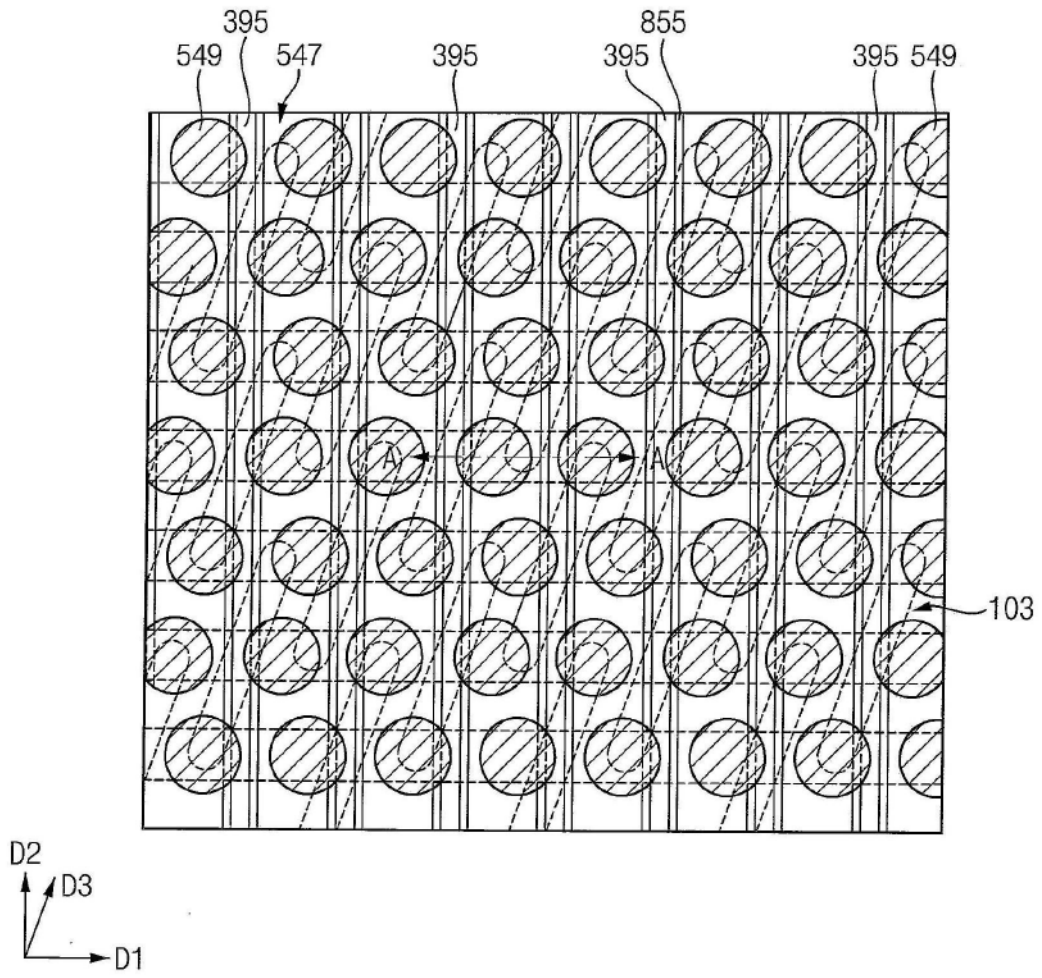


图26

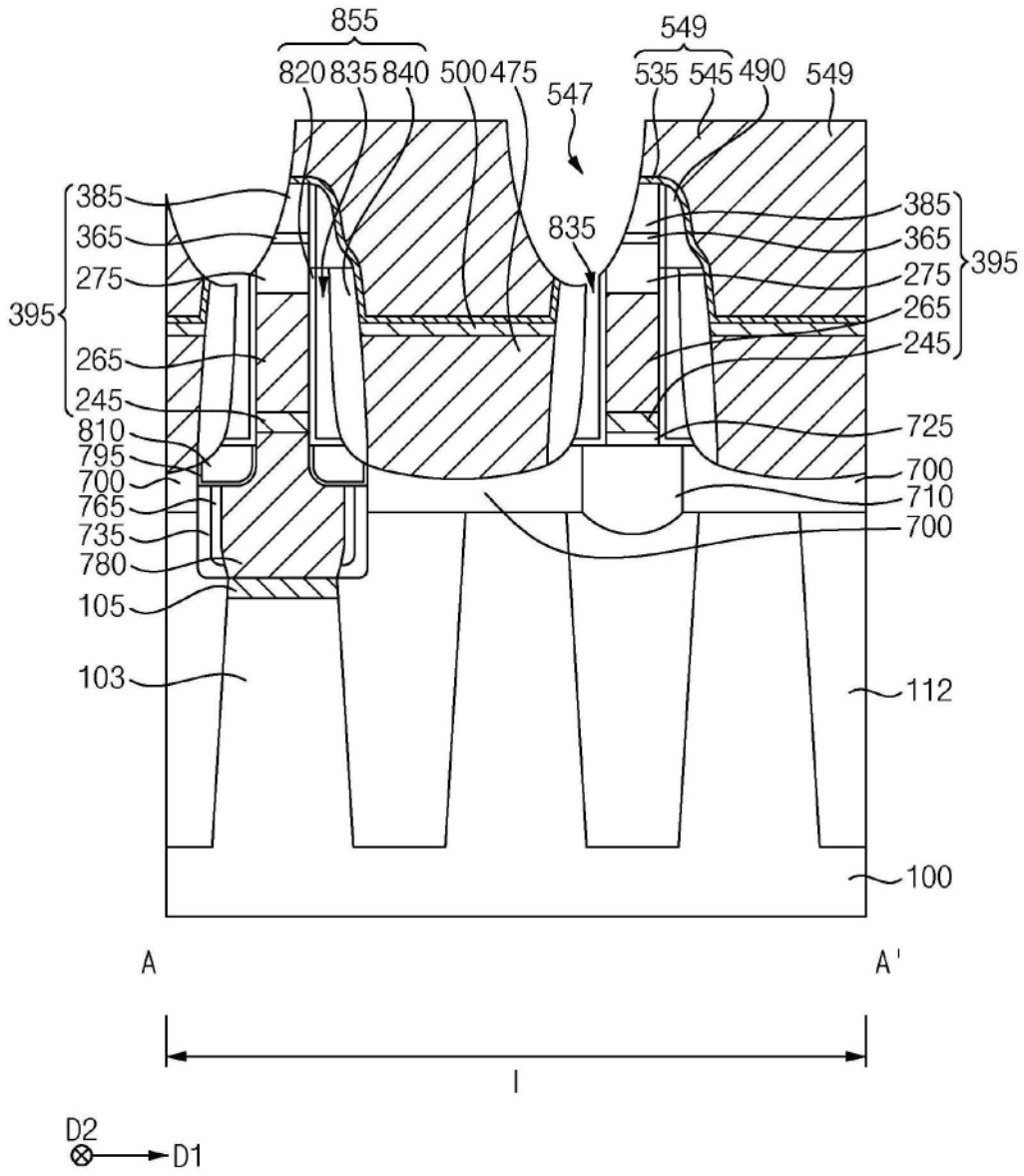


图27

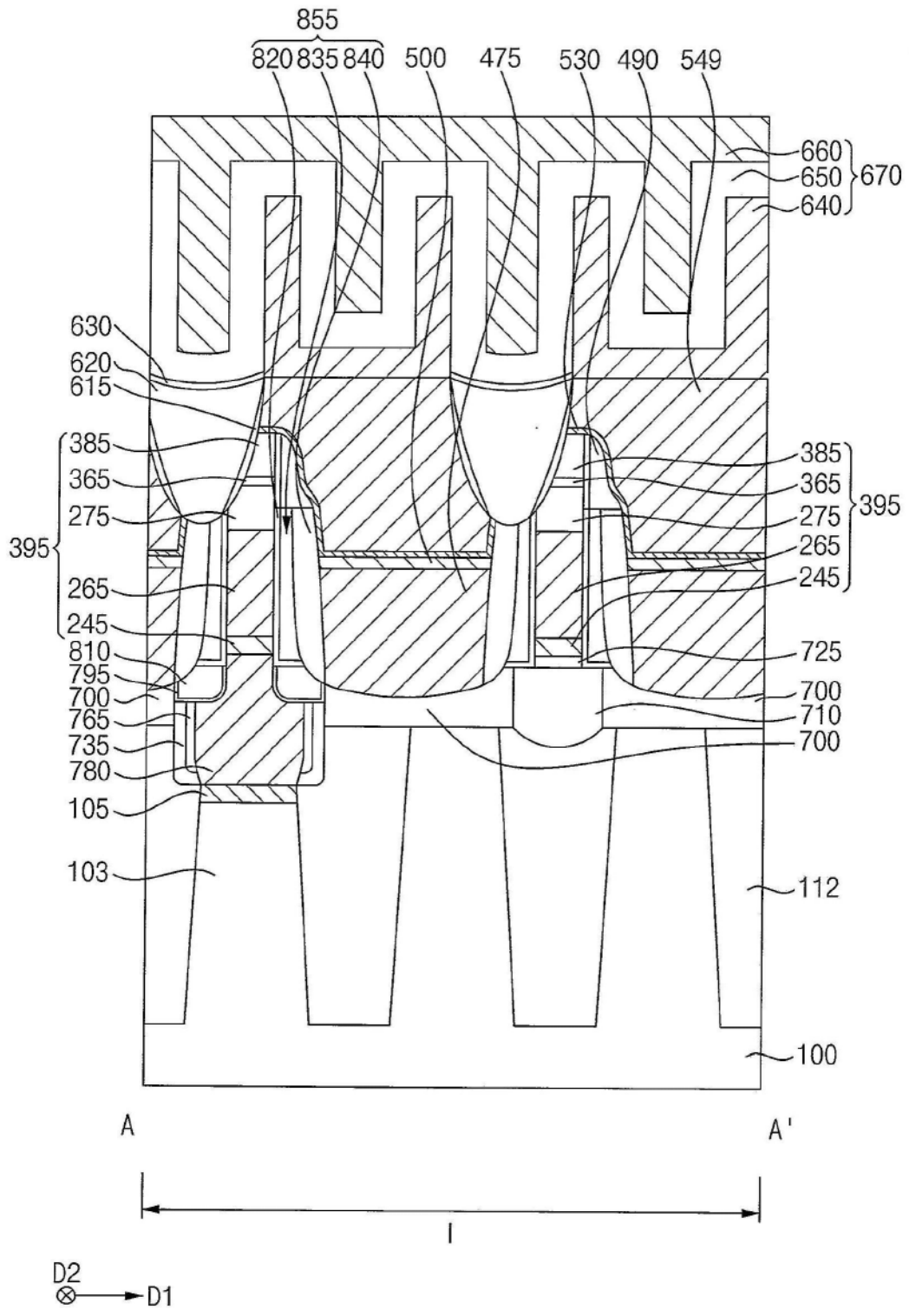


图28

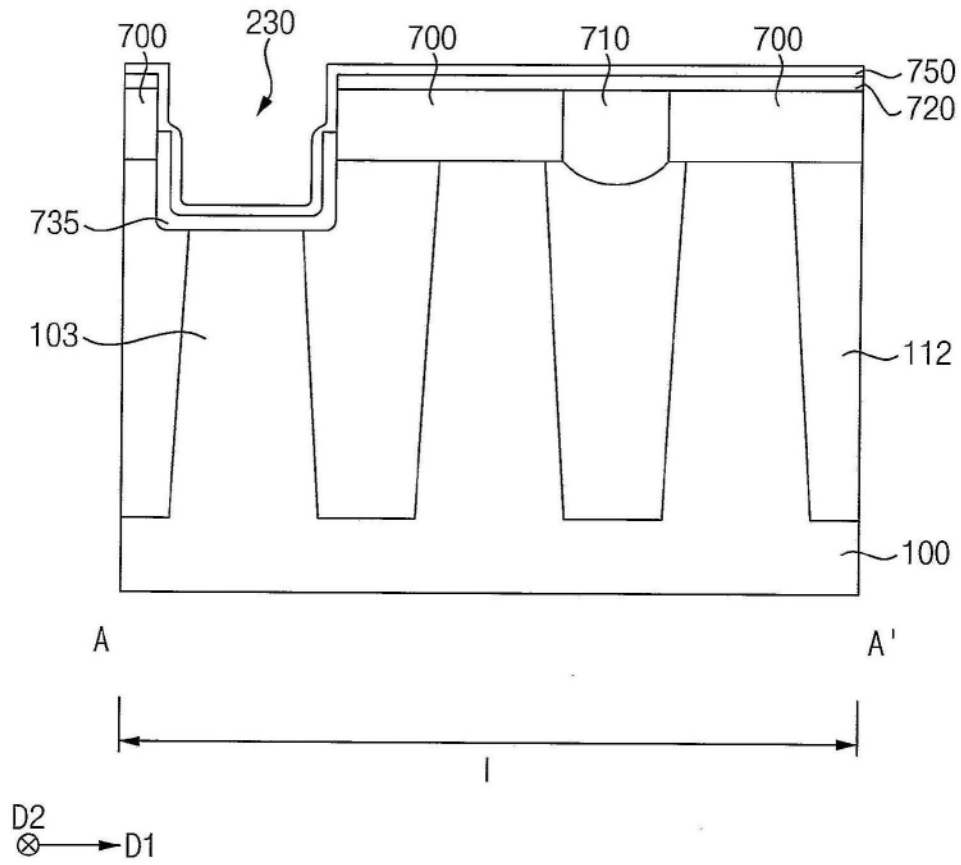


图29



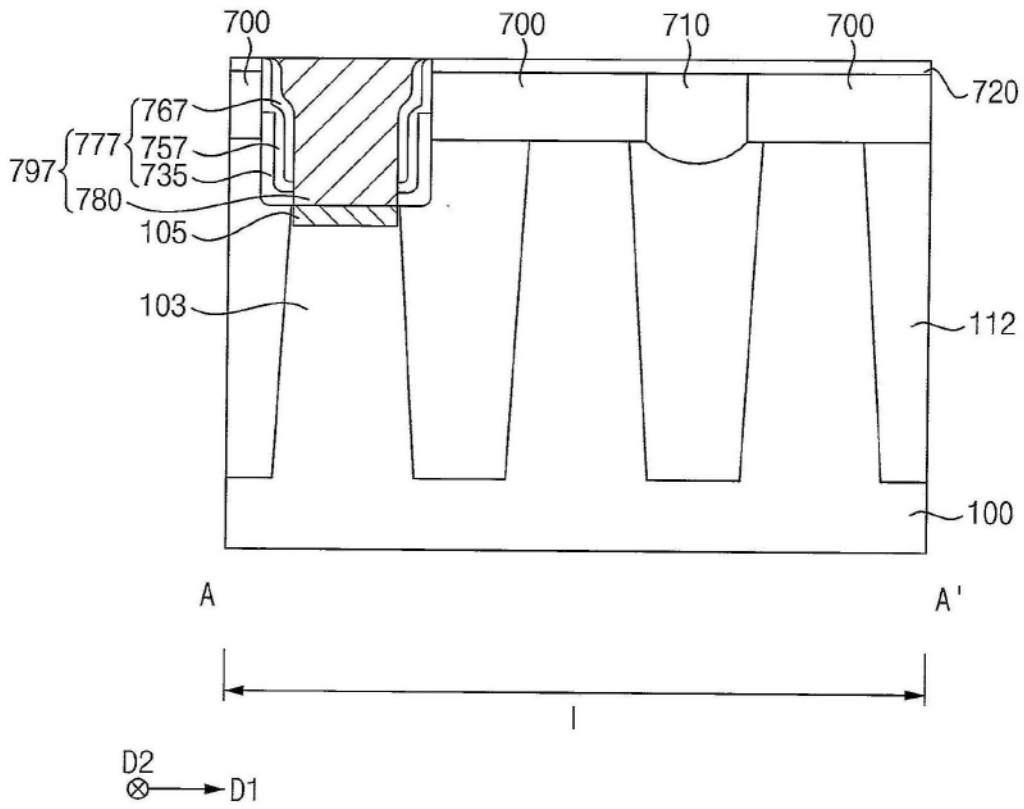


图30

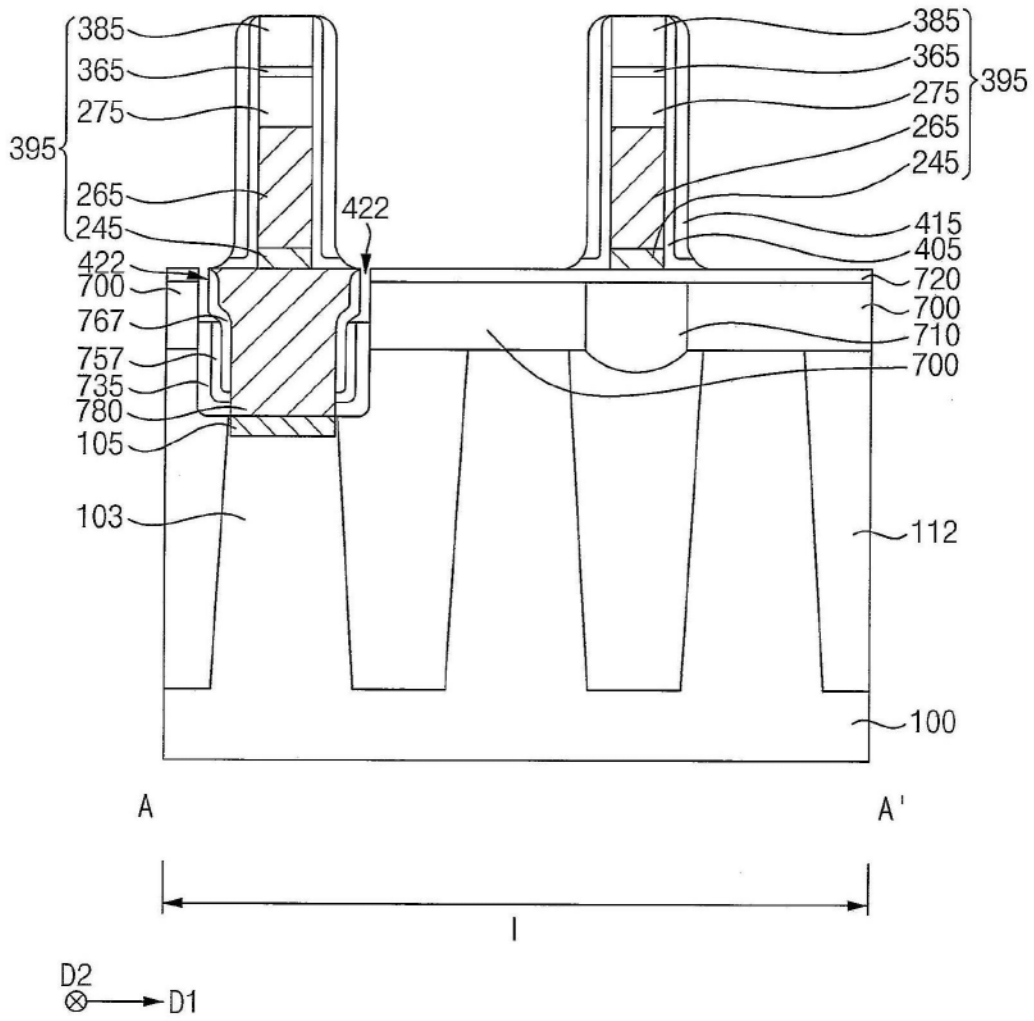


图31



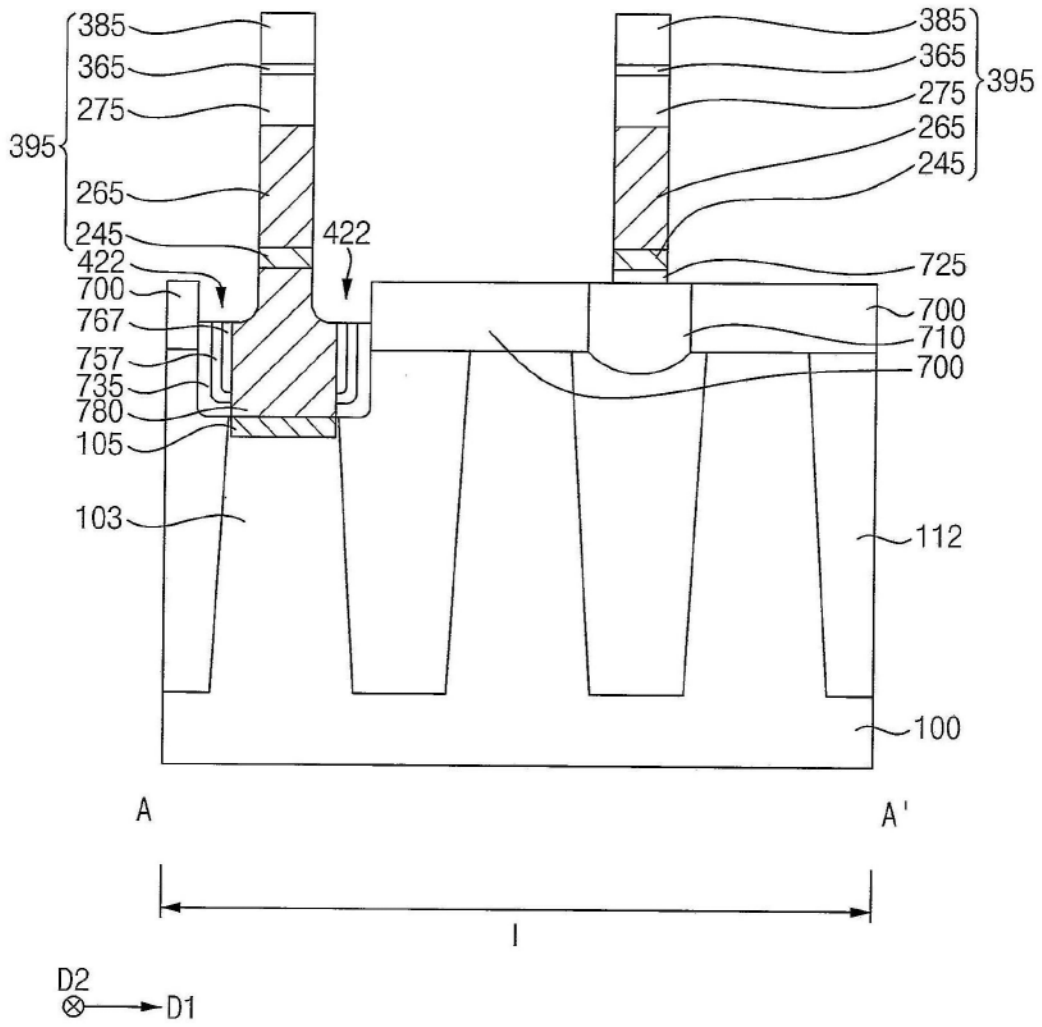


图33

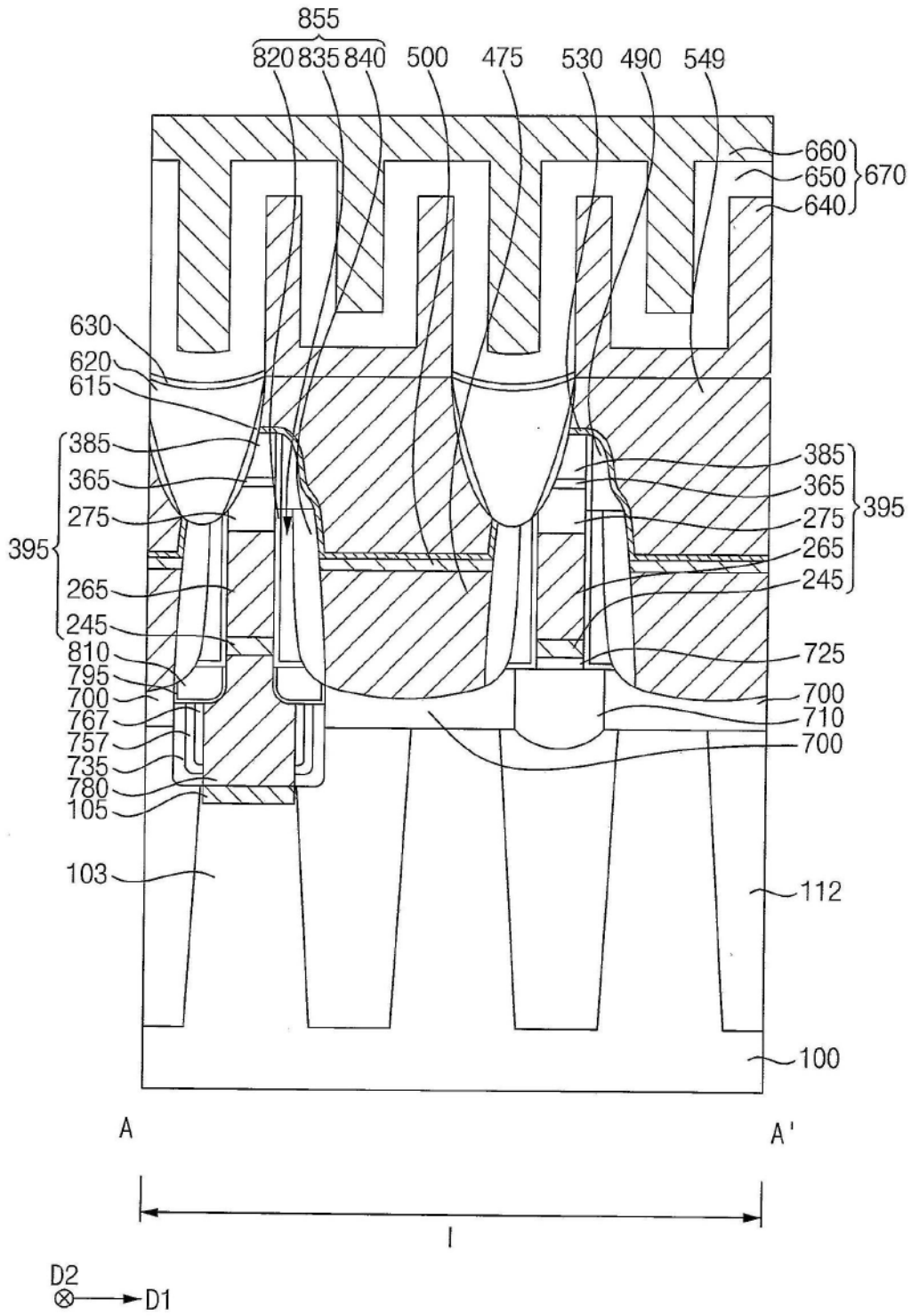


图34

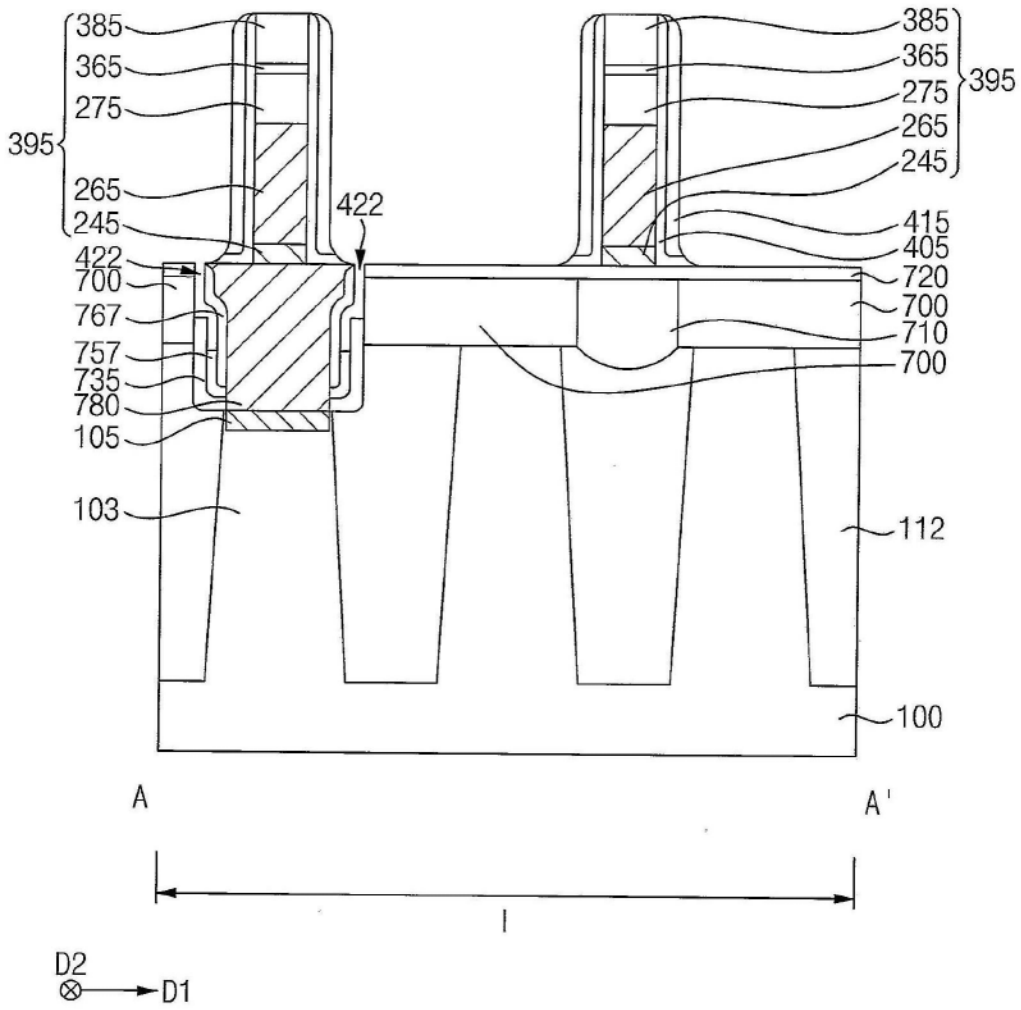


图35

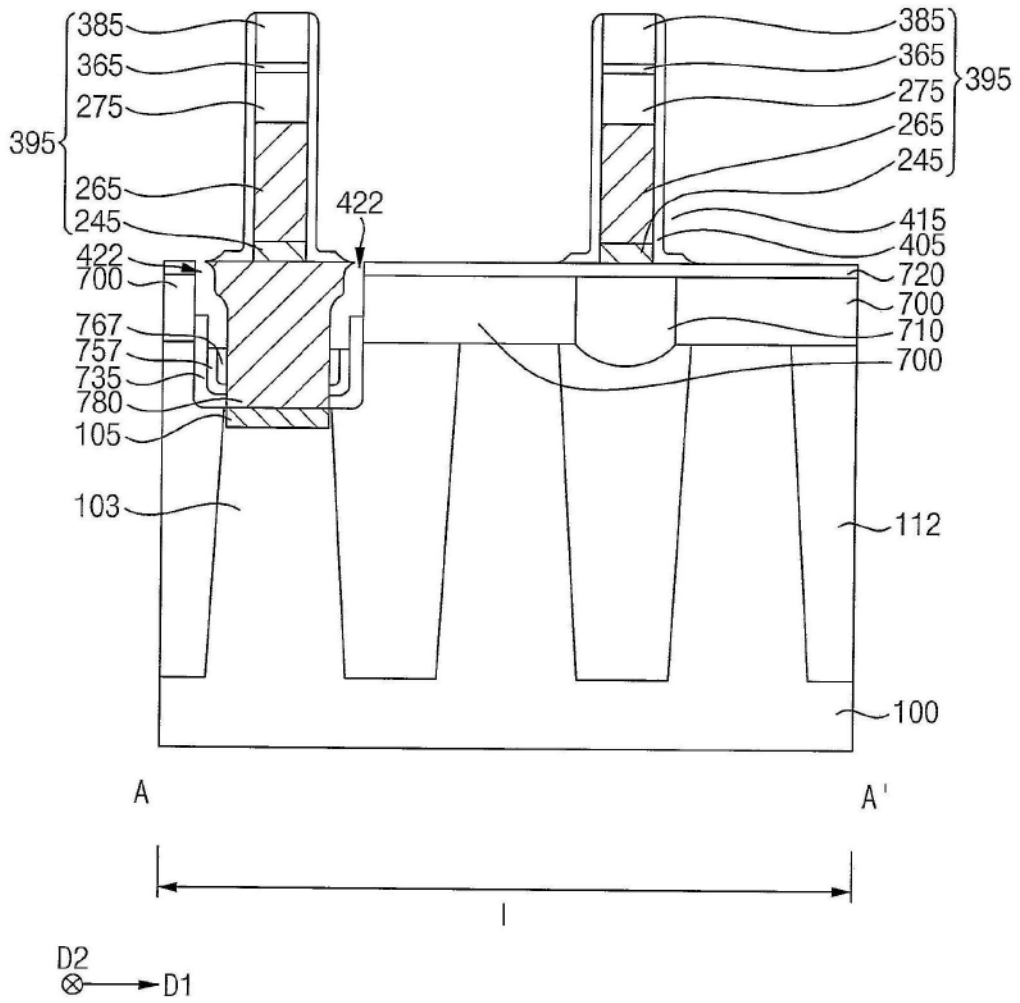


图36

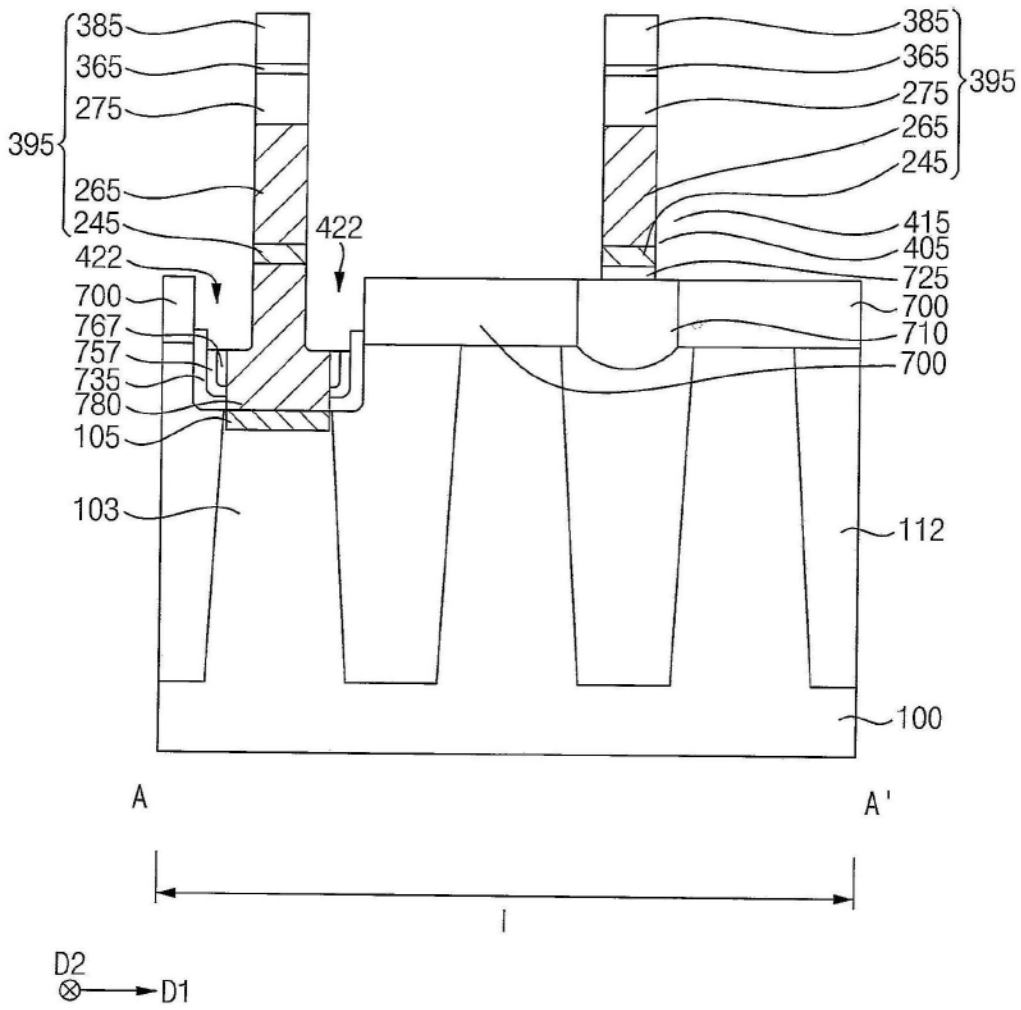


图37



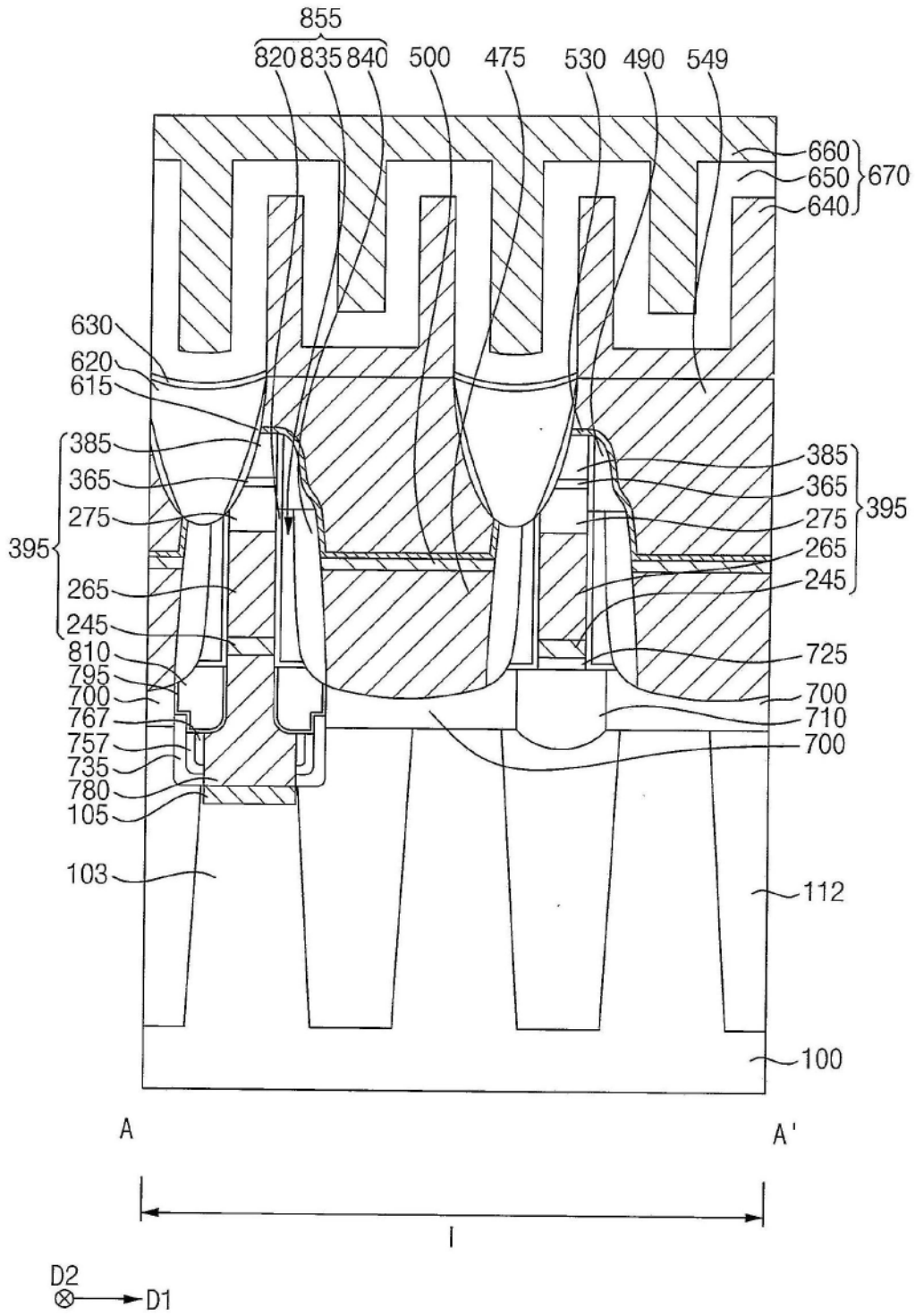


图38

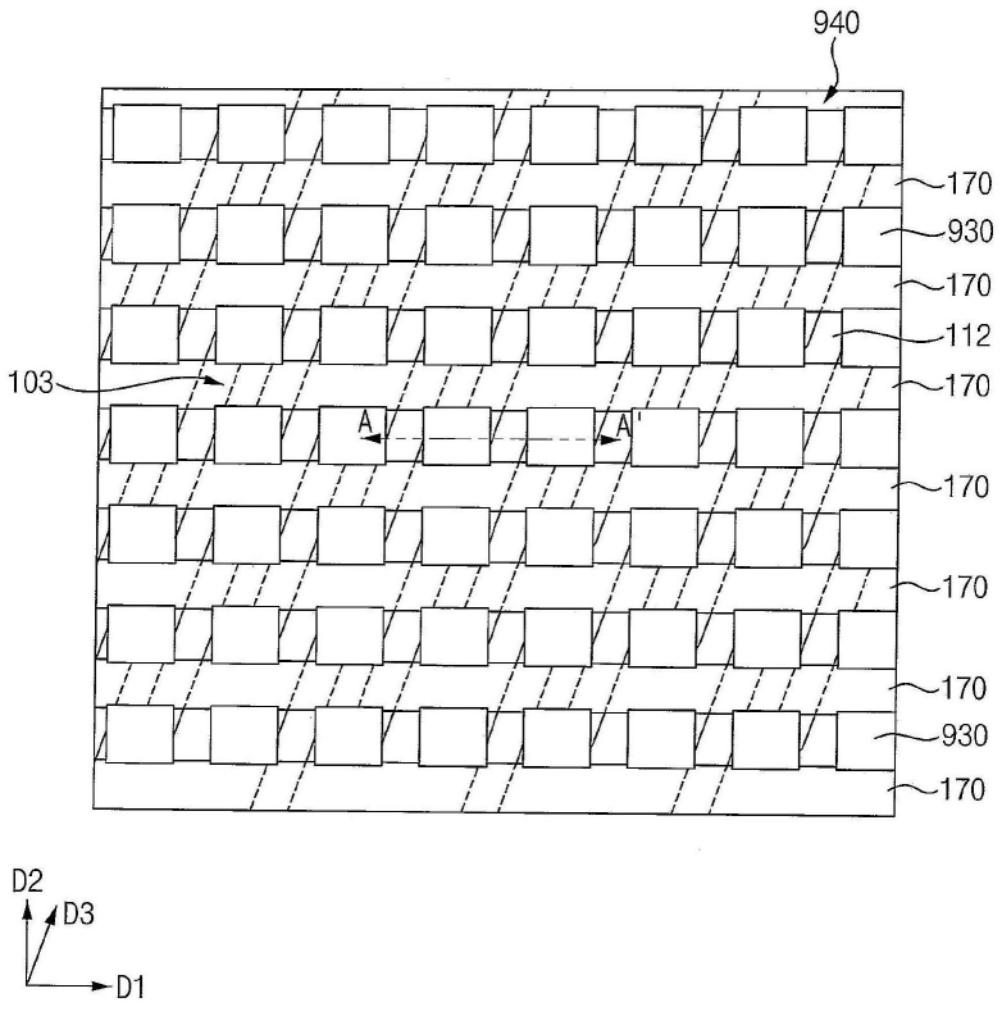


图39

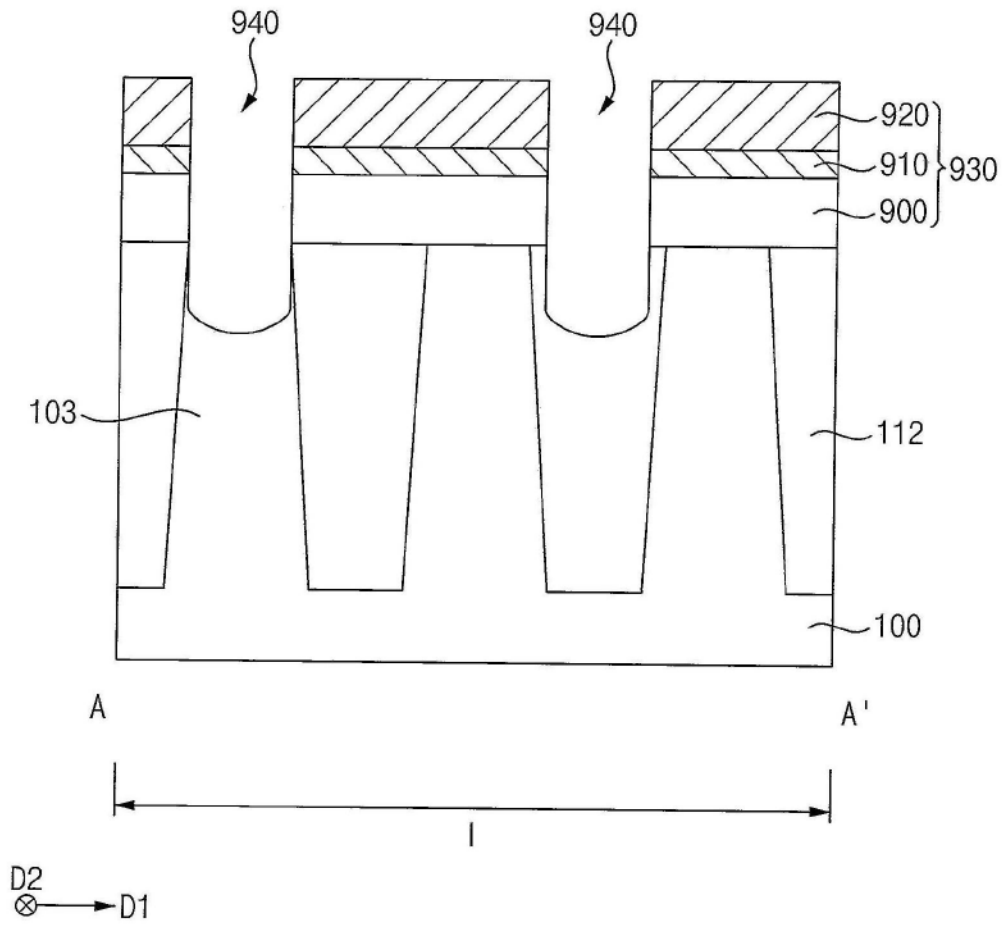


图40

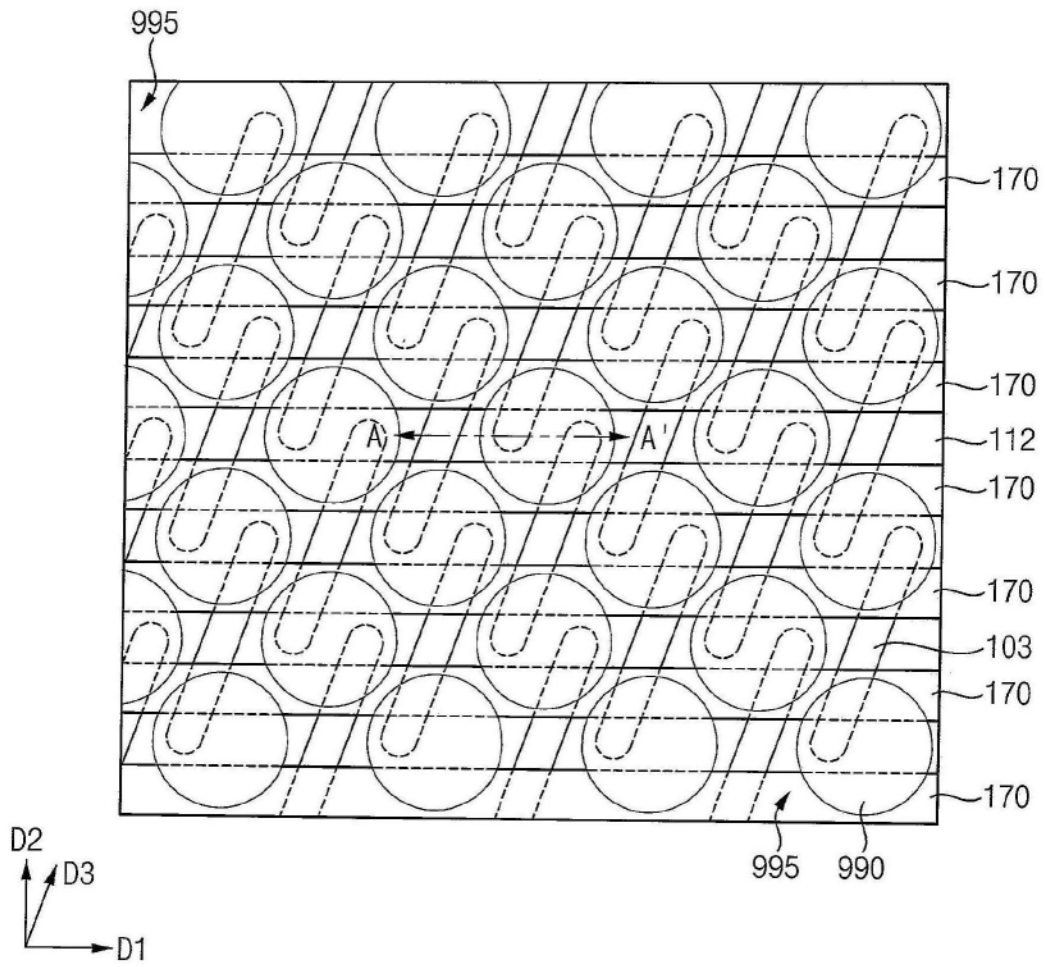


图41

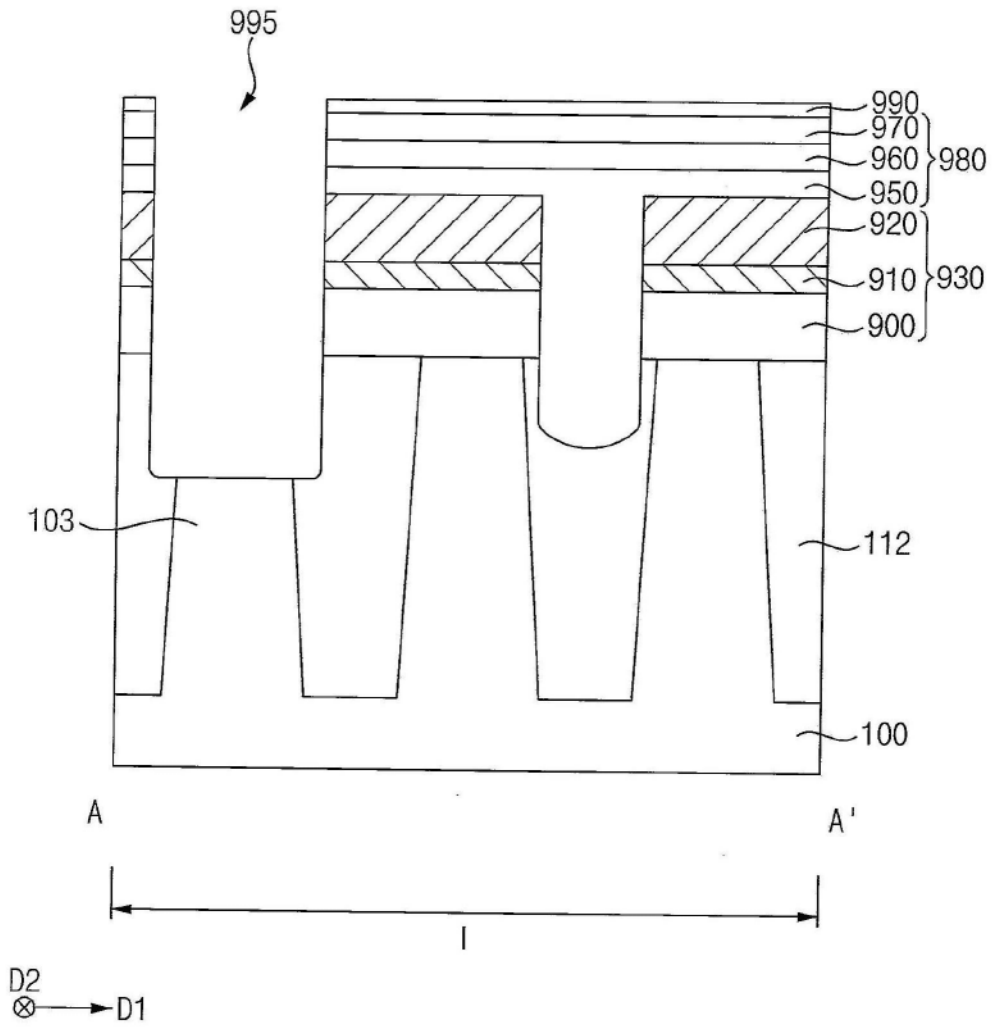


图42

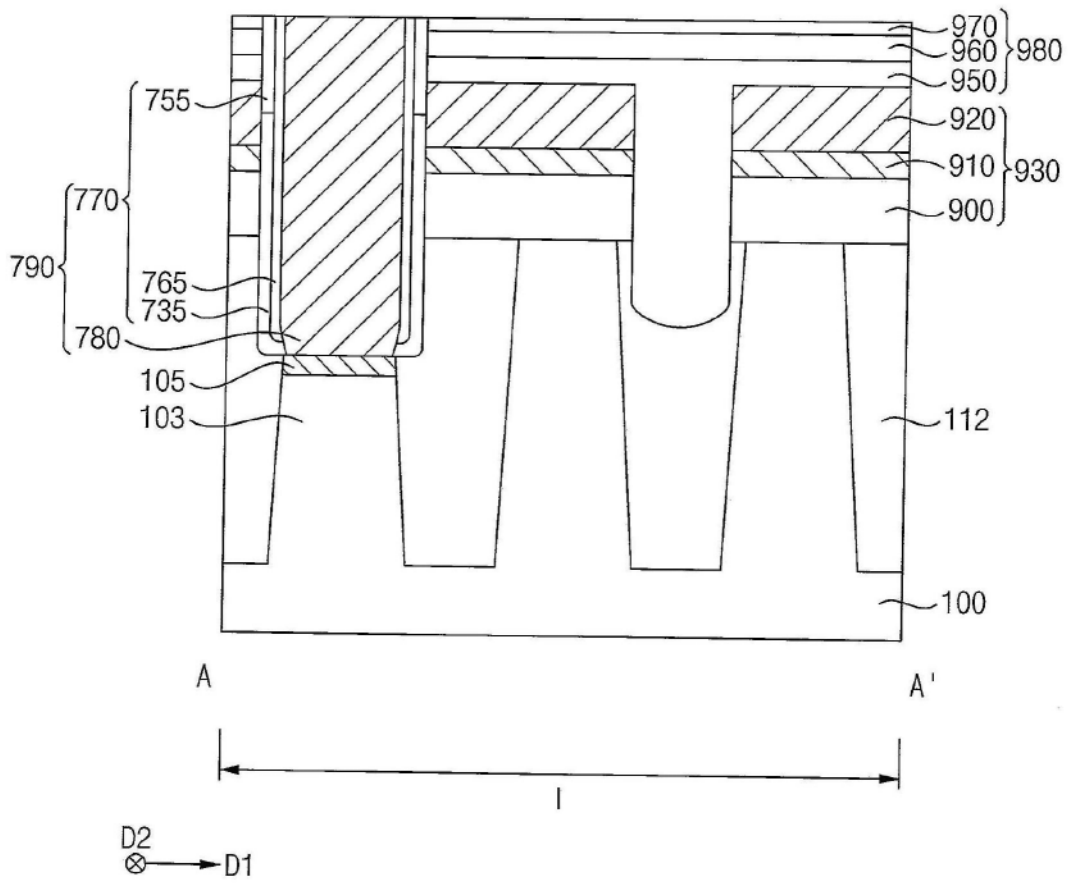


图43

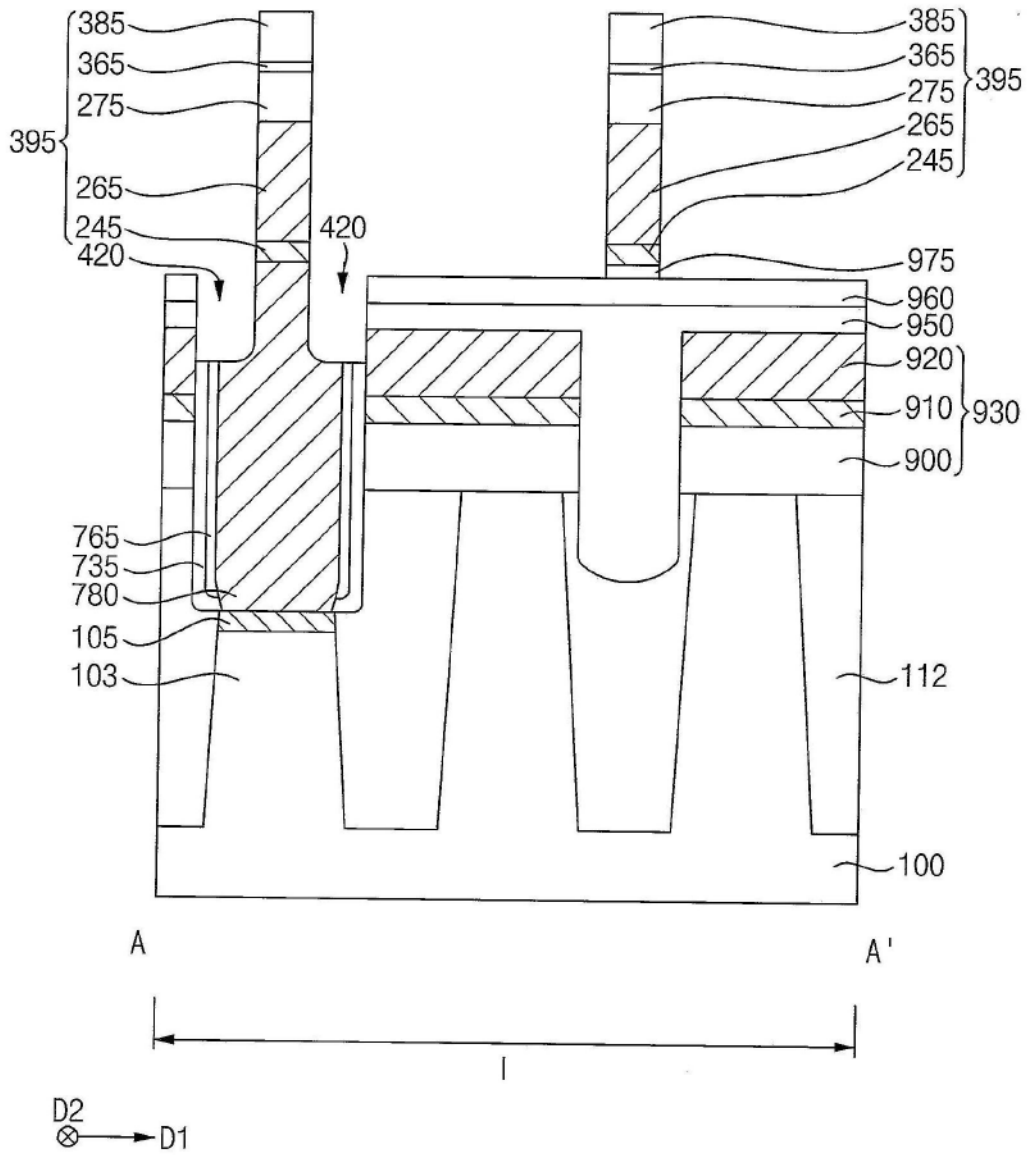


图44

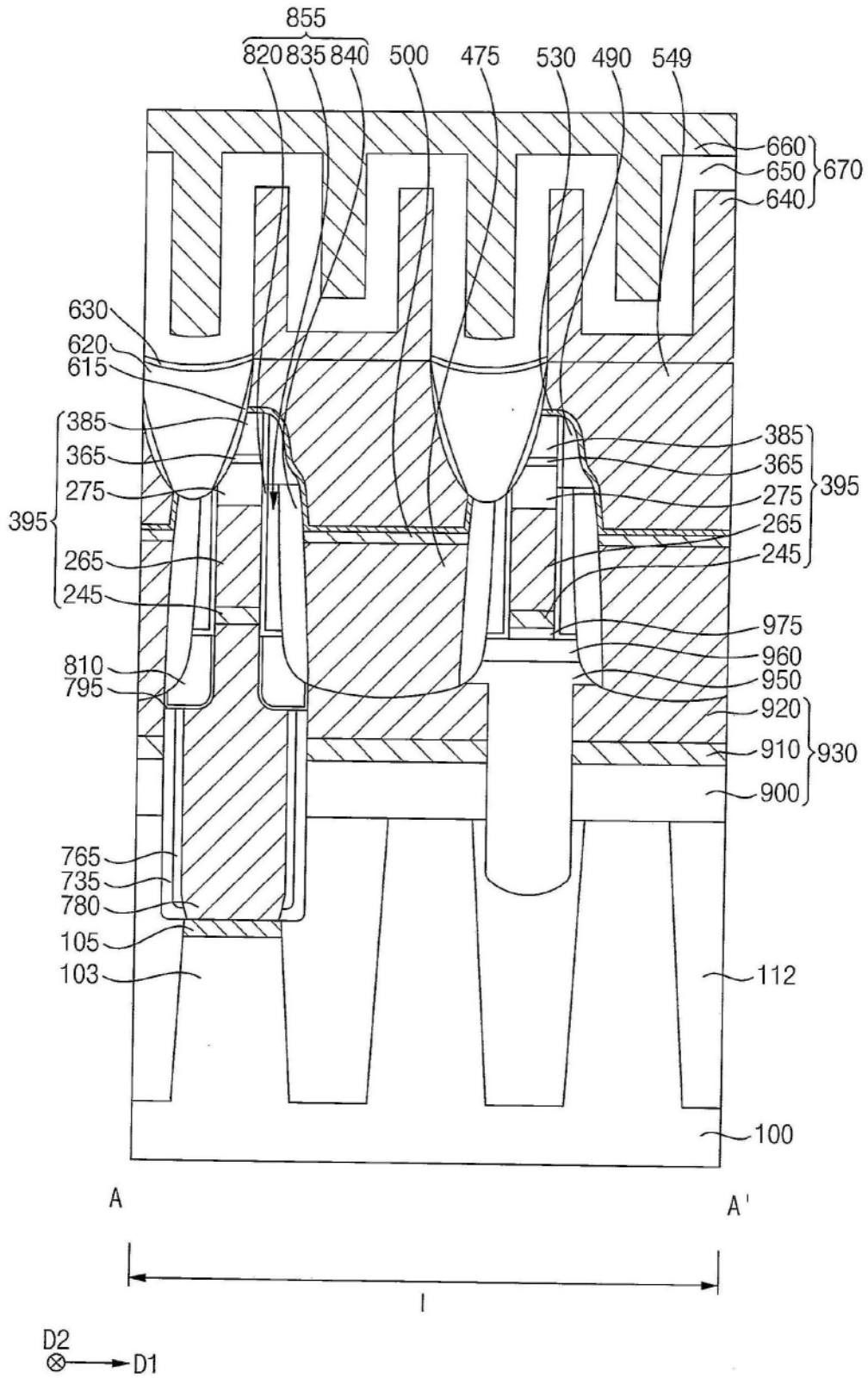


图45



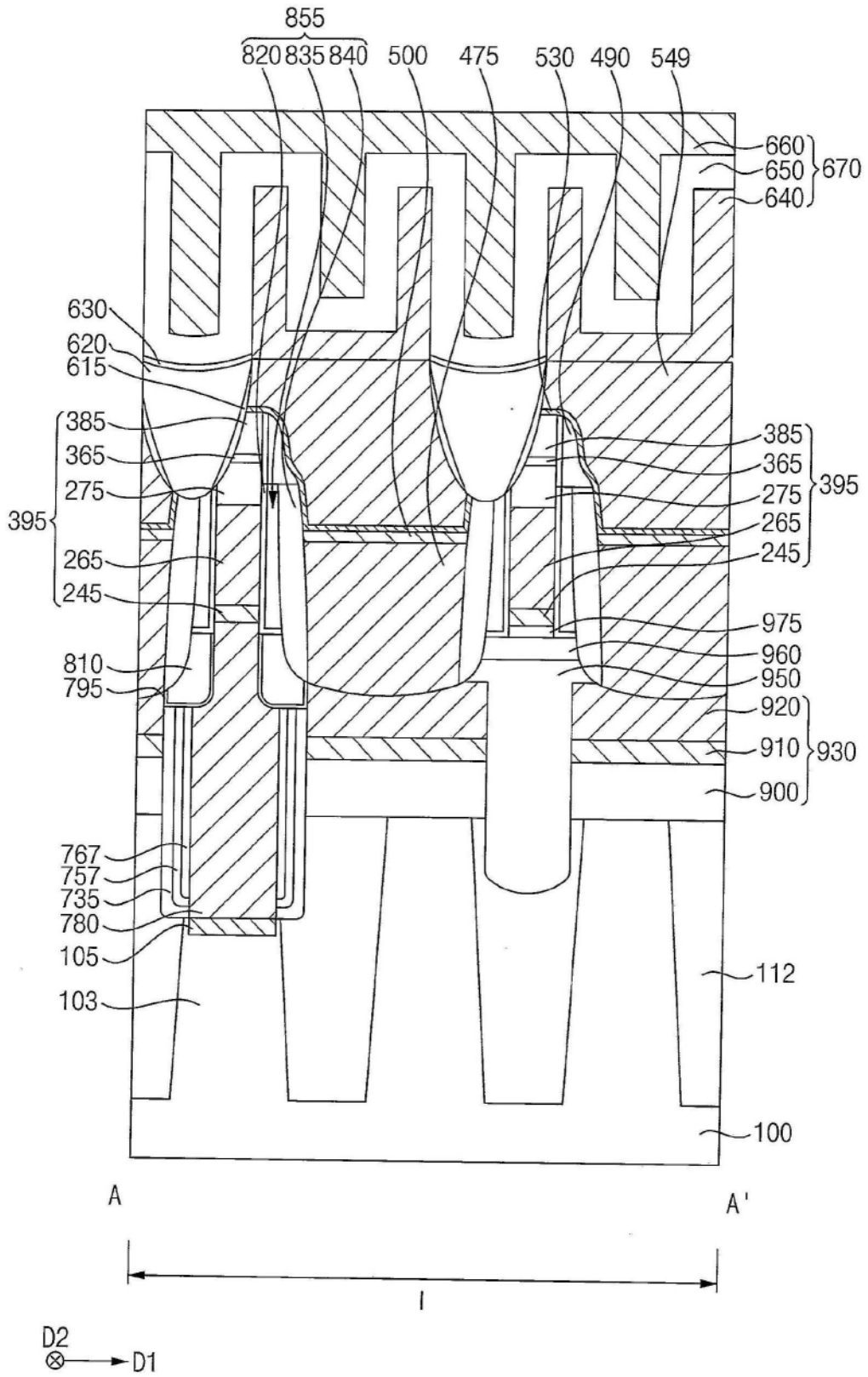


图46

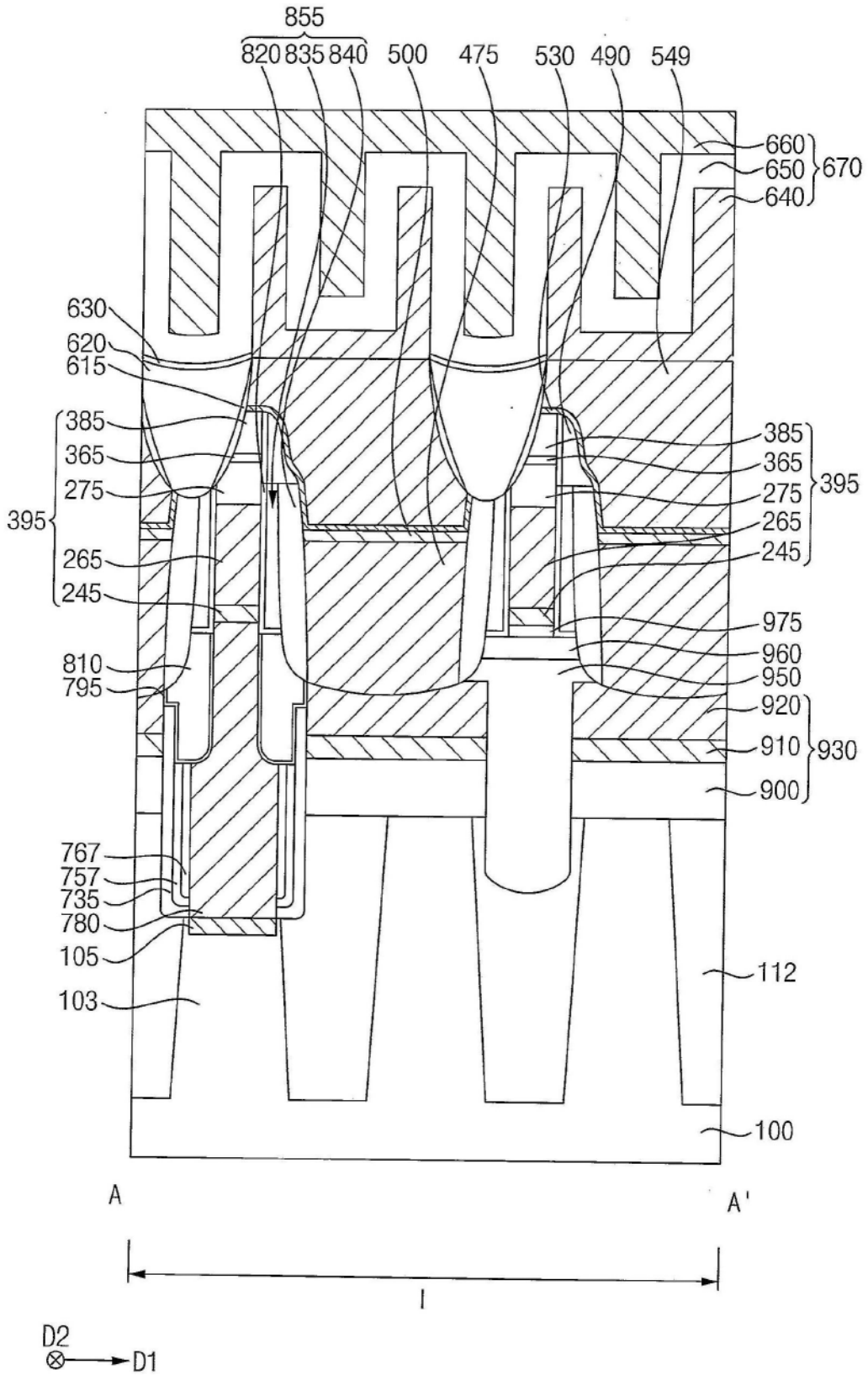


图47