

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4821824号
(P4821824)

(45) 発行日 平成23年11月24日(2011.11.24)

(24) 登録日 平成23年9月16日(2011.9.16)

(51) Int. Cl.	F I				
G06F 3/14 (2006.01)	G06F	3/14	320A		
H04N 7/173 (2011.01)	H04N	7/173	630		
G06F 3/153 (2006.01)	G06F	3/153	333A		
G09G 5/36 (2006.01)	G09G	5/36	510Z		
G09G 5/00 (2006.01)	G09G	5/00	555D		
請求項の数 18 (全 41 頁) 最終頁に続く					

(21) 出願番号 特願2008-241514 (P2008-241514)
 (22) 出願日 平成20年9月19日(2008.9.19)
 (65) 公開番号 特開2010-73054 (P2010-73054A)
 (43) 公開日 平成22年4月2日(2010.4.2)
 審査請求日 平成22年1月22日(2010.1.22)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100093241
 弁理士 官田 正昭
 (74) 代理人 100101801
 弁理士 山田 英治
 (74) 代理人 100095496
 弁理士 佐々木 榮二
 (74) 代理人 100086531
 弁理士 澤田 俊夫
 (72) 発明者 北野 勝己
 東京都港区港南1丁目7番1号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 画像表示装置、コネクタ表示方法、伝送路状態検出装置、伝送路状態検出方法および半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

ビデオ信号を伝送するケーブルが接続されるコネクタと、
 上記コネクタに外部機器から上記ケーブルを介して入力されるビデオ信号による画像を表示する表示パネルと、
 上記コネクタを表すコネクタ表示を上記表示パネルに表示する表示制御部と、
 上記コネクタにステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記コネクタへの上記ケーブルの接続の有無を検出するケーブル検出部を備え、
 上記表示制御部は、上記ケーブル検出部の検出出力に応じて、上記表示パネルに表示されるコネクタ表示の態様を変化させ、
 上記ケーブル検出部は、
 ステップ波形信号を上記ケーブルのインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記コネクタに出力する信号出力部と、
 上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、
 上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、
 上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチして検出出力を得るラッチドコンパレータを有する

画像表示装置。

【請求項 2】

上記コネクタは、上記外部機器から、複数チャンネルで、差動信号により、上記ケーブルを介して送られてくるベースバンドのビデオ信号を入力するためのコネクタである

請求項 1 に記載の画像表示装置。

【請求項 3】

上記表示制御部は、

上記表示パネルに表示される、ケーブルが接続されているコネクタを表すコネクタ表示に関連して、さらに、当該コネクタに接続されている機器を表す機器表示を上記表示パネルに表示する

10

請求項 1 に記載の画像表示装置。

【請求項 4】

上記表示パネルに表示されたコネクタ表示を選択して入力切り替えを行うユーザ操作部と、

上記ユーザ操作部により選択し得るコネクタ表示を、上記ケーブル検出部の検出結果に応じて、上記ケーブルが接続されているコネクタを表すコネクタ表示に制限する選択制限部をさらに備える

請求項 1 に記載の画像表示装置。

【請求項 5】

上記表示制御部は、上記ユーザ操作部により選択し得るコネクタ表示を所定範囲にまとめて表示する

20

請求項 4 に記載の画像表示装置。

【請求項 6】

上記表示制御部は、上記ケーブルが接続されていないコネクタを表すコネクタ表示を、上記表示パネルに表示しない

請求項 4 に記載の画像表示装置。

【請求項 7】

ビデオ信号を伝送するケーブルが接続されるコネクタと、

上記コネクタに外部機器から上記ケーブルを介して入力されるビデオ信号による画像を表示する表示パネルを備える画像表示装置におけるコネクタ表示方法であって、

30

上記コネクタを表すコネクタ表示を上記表示パネルに表示するコネクタ表示ステップと、

上記コネクタにステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記コネクタへの上記ケーブルの接続の有無を検出するケーブル検出ステップと、

上記ケーブル検出ステップの検出結果に応じて、上記表示パネルに表示されるコネクタ表示の態様を変化させる表示態様変化ステップとを備え、

上記ケーブル検出ステップは、

ステップ波形信号を上記ケーブルのインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記コネクタに出力する信号出力ステップと、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生ステップと、

40

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生ステップと、

上記信号出力ステップで得られる信号と上記基準信号発生ステップで発生される比較基準信号の比較結果を、上記タイミング信号発生ステップで発生されるタイミング信号によりラッチして検出出力を取得する検出出力取得ステップとを有する

コネクタ表示方法。

【請求項 8】

ビデオ信号を伝送するケーブルが接続されるコネクタと、

上記コネクタに外部機器から上記ケーブルを介して入力されるビデオ信号による画像を

50

表示する表示パネルと、

上記コネクタを表すコネクタ表示を上記表示パネルに表示する表示制御部と、

上記コネクタにステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記コネクタへの上記ケーブルの接続の有無を検出するケーブル検出部と、

上記コネクタに接続されたケーブルの所定ラインの電位状態に基づいて、上記ケーブルを介してアクティブ状態にある外部機器が接続されているか否かを判定するアクティブ判定部を備え、

上記表示制御部は、上記ケーブル検出部の検出出力と共に、上記アクティブ判定部の判定結果に応じて、上記表示パネルに表示されるコネクタ表示の態様を変化させ、

上記ケーブル検出部は、

ステップ波形信号を上記ケーブルのインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記コネクタに出力する信号出力部と、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、

上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチして検出出力を得るラッチドコンパレータを有する

画像表示装置。

【請求項 9】

ビデオ信号を伝送するケーブルが接続されるコネクタと、

上記コネクタに外部機器から上記ケーブルを介して入力されるビデオ信号による画像を表示する表示パネルを備える画像表示装置におけるコネクタ表示方法であって、

上記コネクタを表すコネクタ表示を上記表示パネルに表示するコネクタ表示ステップと

、
上記コネクタにステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記コネクタへの上記ケーブルの接続の有無を検出するケーブル検出ステップと、

上記コネクタに接続されたケーブルの所定ラインの電位状態に基づいて、上記ケーブルを介してアクティブ状態にある外部機器が接続されているか否かを判定するアクティブ判定ステップと、

上記ケーブル検出ステップの検出結果および上記アクティブ判定ステップの判定結果に応じて、上記表示パネルに表示されるコネクタ表示の態様を変化させる表示態様変化ステップとを備え、

上記ケーブル検出ステップは、

ステップ波形信号を上記ケーブルのインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記コネクタに出力する信号出力ステップと、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生ステップと、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生ステップと、

上記信号出力ステップで得られる信号と上記基準信号発生ステップで発生される比較基準信号の比較結果を、上記タイミング信号発生ステップで発生されるタイミング信号によりラッチして検出出力を取得する検出出力取得ステップとを有する

コネクタ表示方法。

【請求項 10】

信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する伝送路状態検出装置であって、

上記伝送路の状態は該伝送路の上記接続部への接続の有無であり、

10

20

30

40

50

ステップ波形信号を上記伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記接続部に出力する信号出力部と、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、

上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチして検出出力を得るラッチドコンパレータを有する

伝送路状態検出装置。

10

【請求項 1 1】

信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力する信号出力ステップと、

上記ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する状態検出ステップとを備え、

上記伝送路の状態は該伝送路の上記接続部への接続の有無であり、

上記状態検出ステップは、

ステップ波形信号を上記伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記接続部に出力する信号出力ステップと、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生ステップと、

20

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生ステップと、

上記信号出力ステップで得られる信号と上記基準信号発生ステップで発生される比較基準信号の比較結果を、上記タイミング信号発生ステップで発生されるタイミング信号によりラッチして検出出力を取得する検出出力取得ステップを有する

伝送路状態検出方法。

【請求項 1 2】

信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する伝送路状態検出装置であって、

30

上記伝送路の状態は上記接続部に接続された上記伝送路の長さであり、

ステップ波形信号を上記伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記接続部に出力する信号出力部と、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、

上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチするラッチドコンパレータと、

40

上記ラッチドコンパレータの出力が一の状態から他の状態に変化するまで、上記タイミング信号発生部における所定時間を、段階的に長くしていく、あるいは段階的に短くしていくと共に、各段階で上記ステップ波形信号を発生させる制御部を有する

伝送路状態検出装置。

【請求項 1 3】

信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力する信号出力ステップと、

上記ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する状態検出ステップとを備え、

50

上記伝送路の状態は上記接続部に接続された上記伝送路の長さであり、
上記状態検出ステップは、
ステップ波形信号を上記伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記接続部に出力する信号出力ステップと、
上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生ステップと、
上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生ステップと、
上記信号出力ステップで得られる信号と上記基準信号発生ステップで発生される比較基準信号の比較結果を、上記タイミング信号発生ステップで発生されるタイミング信号によりラッチして検出信号を取得する検出出力取得ステップと、
上記検出出力取得ステップで取得される検出出力がーの状態から他の状態に変化するまで、上記タイミング信号発生ステップにおける所定時間を、段階的に長くしていく、あるいは段階的に短くしていくと共に、各段階で上記ステップ波形信号を発生させる制御ステップを有する
伝送路状態検出方法。

【請求項14】

信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する伝送路状態検出装置であって、

上記伝送路の状態は上記接続部に接続された上記伝送路のインピーダンスであり、
ステップ波形信号を出力抵抗を通じて上記接続部に出力する信号出力部と、
上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、
上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、
上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチするラッチドコンパレータと、
上記ラッチドコンパレータの出力がーの状態から他の状態に変化するまで、上記信号出力部における上記出力抵抗の抵抗値を、段階的に大きくしていく、あるいは段階的に小さくしていくと共に、各段階で上記ステップ波形信号を発生させる制御部を有する
伝送路状態検出装置。

【請求項15】

信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力する信号出力ステップと、

上記ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する状態検出ステップとを備え、

上記伝送路の状態は上記接続部に接続された上記伝送路のインピーダンスであり、
上記状態検出ステップは、
ステップ波形信号を出力抵抗を通じて上記接続部に出力する信号出力ステップと、
上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生ステップと、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生ステップと、

上記信号出力ステップの出力側に得られる信号と上記基準信号発生ステップで発生される比較基準信号の比較結果を、上記タイミング信号発生ステップで発生されるタイミング信号によりラッチして検出出力を取得する検出出力取得ステップと、

上記検出出力取得ステップで取得される検出出力がーの状態から他の状態に変化するまで、上記信号出力ステップにおける上記出力抵抗の抵抗値を、段階的に大きくしていく、

10

20

30

40

50

あるいは段階的に小さくしていくと共に、各段階で上記ステップ波形信号を発生させる制御ステップを有する

伝送路状態検出方法。

【請求項16】

信号の受信または送信を行うための伝送路の接続部と、

上記接続部にステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する伝送路状態検出部とを備え、

上記伝送路状態検出部は、

上記伝送路の状態として上記接続部への該伝送路の接続の有無を検出し、

ステップ波形信号を上記伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記接続部に出力する信号出力部と、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、

上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチして検出出力を得るラッチドコンパレータを有する

半導体集積回路。

【請求項17】

信号の受信または送信を行うための伝送路の接続部と、

上記接続部にステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する伝送路状態検出部とを備え、

上記伝送路状態検出部は、

上記伝送路の状態として上記接続部に接続された該伝送路の長さを検出し、

ステップ波形信号を上記伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じて上記接続部に出力する信号出力部と、

上記ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、

上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチするラッチドコンパレータと、

上記ラッチドコンパレータの出力が一の状態から他の状態に変化するまで、上記タイミング信号発生部における所定時間を、段階的に長くしていく、あるいは段階的に短くしていくと共に、各段階で上記ステップ波形信号を発生させる制御部を有する

半導体集積回路。

【請求項18】

信号の受信または送信を行うための伝送路の接続部と、

上記接続部にステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する伝送路状態検出部とを備え、

上記伝送路状態検出部は、

上記伝送路の状態として上記接続部に接続された該伝送路のインピーダンスを検出し、

ステップ波形信号を出力抵抗を通じて上記接続部に出力する信号出力部と、

上記ステップ波形信号を分圧しての最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、

上記ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、

上記信号出力部の出力側に得られる信号と上記基準信号発生部で発生される比較基準信

10

20

30

40

50

号の比較結果を、上記タイミング信号発生部で発生されるタイミング信号によりラッチするラッチドコンパレータと、

上記ラッチドコンパレータの出力が一の状態から他の状態に変化するまで、上記信号出力部における上記出力抵抗の抵抗値を、段階的に大きくしていく、あるいは段階的に小さくしていくと共に、各段階で上記ステップ波形信号を発生させる制御部を有する

半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、画像表示装置、コネクタ表示方法、伝送路状態検出装置、伝送路状態検出方法および半導体集積回路に関する。詳しくは、この発明は、コネクタへのケーブルの接続の有無を検出するケーブル検出部の検出力に応じて、表示パネルに表示されるコネクタ表示の態様を変化させることにより、コネクタへのケーブル接続の有無を画面上で容易に確認できるようにした画像表示装置等に関する。

【0002】

また、この発明は、信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力し、このステップ波形信号の反射信号に基づいて伝送路の状態を検出することにより、接続部への伝送路の接続の有無、接続部に接続された伝送路の長さ、接続部に接続された伝送路のインピーダンス等の伝送路状態を良好に検出できるようにした伝送路状態検出装置等に関する。

【0003】

また、この発明は、信号の受信または送信を行うための伝送路の接続部を備えるものにおいて、伝送路の状態を検出する伝送路状態検出部をさらに備えることにより、伝送路の状態に応じた信号の送受信を行い得るようにした半導体集積回路に関する。

【背景技術】

【0004】

近年、例えば、DVD(Digital Versatile Disc)レコーダや、セットトップボックス、その他のAVソース(Audio Visual source)から、テレビ受信機、プロジェクタ、その他のディスプレイに対して、デジタル映像信号、すなわち、ベースバンド(非圧縮)の映像信号(ビデオ信号)と、その映像信号に付随する音声信号(オーディオ信号)とを、高速に伝送する通信インタフェースとして、HDMI(High Definition Multimedia Interface)が普及しつつある。例えば、特許文献1には、HDMI規格の詳細についての記載がある。

【特許文献1】WO2002/078336号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

例えば、HDMIコネクタ(HDMI端子)が配設されているテレビ受信機において、HDMIコネクタはケーブル検出機能を持っていない。そのため、ユーザは、表示パネルでHDMIコネクタへのケーブル接続の有無を確認できず、例えば表示パネルにHDMIコネクタを含めた各コネクタを表示して入力切り替えを行う際に、ユーザは、ケーブルが接続されていないHDMIコネクタを選択する等の無駄な操作を行うことがあった。

【0006】

HDMIで規定されているHPD(Hot Plug Detect)により、テレビ受信機では、HDMIコネクタにケーブルを介してアクティブな状態にあるソース機器が接続されていることの検出は可能である。なお、ソース機器がアクティブな状態にないときは、ケーブルが接続されていない場合と同じ状態となるため、ケーブル接続の有無さえも検出できなくなる。

【0007】

10

20

30

40

50

この発明の目的は、コネクタへのケーブル接続の有無を画面上で容易に確認可能とすることにある。また、この発明の目的は、コネクタにケーブル検出機構を付加することなく、コネクタの接続の有無などの伝送路状態を検出可能とすることにある。さらに、この発明の目的は、伝送路の状態に応じた信号の送受信を行い得るようにした半導体集積回路を提供することにある。

【課題を解決するための手段】

【0008】

この発明の概念は、
 ビデオ信号を伝送するケーブルが接続されるコネクタと、
 上記コネクタに外部機器から上記ケーブルを介して入力されるビデオ信号による画像を表示する表示パネルと、
 上記コネクタを表すコネクタ表示を上記表示パネルに表示する表示制御部と、
 上記コネクタにステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記コネクタへの上記ケーブルの接続の有無を検出するケーブル検出部を備え、
 上記表示制御部は、上記ケーブル検出部の検出出力に応じて、上記表示パネルに表示されるコネクタ表示の態様を変化させる
 画像表示装置にある。

10

【0009】

この発明においては、ビデオ信号を伝送するケーブルが接続されるコネクタを備えており、このコネクタに外部機器からケーブルを介して入力されるビデオ信号による画像が表示パネルに表示される。また、この表示パネルには、例えば、入力切り替えを行う際のユーザインタフェース画面に、コネクタを表すコネクタ表示（マーク、文字等）が表示される。コネクタは、例えば、HDMIコネクタのように、外部機器から、複数チャンネルで、差動信号により、ケーブルを介して送られてくるベースバンドのビデオ信号を入力するためのコネクタである。

20

【0010】

ケーブル検出部によりコネクタへのケーブルの接続の有無が検出される。この場合、コネクタにステップ波形信号が出力され、このステップ波形信号の反射信号に基づいて、コネクタへのケーブルの接続の有無が検出される。コネクタに検出スイッチ等のケーブル検出機構を付加するものと比べて、故障の恐れが少なく、コストアップも抑制できる。

30

【0011】

表示制御部により、ケーブル検出部の検出出力に応じて、表示パネルに表示されるコネクタ表示の態様、例えば濃度、色相、形状等が変化するようにされる。例えば、ケーブルが接続されているコネクタを表すコネクタ表示に比べて、ケーブルが接続されていないコネクタを表すコネクタ表示は薄く表示される。このように、ケーブルが接続されているか否かにより表示パネルに表示されるコネクタ表示の態様が変化するようにされるため、コネクタへのケーブル接続の有無を画面上で容易に確認でき、外部入力の選択操作性が改善される。

【0012】

この発明において、例えば、表示制御部は、表示パネルに表示される、ケーブルが接続されているコネクタを表すコネクタ表示に関連して、さらに、当該コネクタに接続されている機器を表す機器表示を表示パネルに表示する、ようにされてもよい。この場合、ユーザは、コネクタに接続されている機器を表示パネルの画面上で容易に確認でき、外部入力の選択操作性が改善される。

40

【0013】

また、この発明において、例えば、表示パネルに表示されたコネクタ表示を選択して入力切り替えを行うユーザ操作部と、このユーザ操作部により選択し得るコネクタ表示を、ケーブル検出部の検出結果に応じて、ケーブルが接続されているコネクタを表すコネクタ表示に制限する選択制限部とをさらに備える、ようにされてもよい。この場合、例えば、選択用のカーソルはケーブルが接続されているコネクタを表すコネクタ表示だけに選択的

50

に移動するため、ユーザのカーソルの移動操作から無駄を省くことができ、また、ケーブルが接続されていないコネクタを表すコネクタ表示をユーザが誤って選択するということもなくなる。

【0014】

なおこの場合、表示制御部は、ユーザ操作部により選択し得るコネクタ表示を所定範囲にまとめて表示する、ようにされてもよい。これにより、選択用のカーソルが不規則な間隔で移動することによる見難さを回避できる。またこの場合、表示制御部は、ケーブルが接続されていないコネクタを表すコネクタ表示を、表示パネルに表示しない、ようにされてもよい。これにより、不要なコネクタ表示を表示パネルから除くことができ、選択し得るコネクタを表すコネクタ表示を見易くできる。

10

【0015】

また、この発明において、コネクタに接続されたケーブルの所定ラインの電位状態に基づいて、ケーブルを介してアクティブ状態にある外部機器が接続されているか否かを判定するアクティブ判定部をさらに備え、表示制御部は、ケーブル検出部の検出結果と共に、アクティブ判定部の判定結果に応じて、表示パネルに表示されるコネクタ表示の態様を変化させる、ようにされてもよい。この場合、コネクタへのケーブル接続の有無だけでなく、ケーブルが接続されているコネクタへのアクティブな外部機器の接続の有無までも、画面上で容易に確認できる。

【0016】

この発明の概念は、

20

信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力し、該ステップ波形信号の反射信号に基づいて上記伝送路の状態を検出する

伝送路状態検出装置にある。

【0017】

この発明においては、接続部への伝送路の接続の有無、接続部に接続された伝送路の長さ、接続部に接続された伝送路のインピーダンス等の伝送路状態を良好に検出できる。

【0018】

例えば、検出される伝送路の状態は伝送路の接続部への接続の有無とされ、ステップ波形信号を伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じてコネクタに出力する信号出力部と、ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、信号出力部の出力側に得られる信号と基準信号発生部で発生される比較基準信号の比較結果を、タイミング信号発生部で発生されるタイミング信号によりラッチして検出出力を得るラッチドコンパレータを有する、ようにされる。この場合、接続部に伝送路が接続されているとき検出出力は一の状態となり、逆に接続部に伝送路が接続されていないとき検出出力は他の状態となる。

30

【0019】

また、例えば、検出される伝送路の状態は接続部に接続された伝送路の長さとして、ステップ波形信号を伝送路のインピーダンスに対応した抵抗値を持つ出力抵抗を通じてコネクタに出力する信号出力部と、ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、信号出力部の出力側に得られる信号と基準信号発生部で発生される比較基準信号の比較結果を、タイミング信号発生部で発生されるタイミング信号によりラッチするラッチドコンパレータと、このラッチドコンパレータの出力が一の状態から他の状態に変化するまで、タイミング信号発生部における所定時間を、段階的に長くしていく、あるいは段階的に短くしていくと共に、各段階でステップ波形信号を発生させる制御部を有する、ようにされる。この場合、接続部に接続された伝送路の長さは、ラッチドコンパレータの出力が一の状態から他の状態に変化した際の所定時間で観測できる長さとしてされる。

40

50

【 0 0 2 0 】

また、例えば、伝送路の状態は接続部に接続された伝送路のインピーダンスとされ、ステップ波形信号を出力抵抗を通じてコネクタに出力する信号出力部と、ステップ波形信号の最大値を固定の減衰率で減衰した値を持つ比較基準信号を発生する基準信号発生部と、ステップ波形信号の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号を発生させるタイミング信号発生部と、信号出力部の出力側に得られる信号と基準信号発生部で発生される比較基準信号の比較結果を、タイミング信号発生部で発生されるタイミング信号によりラッチするラッチドコンパレータと、このラッチドコンパレータの出力が一の状態から他の状態に変化するまで、信号出力部における出力抵抗の抵抗値を、段階的に大きくしていく、あるいは段階的に小さくしていくと共に、各段階でステップ波形信号を発生させる制御部を有する、ようにされる。この場合、接続部に接続された伝送路のインピーダンスは、ラッチドコンパレータの出力が一の状態から他の状態に変化した際の出力抵抗の抵抗値とされる。

10

【 0 0 2 1 】

また、この発明の概念は、
信号の受信または送信を行うための伝送路の接続部と、
上記伝送路の状態を検出する伝送路状態検出部と
を備える半導体集積回路にある。

【 0 0 2 2 】

この発明においては、伝送路状態検出部を備えており、この伝送路状態検出部により、伝送路の状態が検出される。例えば、伝送路状態検出部では、接続部にステップ波形信号が出力され、このステップ波形信号の反射信号に基づいて伝送路の状態が検出される。伝送路の状態は、例えば、接続部への伝送路の接続の有無、接続部に接続された伝送路の長さ、接続部に接続された伝送路のインピーダンス等である。

20

【 0 0 2 3 】

このような伝送路状態検出部を備えた半導体集積回路では、伝送路の状態に応じた信号の送受信が可能となる。例えば、接続部への伝送路の接続の有無が検出される場合には、接続部に伝送路が接続されている場合のみ、信号の送受信動作を行わせることができる。また、例えば、伝送路の長さが検出される場合には、その長さに応じて送信信号のレベルを最適なレベルに調整でき、不要輻射の低減、使用電力の節約を図ることができる。

30

【 0 0 2 4 】

また、例えば、伝送路の長さが検出される場合には、例えば、メモリインタフェースにおいて各ラインのパターン長の差を認識でき、各ラインのデータ出力タイミングを調整してスキューを抑制できる。これにより、基板上から等長配線を行うために無駄に長く引いていたパターンをなくすことができ、基板スペースを節約でき、また、不要輻射の低減を図ることができる。

【 0 0 2 5 】

また、例えば、伝送路のインピーダンスが検出される場合には、例えば、インピーダンスが正しく制御されていないような安価なケーブルを使用する場合、伝送路に最適な出力抵抗を選択できる。これにより、反射を抑えて安定した伝送を行うことができ、不要輻射の低減を図ることができる。

40

【 発明の効果 】

【 0 0 2 6 】

この発明による画像表示装置およびコネクタ表示方法によれば、コネクタへのケーブルの接続の有無を検出するケーブル検出部の検出出力に応じて、表示パネルに表示されるコネクタ表示の態様を変化させるものであり、コネクタへのケーブル接続の有無を画面上で容易に確認できる。

【 0 0 2 7 】

また、この発明による伝送路状態検出装置および伝送路状態検出方法によれば、信号の受信または送信を行うための伝送路の接続部にステップ波形信号を出力し、このステップ

50

波形信号の反射信号に基づいて伝送路の状態を検出するものであり、接続部への伝送路の接続の有無、接続部に接続された伝送路の長さ、接続部に接続された伝送路のインピーダンス等の伝送路状態を良好に検出できる。

【 0 0 2 8 】

また、この発明による半導体集積回路によれば、信号の送信または受信を行うための伝送路の接続部を備えるものにおいて、伝送路の状態を検出する伝送路状態検出部をさらに備えるものであり、伝送路の状態に応じた信号の送受信を行うことができる。

【発明を実施するための最良の形態】

【 0 0 2 9 】

以下、発明を実施するための最良の形態（以下、「実施の形態」とする）について説明する。なお、説明は以下の順序で行う。 10

1. 第1の実施の形態（画像表示、ケーブル接続の有無の検出）
2. 第2の実施の形態（IC間の通信、ケーブル長の検出）
3. 第3の実施の形態（メモリインタフェース、パターン長の検出）
4. 第4の実施の形態（IC間の通信、ケーブルインピーダンスの検出）
5. 変形例

【 0 0 3 0 】

< 1. 第1の実施の形態 >

[テレビ受信機の構成例]

図1は、実施の形態としてのテレビ受信機100の構成例を示している。なお、説明を簡単にするため、以下の説明ではオーディオ系の説明については省略する。 20

【 0 0 3 1 】

このテレビ受信機100は、HDMIコネクタ101a～101cと、コンポーネントビデオコネクタ102a～102cと、コンポジットビデオコネクタ103a～103cと、PC（Personal Computer）コネクタ104を有している。また、テレビ受信機100は、制御部105と、ユーザ操作部106と、HDMIスイッチャ（HDMI SW）107と、HDMI受信部（HDMI RX）108と、ビデオスイッチャ（ビデオ SW）109を有している。また、テレビ受信機100は、アンテナ端子110と、チューナ111と、ビデオ信号処理部112と、表示パネル113と、ケーブル検出回路115a～115cを有している。このテレビ受信機100は、HDMIのシンク機器を構成している。 30

【 0 0 3 2 】

制御部105は、テレビ受信機100の各部の動作を制御する。ユーザ操作部106は、ユーザインタフェースを構成し、制御部105に接続されている。ユーザ操作部106は、テレビ受信機100の図示しない筐体に配置されたキー、釦、ダイヤル、あるいはリモコンの送受信機等で構成されている。

【 0 0 3 3 】

制御部105は、DRAM105aを有している。このDRAM105aには、HDMIコネクタ101a～101c、コンポーネントビデオコネクタ102a～102c、コンポジットビデオコネクタ103a～103c、およびPCコネクタ104へのケーブル接続情報、HDMIコネクタ101a～101cへのアクティブ状態の外部機器の接続情報等が記憶される。 40

【 0 0 3 4 】

ここで、コンポーネントビデオコネクタ102a～102c、コンポジットビデオコネクタ103a～103c、およびPCコネクタ104のケーブル接続情報は、各コネクタが備えているケーブル検出機構（図1には図示せず）により得られる。このケーブル検出機構は、例えば、コネクタへのケーブルの接続を機械的なスイッチにより検出する構成とされている。また、HDMIコネクタ101a～101cのケーブル接続情報は、詳細は後述するが、ケーブル検出回路115a～115cにより得られる。

【 0 0 3 5 】

また、HDMIコネクタ101a～101cへのアクティブ状態の外部機器（ソース機器）の接続情報は、19ピン、つまりHPD（Hot Plug Detect）ピンの電位状態から得られる。すなわち、アクティブ状態の外部機器が接続される場合、HPDピンの電圧が高くなる。そのため、制御部105は、HPDピンの電圧を監視することで、当該接続情報を得ることができる。この意味で、制御部105は、アクティブ判定部を構成している。

【0036】

制御部105は、例えば、ユーザによる外部入力を選択時に、上述したケーブル接続情報、アクティブ状態の外部機器の接続情報に基づいて、表示パネル113に表示されるコネクタ表示の態様を変化させる。この意味で、制御部105は表示制御部を構成している。制御部105における表示制御の詳細については後述する。

10

【0037】

HDMIスイッチャ107は、制御部105の制御のもと、HDMIコネクタ101a～101cをHDMI受信部108に選択的に接続する。HDMI受信部108は、HDMIスイッチャ107を介して、HDMIコネクタ101a～101cのいずれかに選択的に接続されている。このHDMI受信部108は、HDMIに準拠した通信により、HDMIコネクタ101a～101cに接続されている外部機器（ソース機器）から一方向に送信されてくるベースバンドのビデオ信号（映像信号）を受信する。

【0038】

この場合、HDMI受信部108は、外部機器との間で互いにHDCP（High-bandwidth Digital Content Protection system）の認証を行った後に、上述したように当該外部機器からベースバンドのビデオ信号（映像信号）を受信する。このHDMI受信部108の詳細は後述する。

20

【0039】

ビデオスイッチャ109は、コンポーネントビデオコネクタ102a～102c、コンポジットビデオコネクタ103a～103c、およびPCコネクタ104に入力されるビデオ信号から、選択的に、1系統のビデオ信号を取り出して出力する。チューナ111は、BS（Broadcasting Satellite）放送、地上波デジタル放送等を受信し、選局された所定番組のビデオ信号を出力する。このチューナ111には、アンテナ端子110に接続された図示しないアンテナで捕らえられた放送信号が供給される。

【0040】

30

ビデオ信号処理部112は、HDMI受信部108から出力されるビデオ信号、ビデオスイッチャ109から出力されるビデオ信号、チューナ111から出力されるビデオ信号のうち、ユーザの選択操作に基づいて選択された画像表示用のビデオ信号に対して、必要に応じてマルチ画面処理、ユーザインタフェース画面用の情報表示信号の重畳処理等を行う。このユーザインタフェース画面用の情報表示信号は、制御部105の制御のもと、ビデオ信号処理部112が備えるOSD（On Screen Display）回路112aにより発生される。また、このビデオ信号処理部112は、処理後の映像信号に基づいて、表示パネル113を駆動する。表示パネル113は、例えば、LCD（Liquid Crystal Display）、PDP（Plasma Display Panel）等で構成されている。

【0041】

40

ケーブル検出回路115a～115cは、HDMI端子101a～101cへのHDMIケーブルの接続の有無を検出する。各ケーブル検出回路は、HDMIコネクタにステップ波形信号を出力し、このステップ波形信号の反射信号に基づいて、当該HDMIコネクタへのHDMIケーブルの接続の有無を検出する。ケーブル検出回路115a～115cは、検出出力を、HDMIコネクタ101a～101cのケーブル接続情報として、制御部105に供給する。このケーブル検出回路115a～115cの詳細は後述する。

【0042】

[テレビ受信機の動作例]

図1に示すテレビ受信機100の動作例を説明する。HDMI受信部108には、HDMIスイッチャ107で選択されたHDMIコネクタに接続されている、アクティブ状態

50

にある外部機器（ソース機器）から、ベースバンドのビデオ信号が暗号化等の処理が施されて送信されてくる。HDMI受信部108では受信されたビデオ信号に対して暗号の復号化等の処理が行われて、ビデオ信号が得られる。このHDMI受信部108から出力されるビデオ信号はビデオ信号処理部112に供給される。

【0043】

また、コンポーネントビデオコネクタ102a～102c、コンポジットビデオコネクタ103a～103c、およびPCコネクタ104に入力されるビデオ信号はビデオスイッチャ109に供給され、このビデオスイッチャ109では1系統のビデオ信号が選択されて出力される。ビデオスイッチャ109から出力されるビデオ信号はビデオ信号処理部112に供給される。

10

【0044】

また、アンテナ端子110に入力された放送信号はチューナ111に供給される。チューナ111では、放送信号に基づいて、ユーザの選局操作に対応して、所定の番組のビデオ信号が得られる。チューナ111から出力されるビデオ信号はビデオ信号処理部112に供給される。

【0045】

ビデオ信号処理部112では、HDMI受信部108から出力されるビデオ信号、ビデオスイッチャ109から出力されるビデオ信号、チューナ111から出力されるビデオ信号のうち、ユーザの選択操作に基づいて画像表示用のビデオ信号が選択される。そして、このビデオ信号処理部112では、選択されたビデオ信号に対して、必要に応じてマルチ画面処理、情報表示信号の重畳処理等が行われ、処理後のビデオ信号に基づいて表示パネル113が駆動される。そのため、表示パネル113には、ユーザの選択操作に基づいて選択された画像表示用のビデオ信号による画像が表示される。また、必要に応じて、この画像に重畳されて情報表示が行われる。

20

【0046】

[HDMI送信部、HDMI受信部の構成例]

図2は、HDMIのソース機器のHDMI送信部（HDMIソース）と、シンク機器（HDMI受信部（HDMIシンク））の構成例を示している。

【0047】

HDMI送信部は、一の垂直同期信号から次の垂直同期信号までの区間から、水平帰線区間および垂直帰線区間を除いた区間である有効画像区間（以下、適宜、アクティブビデオ区間ともいう）において、非圧縮の1画面分の画像の画素データに対応する差動信号を、複数のチャンネルで、HDMI受信部に一方向に送信するとともに、水平帰線区間または垂直帰線区間において、少なくとも画像データ（ビデオ信号）に付随する音声データ（オーディオ信号）や制御データ、その他の補助データ等に対応する差動信号を、複数のチャンネルで、HDMI受信部に一方向に送信する。

30

【0048】

すなわち、HDMI送信部は、HDMIトランスミッタ81を有する。トランスミッタ81は、例えば、非圧縮の画像の画素データに対応する差動信号に変換し、複数のチャンネルである3つのTMDSCチャンネル#0、#1、#2で、HDMIケーブルを介して接続されているHDMI受信部に、一方向にシリアル伝送する。

40

【0049】

また、トランスミッタ81は、非圧縮の画像に付随する音声データ、さらには、必要な制御データその他の補助データ等を、対応する差動信号に変換し、3つのTMDSCチャンネル#0、#1、#2でHDMIケーブルを介して接続されているHDMI受信部に、一方向にシリアル伝送する。

【0050】

さらに、トランスミッタ81は、3つのTMDSCチャンネル#0、#1、#2で送信する画素データに同期したピクセルクロックを、TMDSCクロックチャンネルで、HDMIケーブルを介して接続されているHDMI受信部に送信する。ここで、1つのTMDSCチャネ

50

ル # i ($i = 0, 1, 2$) では、ピクセルクロックの 1 クロックの間に、10 ビットの画素データが送信される。

【0051】

HDMI 受信部は、アクティブビデオ区間において、複数のチャンネルで、HDMI 送信部から一方向に送信されてくる、画素データに対応する差動信号を受信するとともに、水平帰線区間または垂直帰線区間において、複数のチャンネルで、HDMI 送信部から一方向に送信されてくる、音声データや制御データに対応する差動信号を受信する。

【0052】

すなわち、HDMI 受信部は、HDMI レシーバ 82 を有する。レシーバ 82 は、TMD S チャンネル # 0, # 1, # 2 で、HDMI ケーブルを介して接続されている HDMI 送信部から一方向に送信されてくる、画素データに対応する差動信号と、音声データや制御データに対応する差動信号を、同じく HDMI 送信部から TMD S クロックチャンネルで送信されてくるピクセルクロックに同期して受信する。

10

【0053】

HDMI 送信部と HDMI 受信部とからなる HDMI システムの伝送チャンネルには、HDMI 送信部から HDMI 受信部に対して、画素データおよび音声データを、ピクセルクロックに同期して、一方向にシリアル伝送するための伝送チャンネルとしての 3 つの TMD S チャンネル # 0 乃至 # 2 と、ピクセルクロックを伝送する伝送チャンネルとしての TMD S クロックチャンネルの他に、DDC (Display Data Channel) 83 や CEC ライン 84 と呼ばれる伝送チャンネルがある。

20

【0054】

DDC 83 は、HDMI ケーブルに含まれる図示しない 2 本の信号線からなり、HDMI 送信部が、HDMI ケーブルを介して接続された HDMI 受信部から、E-EDID (Enhanced Extended Display Identification Data) を読み出すために使用される。

【0055】

すなわち、HDMI 受信部は、HDMI レシーバ 82 の他に、自身の性能 (Configuration/capability) に関する性能情報である E-EDID を記憶している、EDID ROM (Read Only Memory) 85 を有している。HDMI 送信部は、HDMI ケーブルを介して接続されている HDMI 受信部から、当該 HDMI 受信部の E-EDID を、DDC 83 を介して読み出し、その E-EDID に基づき、例えば、HDMI 受信部を有する電子機器が対応している画像のフォーマット (プロファイル)、例えば、RGB、YCbCr 4:4:4、YCbCr 4:2:2 等を認識する。

30

【0056】

CEC ライン 84 は、HDMI ケーブルに含まれる図示しない 1 本の信号線からなり、HDMI 送信部と HDMI 受信部との間で、制御用のデータの双方向通信を行うのに用いられる。

【0057】

また、HDMI ケーブルには、HPD (Hot Plug Detect) と呼ばれるピンに接続されるライン 86 が含まれている。ソース機器は、当該ライン 86 を利用して、シンク機器の接続を検出することができる。また、HDMI ケーブルには、ソース機器からシンク機器に電源を供給するために用いられるライン 87 が含まれている。さらに、HDMI ケーブルには、リザーブライン 88 が含まれている。

40

【0058】

図 3 は、図 2 の HDMI トランスミッタ 81 と HDMI レシーバ 82 の構成例を示している。

【0059】

トランスミッタ 81 は、3 つの TMD S チャンネル # 0, # 1, # 2 にそれぞれ対応する 3 つのエンコーダ/シリアライザ 81A, 81B, 81C を有する。そして、エンコーダ/シリアライザ 81A, 81B, 81C のそれぞれは、そこに供給される画像データ、補助データ、制御データをエンコードし、パラレルデータからシリアルデータに変換して、

50

差動信号により送信する。ここで、画像データが、例えば R (赤), G (緑), B (青) の 3 成分を有する場合、B 成分 (B component) はエンコーダ / シリアルライザ 8 1 A に供給され、G 成分 (G component) はエンコーダ / シリアルライザ 8 1 B に供給され、R 成分 (R component) はエンコーダ / シリアルライザ 8 1 C に供給される。

【 0 0 6 0 】

また、補助データとしては、例えば、音声データや制御パケットがあり、制御パケットは、例えば、エンコーダ / シリアルライザ 8 1 A に供給され、音声データは、エンコーダ / シリアルライザ 8 1 B , 8 1 C に供給される。

【 0 0 6 1 】

さらに、制御データとしては、1 ビットの垂直同期信号 (VSYNC)、1 ビットの水平同期信号 (HSYNC)、および、それぞれ 1 ビットの制御ビット C T L 0 , C T L 1 , C T L 2 , C T L 3 がある。垂直同期信号および水平同期信号は、エンコーダ / シリアルライザ 8 1 A に供給される。制御ビット C T L 0 , C T L 1 はエンコーダ / シリアルライザ 8 1 B に供給され、制御ビット C T L 2 , C T L 3 はエンコーダ / シリアルライザ 8 1 C に供給される。

【 0 0 6 2 】

エンコーダ / シリアルライザ 8 1 A は、そこに供給される画像データの B 成分、垂直同期信号および水平同期信号、並びに補助データを、時分割で送信する。すなわち、エンコーダ / シリアルライザ 8 1 A は、そこに供給される画像データの B 成分を、固定のビット数である 8 ビット単位のパラレルデータとする。さらに、エンコーダ / シリアルライザ 8 1 A は、そのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 0 で送信する。

【 0 0 6 3 】

また、エンコーダ / シリアルライザ 8 1 A は、そこに供給される垂直同期信号および水平同期信号の 2 ビットのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 0 で送信する。さらに、エンコーダ / シリアルライザ 8 1 A は、そこに供給される補助データを 4 ビット単位のパラレルデータとする。そして、エンコーダ / シリアルライザ 8 1 A は、そのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 0 で送信する。

【 0 0 6 4 】

エンコーダ / シリアルライザ 8 1 B は、そこに供給される画像データの G 成分、制御ビット C T L 0 , C T L 1、並びに補助データを、時分割で送信する。すなわち、エンコーダ / シリアルライザ 8 1 B は、そこに供給される画像データの G 成分を、固定のビット数である 8 ビット単位のパラレルデータとする。さらに、エンコーダ / シリアルライザ 8 1 B は、そのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 1 で送信する。

【 0 0 6 5 】

また、エンコーダ / シリアルライザ 8 1 B は、そこに供給される制御ビット C T L 0 , C T L 1 の 2 ビットのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 1 で送信する。さらに、エンコーダ / シリアルライザ 8 1 B は、そこに供給される補助データを 4 ビット単位のパラレルデータとする。そして、エンコーダ / シリアルライザ 8 1 B は、そのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 1 で送信する。

【 0 0 6 6 】

エンコーダ / シリアルライザ 8 1 C は、そこに供給される画像データの R 成分、制御ビット C T L 2 , C T L 3、並びに補助データを、時分割で送信する。すなわち、エンコーダ / シリアルライザ 8 1 C は、そこに供給される画像データの R 成分を、固定のビット数である 8 ビット単位のパラレルデータとする。さらに、エンコーダ / シリアルライザ 8 1 C は、そのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 2 で送信する。

10

20

30

40

50

【 0 0 6 7 】

また、エンコーダ/シリアライザ 8 1 C は、そこに供給される制御ビット C T L 2 , C T L 3 の 2 ビットのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 2 で送信する。さらに、エンコーダ/シリアライザ 8 1 C は、そこに供給される補助データを 4 ビット単位のパラレルデータとする。そして、エンコーダ/シリアライザ 8 1 C は、そのパラレルデータをエンコードし、シリアルデータに変換して、T M D S チャンネル # 2 で送信する。

【 0 0 6 8 】

レシーバ 8 2 は、3 つの T M D S チャンネル # 0 , # 1 , # 2 にそれぞれ対応する 3 つのリカバリ/デコーダ 8 2 A , 8 2 B , 8 2 C を有する。そして、リカバリ/デコーダ 8 2 A , 8 2 B , 8 2 C のそれぞれは、T M D S チャンネル # 0 , # 1 , # 2 で差動信号により送信されてくる画像データ、補助データ、制御データを受信する。さらに、リカバリ/デコーダ 8 2 A , 8 2 B , 8 2 C のそれぞれは、画像データ、補助データ、制御データを、シリアルデータからパラレルデータに変換し、さらにデコードして出力する。

10

【 0 0 6 9 】

すなわち、リカバリ/デコーダ 8 2 A は、T M D S チャンネル # 0 で差動信号により送信されてくる画像データの B 成分、垂直同期信号および水平同期信号、補助データを受信する。そして、リカバリ/デコーダ 8 2 A は、その画像データの B 成分、垂直同期信号および水平同期信号、補助データを、シリアルデータからパラレルデータに変換し、デコードして出力する。

20

【 0 0 7 0 】

リカバリ/デコーダ 8 2 B は、T M D S チャンネル # 1 で差動信号により送信されてくる画像データの G 成分、制御ビット C T L 0 , C T L 1、補助データを受信する。そして、リカバリ/デコーダ 8 2 B は、その画像データの G 成分、制御ビット C T L 0 , C T L 1、補助データを、シリアルデータからパラレルデータに変換し、デコードして出力する。

【 0 0 7 1 】

リカバリ/デコーダ 8 2 C は、T M D S チャンネル # 2 で差動信号により送信されてくる画像データの R 成分、制御ビット C T L 2 , C T L 3、補助データを受信する。そして、リカバリ/デコーダ 8 2 C は、その画像データの R 成分、制御ビット C T L 2 , C T L 3、補助データを、シリアルデータからパラレルデータに変換し、デコードして出力する。

30

【 0 0 7 2 】

図 4 は、H D M I の 3 つの T M D S チャンネル # 0 , # 1 , # 2 で各種の伝送データが伝送される伝送区間 (期間) の例を示している。なお、図 4 は、T M D S チャンネル # 0 , # 1 , # 2 において、横 × 縦が 7 2 0 × 4 8 0 画素のプロGRESSIVE の画像が伝送される場合の、各種の伝送データの区間を示している。

【 0 0 7 3 】

H D M I の 3 つの T M D S チャンネル # 0 , # 1 , # 2 で伝送データが伝送されるビデオフィールド (Video Field) には、伝送データの種類に応じて、ビデオデータ区間 (Video Data period)、データアイランド区間 (Data Island period)、およびコントロール区間 (Control period) の 3 種類の区間が存在する。

40

【 0 0 7 4 】

ここで、ビデオフィールド区間は、ある垂直同期信号の立ち上がりエッジ (active edge) から次の垂直同期信号の立ち上がりエッジまでの区間であり、水平ブランキング期間 (horizontal blanking)、垂直ブランキング期間 (vertical blanking)、並びに、ビデオフィールド区間から、水平ブランキング期間および垂直ブランキング期間を除いた区間であるアクティブビデオ区間 (Active Video) に分けられる。

【 0 0 7 5 】

ビデオデータ区間は、アクティブビデオ区間に割り当てられる。このビデオデータ区間では、非圧縮の 1 画面分の画像データを構成する 7 2 0 画素 × 4 8 0 ライン分の有効画素 (Active pixel) のデータが伝送される。

50

【 0 0 7 6 】

データアイランド区間およびコントロール区間は、水平ブランキング期間および垂直ブランキング期間に割り当てられる。このデータアイランド区間およびコントロール区間では、補助データ (Auxiliary data) が伝送される。

【 0 0 7 7 】

すなわち、データアイランド区間は、水平ブランキング期間と垂直ブランキング期間の一部に割り当てられている。このデータアイランド区間では、補助データのうち、制御に関係しないデータである、例えば、音声データの packets 等が伝送される。

【 0 0 7 8 】

コントロール区間は、水平ブランキング期間と垂直ブランキング期間の他の部分に割り当てられている。このコントロール区間では、補助データのうちの、制御に関するデータである、例えば、垂直同期信号および水平同期信号、制御 packets 等が伝送される。

10

【 0 0 7 9 】

ここで、現行の H D M I では、T M D S クロックチャンネルで伝送されるピクセルクロックの周波数は、例えば 1 6 5 M H z であり、この場合、データアイランド区間の伝送レートは約 5 0 0 M b p s 程度である。

【 0 0 8 0 】

図 5 は、H D M I コネクタのピン配列を示している。このピン配列は、タイプ A (type -A) の例である。T M D S チャンネル # i の差動信号である T M D S D a t a # i + と T M D S D a t a # i - が伝送される差動線である 2 本のラインは、T M D S D a t a # i + が割り当てられているピン (ピン番号が 1 , 4 , 7 のピン) と、T M D S D a t a # i - が割り当てられているピン (ピン番号が 3 , 6 , 9 のピン) に接続される。

20

【 0 0 8 1 】

また、制御用のデータである C E C 信号が伝送される C E C ライン 8 4 は、ピン番号が 1 3 であるピンに接続され、ピン番号が 1 4 のピンは空き (Reserved) ピンとなっている。また、E - E D I D 等の S D A (SerialData) 信号が伝送されるラインは、ピン番号が 1 6 であるピンに接続され、S D A 信号の送受信時の同期に用いられるクロック信号である S C L (Serial Clock) 信号が伝送されるラインは、ピン番号が 1 5 であるピンに接続される。上述の D D C 8 3 は、S D A 信号が伝送されるラインおよび S C L 信号が伝送されるラインにより構成される。

30

【 0 0 8 2 】

また、上述したようにソース機器がシンク機器の接続を検出するためのライン 8 6 は、ピン番号が 1 9 であるピンに接続される。また、上述したように電源を供給するためのライン 8 7 は、ピン番号が 1 8 であるピンに接続される。

【 0 0 8 3 】

[ケーブル検出回路の構成例]

図 6 は、ケーブル検出回路 1 1 5 (1 1 5 a ~ 1 1 5 c) の構成例を示している。ケーブル検出回路 1 1 5 は、インバータ 1 2 1 , 1 2 2 , 1 2 4 , 1 2 5 と、出力抵抗 1 2 3 と、出力抵抗ダミー 1 2 6 と、測定伝送路基準負荷 1 2 7 と、コンパレータ 1 2 8 と、D フリップフロップ 1 2 9 と、遅延回路 1 3 0 により構成されている。

40

【 0 0 8 4 】

インバータ 1 2 1 , 1 2 2 は、直列接続されており、波形整形回路を構成している。また、インバータ 1 2 4 , 1 2 5 は、直列接続されており、波形整形回路を構成している。直列接続されたインバータ 1 2 1 , 1 2 2 の入力側、および直列接続されたインバータ 1 2 4 , 1 2 5 の入力側には、ケーブル有無検出時に、制御部 1 0 5 (図 1 参照) からステップ波形信号 S T P が入力される。このステップ波形信号 S T P は、例えば、図 7 に示すように、立ち上がり時間が 2 n s 程度のものとされる。なお、ステップ波形信号 S T P の立ち上がり時間は 2 n s 程度に限定されるものではない。この立ち上がり時間が短くなる程、長さの短かな H D M I ケーブル 1 5 0 の接続有無を検出できる。H D M I ケーブル 1 5 0 の長さが 5 0 c m 以上である場合には、ステップ波形信号 S T P の立ち上がり時間が

50

2 ns 程度で充分である。

【0085】

直列接続されたインバータ121, 122の出力側は出力抵抗123を通じてHDMIコネクタ101のいずれかのピンに接続される。このピンとしては、接地(GND)ラインに接続されるピン(図5の例では17ピン)を除く、その他のピンのうちのいずれかが使用される。ただし、電源ラインに接続されるピンが使用される場合には、電源が入っていない状態でのみケーブル検出の動作が可能となる。出力抵抗123の抵抗値は、伝送路としてのHDMIケーブル150のインピーダンス規格値である50(シングルエンド)とされる。ここで、直列接続されたインバータ121, 122および出力抵抗123は、信号出力部を構成している。

10

【0086】

また、直列接続されたインバータ124, 125の出力側は出力抵抗ダミー126および測定伝送路基準負荷127の直列回路を介して接地される。出力抵抗ダミー126は抵抗であり、その抵抗値は、伝送路としてのHDMIケーブル150のインピーダンス規格値である50(シングルエンド)とされる。また、測定伝送路基準負荷127は抵抗であり、その抵抗値は、伝送路としてのHDMIケーブル150のインピーダンス規格値の上限値より所定量(+)だけ大きな値、例えば150とされる。

出力抵抗ダミー126の抵抗値が50であるとき、測定伝送路基準負荷127の抵抗値を150とすることで、取り込み時点(後述する時点t2)において、ケーブル有りのときの信号SPの値と、ケーブル無しの際の信号SPの値との中間値を比較基準信号REFとして得ることができ、ケーブル検出回路115に最大のマージンを与えることができる。

20

例えば、ステップ波形信号STPの最大値(立ち上がり後の電圧値)が1Vのとき、出力抵抗123の値を50にすると、ケーブル有りのときの取り込み時点における信号SPの値は0.5Vであり、ケーブル無しの際の取り込み時点における信号SPの値は1Vであって、その中間値は0.75Vである。出力抵抗ダミー126の抵抗値を50としたとき、取り込み時点で接続点P1に得られる比較基準信号REFが0.75Vになる測定伝送路基準負荷127の抵抗値は150と計算される。

【0087】

出力抵抗ダミー126および測定伝送路基準負荷127の接続点P1には、ステップ波形信号STPの最大値を固定減衰率で減衰した値を持つ比較基準信号REFが得られる。この固定減衰率は、出力抵抗ダミー126および測定伝送路基準負荷127の抵抗値で決まる。例えば、上述したように出力抵抗ダミー126の抵抗値が50で、測定伝送路基準負荷127の抵抗値が150であるとき、固定減衰率は3/4となる。なお、この固定減衰率としては、少なくとも、反射信号がのっていないときの信号SPの値と、反射信号がのっているときの信号SPの値との間の値を比較基準信号REFとして得ることができる減衰率であればよい。したがって、出力抵抗ダミー126および測定伝送路基準負荷127の抵抗値は、上述した値に限定されない。

30

【0088】

抵抗器123とHDMIコネクタ101の接続点P2(信号出力部の出力側)に得られる信号SPは、コンパレータ128の正側の入力端子に入力される。また、出力抵抗ダミー126および測定伝送路基準負荷127の接続点P1に得られる比較基準信号REFは、コンパレータ128の負側の入力端子に入力される。コンパレータ128は、信号SPが比較基準信号REF以上のときは“1”を出力し、信号SPが比較基準信号REFより小さいときは“0”を出力する。このコンパレータ128の出力信号は、Dフリップフロップ129のD端子に入力される。ここで、コンパレータ128およびDフリップフロップ129は、ラッチドコンパレータを構成している。

40

【0089】

遅延回路130は、出力抵抗ダミー126および測定伝送路基準負荷127の接続点P1に得られる比較基準信号REFを遅延させて出力し、ステップ波形信号STPの立ち上

50

がり時点から所定時間だけ遅れた時点のタイミング信号 T M を発生する。このタイミング信号 T M は、D フリップフロップ 1 2 9 のクロック端子 C K にラッチ信号として供給される。ここで、遅延回路 1 3 0 は、タイミング信号発生部を構成している。

【 0 0 9 0 】

上述の所定時間、つまり遅延回路 1 3 0 の遅延時間は、ステップ波形信号 S T P の立ち上がり時間と、接続の有無を検出する H D M I ケーブル 1 5 0 の長さに基づいて設定される。この実施の形態においては、上述したように 2 n s の立ち上がり時間のステップ波形信号 S T P を使用し、少なくとも 5 0 c m 以上の長さの H D M I ケーブル 1 5 0 の接続の有無を検出することとし、所定時間は 5 n s とされる。

【 0 0 9 1 】

D フリップフロップ 1 2 9 の Q 端子には、コンパレータ 1 2 8 の出力が、遅延回路 1 3 0 で発生されるタイミング信号でラッチされて出力される。この D フリップフロップ 1 2 9 の Q 端子出力は、ケーブル検出回路 1 1 5 の検出出力 D E T として、制御部 1 0 5 (図 1 参照) に供給される。

【 0 0 9 2 】

H D M I 端子 1 0 1 に H D M I ケーブル 1 5 0 が接続されていない場合、タイミング信号 T M の時点で、信号 S P は反射信号がのった状態になっていて比較基準信号 R E F より大きく、検出出力 D E T は “ 1 ” となる。一方、H D M I ケーブル 1 0 1 に H D M I ケーブル 1 5 0 が接続されている場合、タイミング信号 T M の時点で、信号 S P は反射信号がのった状態になっておらず比較基準信号 R E F より小さく、検出出力 D E T は “ 0 ” となる。

【 0 0 9 3 】

図 6 に示すケーブル検出回路 1 1 5 の動作例を説明する。最初に、図 8 に示すように、H D M I 端子 1 0 1 への H D M I ケーブル 1 5 0 の接続が無い場合を説明する。なお、ケーブル検出回路 1 1 5 から H D M I 端子 1 0 1 までの信号路の長さは 3 c m 程度であるとする。

【 0 0 9 4 】

図 9 は、その場合における各部の信号波形を示している。すなわち、図 9 (a) は信号 S P を示し、図 9 (b) は比較基準信号 R E F を示し、図 9 (c) はタイミング信号 T M を示し、図 9 (d) は検出出力 D E T を示している。また、時点 t 1 は、ステップ波形信号 S T P が入力される時点を示し、時点 t 2 はタイミング信号 T M で与えられる、時点 t 1 から 5 n s だけ経過した時点を示している。

【 0 0 9 5 】

この場合、ステップ波形信号 S T P の入力後、基板内のみインピーダンス整合されているため、信号 S P は、多少の時間、比較基準信号 R E F より小さくなっている。しかし、その後は、H D M I ケーブル 1 5 0 が接続されていないため、信号 S P は、反射信号がのった状態となり、時点 t 2 では、信号 S P は比較基準信号 R E F より大きくなっている。そのため、この時点 t 2 でコンパレータ 1 2 8 の出力は “ 1 ” となって、タイミング信号 T M でコンパレータ 1 2 8 の出力がラッチされて得られた検出出力 D E T は “ 1 ” となり、「ケーブル無し」を示すようになる。

【 0 0 9 6 】

次に、図 1 0 に示すように、H D M I 端子 1 0 1 への H D M I ケーブル 1 5 0 の接続がある場合を説明する。なお、ケーブル検出回路 1 1 5 から H D M I 端子 1 0 1 までの信号路の長さは 3 c m 程度であり、H D M I ケーブル 1 5 0 の長さは 1 m 以上であるとする。

【 0 0 9 7 】

図 1 1 は、その場合における各部の信号波形を示している。すなわち、図 1 1 (a) は信号 S P を示し、図 1 1 (b) は比較基準信号 R E F を示し、図 1 1 (c) はタイミング信号 T M を示し、図 1 1 (d) は検出出力 D E T を示している。また、時点 t 1 は、ステップ波形信号 S T P が入力される時点を示し、時点 t 2 はタイミング信号 T M で与えられる、時点 t 1 から 5 n s だけ経過した時点を示している。

10

20

30

40

50

【 0 0 9 8 】

この場合、ステップ波形信号 S T P の入力後、基板内およびケーブルでインピーダンス整合されているため、信号 S P は比較基準信号 R E F より小さくなっている。そのため、時点 t 2 でコンパレータ 1 2 8 の出力は “ 0 ” となり、タイミング信号 T M でコンパレータ 1 2 8 の出力がラッチされて得られた検出出力 D E T は “ 0 ” となり、「ケーブル有り」を示すようになる。

【 0 0 9 9 】

次に、図 1 2 に示すように、H D M I 端子 1 0 1 への H D M I ケーブル 1 5 0 の接続がある場合を説明する。なお、ケーブル検出回路 1 1 5 から H D M I 端子 1 0 1 までの信号路の長さは 3 c m 程度であり、H D M I ケーブル 1 5 0 の長さは 6 0 c m 程度であるとす

10

【 0 1 0 0 】

図 1 3 は、その場合における各部の信号波形を示している。すなわち、図 1 3 (a) は信号 S P を示し、図 1 3 (b) は比較基準信号 R E F を示し、図 1 3 (c) はタイミング信号 T M を示し、図 1 3 (d) は検出出力 D E T を示している。また、時点 t 1 は、ステップ波形信号 S T P が入力される時点を示し、時点 t 2 はタイミング信号 T M で与えられる、時点 t 1 から 5 n s だけ経過した時点を示している。

【 0 1 0 1 】

この場合、ステップ波形信号 S T P の入力後、基板内およびケーブルでインピーダンス整合されている。H D M I ケーブル 1 5 0 の長さは 6 0 c m であるので、時点 t 2 において信号 S P は比較基準信号 R E F より小さくなっている。そのため、時点 t 2 でコンパレータ 1 2 8 の出力は “ 0 ” となり、タイミング信号 T M でコンパレータ 1 2 8 の出力がラッチされて得られた検出出力 D E T は “ 0 ” となり、「ケーブル有り」を示すようになる。なお、図 1 3 (a) に示すように、時点 2 が経過した後に、信号 S P は反射信号がのった状態となって比較基準信号 R E F より大きくなるが、時点 2 を経過しているため、検出出力 D E T に影響を与えない。

20

【 0 1 0 2 】

[ケーブル検出時における制御部の処理]

次に、ケーブル検出時における制御部 1 0 5 の処理手順について説明する。上述したように、ケーブル検出時には、制御部 1 0 5 からケーブル検出回路 1 1 5 にステップ波形信号 S T P が入力され、その後、ケーブル検出回路 1 1 5 から制御部 1 0 5 に検出出力 D E T が供給される。

30

【 0 1 0 3 】

図 1 4 のフローチャートは、ケーブル有無検出時における制御部 1 0 5 の処理手順の一例を示している。制御部 1 0 5 は、ステップ S T 1 において、処理を開始し、その後に、ステップ S T 2 の処理に移る。このステップ S T 2 において、制御部 1 0 5 は、ステップ波形信号 S T P を発生し、ケーブル検出回路 1 1 5 (図 6 参照) に入力する。

【 0 1 0 4 】

次に、制御部 1 0 5 は、ステップ S T 3 において、時間待ちを行う。この場合、制御部 1 0 5 は、少なくともケーブル検出回路 1 1 5 から検出出力 D E T が供給されるまで待つ。そして、制御部 1 0 5 は、ステップ S T 4 において、検出出力 D E T は “ 1 ” であるか “ 0 ” であるかを判断する。

40

【 0 1 0 5 】

検出出力 D E T が “ 0 ” であるとき、制御部 1 0 5 は、ステップ S T 5 において、「ケーブル有り」と判断し、その後に、ステップ S T 6 において、処理を終了する。一方、検出出力 D E T が “ 1 ” であるとき、制御部 1 0 5 は、ステップ S T 7 において、「ケーブル無し」と判断し、その後に、ステップ S T 6 において、処理を終了する。

【 0 1 0 6 】

[外部入力選択時におけるコネクタ表示]

次に、ユーザによる外部入力の選択時におけるコネクタ表示について説明する。制御部

50

105は、上述したケーブル接続情報、アクティブ状態の外部機器の接続情報に基づいて、表示パネル113に表示されるコネクタ表示の態様を変化させる。

【0107】

なお、ユーザは、外部入力を選択時におけるコネクタ表示において、ケーブル接続情報、あるいはアクティブ状態の外部機器の接続情報を用いるか否かを、予め設定できる。図15は、その設定時において表示パネル113に表示されるユーザインタフェース画面の一例を示している。

【0108】

この場合、入力自動検出をオン(ON)とすることで、ケーブル接続情報を用いることが選択される。入力自動検出がオンに設定された場合、制御部105は、パワーオン時、または、外部入力選択時等の所定のタイミングで、上述したようにHDMIコネクタ101a~101c、コンポーネントビデオコネクタ102a~102c、コンポジットビデオコネクタ103a~103c、およびPCコネクタ104へのケーブル接続情報を取得してDRAM105aに格納し、コネクタ表示の制御情報として使用する。

【0109】

また、HDMI アクティブ検出をオン(ON)に設定することで、アクティブ状態の外部機器の接続情報を用いることが選択される。HDMI アクティブ検出がオンに設定された場合、制御部105は、パワーオン時、または、外部入力選択時等の所定のタイミングで、上述したようにHDMIコネクタ101a~101cへのアクティブ状態の外部機器の接続情報を取得してDRAM105aに格納し、コネクタ表示の制御情報として使用する。

【0110】

次に、外部入力を選択時におけるコネクタ表示の表示例について説明する。この表示例は、テレビ受信機100の各コネクタに対し、図16に示すように、機器が接続されている場合の例である。すなわち、HDMIコネクタ101aには、BD(Blu-ray Disc)レコーダ171が接続されている。HDMIコネクタ101bには、AV(Audio-Visual)アンプ172を介してDVD(Digital Versatile Disc)レコーダ173, 174が接続されている。また、コンポーネントビデオコネクタ102aにはゲーム機175が接続されており、コンポジットビデオコネクタ103aにはVTR(Video Tape Recorder)176が接続されている。

【0111】

まず、入力自動検出がオフ(OFF)に設定されていると共に、HDMI アクティブ検出がオフ(OFF)に設定されている場合、外部入力を選択時に表示パネル113に表示されるコネクタ表示は、例えば、図17(a)に示すようになる。この場合、HDMIコネクタ101a~101c、コンポーネントビデオコネクタ102a~102c、コンポジットビデオコネクタ103a~103c、およびPCコネクタ104を表すコネクタ表示は、ケーブルの接続状態の有無に拘わらず、また、HDMIコネクタ101a~101cにおけるアクティブ状態の外部機器の接続の有無に拘わらず、全て同じ態様で表示される。

【0112】

ここで、「HDMI1」~「HDMI3」のコネクタ表示は、HDMIコネクタ101a~101cを表すコネクタ表示である。また、「Component1」~「Component3」は、コンポーネントビデオコネクタ102a~102cを表すコネクタ表示である。また、「Video1」~「Video3」は、コンポジットビデオコネクタ103a~103cを表すコネクタ表示である。さらに、「PC」は、PCコネクタを表すコネクタ表示である。

【0113】

この状態において、ユーザは、ユーザ操作部106、例えばリモコン操作によって、カーソルCAを所望のコネクタ位置に移動して決定することで、所望のコネクタに入力を切り替えることができる。ただしこの場合、各コネクタを表すコネクタ表示は全て同じ態様で表示されるので、ユーザは、表示パネル113の画面上では、各コネクタにケーブルが

10

20

30

40

50

接続されているのか否か、さらにはHDMIコネクタ101a~101cに関してはアクティブ状態の外部機器が接続されているのか否かを認識できず、無駄な選択操作を行うおそれがある。

【0114】

次に、入力自動検出がオン(ON)に設定されていると共に、HDMIアクティブ検出がオフ(OFF)に設定されている場合、外部入力の選択時に表示パネル113に表示されるコネクタ表示は、例えば、図17(b)に示すようになる。この場合、ケーブルが接続されているコネクタを表すコネクタ表示(「HDMI1」、「HDMI2」、「Component1」、「Video1」と、ケーブルが接続されていないコネクタを表すコネクタ表示(「HDMI3」、「Component2」、「Component3」、「Video1」、「Video3」、「P C」とは、異なる態様、例えば濃度、色相、形状等が変化するようにされる。例えば、ケーブルが接続されているコネクタを表すコネクタ表示に比べて、ケーブルが接続されていないコネクタを表すコネクタ表示は薄く表示される。

10

【0115】

この状態において、ユーザは、ユーザ操作部106、例えばリモコン操作によって、カーソルCAを所望のコネクタ表示の位置に移動して決定することで、所望のコネクタに入力を切り替えることができる。この場合、ケーブルの接続の有無でコネクタ表示の態様が異なっているので、ユーザは、表示パネル113の画面上で、各コネクタへのケーブルの接続の有無を認識でき、ケーブルが接続されていないコネクタを選択する等の無駄な選択操作を回避できる。

20

【0116】

なおこの場合、制御部105の制御により、ユーザによるコネクタ表示の選択操作が、ケーブルが接続されているコネクタを表すコネクタ表示に制限される、ようにしてもよい。この場合、ユーザは、ユーザ操作部106、例えばリモコン操作によって、カーソルCAを、ケーブルが接続されているコネクタを表すコネクタ表示の位置のみに移動でき、ユーザのカーソルの移動操作から無駄を省くことができ、また、ケーブルが接続されていないコネクタを表すコネクタ表示をユーザが誤って選択するということもなくなる。

【0117】

また、この場合、ケーブルが接続されているコネクタ、つまり、ユーザが選択し得るコネクタを表すコネクタ表示を、例えば、図18(a)に示すように、所定範囲にまとめて表示する、ようにしてもよい。図示の例では、上部範囲にまとめたものであるが、他の範囲、例えば下部範囲にまとめて表示する、ようにしてもよい。このように所定範囲にまとめて表示することで、カーソルCAが不規則な間隔で移動することによる見難さを回避でき、操作性を改善できる。

30

【0118】

このように所定範囲にまとめて表示する場合、さらに、選択頻度の高い順に自動的に並べ替えが行われるようにし、あるいは、ユーザが任意に並べ替え可能としてもよい。また、ケーブルが接続されていないコネクタ、つまり、ユーザが選択できないコネクタを表すコネクタ表示を、図18(b)に示すように、表示パネル113に表示しない、ようにしてもよい。この場合、不要なコネクタ表示を表示パネルから除くことができ、選択し得るコネクタを表すコネクタ表示を見易くでき、操作性を改善できる。

40

【0119】

次に、入力自動検出がオン(ON)に設定されていると共に、HDMIアクティブ検出がオン(ON)に設定されている場合、外部入力の選択時に表示パネル113に表示されるコネクタ表示は、例えば、図19に示すようになる。ただしこの場合、HDMIコネクタ101aに接続されているBDレコーダ171は、パワーオフの状態、つまりアクティブ状態にないものとする。

【0120】

この場合、ケーブルが接続されているコネクタ(HDMIコネクタに関してはアクティブ状態の機器が接続されているコネクタ)を表すコネクタ表示(「HDMI2」、「Comp

50

onent 1」、「Video 1」と、ケーブルが接続されていないコネクタ（HDMIコネクタに関してはケーブルが接続されていない、あるいはアクティブ状態の機器が接続されていないコネクタ）を表すコネクタ表示（「HDMI 1」、「HDMI 3」、「Component 2」、「Component 3」、「Video 1」、「Video 3」、「PC」とは、異なる態様、例えば濃度、色相、形状等が変化するようにされる。

【0121】

なお、ケーブルは接続されているが、アクティブ状態の機器が接続されていないHDMIコネクタ101aを表すコネクタ表示「HDMI 1」に関しては、他のケーブルが接続されていないコネクタを表すコネクタ表示とは、その態様が異なるようにされている。図示の例では、「HDMI 1」に関しては、一点鎖線の枠で囲まれ、他のケーブルが接続されていないコネクタを表すコネクタ表示とは区別されている。この区別により、ユーザは、HDMIコネクタ101aにはケーブルは接続されているが、接続されている機器がアクティブ状態にないことを認識できる。

10

【0122】

この状態において、ユーザは、ユーザ操作部106、例えばリモコン操作によって、カーソルCAを所望のコネクタ表示の位置に移動して決定することで、所望のコネクタに入力を切り替えることができる。この場合、ケーブルの接続の有無でコネクタ表示の態様が異なっているので、ユーザは、表示パネル113の画面上で、各コネクタへのケーブルの接続の有無を認識でき、さらに、HDMIコネクタに関してはアクティブ状態の機器の接続の有無を認識でき、ケーブルが接続されていないコネクタを表すコネクタ表示、HDMIコネクタに関してはアクティブ状態にない機器が接続されたコネクタを表すコネクタ表示を選択する等の無駄な選択操作を回避できる。

20

【0123】

なお、テレビ受信機100の各コネクタに接続される機器がCEC対応機器である場合、テレビ受信機100はその機器の存在を認識できる。上述した外部入力を選択時に、その認識情報を活用することも考えられる。例えば、ユーザがユーザ操作部106、例えばリモコン操作によって、カーソルCAを所望のコネクタ表示の位置に移動し、その状態で接続機器の表示操作を行った場合、制御部105は、例えば、図20に示すように、当該コネクタに接続されている機器を表す機器表示を、当該コネクタを表すコネクタ表示に関連して表示する、ようにしてもよい。

30

【0124】

図20の表示例では、接続されている機器を表す機器表示をツリー状に表示したものであるが、表示形式はこれに限定されない。このように、コネクタに接続されている機器を表す機器表示を、コネクタ表示に関連して表示することで、ユーザは各コネクタに接続されている機器を表示パネル113の画面上で確認でき、外部入力の切り替え操作の操作性を向上できる。

【0125】

以上説明したように、図1に示すテレビ受信機100においては、各コネクタのケーブルの接続の有無の検出結果、さらには、HDMIコネクタへのアクティブ状態の機器の接続の有無の判定結果に応じて、外部入力を選択時に、表示パネル113に表示される各コネクタを表すコネクタ表示の態様が変化するようにされているので、ユーザは各コネクタへのケーブル接続の有無、HDMIコネクタへのアクティブ状態の機器の接続の有無を表示パネル113の画面上で容易に確認でき、外部入力の選択操作性を改善できる。

40

【0126】

また、図1に示すテレビ受信機100においては、HDMIコネクタ101（101a～101c）にケーブル検出回路115（115a，115b，115c）が接続されているので、当該HDMIコネクタ101へのケーブルの接続の有無を良好に検出できる。また、このケーブル検出回路115は、HDMIコネクタ101にステップ波形信号を出力し、このステップ波形信号の反射信号に基づいて、コネクタへのケーブルの接続の有無を検出するものであり、HDMIコネクタ101に検出スイッチ等のケーブル検出機構を

50

付加するものと比べて、故障の恐れが少なく、コストアップも抑制できる。

【 0 1 2 7 】

なお、図 1 のテレビ受信機 1 0 0 において、ケーブル検出回路 1 1 5 は単独で設けられているが、例えば、半導体集積回路 (I C : Integrated Circuit) として構成される H D M I 受信部 1 0 8、あるいはイコライザ (図示せず) 等に組み込んだ構成とすることもできる。例えば、ケーブル検出回路 1 1 5 が組み込まれた H D M I 受信部 1 0 8 では、H D M I コネクタ 1 0 1 に H D M I ケーブル 1 5 0 が接続されている場合のみ、信号の送受信動作を行わせることができる。

【 0 1 2 8 】

また、図 6 に示すケーブル検出回路 1 1 5 を、ソース機器を構成する D V D レコーダ等に設けることも考えられる。この場合、ソース機器は、ケーブル検出回路 1 1 5 を使用して、H D M I 端子に H D M I ケーブルが接続されているか否かを判断できる。そのため、ソース機器は、シンク機器がスタンバイ時であって H P D ラインの電圧がローレベルとなっている場合等にあっても、C E C のトポロジが有効か無効かの判別が可能となり、C E C 動作を良好に行うことができる。

【 0 1 2 9 】

また、図 6 に示すケーブル検出回路 1 1 5 は、H D M I コネクタ 1 0 1 への H D M I ケーブル 1 5 0 の接続の有無を検出するものを示した。しかし、ケーブル検出回路 1 1 5 と同様のケーブル検出回路は、H D M I と同様にインピーダンス制御された伝送路を有する外部インタフェース、例えば、D V I , D i s p l a y P o r t , U S B , E t h e r N E T , アナログ V i d e o / A u d i o 等に関して有効である。

【 0 1 3 0 】

< 2 . 第 2 の実施の形態 >

[I C 間通信システムの構成例]

図 2 1 は、実施の形態としての通信システム 2 0 0 の構成例を示している。この通信システム 2 0 0 は、送信 I C 2 0 0 A および受信 I C 2 0 0 B により構成されている。送信 I C 2 0 0 A の出力端子 2 0 1 A は、受信 I C 2 0 0 B の入力端子 2 0 1 B に、L V D S (Low Voltage Differential Signaling) 等のケーブル 2 1 0 を介して接続されている。図 2 1 (a) は、ケーブル 2 1 0 が短い例を示しており、図 2 1 (b) は、ケーブル 2 1 0 が長い例を示している。

【 0 1 3 1 】

送信 I C 2 0 0 A はケーブル検出回路 2 0 2 A を備えている。このケーブル検出回路 2 0 2 A は、出力端子 2 0 1 A に接続されているケーブル 2 1 0 の長さを検出する。このケーブル検出回路 2 0 2 A の詳細は後述する。

【 0 1 3 2 】

送信 I C 2 0 0 A は、ケーブル検出回路 2 0 2 A でケーブル 2 1 0 の長さを検出することで、その長さに応じて送信信号のレベルを最適なレベルに調整でき、不要輻射の低減、使用電力の節約を図ることができる。

【 0 1 3 3 】

[ケーブル検出回路の構成例]

図 2 2 は、ケーブル検出回路 2 0 2 A の構成例を示している。ケーブル検出回路 2 0 2 A は、検出部 2 2 0 と、制御部 2 4 0 により構成されている。また、検出部 2 2 0 は、インバータ 2 2 1 , 2 2 2 , 2 2 4 , 2 2 5 と、出力抵抗 2 2 3 と、出力抵抗ダミー 2 2 6 と、測定伝送路基準負荷 2 2 7 と、コンパレータ 2 2 8 と、D フリップフロップ 2 2 9 と、遅延回路 2 3 0 により構成されている。

【 0 1 3 4 】

インバータ 2 2 1 , 2 2 2 は、直列接続されており、波形整形回路を構成している。また、インバータ 2 2 4 , 2 2 5 は、直列接続されており、波形整形回路を構成している。直列接続されたインバータ 2 2 1 , 2 2 2 の入力側、および直列接続されたインバータ 2 2 4 , 2 2 5 の入力側には、ケーブル長検出時に、制御部 2 4 0 からステップ波形信号 S

10

20

30

40

50

T Pが入力される。このステップ波形信号S T Pは、例えば、上述の図7に示すように、立ち上がり時間が2 n s程度のものとされる。

【0135】

直列接続されたインバータ221, 222の出力側は出力抵抗223を通じて出力端子201Aに接続される。出力抵抗223の抵抗値は、伝送路としてのケーブル210のインピーダンス規格値とされる。ここで、直列接続されたインバータ221, 222および出力抵抗223は、信号出力部を構成している。

【0136】

また、直列接続されたインバータ224, 225の出力側は出力抵抗ダミー226および測定伝送路基準負荷227の直列回路を介して接地される。出力抵抗ダミー226は抵抗であり、その抵抗値は、伝送路としてのケーブル210のインピーダンス規格値とされる。また、測定伝送路基準負荷227は抵抗であり、その抵抗値は、伝送路としてのケーブル210のインピーダンス規格値の上限値より所定量(+)だけ大きな値とされる。

10

【0137】

出力抵抗ダミー226および測定伝送路基準負荷227の接続点P1には、ステップ波形信号S T Pの最大値を固定減衰率で減衰した値を持つ比較基準信号R E Fが得られる。この固定減衰率は、出力抵抗ダミー226および測定伝送路基準負荷227の抵抗値で決まる。この固定減衰率としては、少なくとも、反射信号がのっていないときの信号S Pの値と、反射信号がのっているときの信号S Pの値との間の値を比較基準信号R E Fとして得ることができる減衰率であればよい。したがって、出力抵抗ダミー226および測定伝送路基準負荷227の抵抗値は、上述した値に限定されない。

20

【0138】

抵抗器223と出力端子201の接続点P2(信号出力部の出力側)に得られる信号S Pは、コンパレータ228の正側の入力端子に入力される。また、出力抵抗ダミー226および測定伝送路基準負荷227の接続点P1に得られる比較基準信号R E Fは、コンパレータ228の負側の入力端子に入力される。コンパレータ228は、信号S Pが比較基準信号R E F以上のときは“1”を出力し、信号S Pが比較基準信号R E Fより小さいときは“0”を出力する。このコンパレータ228の出力信号は、Dフリップフロップ229のD端子に入力される。ここで、コンパレータ228およびDフリップフロップ229は、ラッチドコンパレータを構成している。

30

【0139】

遅延回路230は、出力抵抗ダミー226および測定伝送路基準負荷227の接続点P1に得られる比較基準信号R E Fを遅延させて出力し、ステップ波形信号S T Pの立ち上がり時点から所定時間だけ遅れた時点のタイミング信号T Mを発生する。遅延回路230は、制御部240の制御により、上述の所定時間(遅延時間)を段階的に変化させることができる。タイミング信号T Mは、Dフリップフロップ229のクロック端子C Kにラッチ信号として供給される。ここで、遅延回路230は、タイミング信号発生部を構成している。

【0140】

Dフリップフロップ229のQ端子には、コンパレータ228の出力が、遅延回路230で発生されるタイミング信号T Mでラッチされて出力される。このDフリップフロップ229のQ端子出力は検出出力D E Tとして制御部240に供給される。

40

【0141】

制御部240は、ケーブル長検出時に、ステップ波形信号S T Pを検出部220に入力すると共に、検出部220から供給される検出出力D E Tに基づいて、ケーブル210の長さを判断する。

【0142】

図23のフローチャートは、ケーブル長検出時における制御部240の処理手順の一例を示している。制御部240は、ステップS T 11において、処理を開始し、ステップS T 12において、遅延回路230の遅延時間Tを初期値T0に設定する。例えば、初期値

50

T0は、ケーブル210の長さが50cmであるとき、ステップ波形信号STPの立ち上がり時点から反射信号が観測できるまでの待ち時間である5nsに設定される。

【0143】

次に、制御部240は、ステップST13において、ステップ波形信号STPを発生し、検出部220に入力する。そして、制御部240は、ステップST14において、時間Tの時間待ちを行い、その後に、ステップST15の処理に移る。このステップST15において、制御部240は、検出出力DETが“1”であるか“0”であるかを判断する。

【0144】

検出出力DETが“0”であるとき、制御部240は、ケーブル210は待ち時間Tにて観測できる長さより長いと判断し、ステップST16において、遅延回路230の遅延時間TをTだけ長くし、その後に、ステップST13の処理に戻る。ここで、Tは、段階的な長さ判断のための時間である。例えば、ケーブル210の長さ判断を50cm刻みで増やしていく場合、Tは5nsとされる。

【0145】

また、ステップST15で検出出力DETが“1”であるとき、制御部240は、ステップST17の処理に移る。このステップST17において、制御部240は、ケーブル210の長さは時間Tにて観測できる長さであると判断し、その後に、ステップST18において、処理を終了する。

【0146】

図22に示すケーブル検出回路202Aの動作例を説明する。図24に示すように、ケーブル210が100cm程度であり、 $T_0 = 5\text{ ns}$ 、 $T = 5\text{ ns}$ に設定されているものとする。また、ケーブル検出回路202Aから出力端子201Aまでの信号路の長さは3cm程度であるとする。

【0147】

図25は、その場合における各部の信号波形を示している。すなわち、図25(a)は信号SPを示し、図25(b)は比較基準信号REFを示している。この場合、ステップ波形信号STPの入力後、基板内およびケーブル210でインピーダンス整合されているため、信号SPは、ステップ波形信号STPの立ち上がり時点 t_1 から10ns経過する時点の直前までは、比較基準信号REFより小さくなっている。

【0148】

遅延回路230の遅延時間Tの初期値T0は5nsであることから、1回目におけるタイミング信号TMは、図25(c)に示すように、ステップ波形信号STPの立ち上がり時点 t_1 から5ns経過後の時点 t_{21} で立ち上がる。この時点 t_{21} では、信号SPは比較基準信号REFより小さく、コンパレータ228の出力は“0”となっている。そのため、1回目におけるタイミング信号TMでコンパレータ228の出力がラッチされて得られた検出出力DETは、図25(d)に示すように、“0”となり、2回目の検出処理が行われる。

【0149】

Tは5nsであるので、2回目における遅延回路230の遅延時間Tは10nsとされ、この2回目におけるタイミング信号TMは、図25(e)に示すように、ステップ波形信号STPの立ち上がり時点 t_1 から10ns経過後の時点 t_{22} で立ち上がる。この時点 t_{22} では、信号SPは比較基準信号REFより大きくなっており、コンパレータ228の出力は“1”となっている。そのため、2回目におけるタイミング信号TMでコンパレータ228の出力がラッチされて得られた検出出力DETは、図25(f)に示すように、“1”となる。したがって、制御部240は、出力端子201Aに接続されているケーブル210の長さを、時間 $T = 10\text{ ns}$ にて観測できる長さ、つまり50cm以上100cm以下と判断する。

【0150】

なお、上述では遅延回路230の初期値T0を5nsとしているが、この初期値T0を

10

20

30

40

50

5 ns よりも小さく設定することで、ケーブル 210 の長さが 50 cm より短い場合にもその長さを検出することが可能となる。また、上述では、 T を 5 ns としているが、この T を 5 ns より小さく設定することで、ケーブル 210 の長さを 50 cm より細かな精度で検出できるようになる。

【0151】

また、上述では、遅延回路 230 の遅延時間 T の初期値 T_0 を小さく設定しておき、検出出力 DET が “0” の状態から “1” の状態になるまで、遅延時間 T を T ずつ段階的に長くしていくことでケーブル 210 の長さを検出している。しかし、逆に、遅延回路 230 の遅延時間 T の初期値 T_0 を大きく設定しておき、検出出力 DET が “1” の状態から “0” の状態になるまで、遅延時間 T を T ずつ段階的に短くしていくことでケーブル 210 の長さを検出するようにしてもよい。

【0152】

< 3 . 第 3 の実施の形態 >

[メモリ回路の構成例]

図 26 は、メモリ回路 300 の構成例を示している。このメモリ回路 300 は、メモリコントローラ 300 A およびメモリモジュール 300 B により構成されている。メモリコントローラ 300 A とメモリモジュール 300 B との間には、複数のデータライン DLN-1 ~ DLN-n を有するバスライン 310 が配されている。このバスライン 310 はメモリインタフェースを構成している。

【0153】

メモリコントローラ 300 A は、複数のデータライン DLN-1 ~ DLN-n に対応して、複数のケーブル検出回路 301 A-1 ~ 301 A-n を備えている。ケーブル検出回路 301 A-1 ~ 301 A-n は、詳細説明は省略するが、上述した第 2 の実施の形態におけるケーブル検出回路 202 A (図 22 参照) と同様に構成されており、伝送路としてのデータライン DLN-1 ~ DLN-n の長さを検出する。

【0154】

メモリコントローラ 300 A は、ケーブル検出回路 301 A-1 ~ 301 A-n でデータライン DLN-1 ~ DLN-n の長さを検出することで、これら複数のデータライン DLN-1 ~ DLN-n のパターン長の差を認識でき、各ラインのデータ出力タイミングを調整してスキューを抑制できる。

【0155】

そのため、図 26 のメモリ回路 300 では、基板上から等長配線を行うために無駄に長く引いていたパターンをなくすことができ、基板スペースを節約でき、また、不要輻射の低減を図ることができ、理想的な配線を行うことができる。

【0156】

なお、図 26 のメモリ回路 300 を構成するメモリコントローラ 300 A は複数のケーブル検出回路 301 A-1 ~ 301 A-n を備えている。しかし、ケーブル検出回路を一個だけ備えるものとし、この一個のケーブル検出回路で、データライン DLN-1 ~ DLN-n の長さを順次検出する構成とすることもできる。

【0157】

また、上述はメモリ回路 300 におけるインタフェースに着目をしたものがあるが、同様に複数のライン間のスキューが重要となる基板上の回路部分に、同様の技術を適用できることは勿論である。

【0158】

< 4 . 第 4 の実施の形態 >

[IC 間通信システムの構成例]

図 27 は、実施の形態としての通信システム 400 の構成例を示している。この通信システム 400 は、送信 IC 400 A および受信 IC 400 B により構成されている。送信 IC 400 A の出力端子 401 A は、受信 IC 400 B の入力端子 401 B に、LVDS 等のケーブル 410 を介して接続されている。

【 0 1 5 9 】

送信 IC 4 0 0 A はケーブル検出回路 4 0 2 A を備えている。このケーブル検出回路 4 0 2 A は、出力端子 4 0 1 A に接続されているケーブル 4 1 0 のインピーダンスを検出する。このケーブル検出回路 4 0 2 A の詳細は後述する。

【 0 1 6 0 】

送信 IC 4 0 0 A は、ケーブル検出回路 4 0 2 A でケーブル 4 1 0 のインピーダンスを検出することで、例えば、ケーブル 4 1 0 としてインピーダンスが正しく制御されていないような安価なケーブルを使用する場合、このケーブル 4 1 0 に対して最適な出力抵抗を選択できる。これにより、反射を抑えて安定した伝送を行うことができ、不要輻射の低減を図ることができる。

10

【 0 1 6 1 】

[ケーブル検出回路の構成例]

図 2 8 は、ケーブル検出回路 4 0 2 A の構成例を示している。ケーブル検出回路 4 0 2 A は、検出部 4 2 0 と、制御部 4 4 0 により構成されている。また、検出部 4 2 0 は、インバータ 4 2 1 , 4 2 2 , 4 2 4 , 4 2 5 と、出力抵抗 4 2 3 と、出力抵抗ダミー 4 2 6 と、測定伝送路基準負荷 4 2 7 と、コンパレータ 4 2 8 と、D フリップフロップ 4 2 9 と、遅延回路 4 3 0 により構成されている。

【 0 1 6 2 】

インバータ 4 2 1 , 4 2 2 は、直列接続されており、波形整形回路を構成している。また、インバータ 4 2 4 , 4 2 5 は、直列接続されており、波形整形回路を構成している。直列接続されたインバータ 4 2 1 , 4 2 2 の入力側、および直列接続されたインバータ 4 2 4 , 4 2 5 の入力側には、ケーブルインピーダンス検出時に、制御部 4 4 0 からステップ波形信号 S T P が入力される。このステップ波形信号 S T P は、例えば、上述の図 7 に示すように、立ち上がり時間が 2 ns 程度のものとされる。

20

【 0 1 6 3 】

直列接続されたインバータ 4 2 1 , 4 2 2 の出力側は出力抵抗 4 2 3 を通じて出力端子 4 0 1 A に接続される。出力抵抗 4 2 3 は、制御部 4 4 0 の制御により、その抵抗値を段階的に変化させることができる。ここで、直列接続されたインバータ 4 2 1 , 4 2 2 および出力抵抗 4 2 3 は、信号出力部を構成している。

【 0 1 6 4 】

また、直列接続されたインバータ 4 2 4 , 4 2 5 の出力側は出力抵抗ダミー 4 2 6 および測定伝送路基準負荷 4 2 7 の直列回路を介して接地される。出力抵抗ダミー 4 2 6 は抵抗であり、その抵抗値は、伝送路としてのケーブル 4 1 0 の想定インピーダンス(インピーダンス規格値)とされる。また、測定伝送路基準負荷 4 2 7 は抵抗であり、その抵抗値、伝送路としてのケーブル 4 1 0 の想定インピーダンス(インピーダンス規格値)とされる。

30

【 0 1 6 5 】

出力抵抗ダミー 4 2 6 および測定伝送路基準負荷 4 2 7 の接続点 P 1 には、ステップ波形信号 S T P の最大値を固定減衰率で減衰した値を持つ比較基準信号 R E F が得られる。この固定減衰率は、出力抵抗ダミー 4 2 6 および測定伝送路基準負荷 4 2 7 の抵抗値で決まる。例えば、上述したように出力抵抗ダミー 4 2 6 および測定伝送路基準負荷 4 2 7 の抵抗値が共に想定インピーダンス(インピーダンス規格値)とされるとき、固定減衰率は $1/2$ となる。なお、この固定減衰率としては、ほぼ $1/2$ の減衰率であればよい。したがって、出力抵抗ダミー 4 2 6 および測定伝送路基準負荷 4 2 7 の抵抗値は、上述した値に限定されない。

40

【 0 1 6 6 】

抵抗器 4 2 3 と出力端子 4 0 1 A の接続点 P 2 (信号出力部の出力側)に得られる信号 S P は、コンパレータ 4 2 8 の正側の入力端子に入力される。また、出力抵抗ダミー 4 2 6 および測定伝送路基準負荷 4 2 7 の接続点 P 1 に得られる比較基準信号 R E F は、コンパレータ 4 2 8 の負側の入力端子に入力される。コンパレータ 4 2 8 は、信号 S P が比較

50

基準信号 R E F 以上のときは “ 1 ” を出力し、信号 S P が比較基準信号 R E F より小さいときは “ 0 ” を出力する。このコンパレータ 4 2 8 の出力信号は、D フリップフロップ 4 2 9 の D 端子に入力される。ここで、コンパレータ 4 2 8 および D フリップフロップ 4 2 9 は、ラッチドコンパレータを構成している。

【 0 1 6 7 】

遅延回路 4 3 0 は、出力抵抗ダミー 4 2 6 および測定伝送路基準負荷 4 2 7 の接続点 P 1 に得られる比較基準信号 R E F を遅延させて出力し、ステップ波形信号 S T P の立ち上がり時点から所定時間だけ遅れた時点のタイミング信号 T M を発生する。タイミング信号 T M は、D フリップフロップ 4 2 9 のクロック端子 C K にラッチ信号として供給される。遅延回路 4 3 0 の遅延時間 T は、ケーブル 4 1 0 におけるインピーダンス測定ポイントに最適な時間に設定される。例えば、5 0 c m の地点を測定ポイントとしたい場合には、遅延時間 T は 5 n s に設定される。ここで、遅延回路 4 3 0 は、タイミング信号発生部を構成している。

10

【 0 1 6 8 】

D フリップフロップ 4 2 9 の Q 端子には、コンパレータ 4 2 8 の出力が、遅延回路 4 3 0 で発生されるタイミング信号 T M でラッチされて出力される。この D フリップフロップ 4 2 9 の Q 端子出力は検出出力 D E T として制御部 4 4 0 に供給される。

【 0 1 6 9 】

制御部 4 4 0 は、ケーブルインピーダンス検出時に、ステップ波形信号 S T P を検出部 4 2 0 に入力すると共に、検出部 4 2 0 から供給される検出出力 D E T に基づいて、ケーブル 4 1 0 のインピーダンスを判断する。

20

【 0 1 7 0 】

図 2 9 のフローチャートは、ケーブルインピーダンス検出時における制御部 4 4 0 の処理手順の一例を示している。制御部 4 4 0 は、ステップ S T 2 1 において、処理を開始し、ステップ S T 2 2 において、出力抵抗 4 2 3 の抵抗値 R を初期値 R 0 に設定する。この初期値 R 0 は、例えば、ケーブル 4 1 0 の想定インピーダンス（インピーダンス規格値）よりかなり低い値、例えば 1 / 2 倍程度の値に設定される。

【 0 1 7 1 】

次に、制御部 4 4 0 は、ステップ S T 2 3 において、ステップ波形信号 S T P を発生し、検出部 4 2 0 に入力する。そして、制御部 4 4 0 は、ステップ S T 2 4 において、時間 T の時間待ちを行い、その後、ステップ S T 2 5 の処理に移る。このステップ S T 2 5 において、制御部 4 4 0 は、検出出力 D E T が “ 1 ” であるか “ 0 ” であるかを判断する。

30

【 0 1 7 2 】

検出出力 D E T が “ 1 ” であるとき、制御部 4 4 0 は、ケーブル 4 1 0 の観測ポイントのインピーダンスは R より大きいと判断し、ステップ S T 2 6 において、出力抵抗 4 2 3 の抵抗値 R を R だけ大きくし、その後、ステップ S T 2 3 の処理に戻る。ここで、R は、段階的な大きさ判断のための抵抗値である。例えば、R は、ケーブル 4 1 0 の想定インピーダンス（インピーダンス規格値）の 1 / 1 0 程度の値に設定される。

【 0 1 7 3 】

また、ステップ S T 2 5 で検出出力 D E T が “ 0 ” であるとき、制御部 4 4 0 は、ステップ S T 2 7 の処理に移る。このステップ S T 2 7 において、ケーブル 4 1 0 の観測ポイントのインピーダンスとしては抵抗値 R が最適であると判断し、その後、ステップ S T 2 8 において、処理を終了する。

40

【 0 1 7 4 】

図 2 8 に示すケーブル検出回路 4 0 2 A の動作例を説明する。図 3 0 に示すように、ケーブル 4 1 0 の 5 0 c m 程度の地点を測定ポイントとし、遅延時間 T は 5 n s に設定されているものとする。

【 0 1 7 5 】

図 3 1 は、その場合における各部の信号波形を示している。すなわち、図 3 1 (a) は

50

信号 S P を示し、図 3 1 (b) は比較基準信号 R E F を示している。出力抵抗 R の初期値 R 0 はケーブル 4 1 0 の想定インピーダンス (インピーダンス規格値) よりかなり低い値に設定されているので、最初、図 3 1 (a) に実線で示すように、ステップ波形信号 S T P の入力後、信号 S P は比較基準信号 R E F より大きくなっている。

【 0 1 7 6 】

遅延回路 4 3 0 の遅延時間 T の初期値 T 0 は 5 n s であることから、タイミング信号 T M は、図 3 1 (c) に示すように、ステップ波形信号 S T P の立ち上がり時点 t 1 から 5 n s 経過後の時点 t 2 で立ち上がる。この時点 t 2 では、信号 S P は比較基準信号 R E F より大きく、コンパレータ 4 2 8 の出力は “ 1 ” となっている。そのため、タイミング信号 T M でコンパレータ 4 2 8 の出力がラッチされて得られた検出出力 D E T は、図 3 1 (d) に示すように、“ 1 ” となり、次の段階の検出処理が行われる。

10

【 0 1 7 7 】

次の段階の検出処理では、出力抵抗の抵抗値 R は、 R が加算されたものとされる。これにより、ステップ波形信号 S T P の入力後における信号 S P のレベルは低下する。この段階において、タイミング信号 T M の時点 t 2 で信号 S P のレベルが比較基準信号 R E F より大きいときには、検出出力 D E T は “ 1 ” となり、さらに次の段階の検出処理が行われる。

【 0 1 7 8 】

以下、同様の処理が繰り返し行われ、ある段階の検出処理では、図 3 1 (a) に破線で示すように、ステップ波形信号 S T P の入力後における信号 S P は比較基準信号 R E F より小さくなる。この場合、タイミング信号 T M の時点 t 2 で、信号 S P は比較基準信号 R E F より小さくなっており、コンパレータ 4 2 8 の出力は “ 0 ” となる。そのため、タイミング信号 T M でコンパレータ 4 2 8 の出力がラッチされて得られた検出出力 D E T は、図 3 1 (e) に示すように、“ 0 ” となる。したがって、制御部 4 4 0 は、出力端子 4 0 1 A に接続されているケーブル 4 1 0 の観測ポイントのインピーダンスとして、抵抗値 R が最適であると判断する。

20

【 0 1 7 9 】

なお、上述では遅延回路 2 3 0 の遅延時間 T を 5 n s とし、5 0 c m 程度の地点を観測ポイントとしたが、遅延時間 T を他の値とすることで、他の地点を観測ポイントとすることができる。また、上述では、 R は、ケーブル 4 1 0 の想定インピーダンス (インピーダンス規格値) の 1 / 1 0 程度の値に設定される旨説明したが、さらに小さな値に設定されることで、より精度の高い検出を行うことができる。

30

【 0 1 8 0 】

また、上述では、出力抵抗 4 2 3 の抵抗値 R を最初小さく設定しておき、検出出力 D E T が “ 1 ” の状態から “ 0 ” の状態になるまで、抵抗値 R を R ずつ段階的に大きくしていくことでケーブル 4 1 0 のインピーダンスを検出している。しかし、逆に、出力抵抗 4 2 3 の抵抗値 R を最初大きく設定しておき、検出出力 D E T が “ 0 ” の状態から “ 1 ” の状態になるまで、抵抗値 R を R ずつ段階的に小さくしていくことでケーブル 4 1 0 のインピーダンスを検出するようにしてもよい。

< 5 . 変形例 >

40

[ステップ波形信号発生部]

上述の第 1 の実施の形態のテレビ受信機 1 0 0 を構成する、図 6 に示すケーブル検出回路 1 1 5 (1 1 5 a ~ 1 1 5 c) は、ステップ波形信号発生部を有しておらず、ケーブル有無検出時に、制御部 1 0 5 からステップ波形信号 S T P が入力されるようになっている。しかし、このケーブル検出回路 1 1 5 の代わりに、図 3 2 に示すように、ステップ波形信号発生部 1 3 5 を有するケーブル検出回路 1 1 5 A を用いてもよい。

このケーブル検出回路 1 1 5 A においては、ステップ波形信号発生部 1 3 5 で発生されたステップ波形信号 S T P が、インバータ 1 2 1 , 1 2 2 の直列回路およびインバータ 1 2 4 , 1 2 5 の直列回路に入力される。詳細説明は省略するが、このケーブル検出回路 1 1 5 A のその他の構成は、ケーブル検出回路 1 1 5 と同様とされている。

50

ケーブル検出回路 115A のステップ波形信号発生部 135 は、制御部 105 から供給されるトリガ信号 TRG、あるいはレジスタ書き込み信号などにより、ステップ波形信号 STP の発生が指示される。なお、ステップ波形信号発生部 135 が、制御部 105 からステップ波形信号 STP の発生が指示されることなく、自発的にステップ波形信号 STP を発生する構成とすることもできる。

【比較基準信号】

上述の第 1 の実施の形態のテレビ受信機 100 を構成する、図 6 に示すケーブル検出回路 115 (115a ~ 115c) は、ステップ波形信号 STP を出力抵抗ダミー 126 および測定伝送路基準負荷 127 で分圧することで、比較基準信号 REF を発生させる構成となっている。しかし、このケーブル検出回路 115 の代わりに、図 33 に示すように、ステップ波形信号 STP の最大値 (立ち上がり後の電圧値) VS を、出力抵抗ダミー 126 および測定伝送路基準負荷 127 で分圧して比較基準信号 REF を発生させるようにしたケーブル検出回路 115B を用いてもよい。

10

このケーブル検出回路 115B においては、遅延回路 130 の入力側には、制御部 105 からケーブル検出回路 115B に入力されるステップ波形信号 STP が供給される。なお、インバータ 122 の出力側に得られる波形整形後のステップ波形信号 STP が遅延回路 130 に入力されてもよい。詳細説明は省略するが、このケーブル検出回路 115B のその他の構成は、ケーブル検出回路 115 と同様とされている。

なお、図 22 に示すケーブル検出回路 202A の検出部 220、図 28 に示すケーブル検出回路 402A の検出部 420 でも、ステップ波形信号 STP を出力抵抗ダミー 226, 426、および測定伝送路基準負荷 227, 427 で分圧することで比較基準信号 REF を発生させる構成となっている。しかし、これらに関しても、図 33 に示すケーブル検出回路 115B と同様に、ステップ波形信号 STP の最大値 (立ち上がり後の電圧値) VS を出力抵抗ダミーおよび測定伝送路基準負荷で分圧して比較基準信号 REF を発生させる構成とすることができる。

20

【産業上の利用可能性】

【0181】

この発明は、コネクタへのケーブル接続の有無を画面上で容易に確認可能としたものであり、HDMI コネクタ等のビデオ信号を伝送するケーブルが接続されるコネクタを備えるテレビ受信機等の画像表示装置に適用できる。また、この発明は、接続部への伝送路の接続の有無、接続部に接続された伝送路の長さ、接続部に接続された伝送路のインピーダンス等の伝送路状態を良好に検出できるものであり、送信 IC、メモリシステム等に適用できる。

30

【図面の簡単な説明】

【0182】

【図 1】この発明の第 1 の実施の形態としてのテレビ受信機の構成例を示すブロック図である。

【図 2】ソース機器の HDMI 送信部とシンク機器の HDMI 受信部の構成例を示すブロック図である。

【図 3】HDMI トランスミッタと HDMI レシーバの構成例を示すブロック図である。

40

【図 4】TMD S 伝送データの構造を示す図である。

【図 5】HDMI コネクタのピン配列 (タイプ A) を示す図である。

【図 6】ケーブル接続の有無を検出するためのケーブル検出回路の構成例を示す接続図である。

【図 7】ケーブル検出回路に入力されるステップ波形信号 STP の一例を示す図である。

【図 8】ケーブル検出回路の動作例を説明するための、ケーブル接続状態の一例 (ケーブル接続無し) を示す図である。

【図 9】ケーブル接続が無い場合におけるケーブル検出回路の各部の信号波形を示すタイミングチャートである。

【図 10】ケーブル検出回路の動作例を説明するための、ケーブル接続状態の他の例 (1

50

m以上のケーブル接続有り)を示す図である。

【図11】1m以上のケーブルの接続が有る場合におけるケーブル検出回路の各部の信号波形を示すタイミングチャートである。

【図12】ケーブル検出回路の動作例を説明するための、ケーブル接続状態の他の例(60cm程度のケーブル接続有り)を示す図である。

【図13】60cm程度のケーブルの接続が有る場合におけるケーブル検出回路の各部の信号波形を示すタイミングチャートである。

【図14】ケーブル有無検出時における制御部の処理手順の一例を示すフローチャートである。

【図15】ケーブル接続情報、あるいはアクティブ状態の外部機器の接続情報を用いるか否かを設定する設定時のユーザインタフェース画面の一例を示す図である。

10

【図16】テレビ受信機の各コネクタへの機器接続の一例を示すブロック図である。

【図17】外部入力を選択時に表示パネルに表示されるコネクタ表示を説明するための図である。

【図18】外部入力を選択時に表示パネルに表示されるコネクタ表示を説明するための図である。

【図19】外部入力を選択時に表示パネルに表示されるコネクタ表示を説明するための図である。

【図20】外部入力を選択時に表示パネルに表示されるコネクタ表示を説明するための図である。

20

【図21】この発明の第2の実施の形態としてのIC間通信システムの構成例を示すブロック図である。

【図22】ケーブル長を検出するためのケーブル検出回路の構成例を示す接続図である。

【図23】ケーブル長検出時における制御部の処理手順の一例を示すフローチャートである。

【図24】ケーブル検出回路の動作例を説明するための、ケーブル接続状態の一例(100cm程度のケーブルが接続されている)を示す図である。

【図25】100cm程度のケーブル接続が接続されている場合における、ケーブル検出回路の各部の信号波形を示すタイミングチャートである。

【図26】この発明の第3の実施の形態としてのメモリ回路の構成例を示すブロック図である。

30

【図27】この発明の第4の実施の形態としてのIC間通信システムの構成例を示すブロック図である。

【図28】ケーブルインピーダンスを検出するためのケーブル検出回路の構成例を示す接続図である。

【図29】ケーブルインピーダンス検出時における制御部の処理手順の一例を示すフローチャートである。

【図30】ケーブル検出回路の動作例を説明するための、ケーブル接続状態の一例(測定ポイントが50cm程度)を示す図である。

【図31】測定ポイントが50cm程度である場合における、ケーブル検出回路の各部の信号波形を示すタイミングチャートである。

40

【図32】ケーブル検出回路の他の構成例を示すブロック図である。

【図33】ケーブル検出回路の他の構成例を示すブロック図である。

【符号の説明】

【0183】

100・・・テレビ受信機、101, 101a~101c・・・HDMIコネクタ、102a~102c・・・コンポーネントビデオコネクタ、103a~103c・・・コンポジットビデオコネクタ、104・・・PCコネクタ、105・・・制御部、105a・・・DRAM、106・・・ユーザ操作部、107・・・HDMIスイッチャ、108・・・HDMI受信部、109・・・ビデオスイッチャ、110・・・アンテナ端子、11

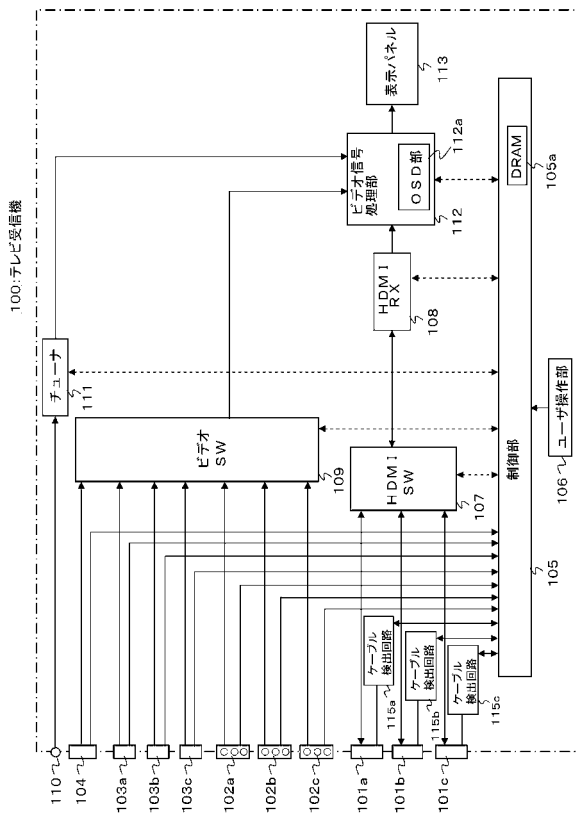
50

1・・・チューナ、112・・・ビデオ信号処理部、112a・・・OSD回路、113
 ・・・表示パネル、115,115A,115B,115a~115c・・・ケーブル検
 出回路、121,122,124,125・・・インバータ、123・・・出力抵抗、1
 26・・・出力抵抗ダミー、127・・・測定伝送路基準負荷、128・・・コンパレー
 タ、129・・・Dフリップフロップ、130・・・遅延回路、135・・・ステップ波
 形信号発生部、150・・・HDMIケーブル、171・・・BDレコーダ、172・・・
 AVアンプ、173,174・・・DVDレコーダ、175・・・ゲーム機、176・・・
 VTR、200・・・IC間通信システム、200A・・・送信IC、200B・・・
 受信IC、201A・・・出力端子、201B・・・入力端子、202A・・・ケーブ
 ル検出回路、210・・・ケーブル、220・・・検出部、221,222,224,2
 25・・・インバータ、223・・・出力抵抗、226・・・出力抵抗ダミー、227・・・
 測定伝送路基準負荷、228・・・コンパレータ、229・・・Dフリップフロップ
 、230・・・遅延回路、240・・・制御部、300・・・メモリ回路、300A・・・
 メモリコントローラ、300B・・・メモリモジュール、301A-1~301A-n・・・
 ケーブル検出回路、310・・・バスライン、400・・・IC間通信システム、40
 0A・・・送信IC、400B・・・受信IC、401A・・・出力端子、401B・・・
 入力端子、402A・・・ケーブル検出回路、410・・・ケーブル、420・・・検
 出部、421,422,424,425・・・インバータ、423・・・出力抵抗、42
 6・・・出力抵抗ダミー、427・・・測定伝送路基準負荷、428・・・コンパレータ
 、429・・・Dフリップフロップ、430・・・遅延回路、440・・・制御部

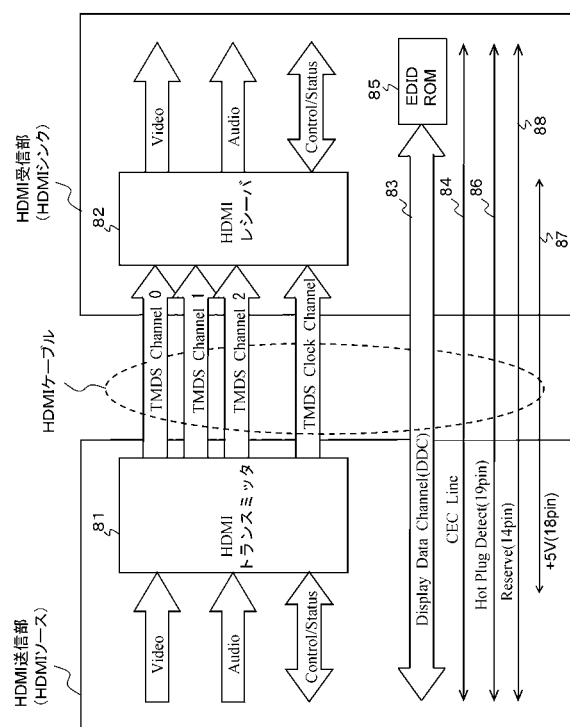
10

20

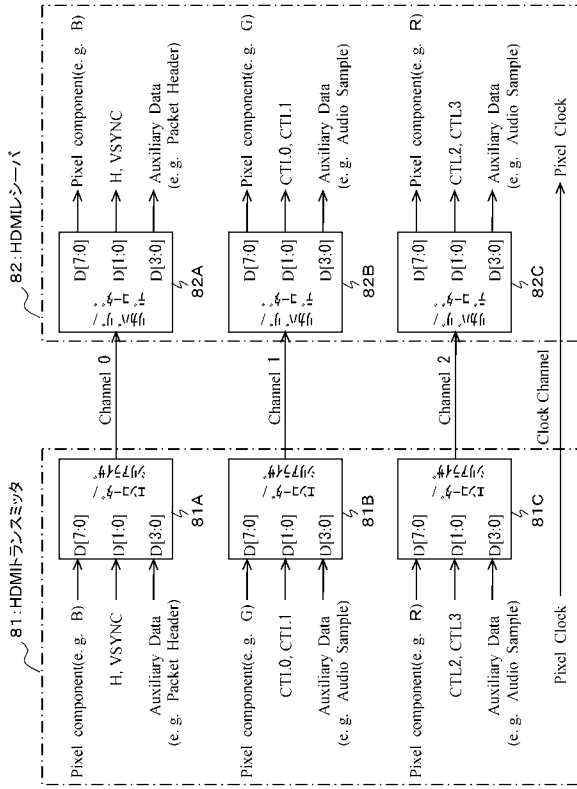
【図1】



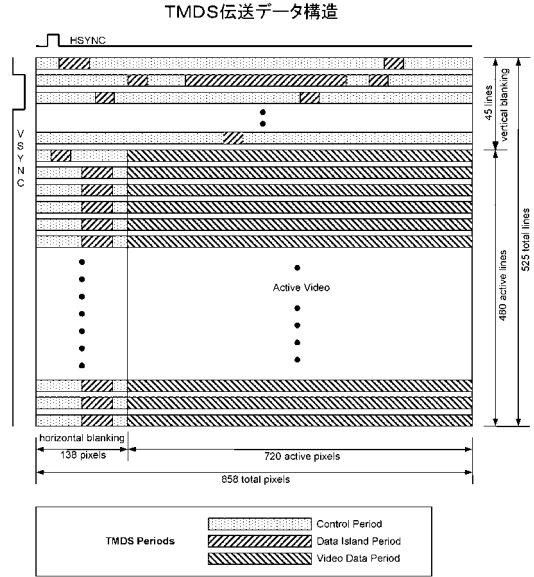
【図2】



【 図 3 】



【 図 4 】

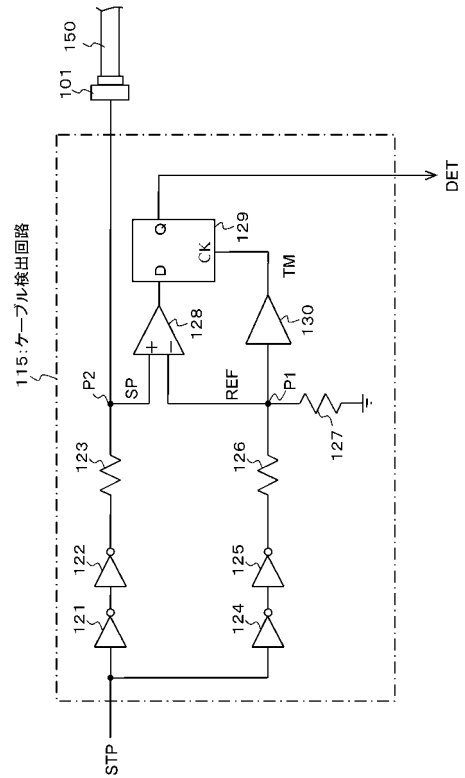


【 図 5 】

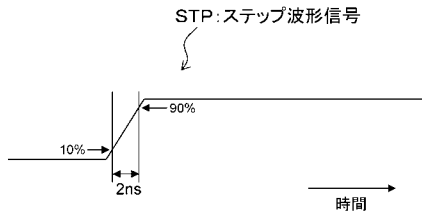
HDMIピン配列 (Type-Aの場合)

PIN	Signal Assignment	PIN	Signal Assignment
1	TMDS Data2+	2	TMDS Data2 Shield
3	TMDS Data2-	4	TMDS Data1+
5	TMDS Data1 Shield	6	TMDS Data1-
7	TMDS Data0+	8	TMDS Data0 Shield
9	TMDS Data0-	10	TMDS Clock+
11	TMDS Clock Shield	12	TMDS Clock-
13	CEC	14	Reserved (N.C. on device)
15	SCL	16	SDA
17	DDC/CEC Ground	18	+5V Power
19	Hot Plug Detect		

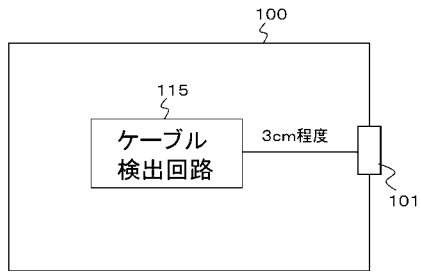
【 図 6 】



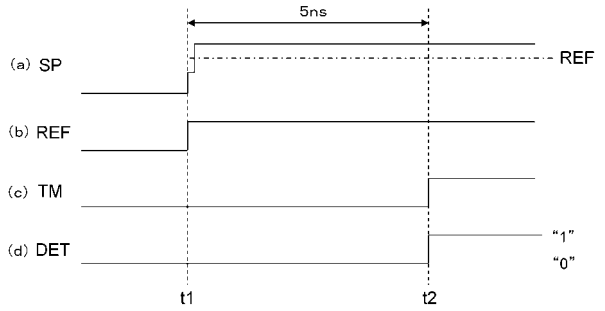
【図7】



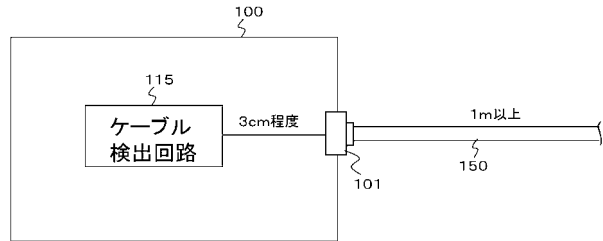
【図8】



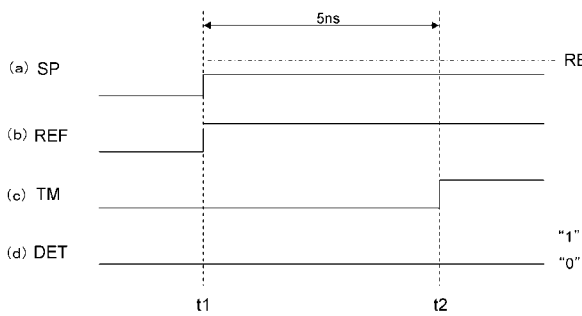
【図9】



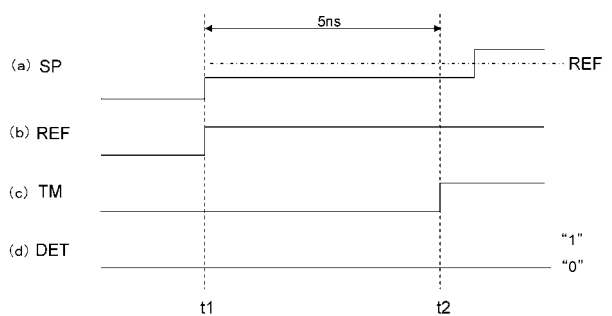
【図10】



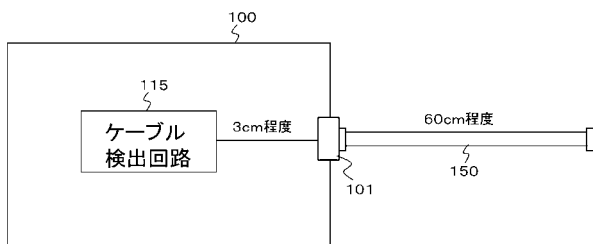
【図11】



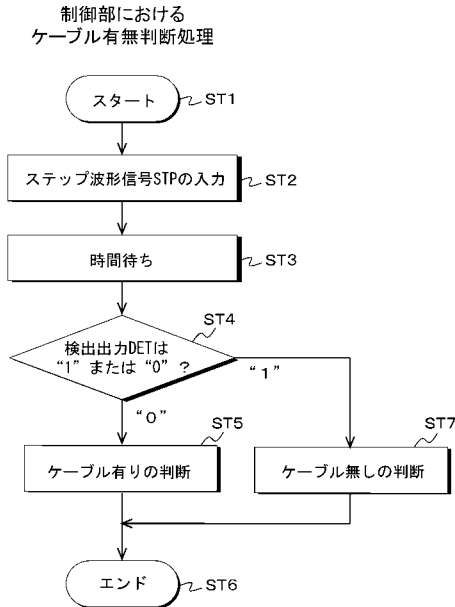
【図13】



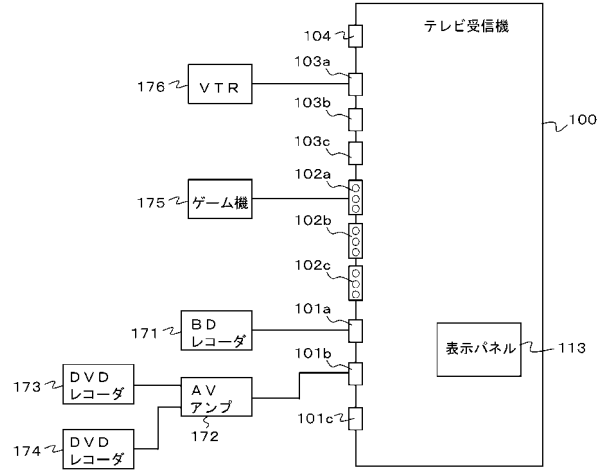
【図12】



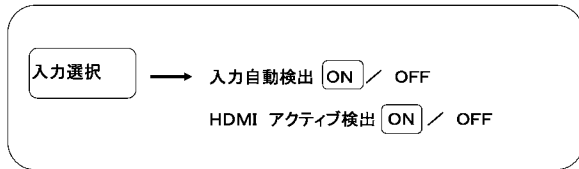
【図14】



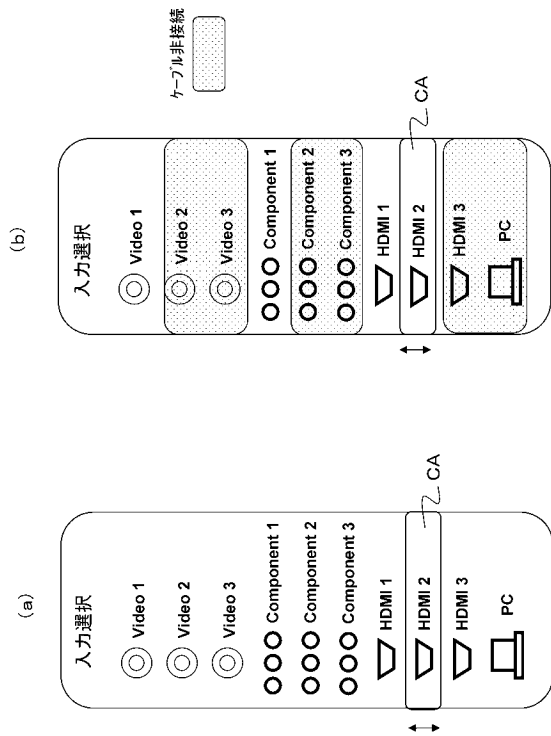
【図16】



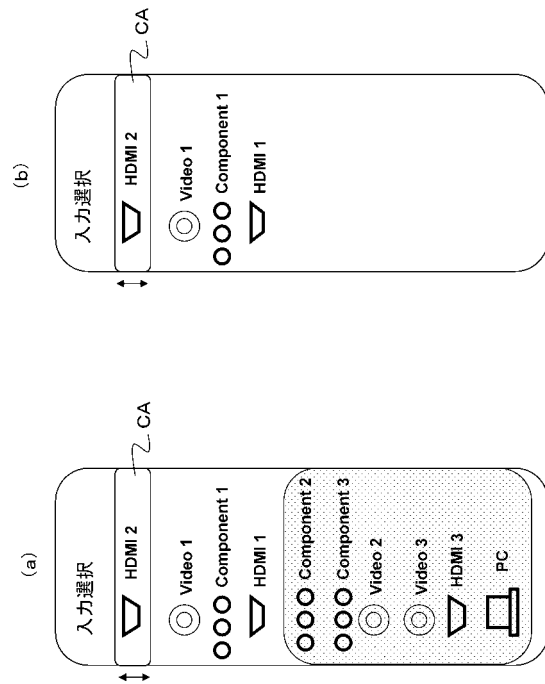
【図15】



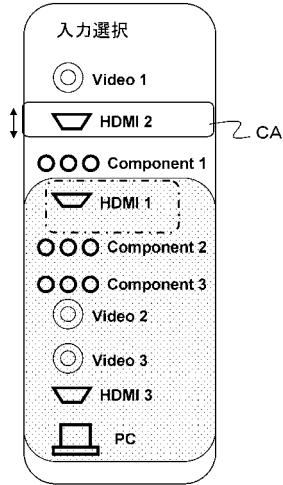
【図17】



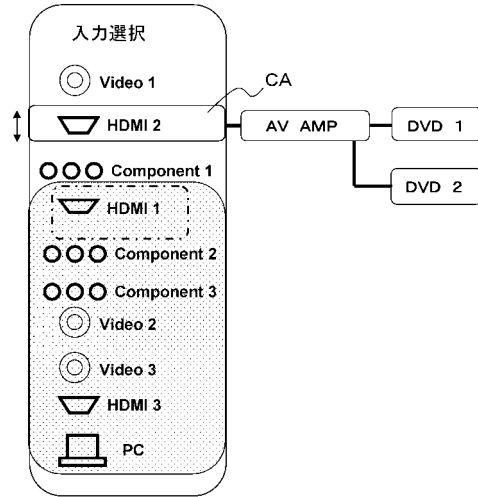
【図18】



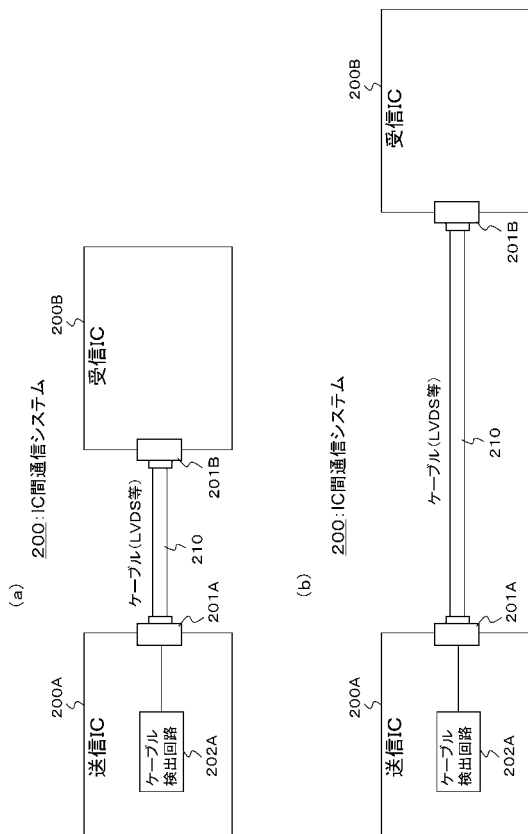
【図19】



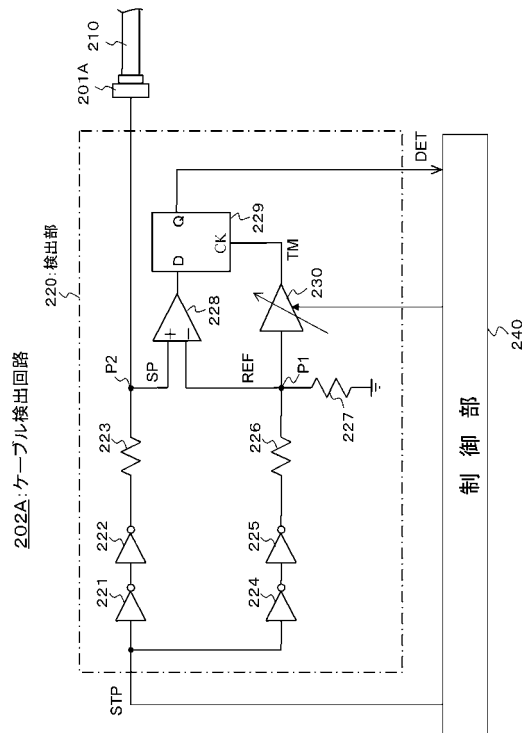
【図20】



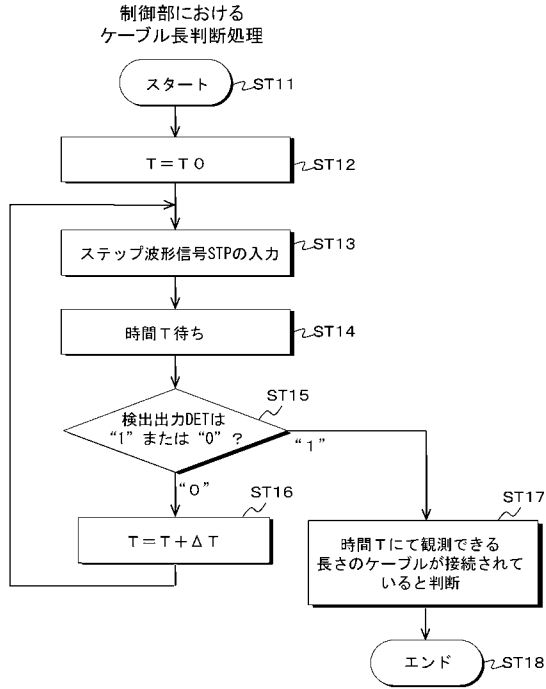
【図21】



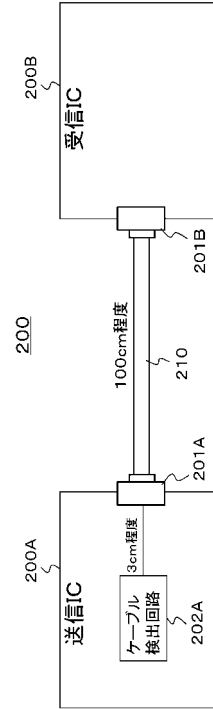
【図22】



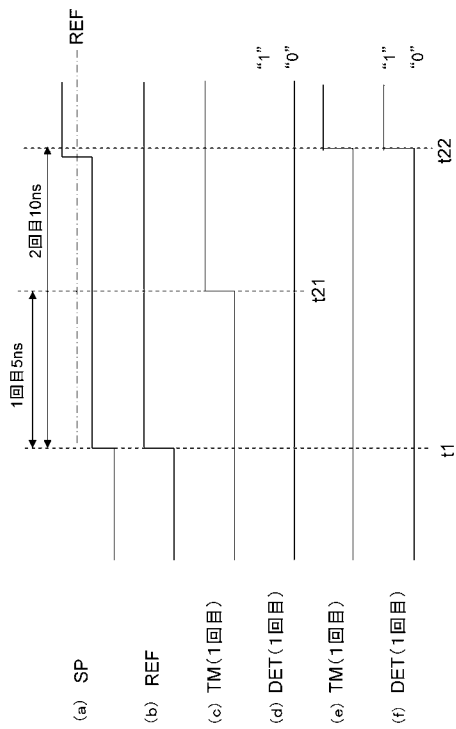
【図 2 3】



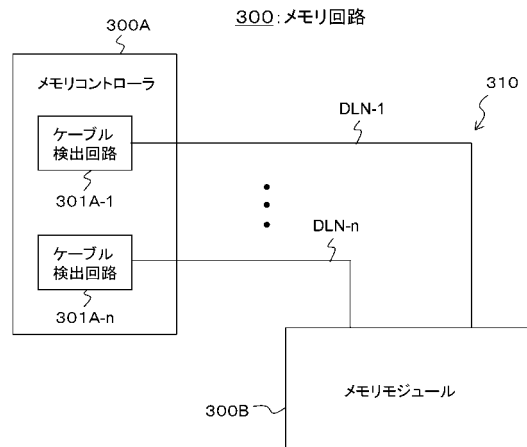
【図 2 4】



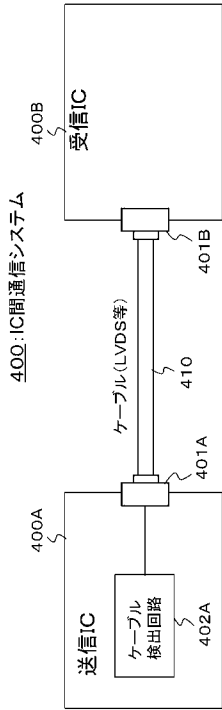
【図 2 5】



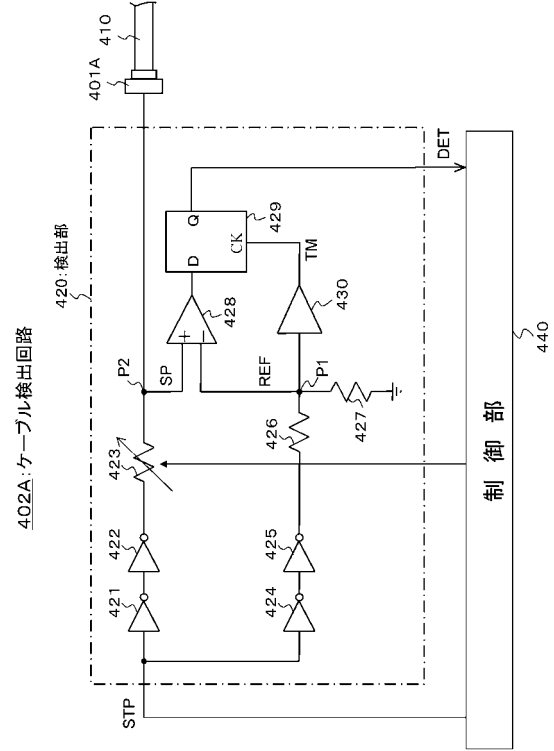
【図 2 6】



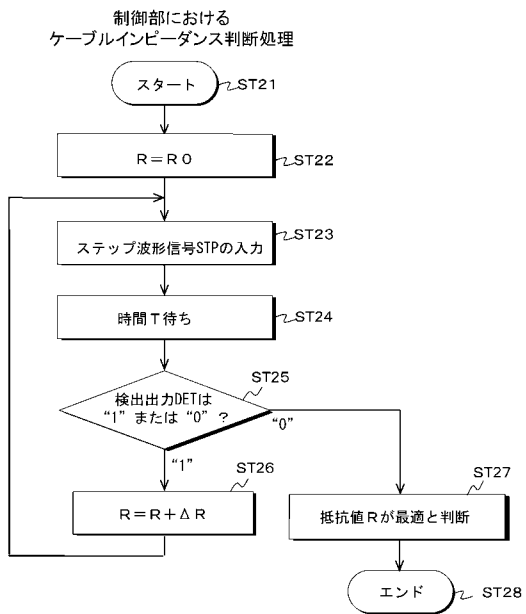
【図 27】



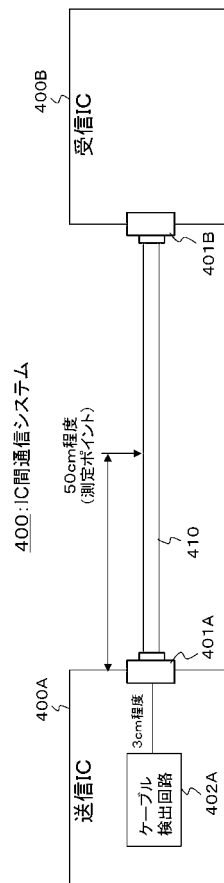
【図 28】



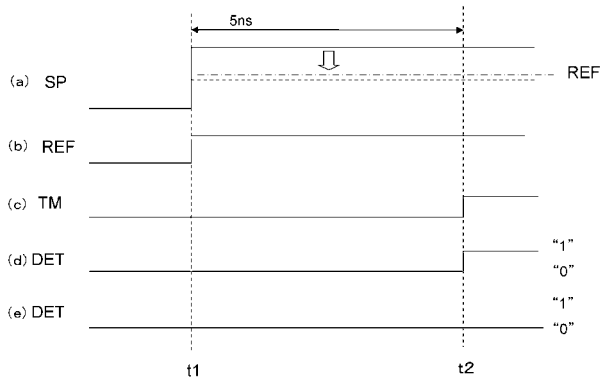
【図 29】



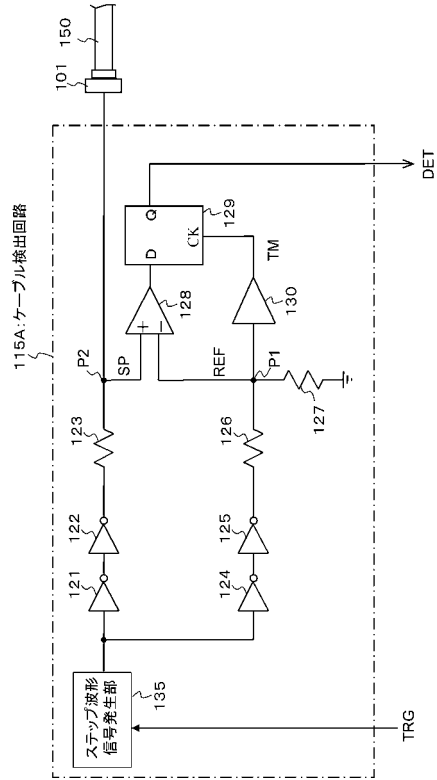
【図 30】



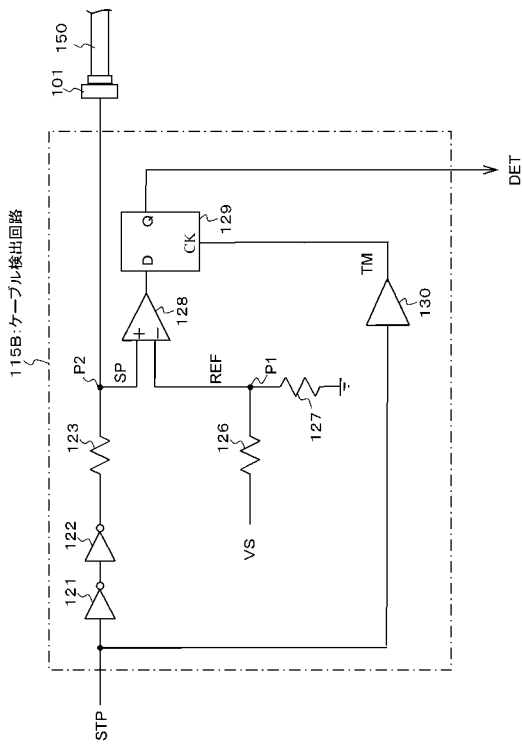
【図 3 1】



【図 3 2】



【図 3 3】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 5/00 5 1 0 C
G 0 9 G 5/00 5 5 0 C

(72)発明者 菊池 秀和
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 山崎 慎一

(56)参考文献 特開2008-067284(JP,A)
特開昭58-082324(JP,A)
特開平04-123775(JP,A)
特開平05-277063(JP,A)
特開平02-124126(JP,A)
特開昭62-159260(JP,A)
特開昭62-136978(JP,A)
特開2001-103440(JP,A)
特開2007-134956(JP,A)
特開2007-271374(JP,A)
特開2007-225980(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 6 F 3 / 1 4
G 0 6 F 3 / 1 5 3
G 0 9 G 5 / 0 0
G 0 9 G 5 / 3 6
H 0 4 N 7 / 1 7 3