

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4553643号
(P4553643)

(45) 発行日 平成22年9月29日 (2010.9.29)

(24) 登録日 平成22年7月23日 (2010.7.23)

(51) Int. Cl.

F I

G02F	1/133	(2006.01)	G02F	1/133	520
G09G	3/20	(2006.01)	G09G	3/20	611C
G09G	3/36	(2006.01)	G09G	3/20	621M
			G09G	3/20	622B
			G09G	3/20	623B

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-192056 (P2004-192056)
 (22) 出願日 平成16年6月29日 (2004.6.29)
 (65) 公開番号 特開2006-11310 (P2006-11310A)
 (43) 公開日 平成18年1月12日 (2006.1.12)
 審査請求日 平成19年6月15日 (2007.6.15)

(73) 特許権者 000103747
 オプトレックス株式会社
 東京都荒川区東日暮里五丁目7番18号
 (74) 代理人 100103090
 弁理士 岩壁 冬樹
 (74) 代理人 100124501
 弁理士 塩川 誠人
 (72) 発明者 権藤 賢二
 東京都荒川区東日暮里5丁目7番18号
 オプトレックス株式会社内

審査官 藤田 都志行

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素を有し画素に電圧が印加されることにより画像を表示する液晶表示装置の駆動装置であって、

画素に対応する透明電極の電位を設定するドライバ装置と、

前記ドライバ装置に画像データを示す信号および制御信号を送信する駆動部とを備え、

前記駆動部は、

電源回路から電圧を供給される電圧供給端子と、

当該駆動部と前記ドライバ装置とを接続させる配線によって放電される電荷を放出する電荷放出端子と、

前記電源回路から電圧を供給する電源配線と前記電圧供給端子との間に配設され、所定の周波数の信号のレベルを低減させる第1のフィルタと、

前記電荷放出端子と接地点との間に配設され、前記所定の周波数と同一の周波数の信号のレベルを低減させる第2のフィルタとを含み、

前記第1のフィルタおよび前記第2のフィルタは、それぞれ、並列に接続されたコンデンサとフェライトビーズとを有し、

前記第1のフィルタのコンデンサの静電容量と前記第2のフィルタのコンデンサの静電容量は等しく、前記第1のフィルタのフェライトビーズのインダクタンスと前記第2のフィルタのフェライトビーズのインダクタンスは等しく、

前記駆動部から前記ドライバ装置に送信する各信号は、前記第1のフィルタによって前

記所定の周波数のレベルが低減された信号である

ことを特徴とする液晶表示装置の駆動装置。

【請求項 2】

レベルを低減される信号の周波数を f_r とし、第 1 のフィルタおよび第 2 のフィルタが有するコンデンサの静電容量を C とし、第 1 のフィルタおよび第 2 のフィルタが有するフェライトビーズのインダクタンスを L としたときに、

$$1 / (C \cdot L) = f_r \cdot 2$$

を満足する

請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 3】

第 1 のフィルタおよび第 2 のフィルタは、それぞれ 2 種類の周波数の信号のレベルを低減させ、

前記 2 種類の周波数の中間の周波数を f_x とし、第 1 のフィルタおよび第 2 のフィルタが有するコンデンサの静電容量を C とし、第 1 のフィルタおよび第 2 のフィルタが有するフェライトビーズのインダクタンスを L としたときに、

$$1 / (C \cdot L) = f_x \cdot 2$$

を満足する

請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 4】

第 1 のフィルタおよび第 2 のフィルタは、それぞれ、駆動部がドライバ装置に送信する信号の基本周波数を f としたときに周波数が $5 \cdot f$ である信号のレベルを低減させる

請求項 1 から請求項 3 のうちのいずれか 1 項に記載の液晶表示装置の駆動装置。

【請求項 5】

第 1 のフィルタおよび第 2 のフィルタは、それぞれ、駆動部がドライバ装置に送信する信号の基本周波数を f としたときに周波数が $7 \cdot f$ である信号のレベルを低減させる

請求項 1 から請求項 3 のうちのいずれか 1 項に記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動装置に関し、特に不要輻射（不要な電磁波の放射）を低減させることができる液晶表示装置の駆動装置に関する。

【背景技術】

【0002】

画素がマトリクス状に配置された液晶表示装置は、各行を順に選択され、選択された行の各画素に、各画素の画像データに応じた電圧が印加されることによって画像を表示する。そのため、液晶表示装置の駆動装置は、各行を順次選択するためのドライバと、選択行の画素に画像データに応じた電圧を印加するためのドライバとを備える。TFT (Thin Film Transistor) 液晶表示装置の駆動装置の場合には、ゲート配線を順次選択してゲート配線を走査するゲートドライバを備える。また、ソース配線の電位を設定し、選択されたゲート配線に対応する行の画素に電圧を印加するソースドライバを備える。以下、TFT 液晶表示装置の駆動装置を例にして説明する。

【0003】

図 5 は、TFT 液晶表示装置およびその駆動装置が配置されたパネルの例を示す説明図である。図 5 (a) は、パネルの背面を示し、図 5 (b) は、パネルの前面を示す。なお、前面とは、観察者によって画像を観察される側の面であり、背面は、前面の裏側の面である。パネルの前面には、TFT 液晶表示装置 101、ゲートドライバ 102、ソースドライバ 103、および配線接続部 104 が配置されている。ゲートドライバ 102 およびソースドライバ 103 は、IC として形成されているので、以下、ゲートドライバ IC 102、ソースドライバ IC 103 と記す。配線接続部 104 は、パネルの背面に配置されている配線 106 と、ゲートドライバ IC 102 およびソースドライバ IC 103 とを接

10

20

30

40

50

続させる。

【 0 0 0 4 】

パネルの背面には、ゲートドライバ I C 1 0 2 およびソースドライバ I C 1 0 3 を制御する駆動 I C (タイミングコントローラと呼ばれる場合もある。) 1 0 5 が配置される。駆動 I C 1 0 5 には配線 1 0 6 が接続されている。配線 1 0 6、配線接続部 1 0 4 に達するように配置されている。

【 0 0 0 5 】

駆動 I C 1 0 5 は、ソースドライバ I C 1 0 3 に対して、配線 1 0 6 を介して画像データおよびクロック信号を送信する。例えば、画像データを 6 ビットで表し、画像データに R (赤色)、G (緑色) および B (青色) の 3 色のデータが含まれているとする。すると、画像データの送信のために、 $6 \times 3 = 18$ 本の配線が必要となる。また、その配線とは別にクロック信号を送信するための配線も必要になるので、駆動 I C 1 0 5 とソースドライバ I C 1 0 3 との間には、19 本の配線が必要になる。画像データを 6 ビットで表す V G A (Video Graphics Array) の場合、例えば、クロック信号の周波数は 25 MHz であり、画像データ信号の周波数は、最大で 12.5 MHz である。

10

【 0 0 0 6 】

駆動 I C 1 0 5 がクロック信号や画像データを送信する場合、輻射 (電磁波の放射) が生じ、輻射に起因して他の機器が誤動作するという問題があった。この問題を解決するために、輻射を低減させるためのフィルタが各配線 1 0 6 に設けられていた。このように、各配線にフィルタを設ける構成については、例えば、特許文献 1 に記載されている。フィルタを設けることにより、不要な輻射を生じさせる高周波数の信号のレベルを低減させ、輻射を抑えることができる。

20

【 0 0 0 7 】

図 6 は、個々の配線上に設けられるフィルタの構成の例を示す説明図である。図 6 (a) ~ (c) は、それぞれ駆動 I C 1 0 5 およびソースドライバ I C 1 0 3 との間の配線 1 0 6 に設けられたフィルタの各種構成を示している。なお、図 6 (a) ~ (c) では、それぞれ 1 本の配線のみを示しているが、各配線 1 0 6 に同様のフィルタが設けられている。また、各配線 1 0 6 は、駆動 I C 1 0 5 に設けられた出力ピン (接続端子) 1 1 1 を介して駆動 I C 1 0 5 に接続される。同様に、各配線 1 0 6 は、ソースドライバ I C 1 0 3 に設けられた入力ピン 1 1 2 を介してソースドライバ I C に接続される。

30

【 0 0 0 8 】

図 6 (a) に例示するフィルタは、抵抗 1 1 4 とコンデンサ 1 1 5 とを備える。コンデンサ 1 1 5 の一方の電極は、配線 1 0 6 に接続され、もう一方の電極は例えば接地される。

【 0 0 0 9 】

図 6 (b) に例示するフィルタは、フェライトビーズ 1 1 8 とコンデンサ 1 1 9 とを備える。コンデンサ 1 1 9 の一方の電極は、配線 1 0 6 に接続され、もう一方の電極は例えば接地される。

【 0 0 1 0 】

図 6 (c) に例示するフィルタは、フェライトビーズ 1 2 1 によって構成される。

40

【 0 0 1 1 】

図 7 は、駆動 I C 1 0 5 と配線 1 0 6 との接続部、およびソースドライバ I C 1 0 3 と配線 1 0 6 との接続部の構成を示す説明図である。なお、図 7 では、フィルタとして抵抗 1 1 4 およびコンデンサ 1 1 5 を設けている場合を例にして示している。

【 0 0 1 2 】

駆動 I C 1 0 5 における配線 1 0 6 との接続部 1 3 1 は、例えば出力バッファ 1 3 2 と、N 型 C M O S (Complementary Metal Oxide Semiconductor) 1 3 3 と、P 型 C M O S 1 3 4 と、出力ピン 1 1 1 とを含んでいる。出力バッファ 1 3 2 と N 型 C M O S 1 3 3 は直列に接続される。そして、P 型 C M O S 1 3 4 は、出力バッファ 1 3 2 および N 型 C M O S 1 3 3 に対して並列に接続される。また、P 型 C M O S 1 3 4 および N 型 C M O S 1

50

33は、それぞれ出力ピン111を介して配線106に接続される。本例では、図6(a)に示す場合と同様に、配線106上にフィルタとして抵抗114とコンデンサ115とが設けられている。

【0013】

接続部131は、各配線106と一対一に対応するようにして、各配線毎に設けられる。例えば、配線106が19本存在する場合には、19組の接続部131が設けられる。そして、隣り合う接続部131において、一方の接続部131のP型CMOS134が、もう一方の接続部131のN型CMOS133に接続される。なお、一番端に位置する接続部(図示せず。)のP型CMOS134は、電源ピン141を介して、電源配線142と接続される。電源配線142は、駆動IC105に電圧を供給する電源回路(図示せず。)と、駆動IC105とを接続させる配線である。また、もう一方の端に位置する接続部(図示せず。)のN型CMOS133は、接地ピン151を介して接地される。

10

【0014】

また、ソースドライバIC103は、各配線106と一対一に対応するようにして、入力ピン112と、入力バッファ171とを備える。個々の配線106は、ソースドライバIC103に設けられた入力ピン112を介して入力バッファ171に接続される。ソースドライバIC103には、各配線106毎に入力容量172が形成される。

【0015】

なお、パネルの背面において、配線106としてFPC(Flexible Printed Circuit)が用いられる。FPCは、基材上に銅箔が形成され、その上層に絶縁膜が成膜される。配線106は、その絶縁膜上に配置される。従って、配線106と絶縁膜と銅箔とによりキャパシタが形成される。図7に示すキャパシタ181は、配線106と絶縁膜と銅箔により形成されるキャパシタを表している。

20

【0016】

なお、駆動IC105がソースドライバIC103に画像データやクロック信号を送信する場合、出力バッファ132が、配線106を介して画像データやクロック信号を出力する。このとき、出力バッファ132は、例えば、キャパシタ181と入力容量172に対する充電を行う。すなわち、出力バッファ132の負荷は、例えばキャパシタ181および入力容量172それぞれの静電容量の和になる。また、キャパシタ181や入力容量172に蓄積された電荷の放電時には、配線106を介して放電される電荷を、接地ピン151を介して放出する。

30

【0017】

図8は、キャパシタ181や入力容量172の充放電を行うときの理想的な電圧変化を示す説明図である。例えば、コンデンサ(キャパシタ)の電極間の電圧をE(V)に上昇させる場合、図8に示すように矩形波となることが好ましい。図7に示す構成では、コンデンサ(キャパシタ)の電極間の電圧を上昇させるときの波形が矩形波に近づくようにするため、送信する画像データに依らず、電源ピン141側から接地ピン151側に電流を流している。この電流をアイドル電流と呼ぶ。

【0018】

【特許文献1】特開2000-330520号公報(段落0005、段落0026、図6、図8)

40

【発明の開示】

【発明が解決しようとする課題】

【0019】

データ信号の受け渡しには、立ち上がりと立ち下がりの急峻な矩形波が理想的であるが、このような矩形波が輻射の原因となる。そこで、配線106にフィルタを設ける必要がある。また、特許文献1に記載されているような従来の駆動装置の構成では、各配線毎にフィルタを設ける。従って、フィルタの数が多くなり、部品点数が多くなってしまいう問題がある。

【0020】

50

また、図6(a)に示すように抵抗114とコンデンサ115とをフィルタとして用いた場合、所望の高周波数の信号だけでなく、レベルを低減すべきでない周波数の信号のレベルも低減させてしまう。例えば、駆動IC105が25MHzの信号を出力したとする。このとき、この周波数の3倍の周波数の信号(3次高調波信号)、5倍の周波数の信号(5次高調波信号)、7倍の周波数の信号(7次高調波信号)、・・・も出力される。キャパシタ181や入力容量172に対する充放電を行うときの波形をできるだけ所望の波形(矩形波)に近づけつつ、輻射を低減するには、所望の高周波数の信号のレベルのみを低減させることが好ましい。しかし、抵抗114とコンデンサ115とをフィルタとした場合、基本周波数の信号(本例では25MHzの信号)も含む各周波数の信号のレベルが抑えられてしまう。図9は、この状況を示す説明図である。図9に示す破線は、フィルタにより低減される各周波数の信号のレベルを示す。図9に示すように、高周波数になるほど、信号レベルの低下量は大きくなる。しかし、高周波数の信号だけでなく基本周波数の信号のレベルまで抑えられてしまう。この結果、矩形波のレベルの低下と歪が生じることになり、表示に不具合が発生する。すなわち、キャパシタ181や入力容量172に対する充放電を行うときの波形はなだらかに変化する。このような問題は、抵抗114およびコンデンサ115をフィルタとした場合(図6(a)参照。)だけでなく、フェライトビーズ121をフィルタとした場合(図6(c)参照。)にも生じる。

10

【0021】

なお、図6(b)に示すように、フィルタとしてフェライトビーズ118とコンデンサ119とを用いる場合、フェライトビーズ118のインダクタンスおよびコンデンサ119の静電容量の値によっては、充電時に所望の周波数の信号のレベルのみを低減させることができる。しかし、放電時には所望の周波数の信号のレベルのみを低減させることはできない。

20

【0022】

また、駆動装置を設計する際、配線106のインピーダンスを所望の値に定めたい場合がある。例えば、図7に示す構成において、電源ピン141からP型CMOS134までのインピーダンス、n型CMOS133から接地ピン151までのインピーダンス、およびソースドライバICにおける入力ピン112から入力バッファ171までのインピーダンスがそれぞれ50Ωであるとする。このとき、配線106のインピーダンスも50Ωに定めることが好ましい。しかし、図6に例示するような各種フィルタを設けると、配線106のインピーダンスが50Ωになるように設計する作業が複雑化してしまう。

30

【0023】

そこで、本発明は、所望の周波数の信号レベルのみを低減できる液晶表示装置の駆動装置を提供することを目的とする。また、少ない部品点数で実現することができる液晶表示装置の駆動装置を提供することを目的とする。また、配線のインピーダンスを所望の値に定めやすい液晶表示装置の駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0024】

本発明による態様1は、複数の画素を有し画素に電圧が印加されることにより画像を表示する液晶表示装置の駆動装置であって、画素に対応する透明電極の電位を設定するドライバ装置と、ドライバ装置に画像データおよび制御信号を送信する駆動部とを備え、駆動部が、電源回路から電圧を供給される電圧供給端子と、当該駆動部とドライバ装置とを接続させる配線によって放電される電荷を放出する電荷放出端子と、電源回路から電圧を供給する電源配線と電圧供給端子との間に配設され、所定の周波数の信号のレベルを低減させる第1のフィルタと、電荷放出端子と接地点との間に配設され、前記所定の周波数と同一の周波数の信号のレベルを低減させる第2のフィルタとを含み、第1のフィルタおよび第2のフィルタが、それぞれ、並列に接続されたコンデンサとフェライトビーズとを有し、第1のフィルタのコンデンサの静電容量と第2のフィルタのコンデンサの静電容量が等しく、第1のフィルタのフェライトビーズのインダクタンスと第2のフィルタのフェライトビーズのインダクタンスが等しく、駆動部からドライバ装置に送信する各信号が、第1

40

50

のフィルタによって前記所定の周波数のレベルが低減された信号であることを特徴とする液晶表示装置の駆動装置を提供する。

【0026】

本発明による態様2は、態様1において、レベルを低減される信号の周波数を f_r とし、第1のフィルタおよび第2のフィルタが有するコンデンサの静電容量を C とし、第1のフィルタおよび第2のフィルタが有するフェライトビーズのインダクタンスを L としたときに、 $1 / (C \cdot L) = f_r \cdot 2$ を満足する液晶表示装置の駆動装置を提供する。そのような液晶表示装置の駆動装置によれば、所望の周波数の信号のレベルのみを低減させることができる。

【0027】

本発明による態様3は、態様1において、第1のフィルタおよび第2のフィルタが、それぞれ2種類の周波数の信号のレベルを低減させ、2種類の周波数の中間の周波数を f_x とし、第1のフィルタおよび第2のフィルタが有するコンデンサの静電容量を C とし、第1のフィルタおよび第2のフィルタが有するフェライトビーズのインダクタンスを L としたときに、 $1 / (C \cdot L) = f_x \cdot 2$ を満足する液晶表示装置の駆動装置を提供する。そのような液晶表示装置の駆動装置によれば、所望の周波数の信号のレベルのみを低減させることができる。

【0028】

本発明による態様4は、態様1から態様3のいずれかにおいて、第1のフィルタおよび第2のフィルタが、それぞれ、駆動部がドライバ装置に送信する信号の基本周波数を f としたときに周波数が $5 \cdot f$ である信号のレベルを低減させる液晶表示装置の駆動装置を提供する。

【0029】

本発明による態様5は、態様1から態様3のいずれかにおいて、第1のフィルタおよび第2のフィルタが、それぞれ、駆動部がドライバ装置に送信する信号の基本周波数を f としたときに周波数が $7 \cdot f$ である信号のレベルを低減させる液晶表示装置の駆動装置を提供する。

【発明の効果】

【0030】

本発明によれば、駆動部が、電圧供給端子に接続され、所定の周波数の信号のレベルを低減させる第1のフィルタと、電荷放出端子に接続され、所定の周波数の信号のレベルを低減させる第2のフィルタとを含む。従って、駆動部とドライバ装置とを接続させる複数の各配線に対してそれぞれフィルタを設けなくても、輻射を低減させることができる。そして、電圧供給端子および電荷放出端子にそれぞれ第1のフィルタと第2のフィルタが接続される構成であるので、フィルタを設ける箇所は2箇所済む。従って、フィルタとして用いる部品数を削減することができる。また、駆動部とドライバ装置とを接続させる配線上にはフィルタを設けないので、配線のインピーダンスを所望の値に定めやすい。

【発明を実施するための最良の形態】

【0031】

以下、本発明を実施するための最良の形態を、図面を参照して説明する。以下の説明では、液晶表示装置がTFT液晶表示装置である場合を例に説明する。TFT液晶表示装置およびその駆動装置が配置されたパネルの構成は、図5に示す構成と同様の構成である。ただし、以下の説明では、駆動IC、ソースドライバIC、およびパネルの背面に配置される配線に、図5とは異なる符号を付して表す。

【0032】

TFT液晶表示装置は、マトリクス状に配置された画素を有する。また、TFT液晶表示装置は、例えば1つのコモン電極と、各画素に対応する複数の透明電極を備えている。TFT液晶表示装置は、ゲートドライバICによって、各行に対応するゲート配線を選択されることにより、各行が選択される。また、ソースドライバIC3(図1参照。)が、選択行の画像データに応じて、各列のソース配線の電位を設定することにより、TFTを

10

20

30

40

50

介して、選択行の各画素に対応する透明電極の電位を設定する。この結果、画素に電圧が印加される。各行が選択され、各行の画素に電圧が印加されることによって、TFT液晶表示装置は画像を表示する。

【0033】

図1は、駆動IC5と配線6との接続部、およびソースドライバIC3と配線6との接続部の構成を示す説明図である。図1に示すように、駆動IC5における配線6との接続部31は、出力バッファ32と、N型CMOS33と、P型CMOS34と、出力ピン(接続端子)11とを含んでいる。出力バッファ32とN型CMOS33は直列に接続される。そして、P型CMOS34は、出力バッファ32およびN型CMOS33に対して並列に接続される。また、P型CMOS34およびN型CMOS33は、それぞれ出力ピン11を介して配線6に接続される。本発明の構成では、配線6には輻射低減のためのフィルタは設けない。

10

【0034】

接続部31は、各配線6と一対一に対応するようにして、各配線毎に設けられる。例えば、6ビットで表されR、GおよびBのデータを含む画像データと、クロック信号とを送受信する場合、駆動IC5とソースドライバIC3とは19本の配線6によって接続される。この場合、19組の接続部31が駆動IC5に設けられる。クロック信号は、ソースドライバIC3を制御する制御信号であり、具体的には、ソースドライバIC3が駆動IC5から画像データを取得するタイミングを規定する信号である。

【0035】

20

そして、隣り合う接続部31において、一方の接続部31のP型CMOS34が、もう一方の接続部31のN型CMOS33に接続される。なお、一番端に位置する接続部(図示せず。)のP型CMOS34は、電源ピン41を介して第1のフィルタ(コンデンサ81およびフェライトビーズ82)と接続されている。また、この第1のフィルタは、電源配線42に接続されている。電源配線42は、駆動IC5に電圧を供給する電源回路(図示せず。)と、駆動IC5とを接続させる配線である。電源ピン41は、電源回路(図示せず。)から電圧を供給される電圧供給端子である。電源ピン41には、第1のフィルタ(コンデンサ81およびフェライトビーズ82)が接続される。

【0036】

また、もう一方の端に位置する接続部(図示せず。)のN型CMOS33は、接地ピン51を介して第2のフィルタ(コンデンサ91およびフェライトビーズ92)と接続されている。また、この第2のフィルタは接地されている。接地ピン51は、駆動IC5とソースドライバIC3とを接続させる配線6によって放電される電荷を放出する電荷放出端子である。接地ピン51には、第2のフィルタ(コンデンサ91およびフェライトビーズ92)が接続される。

30

【0037】

図1に示すように、第1のフィルタは、コンデンサ81およびフェライトビーズ82(第2のフィルタではコンデンサ91およびフェライトビーズ92)を並列に接続させた構成になっている。本実施の形態では、各フィルタが備えるコンデンサ81, 91の静電容量は等しいものとする(この静電容量を C_1 [F]とする。)。また、各フィルタが備えるフェライトビーズ82, 92のインダクタンスは等しいものとする(このインダクタンスを L_1 [H]とする。)

40

【0038】

コンデンサおよびフェライトビーズを並列に接続させた各フィルタは、電源ピン41または接地ピン51にそれぞれ接続されている。しかし、各配線6にはフィルタは設けられていない。すなわち、フィルタの設置箇所は2箇所であり、従来の構成のように各配線毎にフィルタを設けていない。従って、従来の構成に比べてフィルタの数を大幅に削減することができる。

【0039】

ソースドライバIC3は、各配線6と一対一に対応するようにして、入力ピン12と、

50

入力バッファ71とを備える。個々の配線6は、ソースドライバIC3に設けられた入力ピン12を介して入力バッファ71に接続される。ソースドライバIC3には、各配線6毎に入力容量72が形成される。

【0040】

また、パネルの背面において、複数（例えば19本）の配線を有するFPCが配置される。FPCの基材上には銅箔が形成され、その上層に絶縁膜が成膜されている。配線6は、その絶縁膜上に配置されるので、配線6と絶縁膜と銅箔とによりキャパシタが形成される。図1に示すキャパシタ181は、絶縁膜と銅箔とにより形成されるキャパシタを表している。なお、ある配線6の上にさらに絶縁膜が形成され、その絶縁膜上に別の配線6が形成されてもよい。このような構成の具体例については、後述の図4で示す。

10

【0041】

駆動IC5がソースドライバIC3に画像データやクロック信号を送信する場合、出力バッファ32が、配線6を介して画像データやクロック信号を出力する。このとき、出力バッファ32は、例えば、キャパシタ181と入力容量72に対する充電を行う。すなわち、出力バッファ32の負荷は、例えばキャパシタ181および入力容量72それぞれの静電容量の和になる。また、このとき、コンデンサ81およびフェライトビーズ82を備える第1のフィルタによって高周波数の信号のレベルが低減されている。従って、充電時において、各配線6にフィルタを設けなくても輻射を低減することができる。

【0042】

また、キャパシタ181や入力容量72に蓄積された電荷の放電時には、配線6を介して放電される電荷を、接地ピン151を介して放出する。このとき、コンデンサ91およびフェライトビーズ92を備える第2のフィルタによって高周波数の信号のレベルが低減される。従って、放電時において、各配線6にフィルタを設けなくても輻射を低減することができる。

20

【0043】

なお、キャパシタ181や入力容量72を充電するときの波形が矩形波（理想的な波形）にできるだけ近づくようにするため、駆動IC5は、電源ピン41側から接地ピン51側にアイドル電流を流している。

【0044】

次に、所望の高周波数の信号のレベルを低減させる場合におけるコンデンサ81, 91の静電容量 C_1 と、フェライトビーズ82, 92のインダクタンス L_1 とについて説明する。まず、理想的な信号の波形である矩形波を、複数の周波数を用いて表される正弦波の和として表した場合の式について説明する。図2の上段は、信号（画像データの信号やクロック信号）の理想的な波形の一例を示している。図2に示す矩形波では、画像データの信号あるいはクロック信号の周期が T （秒）であり、最も高くなったときの信号のレベルと、最も低くなったときの信号のレベルとの差が E （V）である。時間 t （秒）を変数として、この矩形波によって表される信号のレベルが関数 $F(t)$ で表されるとする。周期が T であるので、基本角周波数 ω_0 [Hz] = $2\pi / T$ と表すことができる。 $F(t)$ をフーリエ変換により ω_0 を用いて表すと、以下の式によって表される。

30

【0045】

【数1】

$$F(t) = (2 \cdot E / \pi) \cdot (\sin \omega_0 t + (1/3) \sin 3 \omega_0 t + (1/5) \sin 5 \omega_0 t + \dots)$$

40

【0046】

また、図2の上段に示す波形の周波数を f [Hz]とする。この周波数 f は、駆動IC5がソースドライバIC3に送信する信号の基本周波数である。 $f = 1 / T$ であるので、 $\omega_0 = 2\pi \cdot f$ と表される。従って、基本周波数 f を用いて、数1を表すと、以下の式

50

になる。

【0047】

【数2】

$$F(t) = (2 \cdot E / \pi) \cdot (\sin(f \cdot 2\pi t) + (1/3) \sin(3 \cdot f \cdot 2\pi t) + (1/5) \sin(5 \cdot f \cdot 2\pi t) + \dots)$$

10

【0048】

このように矩形波を表す関数 $F(t)$ は、基本周波数 f 、3次高調波信号の周波数 $3 \cdot f$ 、5次高調波信号の周波数 $5 \cdot f$ 、 \dots 等を用いた正弦波の和として表すことができる。ここで、5次や7次の高調波信号は輻射の原因となるので、フィルタによってレベルを低減する必要がある。なお、より高次の高調波信号については、正弦波の振幅が低くなるのでレベルを低減しない場合が多い。ここでは、 $(1/5) \sin(5 \cdot f \cdot 2\pi t)$ によって表される5次高調波信号のレベルを低減する場合について説明する。この信号の周波数は $5 \cdot f$ である。この場合、周波数 $(5 \cdot f)$ と、フィルタが備えるコンデンサの静電容量 C_1 およびフェライトビーズのインダクタンス L_1 との間に以下の関係が成立していれば、フィルタによってこの周波数の信号のレベルを低減することができる。

20

【0049】

【数3】

$$1/\sqrt{C_1 \cdot L_1} = (5 \cdot f) \cdot 2\pi$$

【0050】

この関係を満足するようにフィルタが備えるコンデンサの静電容量 C_1 およびフェライトビーズのインダクタンス L_1 を定めれば、5次高調波信号のレベルを低減させることができる。この結果、輻射も低減させることができる。また、この場合、レベルが低減されるのは5次高調波信号だけであり、基本周波数の信号や3次高調波信号のレベルは、フィルタの影響を受けない。なお、上記の式(数3)の右辺は、 $5 \cdot \omega_0$ を変形したものである。

30

【0051】

また、7次高調波信号のレベルを低減するために用いられるコンデンサの静電容量を C_2 [F] とし、フェライトビーズのインダクタンスを L_2 [H] とする。このとき、 C_2 、 L_2 および7次高調波信号の周波数 $(7 \cdot f)$ との間に以下の関係が成立するように、 C_2 および L_2 を定めればよい。

【0052】

【数4】

$$1/\sqrt{C_2 \cdot L_2} = (7 \cdot f) \cdot 2\pi$$

40

【0053】

この関係を満足するようにフィルタが備えるコンデンサの静電容量 C_2 およびフェライトビーズのインダクタンス L_2 を定めれば、7次高調波信号のレベルを低減させることができ、輻射も低減させることができる。また、この場合、レベルが低減されるのは7次高調波信号だけであり、基本周波数の信号や3次高調波信号のレベルは、フィルタの影響を

50

受けない。なお、上記の式（数４）の右辺は、 $7 \cdot f_0$ を変形したものである。

【 0 0 5 4 】

上記の式（数３や数４）で示したように、レベルを低減させたい信号の周波数を f_r [Hz] とし、フィルタが備えるコンデンサの静電容量を C [F] とし、フェライトビーズのインダクタンスを L [H] としたときに、 f_r 、 C および L の間に以下の関係が成立していれば、所望の周波数 f_r の信号のレベルを低減することができる。

【 0 0 5 5 】

【数５】

$$1 / \sqrt{C \cdot L} = f_r \cdot 2 \pi$$

10

【 0 0 5 6 】

また、５次高調波信号および７次高調波信号の双方のレベルを低減させる場合には、図３に示すように、５次高調波信号のレベルを低減するためのフィルタと、７次高調波信号を低減するためのフィルタとを直列に接続させればよい。図３に示すコンデンサ 8 1 およびフェライトビーズ 8 2 の組み合わせは、５次高調波信号のレベルを低減するためのフィルタである。コンデンサ 8 1 の静電容量 C_1 、フェライトビーズ 8 2 のインダクタンス L_1 は、上記の式（数３）を満足している。また、図３に示すコンデンサ 8 3 およびフェラ 20
イトビーズ 8 4 の組み合わせは、７次高調波信号のレベルを低減するためのフィルタである。コンデンサ 8 3 の静電容量 C_2 、フェライトビーズ 8 2 のインダクタンス L_2 は、上記の式（数４）を満足している。図３に示すフィルタを、図１に示す電源ピン 4 1 および接地ピン 5 1 に接続させればよい。

【 0 0 5 7 】

また、５次高調波信号および７次高調波信号の双方のレベルを低減させる場合に、一つのフィルタ（一組のコンデンサおよびフェライトビーズ）を用いてもよい。この場合のコンデンサの静電容量を C [F] とし、フェライトビーズのインダクタンスを L [H] とする。また、５次高調波信号の周波数と７次高調波信号の周波数の中間の周波数を f_x [Hz] とする。このとき、以下の関係を満足するように、 C および L を定めればよい。 30

【 0 0 5 8 】

【数６】

$$1 / \sqrt{C \cdot L} = f_x \cdot 2 \pi$$

【 0 0 5 9 】

そして、このような一組のコンデンサおよびフェライトビーズを図１に示す電源ピン 4 1 および接地ピン 5 1 にそれぞれ接続させればよい。 40

【 0 0 6 0 】

なお、基本周波数の信号のレベルはフィルタによって低減させない。同様に、３次高調波信号のレベルもフィルタによって低減させない。３次高調波信号のレベルも低減させてしまうと、信号の波形が基本周波数の信号の波形（すなわち正弦波）に近くなってしまい、所望の波形とは異なる波形になってしまうからである。なお、基本周波数の信号および３次高調波信号のレベルを低減させなければ、矩形波にはならないものの、矩形波に近い波形が得られる。図２の下段に太線で示した波形が、基本周波数の信号および３次高調波信号の合成波形である。この合成波形は、矩形波ではないものの、矩形波に近い急峻な立ち上がりを示している。

【 0 0 6 1 】

50

本発明によれば、個々の配線 6 にフィルタを設けるのではなく、電源配線 4 2 と電源ピン 4 1 との間、および接地ピン 5 1 と接地点との間にフィルタを設ける。従って、従来の構成に比べてフィルタとして用いられる部品数を削減することができる。

【 0 0 6 2 】

また、フィルタが備えるコンデンサの静電容量、およびフェライトビーズのインダクタンスを上述の式（数 3、数 4、または数 6）を満足するように定めるので、5 次や 7 次の高調波信号のレベルのみを低減させ、基本周波数の信号や 3 次高調波信号のレベルは低減させないようにすることができる。従って、画像データの信号やクロック信号の波形を、理想的な波形に近い（類似した）波形にすることができる。

【 0 0 6 3 】

また、個々の配線 6 にフィルタが設けられていないので、パネルの背面に設けられる配線 6 のインピーダンスを所望の値にしやすい。以下、この点について説明する。図 4 は、配線 6 が配設される F P C に形成される銅箔を示す説明図である。図 4（a）に示すように、パネル背面において、配線 6 が配設される F P C の基材上には銅箔 2 0 1 が形成されている。また、図 4（b）に示すように、銅箔 2 0 1 の上層には、絶縁膜 2 0 2 が形成され、絶縁膜 2 0 2 の上層に配線 6 が配置される。図 4（b）に示す例では、その配線 6 の上層にさらに絶縁膜 2 0 2 が形成され、その上に他の配線 6 が配置されている。また、その配線 6 の上層にさらに絶縁膜 2 0 2 が形成され、その上にまた別の配線 6 が配置されている。

【 0 0 6 4 】

このように配置された配線 6 のインピーダンスを所望のインピーダンス（例えば 5 0）にする場合、配線 6 のインピーダンスが 5 0 になるように、配線 6 の幅、絶縁膜の厚み、絶縁膜の誘電率を定める。従来の構成では、配線上に図 6 に例示するようなフィルタが設けられていたため、配線の幅、絶縁膜の厚み、絶縁膜の誘電率以外にも、フィルタに含まれる抵抗やコンデンサの静電容量も考慮して、配線のインピーダンスが所望の値になるようにしなければならなかった。しかし、本発明では、配線にフィルタが設けられていないので、配線 6 のインピーダンスが所望の値になるように、配線 6 の幅、絶縁膜の厚み、絶縁膜の誘電率を定めればよい。従って、従来よりも、配線 6 のインピーダンスを所望の値にしやすい。

【 0 0 6 5 】

上記の実施の形態において、ソースドライバ I C 3 は、ドライバ装置に相当する。駆動 I C 5 は、駆動部に相当する。電源ピン 4 1 は、電圧供給端子に相当し、接地ピン 5 1 は、電荷放出端子に相当する。コンデンサ 8 1 およびフェライトビーズ 8 2 を含むフィルタは、第 1 のフィルタに相当する。コンデンサ 9 1 およびフェライトビーズ 9 2 を含むフィルタは、第 2 のフィルタに相当する。

【 0 0 6 6 】

また、上記の実施の形態では、フィルタとして、コンデンサとフェライトビーズの組み合わせを用いる場合を示した。図 6（a）に示すように、抵抗とコンデンサの組み合わせをフィルタとして用いてもよい。あるいは、図 6（c）に示すように、フェライトビーズのみをフィルタとして用いてもよい。ただし、所望の周波数の信号のレベルを低減できるようにするという観点から、コンデンサとフェライトビーズの組み合わせをフィルタとすることが好ましい。

【 0 0 6 7 】

また、上記の実施の形態では、液晶表示装置が T F T 液晶表示装置である場合を示したが、本発明による駆動装置は、他の液晶表示装置にも適用可能である。例えば、複数の走査電極（透明電極）と、複数の信号電極（透明電極）とが互いに直交するように配置され、走査電極と信号電極との間に液晶層を挟持する液晶表示装置に対しても本発明を適用できる。このような液晶表示装置も、マトリクス状に配置された画素を有し、各行を選択され、選択された行の画素に電圧が印加されることにより画像を表示する。この液晶表示装置を駆動する場合、走査電極を走査する走査電極ドライバと、選択行の画像データに応じ

10

20

30

40

50

て各信号電極の電位を設定する信号電極ドライバとを用いる。この場合、配線を介して信号電極ドライバと接続される駆動ICの構成を本発明のような構成とし、駆動ICと信号電極ドライバとを接続させる配線上にフィルタを設けないようにしてもよい。

【産業上の利用可能性】

【0068】

本発明は、輻射の低減を実現する液晶表示装置の駆動装置に適用することができる。

【図面の簡単な説明】

【0069】

【図1】駆動ICと配線との接続部、およびソースドライバICと配線との接続部の構成を示す説明図。

10

【図2】矩形波および各周波数によって表される信号のレベルを示す説明図。

【図3】5次高調波信号のレベルを低減するためのフィルタと、7次高調波信号を低減するためのフィルタとの組み合わせを示す説明図。

【図4】配線が配置される領域に形成される銅箔を示す説明図。

【図5】TF T液晶表示装置およびその駆動装置が配置されたパネルの例を示す説明図。

【図6】個々の配線上に設けられるフィルタの構成の例を示す説明図。

【図7】従来の駆動ICと配線との接続部、およびソースドライバICと配線との接続部の構成を示す説明図。

【図8】キャパシタや入力容量の充放電を行うときの理想的な電圧変化を示す説明図。

【図9】各周波数の信号のレベルが低減される状況を示す説明図。

20

【符号の説明】

【0070】

3 ソースドライバIC

5 駆動IC

6 配線

31 接続部

32 出力バッファ

33 N型CMOS

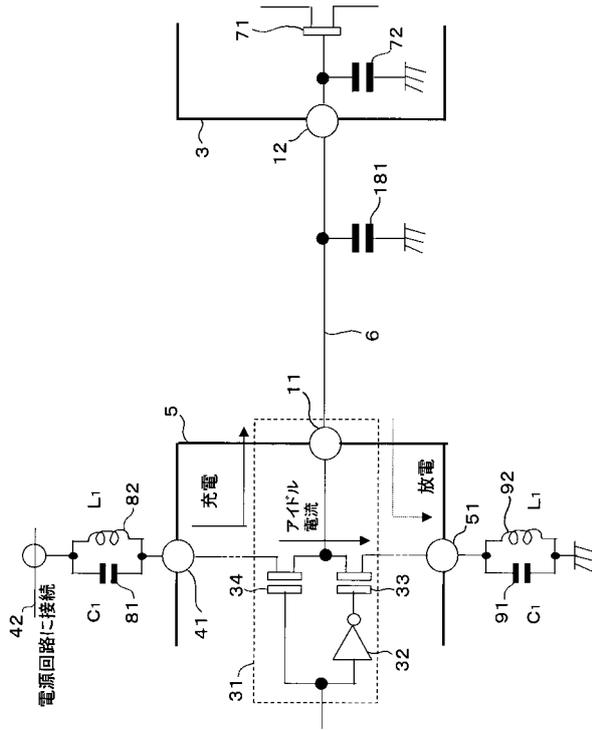
34 P型CMOS

81, 91 コンデンサ

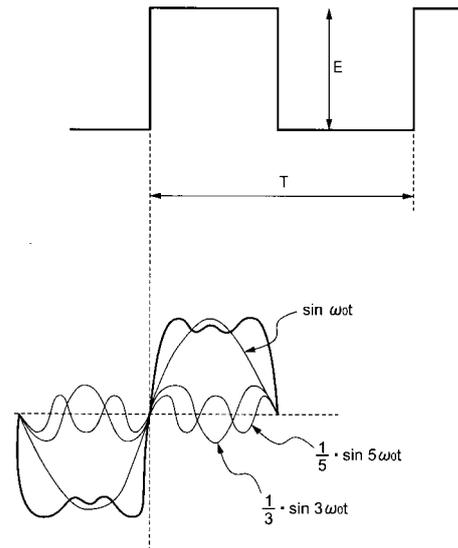
82, 92 フェライトビーズ

30

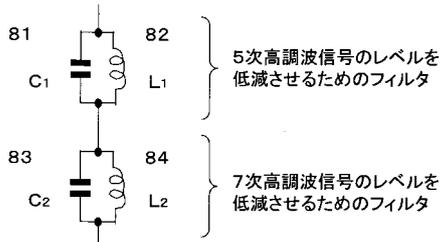
【図1】



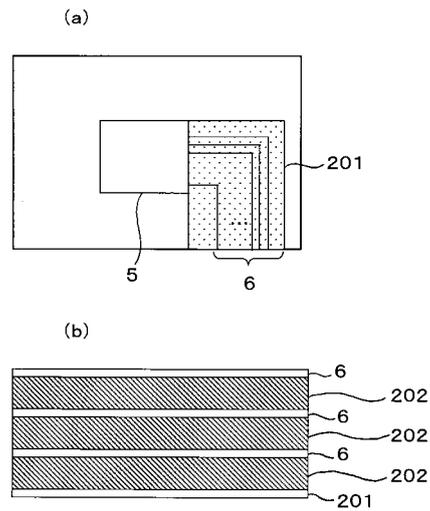
【図2】



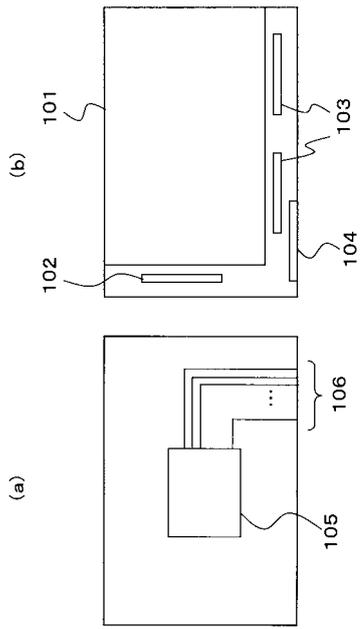
【図3】



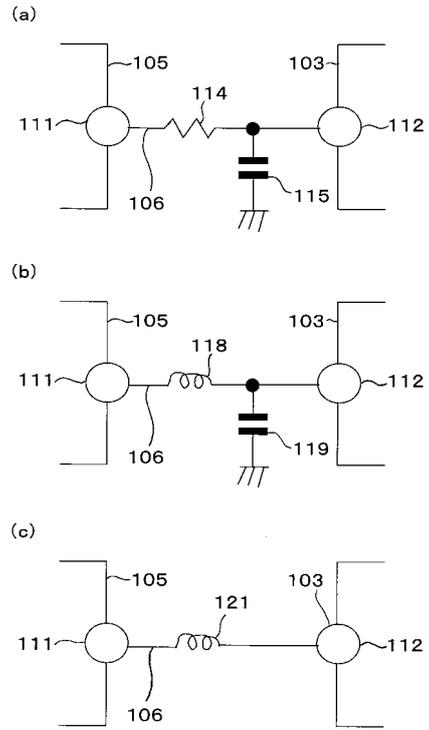
【図4】



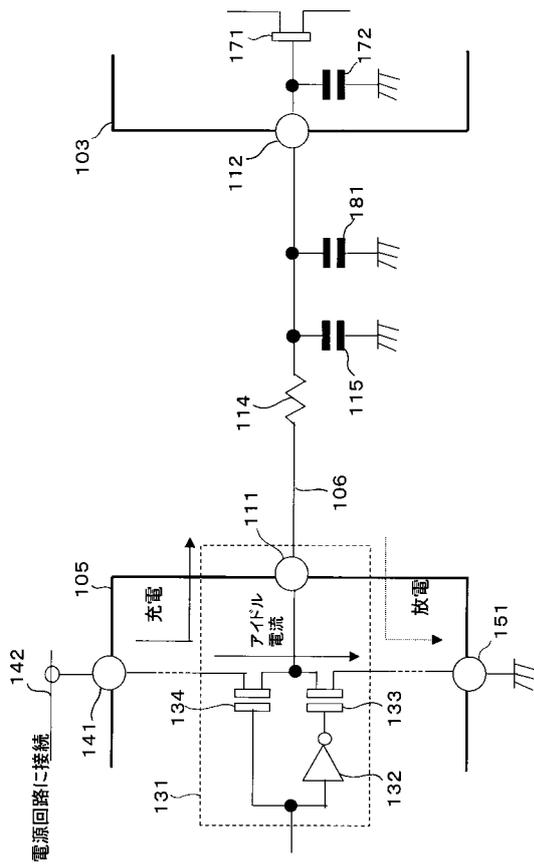
【図5】



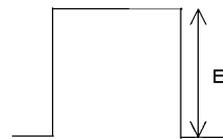
【図6】



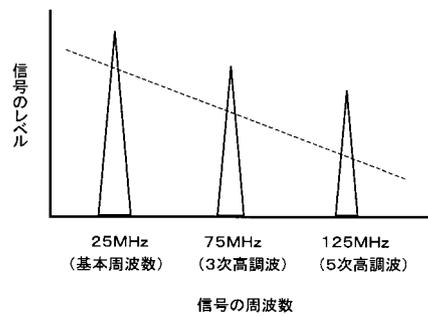
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/36

(56)参考文献 特開平07 - 074322 (J P , A)
特開平06 - 110407 (J P , A)
特開2002 - 093997 (J P , A)
特開2003 - 198306 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6