

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H01L 27/04

(45) 공고일자 2005년04월29일  
(11) 등록번호 10-0486304  
(24) 등록일자 2005년04월21일

(21) 출원번호 10-2003-0007870  
(22) 출원일자 2003년02월07일

(65) 공개번호 10-2004-0071949  
(43) 공개일자 2004년08월16일

(73) 특허권자 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이상돈  
서울특별시강남구일원2동우성7차아파트105-405  
신현중  
경기도용인시수지읍풍덕천리1167번지삼성5차아파트520-103

(74) 대리인 이영필

심사관 : 전범재

(54) 자기정렬을 이용한 바이씨모스 제조방법

요약

초고속 통신 기술의 발달에 따른 고주파 동작을 위한 SiGe 이중 접합 바이폴라 트랜지스터(HBT)를 포함하는 바이씨모스(BiCMOS)를 자기정렬적인 방식으로 제조하는 방법을 개시한다. 본 발명에 따르면, SiGe HBT의 베이스, 컬렉터, 에미터 접합을 위한 포토 공정의 오정렬 때문에 발생하는 트랜지스터의 전기적 물성 변동(variation)을 막기 위해 자기정렬적인 공정으로 BiCMOS를 제조한다. 제조 공정을 간단하게 함으로써 공정단가를 낮추고, 공정의 재현성 및 신뢰성을 개선하여 양산화에 적합해진다. 그리고, 원하는 위치에만 불순물을 주입할 수 있게 되어 기생 저항이 감소되므로, 잡음지수를 더욱 낮출 수 있고 소자의 고속화를 달성할 수 있다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예에 따른 바이씨모스(BiCMOS) 제조방법 중 반도체 기판에 매몰 컬렉터층, 컬렉터층 및 서브컬렉터 콘택을 형성한 후 게이트 산화막과 게이트 보호 폴리실리콘막을 형성하는 단계를 도시한다.

도 2는 도 1의 단계에 이어서 SiGe 베이스층을 형성한 후 식각선택비에 있어서 차이가 있는 절연막들을 교번적으로 증착한 위에, 얇은 폴리실리콘막과 두꺼운 산화막을 형성하는 단계를 도시한다.

도 3은 도 2의 단계에 이어서, 에미터 윈도우 안에 더미 폴리실리콘 패턴을 형성하는 단계를 도시한다.

도 4는 도 3의 단계에 이어서, 외인성 베이스(extrinsic base)를 자기정렬적으로 형성하는 단계를 도시한다.

도 5는 도 4의 단계에 이어서, 더미 폴리실리콘 패턴을 제거하는 단계를 도시한다.

도 6은 도 5의 단계에 이어서, 에미터 윈도우 안으로 선택적 이온주입된 컬렉터(SIC)를 형성하고 에미터 폴리실리콘을 패터닝하는 단계를 도시한다.

도 7은 도 6의 단계에 이어서, 씨모스(CMOS) 트랜지스터를 형성하는 단계를 도시한다.

(도면의 주요 부분에 대한 부호의 설명)

- 100...반도체 기판 104...매물 컬렉터층
- 106...컬렉터층 112...서브컬렉터 콘택
- 114...게이트 산화막 116...게이트 보호 폴리실리콘막
- 118...SiGe 베이스층 120...제1 산화막
- 122...질화막 124...제2 산화막
- 126...폴리실리콘막 128...제3 산화막
- 130...에미터 윈도우 132...더미 폴리실리콘 패턴
- 134a...더미 스페이서 136...외인성 베이스
- 138...에미터 폴리실리콘 144...게이트
- 146, 148, 150...스페이서 152...소오스/드레인
- 154...실리사이드

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 이중 접합 바이폴라 트랜지스터(heterojunction bipolar transistor : HBT) 제조방법에 관한 것으로, 보다 구체적으로는 HBT와 씨모스(complementary metal oxide semiconductor : CMOS) 트랜지스터 제조공정을 융합한 바이씨모스(BiCMOS) 제조방법에 관한 것이다.

초고속 통신기술의 발달에 따라 고주파 작동 트랜지스터의 개발이 빠른 속도로 진행되고 있다. 특히 최근에는 고주파 작동 트랜지스터 소자에 SiGe HBT를 이용하고 있다. SiGe HBT가 일반적인 바이폴라 트랜지스터와 다른 점은 베이스를 SiGe 에피택셜층으로 형성한다는 것이다. SiGe은 Si보다 에너지 밴드갭이 작기 때문에 이를 베이스로 사용한 HBT는 전류이득과 동작속도가 상당히 개선된다. 그리고, 베이스에 불순물 도핑 농도를 높여도 전류이득값이 저하되지 않고, 베이스 저항이 낮아지므로 잡음지수(figure of noise)를 낮출 수 있다. 뿐만 아니라 동작전압도 감소되기 때문에 저전력화가 가능하다. 또한, SiGe 내의 Ge 함량과 분포를 조절하여  $f_T$ (전이 주파수) 및  $f_{MAX}$ (최대 진동 주파수)를 증가시킬 수 있다. 따라서, SiGe HBT는  $f_T$  및  $f_{MAX}$ 가 50GHz 이상의 고주파 동작 소자로 통신용 소자나 PLL 등에 널리 쓰이고 있다.

이러한 HBT는 보통 CMOS 트랜지스터와 융합되어 BiCMOS 소자로 사용된다. 일반적으로 알려진 BiCMOS는 실리콘 기판 상에 CMOS 트랜지스터와 바이폴라 트랜지스터가 융합된 것인데, 진보된 BiCMOS 기술은 바이폴라 트랜지스터 대신 SiGe HBT를 사용하는 것이다. SiGe으로 된 베이스는 아날로그 신호처리를 위한 고성능의 HBT를 위한 것이고, CMOS 트랜지스터는 디지털 신호처리 및 데이터 저장을 위한 것이다.

이와 같은 SiGe HBT는 기존의 III-V족 화합물 반도체와 동일한 성능을 보이면서도 실리콘 제조공정을 그대로 적용함에 따라 저가격 구현이 가능하다. 또한 실리콘 반도체 기술을 적용함에 따라 소위 "시스템 온 칩(system on chip)"을 가능케 함으로써 응용성이 증가되고 있다.

그러나 고주파 구현이 가능한 SiGe HBT 공정 역시, 기존 실리콘 반도체 공정을 적용함에 따라 포토 공정에서 오정렬에 의한 트랜지스터의 성능 저하가 발생한다. 예컨대 에미터-베이스간 접합이나, 베이스-컬렉터간 접합의 도핑 프로파일이나 면적에 의하여 트랜지스터의 성능이 달라진다.

따라서, 이와 같이 접합에 의한 트랜지스터의 성능 변동(variation)을 최소로 유지하기 위하여 자기정렬 공정이 요구되고 있다. 이와 같은 자기정렬 공정은 CMOS 트랜지스터의 소오스/드레인 분야에 많이 적용되는 것과 같이 스페이서를 이용하여 구현 가능하다.

특히 종래에는 자기정렬 공정을 쉽게 구현하기 위하여 이중 폴리 구조나 외부 스페이서(outer spacer)를 이용하였으나 이와 같이 공정을 진행하는 경우 트랜지스터의 면적이 증가하여 집적도가 낮아지거나 더미 스페이서가 형성되어 제조 공정 시 불량을 증대시키는 문제점을 유발한다. 따라서 이와 같은 문제점을 극복할 수 있도록 공정이 낮은 온도에서 폴리실리콘을 산화시킬 수 있는 HiPOX(High Pressure Oxidation)을 이용하여 에미터-베이스간 접합을 구현하는 방법이 제안되었다. 그러나 HiPOX 공정의 경우 파티클 발생에 의한 수율 저하가 큰 문제로 되어 있다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명이 이루고자 하는 기술적 과제는 오정렬에 의한 성능 저하 없이 SiGe HBT를 구현할 수 있도록 한 자기정렬 공정에 의한 BiCMOS 제조방법을 제공하는 것이다.

**발명의 구성 및 작용**

상기한 본 발명의 기술적 과제를 달성하기 위하여, 본 발명의 BiCMOS 제조방법에서는 컬렉터, 베이스 및 에미터로 구성된 바이폴라 트랜지스터가 형성될 제1 영역과 게이트 및 소오스/드레인으로 구성된 MOS가 형성될 제2 영역 위에 게이트 산화막과 게이트 보호 폴리실리콘막을 순차적으로 형성한다. 상기 제1 영역에서 에미터가 형성될 부분의 게이트 보호 폴리실리콘막과 게이트 산화막을 식각함으로써 기판을 노출시킨 다음 SiGe 베이스층을 에피택셜 성장한다. 상기 SiGe 베이스층 위로 식각선택비에 있어서 차이가 있는 절연막들을 교번적으로 증착한 다음, 폴리실리콘막과 산화막을 순차적으로 형성하고, 상기 산화막 표면을 평탄화시킨다. 상기 제1 영역에서 상기 산화막, 폴리실리콘막 및 절연막들 중 일부를 식각하여 에미터 윈도우를 형성한 후, 상기 에미터 윈도우 안에 더미 폴리실리콘 패턴을 형성한다. 상기 산화막을 제거한 다음, 상기 더미 폴리실리콘 패턴의 측벽에 더미 스페이서를 형성한다. 상기 더미 폴리실리콘 패턴과 더미 스페이서를 이온주입 마스크로 이용한 이온주입을 실시하여 상기 SiGe 베이스층에 외인성 베이스(extrinsic base)를 형성한다. 상기 더미 스페이서, 더미 폴리실리콘 패턴과 폴리실리콘막을 제거한 다음, 상기 절연막들을 이온주입 마스크로 하여 상기 에미터 윈도우 안으로 이온주입을 실시함으로써 상기 기판 안에 선택적 이온주입된 컬렉터(selective ion implanted collector : SIC)를 형성한다. 상기 에미터 윈도우 안에 남아있는 상기 절연막들을 식각한 후 에미터 폴리실리콘을 증착하고 패터닝하여 에미터를 형성한다. 계속하여, 상기 제1 영역에서 상기 SiGe 베이스층을 패터닝하여 베이스를 완성하고, 이와 동시에 상기 제2 영역에서 상기 SiGe 베이스층과 게이트 보호 폴리실리콘을 패터닝하여 게이트를 형성한다. 상기 에미터, 베이스 및 게이트의 측벽에 스페이서를 형성한 다음, 이온주입을 실시하여 상기 제2 영역에 소오스/드레인을 형성한다.

본 발명의 목적과 더불어 그의 다른 목적 및 신규한 특징은, 본 명세서의 기재 및 첨부 도면에 의하여 명료해질 것이다.

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

첨부한 도 1 내지 도 7은 본 발명의 실시예를 설명하기 위한 각 공정별 단면도이다.

앞에서 언급한 것과 같이 고주파 소자의 성능을 일정하게 유지하면서 수율을 유지하는 것이 SiGe HBT BiCMOS 공정의 핵심이다. 이를 위한 본 발명에서는, 에미터-베이스간 접합을 일정하게 재현할 수 있도록 아래와 같은 공정으로 진행하며, SIC의 변동을 없애 베이스-컬렉터간 접합도 재현성을 높인다. 또한  $f_{MAX}$ 를 높이거나 잡음지수를 개선하기 위하여 외인성 베이스를 구현하는데 이 공정도 재현성을 높이기 위하여 자기정렬 방식으로 구현하는 것이 특징이다. 전체적인 공정은 다음과 같다.

먼저 도 1을 참조하여, P-형의 불순물을 포함하는 반도체 기판(100), 예를 들어, P-형 실리콘 기판을 준비한다. 이러한 P-형의 반도체 기판(100)에 P+ 형의 불순물을 주입하여 P+ 영역(102)을 형성한 후, HBT 영역 쪽에 소정 부분이 개방된 마스크를 사용하고 여기에 비소(As)나 인(P)과 같은 N+ 형의 불순물을 주입하여, 매몰 컬렉터층(104, N-BL)을 형성한다. 그 위에 상압 화학 기상 증착(APCVD) 방식으로 컬렉터층(106)을 에피택셜 성장시킨 후 확산을 시키면, 매몰 컬렉터층(104)으로부터 불순물이 확산되어 N-형 에피택셜층이 된다. 여기서 저농도를 의미하는 (-)는 보통  $10^{16}/\text{cm}^3$ 의 오더를 의미하고, 고농도를 의미하는 (+)는 보통  $10^{19}/\text{cm}^3$ 의 오더를 의미하는 것으로 한다.

다음, 컬렉터층(106)에서 활성 영역 이외의 부분인 반도체 기판(100) 상에 공지의 방식으로 소자분리막, 예컨대 PST(Poly Silicon Filled Deep Trench)(108)과 STI(Shallow Trench Isolation)(110)을 형성한다. 이들은 이웃하는 트랜지스터와 전기적으로 격리하기 위하여 형성하는 것이다. 이어서, 컬렉터층(106) 중 추후에 컬렉터 전극이 형성될 부분이 개방된 마스크를 사용하고 여기에 N+ 형 불순물 이온주입을 실시하여 N+ 서브컬렉터 콘택(112)을 형성한다.

도 2에서와 같이, CMOS 영역 쪽에 N 웰(미도시)과 P 웰(113)을 형성한 다음, 필요에 따라 커패시터(MIM, MIS 또는 Decoupling 커패시터) 등을 형성한다. CMOS 트랜지스터는 이 분야에 잘 알려져 있는 대로, N 채널 MOS 트랜지스터와 P 채널 MOS 트랜지스터가 집적된 것이다. 설명의 편의를 위하여 본 명세서에서는 N 채널 MOS 트랜지스터의 경우만을 도시하고 설명하지만, 반대되는 도전형을 도입하면 P 채널 MOS 트랜지스터를 형성할 수 있고, 그 둘을 집적하여 CMOS 트랜지스터를 용이하게 형성할 수 있을 것이다.

다음으로, 반도체 기판(100) 전면에 게이트 산화막(114)을 형성한다. 게이트 산화막(114)은 예컨대, 실리콘 산화막, 티타늄 산화막, 알루미늄 산화막, 하프늄 산화막 혹은 탄탈륨 산화막을 증착하여 형성하거나, 반도체 기판(100)을 열산화시켜 실리콘 산화막을 형성할 수 있다. 이러한 산화막을 증착하는 데에는 통상적인 증착 방법, 예컨대 화학 기상 증착, SACVD,

저압 화학 기상 증착(LPCVD) 또는 플라즈마 인가 화학 기상 증착(PECVD)이 이용될 수 있다. 이어서, 게이트 산화막(114) 위로 얇은 게이트 보호 폴리실리콘막(116)을 형성한다. 폴리실리콘은 LPCVD로 500°C 내지 700°C의 온도에서 증착할 수 있다.

HBT 영역에서 에미터에 해당되는 부분의 게이트 보호 폴리실리콘막(116)을 제거한 후, 그 아래에 노출된 게이트 산화막(114)을 습식 세정으로 제거한다. 습식 세정으로 산화막을 제거하는 데에 잘 알려져 있는 HF 희석액 또는 BOE(Buffered Oxide Etchant)를 이용할 수 있다. 이어서, 노출된 컬렉터층(106) 면에 SiGe 베이스층(118)을 에피택셜 성장한다. SiGe 베이스층(118)을 성장시킬 때 인시튜로 2차원 도핑을 다수번 실시할 수 있다. 이 때, 2차원 도핑이란 Si 소오스 및 Ge 소오스를 공급하여 에피택셜층을 성장시키다가, 일정 시간 동안 그 공급을 중단하고 도핑 소오스를 공급하는 것을 의미한다. 이러한 SiGe 베이스층(118)은 Ge의 조성이 5% 이내로 균일하여야 하고, 계면에는 탄소(C)와 산소(O)의 양이 적어야 하며 도핑 농도를 정확히 조절하여야 한다. 그리고 SiGe 베이스층(118)을 형성할 때에는 불순물이 도핑되지 않은 Si층을 씨앗층으로서 형성한 위에 SiGe층, 불순물이 도핑된 SiGe층을 차례로 형성하는 것이 바람직하다.

SiGe 베이스층(118) 위로 얇은 제1 산화막(120), 질화막(122), 제2 산화막(124) 등, 식각선택비에 있어서 차이가 있는 절연막들을 교번적으로 증착한 다음, 얇은 폴리실리콘막(126)을 형성한다. 그 위에 PECVD로 제3 산화막(128)을 두껍게 증착하고, 화학 기계적 연마(CMP)와 같은 방법을 써서 표면을 평탄화시킨다. 식각선택비에 있어서 차이가 있는 절연막들을 교번적으로 증착함에 따라, 하부 막질에 영향(attack)을 주지 않게 공정을 진행할 수 있다.

도 3을 참조하여, 제3 산화막(128), 폴리실리콘막(126), 제2 산화막(124) 까지를 식각하여 HBT 영역에 에미터 윈도우(130)를 오픈한다. 오픈된 에미터 윈도우(130) 위로 더미 폴리실리콘을 증착한 후, CMP 등으로 평탄화시켜 제3 산화막(128)의 상면이 드러나게 한다. 이렇게 하여 에미터 윈도우(130) 안에 더미 폴리실리콘 패턴(132)이 남겨진다.

다음으로 도 4에서와 같이, 제3 산화막(128)을 습식 식각 등으로 전부 제거한 후에, 더미 폴리실리콘 패턴(132) 위로 산화막이나 질화막 혹은 산화질화막 등을 얇게 증착하여 스페이서용 절연막(134)을 형성한다. 이 스페이서용 절연막(134)을 에치백함으로써, 더미 폴리실리콘 패턴(132)의 측벽에 더미 스페이서(134a)를 형성한다. SiGe 베이스층(118)에 대하여, 더미 폴리실리콘 패턴(132)과 더미 스페이서(134a)를 마스크로 이용한 이온주입을 실시함으로써, 외인성 베이스(136)를 자기정렬적으로 형성한다. 이처럼 본 발명에서는 자기정렬적인 방식으로 베이스내의 도핑 농도를 증가시킬 수 있으므로 진성(intrinsic) 베이스 저항 및 기생(parasitic) 베이스 저항이 감소되어 잡음지수를 더욱 낮출 수 있다. 공정도 재현성을 높일 수 있으므로,  $f_{MAX}$ 를 증가시킬 수 있다.

다음으로 도 5에서와 같이, 더미 스페이서(134a)를 습식 식각 등으로 제거한 다음, 더미 폴리실리콘 패턴(132)과 폴리실리콘막(126)을 제거한다. 식각된 제2 산화막(124)을 마스크로 하여 에미터 윈도우(130) 안에 남아있는 질화막(122)을 식각하여 낸다.

에미터 윈도우(130) 안으로 이온주입을 실시하여 SIC를 형성한다. 이처럼 본 발명에서는, 제2 산화막(124)과 질화막(122)을 마스크로 하여 자기정렬적으로 이온주입하므로, 매 공정에서의 SIC 변동을 없앨 수 있어서 베이스-컬렉터간 접합도 재현성을 높일 수 있다.

계속하여 도 6을 참조하면, 에미터 윈도우(130) 안에서 제1 산화막(120)을 제거하여 SiGe 베이스층(118)을 노출시킨다. 그 위에 에미터 폴리실리콘(138)을 증착하고, 반사방지막(anti-reflection layer)(140)을 증착한 다음, 에미터 불순물을 주입한다. 에미터 폴리실리콘(138)이 증착과 동시에 불순물이 주입되는 인시튜 방식으로 형성된 것이면, 이온주입 공정은 실시하지 않아도 된다. 그런 다음, 에미터 폴리실리콘(138)과 질화막(122)을 에미터 모양으로 패터닝한다.

도 7에서와 같이, HBT 영역에서는 SiGe 베이스층(118)과 게이트 보호 폴리실리콘막(116)을 패터닝하여 베이스를 완성하고, 이와 동시에 CMOS 영역에서는 SiGe 베이스층(118)과 게이트 보호 폴리실리콘막(116)을 패터닝하여 게이트(144)를 형성한다. 필요한 경우 재산화(GPOx) 공정을 실시한다. 잘 알려진 것과 같이, 재산화 공정을 수행하면 게이트(144) 등, 도전층의 노출 부위에 열산화막(미도시)이 형성되면서, 식각 단계에서 발생된 데미지와 잔류되어 있는 찌꺼기를 제거할 수 있고, 게이트 산화막(114)의 신뢰성 향상에도 도움이 된다. 재산화 공정을 실시한 후, 에미터 폴리실리콘(138), 외인성 베이스(136) 및 게이트(144)의 측벽에 스페이서(146, 148, 150) 공정을 진행한다. 스페이서(146, 148, 150) 공정은 잘 알려진 것과 같이, 질화막, 산화막 혹은 산화질화막 등의 절연막을 증착한 후 에치백으로 진행된다.

적당한 마스크를 사용한 이온주입을 실시하여 CMOS 영역에 소오스/드레인(152)을 형성한다. 기판 콘택(153)도 이온주입으로 형성한다. 이어서, 필요한 콘택 부위에 실리사이드 공정을 진행하는 자기정렬 실리사이드(salicide) 공정을 진행하기 위하여 제1 산화막(120)과 게이트 산화막(114)을 적절히 에칭한다. 이 때, 스페이서(146, 148, 150)가 마스크로 사용될 수 있다. 콘택 부위들(예를 들어, 외인성 베이스(136), 서브 컬렉터콘택(112), 소오스/드레인(152), 게이트(144), 기판 콘택(153) 위쪽)을 오픈한 후에 티타늄, 코발트, 니켈 등으로 실리사이드(154)를 형성한다. 오믹콘택을 달성하므로, 접촉저항 및 베이스 기생저항 등이 감소된다.

이상에서 자세히 살펴본 것과 같이, 본 발명에 따른 BiCMOS 제조방법에서는 SIC와 외인성 베이스를 형성하는 데에 자기정렬적인 개념이 도입되므로, 컬렉터-베이스 접합의 기생용량 변동이 거의 없다. 따라서, 공정의 균일성을 보장할 수 있으며, 소자의 성능이 안정화되고 균일성이 확보된다. 자기정렬 방법을 사용하기 위해 사용한 더미 스페이서는 제거하기 때문에 트랜지스터의 면적이 증가할 염려가 없다. HiPOX같은 공정을 사용하지 않으므로 파티클 발생에 의한 수율 저하 문제가 없다. 따라서, 본 발명에 의하면 오정렬에 의한 성능 저하 없이 자기정렬적으로 SiGe HBT를 구현하면서 BiCMOS를 제조할 수 있다.

이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**발명의 효과**

이상에서 자세히 설명한 바와 같이, 본 발명에 의하면 SiGe HBT를 형성하는 데에 오정렬에 의한 성능 저하가 없으므로, 트랜지스터의 전류이득의 증가와 동작속도의 고속화 즉, 전이 주파수와 최대 공진 주파수를 증가시킬 수 있어, 소자의 고속화와 고주파화를 달성할 수 있다.

자기정렬 개념이 도입되므로 공정의 신뢰성 및 안정화를 이룰 수 있어, 소자 성능의 균일성과 공정의 재현성을 증가시킬 수 있다. 파티클 발생 등의 문제가 없으므로 종래의 제조방법보다 수율이 향상된다. 또한, 자기정렬적인 방식으로 원하는 위치에만 베이스 내의 도핑 농도를 증가시킬 수 있으므로 진성 베이스 저항 및 기생 베이스 저항이 감소되어 잡음지수를 더욱 낮출 수 있고 소자의 고속화를 달성할 수 있다.

뿐만 아니라, 제조 공정을 간단하게 하여 공정단가를 낮출 수 있어 양산화에 적합하다.

**(57) 청구의 범위**

**청구항 1.**

컬렉터, 베이스 및 에미터로 구성된 바이폴라 트랜지스터와, 게이트 및 소오스/드레인으로 구성된 씨모스(CMOS) 트랜지스터를 포함하는 BiCMOS 제조방법에 있어서,

기판 위에 SiGe 베이스층을 에피택셜 성장하는 단계;

상기 SiGe 베이스층 위로 절연막을 형성하는 단계;

상기 절연막을 일부 깊이 식각하여 에미터 윈도우를 형성하는 단계;

상기 에미터 윈도우 안에 상기 절연막 표면과 나란하게 더미 폴리실리콘 패턴을 형성하는 단계;

상기 더미 폴리실리콘 패턴 양측의 상기 절연막을 일부 깊이 더 식각하여 상기 더미 폴리실리콘 패턴의 측벽을 노출시킨 다음, 상기 측벽에 더미 스페이서를 형성하는 단계;

상기 더미 폴리실리콘 패턴과 더미 스페이서를 이온주입 마스크로 이용한 이온주입을 실시하여 상기 SiGe 베이스층에 외인성 베이스(extrinsic base)를 형성하는 단계;

상기 더미 스페이서, 더미 폴리실리콘 패턴을 제거한 다음, 남아 있는 상기 절연막을 이온주입 마스크로 하여 상기 에미터 윈도우 안으로 이온주입을 실시함으로써 상기 기판 안에 선택적 이온주입된 컬렉터(SIC)를 형성하는 단계;

상기 남아 있는 절연막을 식각하여 상기 SiGe 베이스층을 노출시킨 후 에미터 폴리실리콘을 증착하고 패터닝하여 에미터를 형성하는 단계;

상기 SiGe 베이스층을 패터닝하여 베이스를 완성하고, 이와 동시에 게이트를 형성하는 단계; 및

소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 2.**

제 1 항에 있어서, 상기 SiGe 베이스층을 형성할 때에는 불순물이 도핑되지 않은 Si층을 씨앗층으로서 형성한 위에 SiGe 층, 불순물이 도핑된 SiGe층을 차례로 형성하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 3.**

제 1 항에 있어서, 상기 절연막은 여러 개의 막을 쌓아 형성하고, 최상부면은 화학 기계적 연마(CMP)로 평탄화시키는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 4.**

제 1 항에 있어서, 상기 더미 폴리실리콘 패턴을 형성하는 단계는,

상기 절연막 위로 상기 에미터 윈도우를 완전히 매립하는 폴리실리콘막을 형성하는 단계; 및

상기 절연막이 드러날 때까지 상기 폴리실리콘막을 화학 기계적 연마로 평탄화시켜 상기 에미터 윈도우 안에만 상기 폴리실리콘막을 남기는 단계를 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

### 청구항 5.

컬렉터, 베이스 및 에미터로 구성된 바이폴라 트랜지스터가 형성될 제1 영역과 게이트 및 소오스/드레인으로 구성된 씨모스(CMOS) 트랜지스터가 형성될 제2 영역을 포함하는 BiCMOS 제조방법에 있어서,

- (a) 상기 제1 영역과 제2 영역 위에 게이트 산화막과 게이트 보호 폴리실리콘막을 순차적으로 형성하는 단계;
- (b) 상기 제1 영역에서 에미터가 형성될 부분의 게이트 보호 폴리실리콘막과 게이트 산화막을 식각함으로써 기판을 노출시킨 다음 SiGe 베이스층을 에피택셜 성장하는 단계;
- (c) 상기 SiGe 베이스층 위로 식각선택비에 있어서 차이가 있는 절연막들을 교번적으로 증착한 다음, 폴리실리콘막과 산화막을 순차적으로 형성하고, 상기 산화막 표면을 평탄화시키는 단계;
- (d) 상기 제1 영역에서 상기 산화막, 폴리실리콘막 및 절연막들 중 일부를 식각하여 에미터 윈도우를 형성한 후, 상기 에미터 윈도우 안에 더미 폴리실리콘 패턴을 형성하는 단계;
- (e) 상기 산화막을 제거한 다음, 상기 더미 폴리실리콘 패턴의 측벽에 더미 스페이서를 형성하는 단계;
- (f) 상기 더미 폴리실리콘 패턴과 더미 스페이서를 이온주입 마스크로 이용한 이온주입을 실시하여 상기 SiGe 베이스층에 외인성 베이스를 형성하는 단계;
- (g) 상기 더미 스페이서, 더미 폴리실리콘 패턴과 폴리실리콘막을 제거한 다음, 상기 절연막들을 이온주입 마스크로 하여 상기 에미터 윈도우 안으로 이온주입을 실시함으로써 상기 기판 안에 선택적 이온주입된 컬렉터를 형성하는 단계;
- (h) 상기 에미터 윈도우 안에 남아있는 상기 절연막들을 식각한 후 에미터 폴리실리콘을 증착하고 패터닝하여 에미터를 형성하는 단계;
- (i) 상기 제1 영역에서 상기 SiGe 베이스층을 패터닝하여 베이스를 완성하고, 이와 동시에 상기 제2 영역에서 상기 SiGe 베이스층과 게이트 보호 폴리실리콘을 패터닝하여 게이트를 형성하는 단계; 및
- (j) 상기 에미터, 베이스 및 게이트의 측벽에 스페이서를 형성한 다음, 이온주입을 실시하여 상기 제2 영역에 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

### 청구항 6.

제 5 항에 있어서, 상기 (a) 단계 전에

상기 제1 영역의 기판에 불순물을 이온주입하여 매몰 컬렉터층을 형성하는 단계;

상기 매몰 컬렉터층 위에 컬렉터층을 에피택셜 성장시키는 단계;

상기 컬렉터층에서 활성 영역 이외의 부분에 소자분리막을 형성하는 단계; 및

상기 제1 영역에 서브컬렉터 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

### 청구항 7.

제 5 항에 있어서, 상기 SiGe 베이스층을 형성할 때에는 불순물이 도핑되지 않은 Si층을 씨앗층으로서 형성한 위에 SiGe 층, 불순물이 도핑된 SiGe층을 차례로 형성하는 것을 특징으로 하는 BiCMOS 제조방법.

### 청구항 8.

제 5 항에 있어서, 상기 (c) 단계에서 상기 산화막은 플라즈마 인가 화학 기상 증착(PECVD)으로 형성하고 화학 기계적 연마로 평탄화시키는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 9.**

제 5 항에 있어서, 상기 더미 폴리실리콘 패턴을 형성하는 단계는,

상기 산화막 위로 상기 에미터 윈도우를 완전히 매립하는 폴리실리콘막을 형성하는 단계; 및

상기 산화막이 드러날 때까지 상기 폴리실리콘막을 평탄화시켜 상기 에미터 윈도우 안에만 상기 폴리실리콘막을 남기는 단계를 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 10.**

제 5 항에 있어서, 상기 (c) 단계에서 상기 절연막들은 상기 SiGe 베이스층 위로 제1 산화막, 질화막 및 제2 산화막을 적층하여 형성하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 11.**

제 10 항에 있어서, 상기 (d) 단계에서 상기 절연막들 중 상기 제2 산화막만 식각하여 상기 에미터 윈도우를 형성하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 12.**

제 11 항에 있어서, 상기 (g) 단계에서는 식각된 상기 제2 산화막을 마스크로 하여 상기 에미터 윈도우 안에 노출된 상기 질화막을 식각한 후 상기 선택적 이온주입된 컬렉터를 형성하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 13.**

제 5 항에 있어서, 상기 (j) 단계 이후 상기 기판 위에 금속을 증착하여 실리사이드를 포함하는 오믹콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 14.**

컬렉터, 베이스 및 에미터로 구성된 바이폴라 트랜지스터가 형성될 제1 영역과 게이트 및 소오스/드레인으로 구성된 씨모스(CMOS) 트랜지스터가 형성될 제2 영역을 포함하는 BiCMOS 제조방법에 있어서,

(a) 상기 제1 영역과 제2 영역 위에 게이트 산화막과 게이트 보호 폴리실리콘막을 순차적으로 형성하는 단계;

(b) 상기 제1 영역에서 에미터가 형성될 부분의 게이트 보호 폴리실리콘막과 게이트 산화막을 식각함으로써 기판을 노출시킨 다음 SiGe 베이스층을 에피택셜 성장하는 단계;

(c) 상기 SiGe 베이스층 위로 제1 산화막, 질화막, 제2 산화막, 폴리실리콘막 및 제3 산화막을 순차적으로 형성하고, 상기 제3 산화막 표면을 평탄화시키는 단계;

(d) 상기 제1 영역에서 상기 제3 산화막, 폴리실리콘막 및 제2 산화막을 식각하여 에미터 윈도우를 오픈한 후, 상기 에미터 윈도우 안에 상기 제3 산화막 표면과 나란하게 더미 폴리실리콘 패턴을 형성하는 단계;

(e) 상기 제3 산화막을 제거한 다음, 상기 더미 폴리실리콘 패턴의 측벽에 더미 스페이서를 형성하는 단계;

(f) 상기 더미 폴리실리콘 패턴과 더미 스페이서를 이온주입 마스크로 이용한 이온주입을 실시하여 상기 SiGe 베이스층에 외인성 베이스를 형성하는 단계;

(g) 상기 더미 스페이서, 더미 폴리실리콘 패턴과 폴리실리콘막을 제거한 다음, 남아있는 상기 제2 산화막을 식각 마스크로 하여 상기 질화막을 식각하고, 남아 있는 상기 제2 산화막과 질화막을 이온주입 마스크로 하여 상기 에미터 윈도우 안으로 이온주입을 실시함으로써 상기 기판 안에 선택적 이온주입된 컬렉터를 형성하는 단계;

- (h) 상기 남아 있는 제2 산화막과 상기 에미터 윈도우 안의 제1 산화막을 식각한 다음 상기 SiGe 베이스층 위로 에미터 폴리실리콘을 증착하고, 상기 에미터 폴리실리콘과 상기 질화막을 패터닝하여 에미터를 형성하는 단계;
- (i) 상기 제1 영역에서 상기 SiGe 베이스층과 게이트 보호 폴리실리콘을 패터닝하여 베이스를 완성하고, 이와 동시에 상기 제2 영역에서 상기 SiGe 베이스층과 게이트 보호 폴리실리콘을 패터닝하여 게이트를 형성하는 단계; 및
- (j) 상기 에미터, 베이스 및 게이트의 측벽에 스페이서를 형성한 다음, 이온주입을 실시하여 상기 제2 영역에 소오스/드레인을 형성하는 단계를 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 15.**

제 14 항에 있어서, 상기 (a) 단계 전에  
 상기 제1 영역의 기판에 불순물을 이온주입하여 매몰 컬렉터층을 형성하는 단계;  
 상기 매몰 컬렉터층 위에 컬렉터층을 에피택셜 성장시키는 단계;  
 상기 컬렉터층에서 활성 영역 이외의 부분에 소자분리막을 형성하는 단계; 및  
 상기 제1 영역에 서브컬렉터 콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 16.**

제 14 항에 있어서, 상기 SiGe 베이스층을 형성할 때에는 불순물이 도핑되지 않은 Si층을 씨앗층으로서 형성한 위에 SiGe 층, 불순물이 도핑된 SiGe층을 차례로 형성하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 17.**

제 14 항에 있어서, 상기 (c) 단계에서 상기 제3 산화막은 플라즈마 인가 화학 기상 증착으로 형성하고 화학 기계적 연마로 평탄화시키는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 18.**

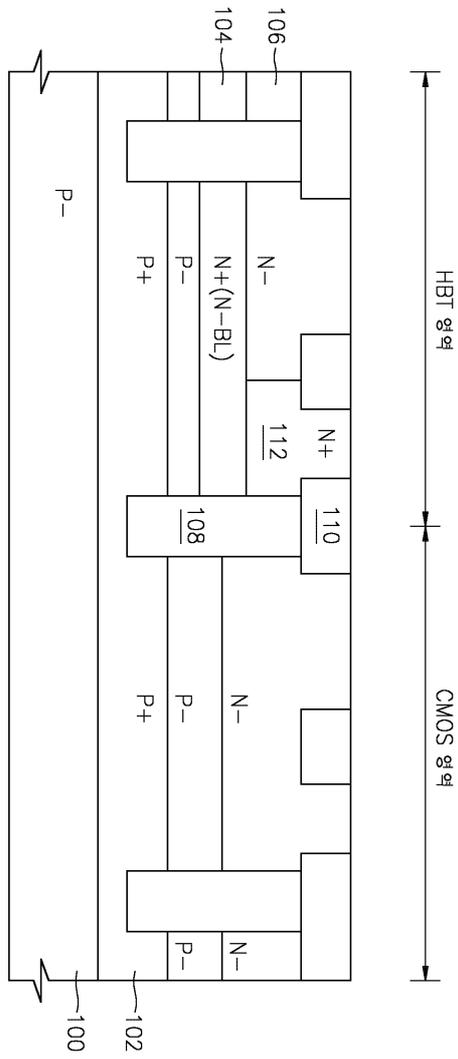
제 14 항에 있어서, 상기 더미 폴리실리콘 패턴을 형성하는 단계는,  
 상기 제3 산화막 위로 상기 에미터 윈도우를 완전히 매립하는 폴리실리콘막을 형성하는 단계; 및  
 상기 제3 산화막이 드러날 때까지 상기 폴리실리콘막을 평탄화시켜 상기 에미터 윈도우 안에만 상기 폴리실리콘막을 남기는 단계를 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

**청구항 19.**

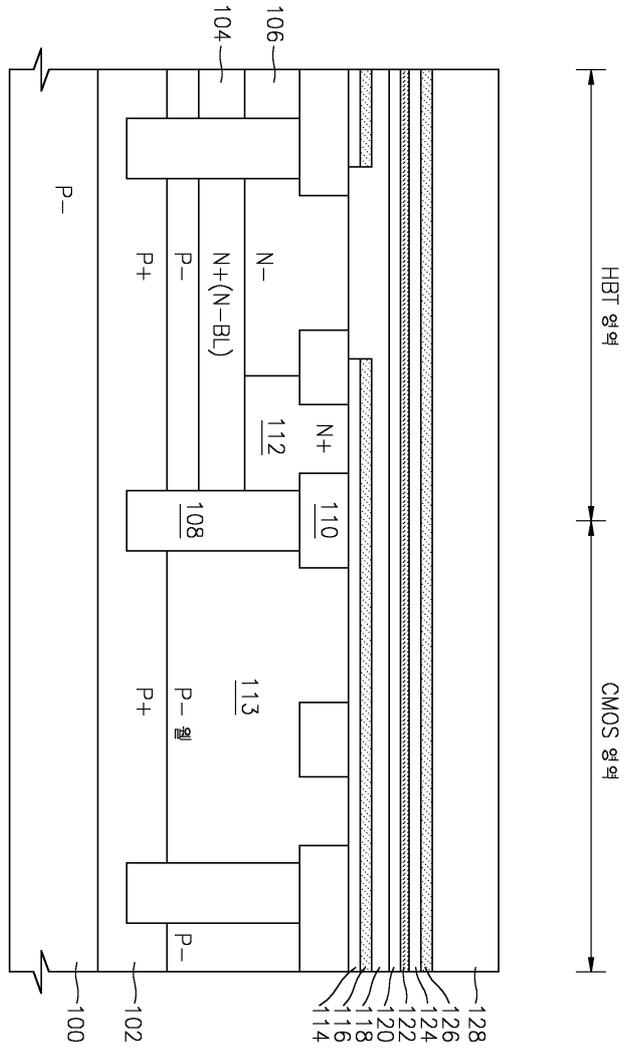
제 14 항에 있어서, 상기 (j) 단계 이후 상기 기판 위에 금속을 증착하여 실리사이드를 포함하는 오믹콘택을 형성하는 단계를 더 포함하는 것을 특징으로 하는 BiCMOS 제조방법.

도면

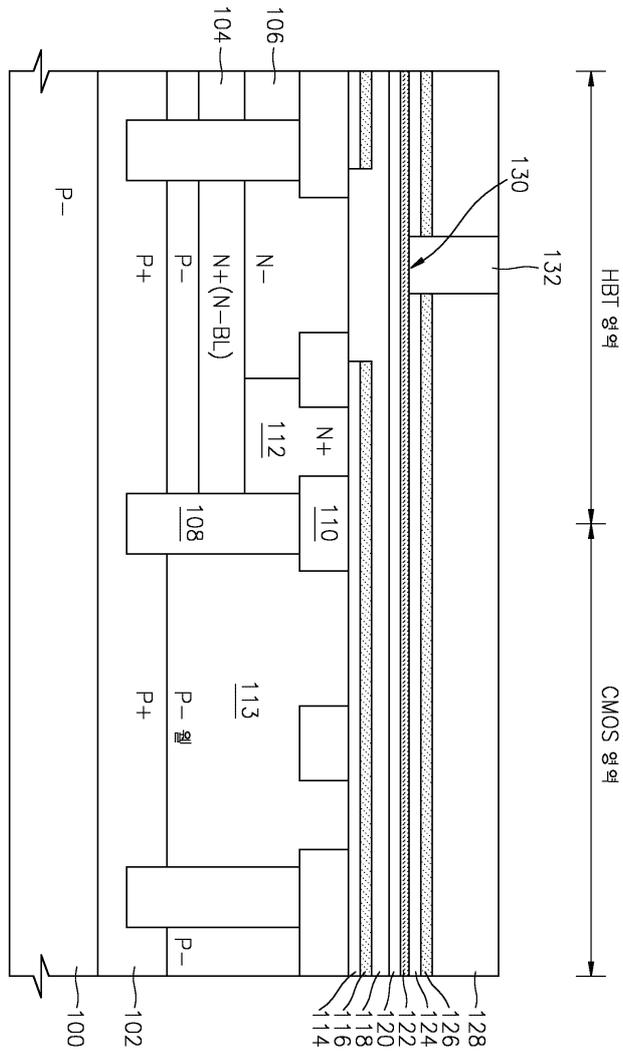
도면1



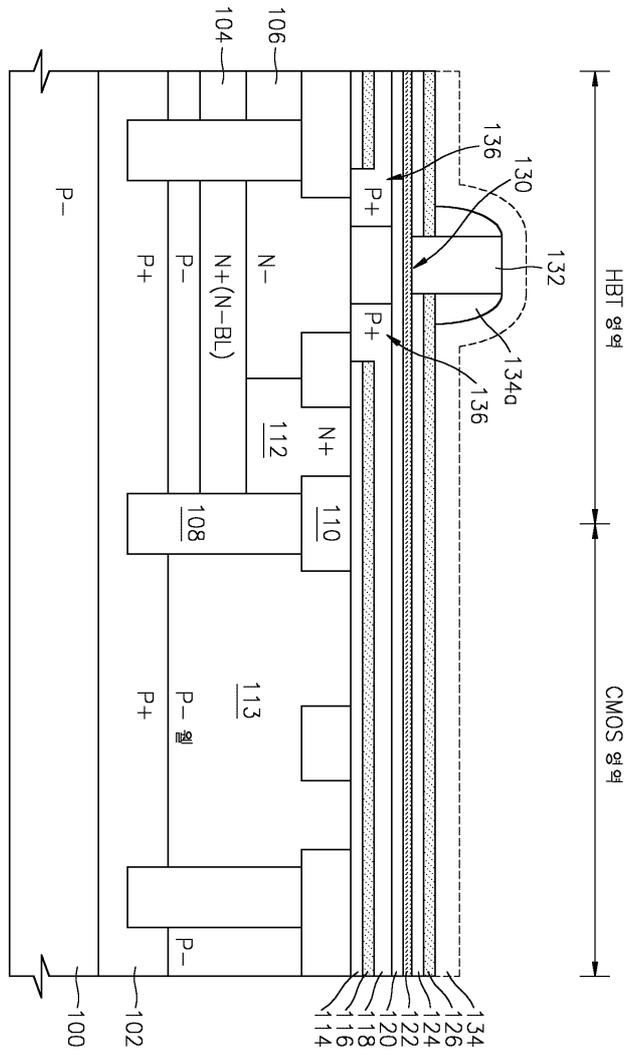
도면2



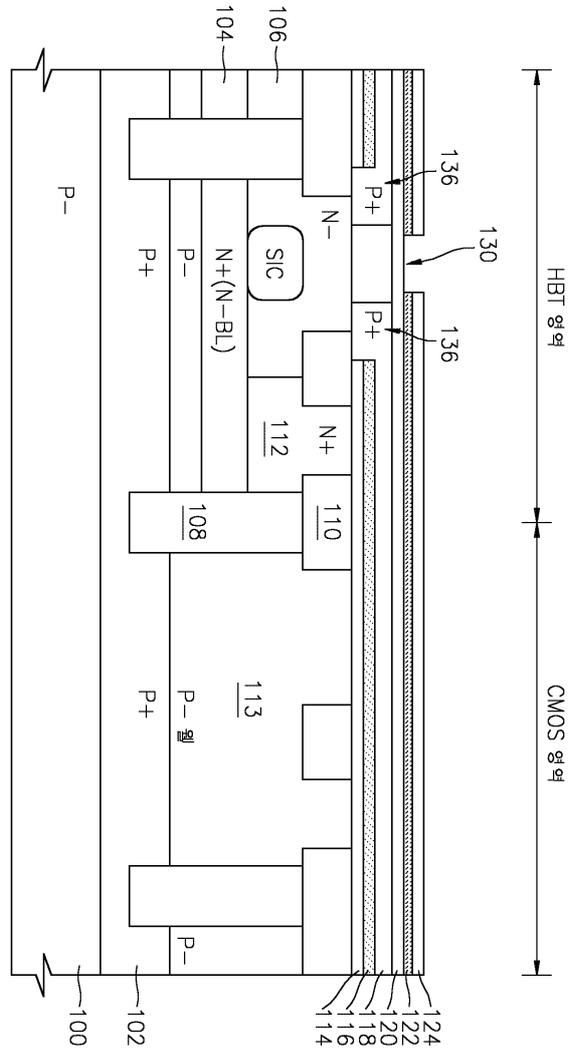
도면3



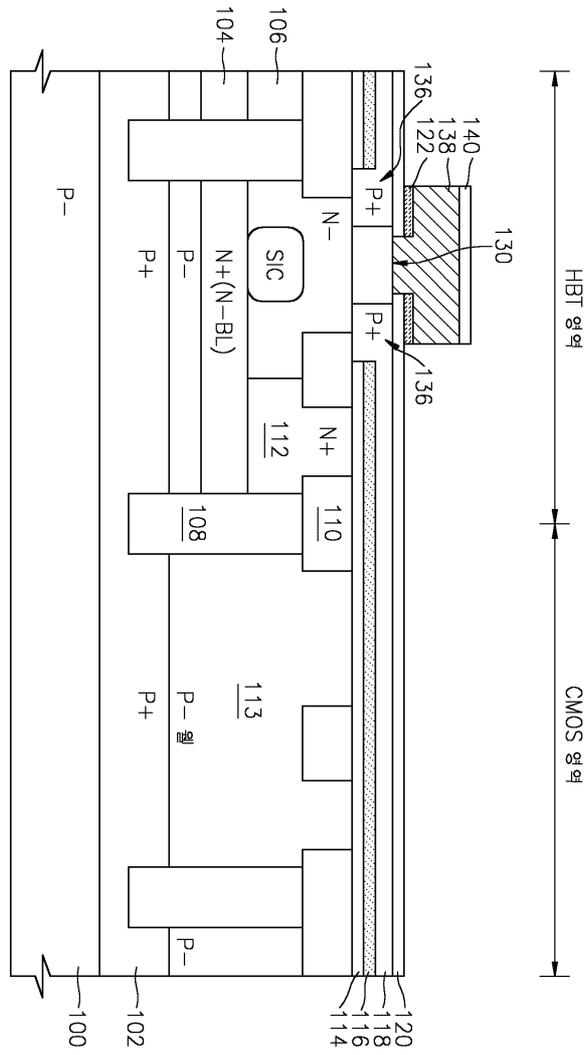
도면4



도면5



도면6



도면7

