

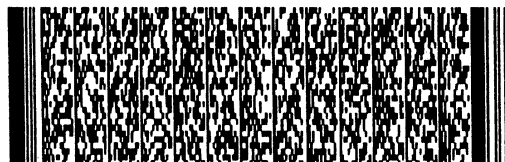
# 公告本

申請日期： 92-10-21	IPC分類	I221343
申請案號： 92129159	H01L 23/e0	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	防止安裝表面接著元件時污染晶圓鐳墊之構造及其製程
	英文	wafer structure for preventing contamination of bond pads during SMT process and process for the same
二、 發明人 (共1人)	姓名 (中文)	1. 劉昇聰
	姓名 (英文)	1. Sheng-Tsung Liu
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄市楠梓區興楠路203巷37弄10號
	住居所 (英文)	1. No. 10, Alley 37, Lane 203, Shingnan Rd., Nantz Chiu, Kaohsiung City, Taiwan 811, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英文)	1. No. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Jason Chang



## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

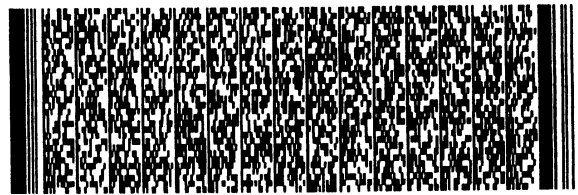
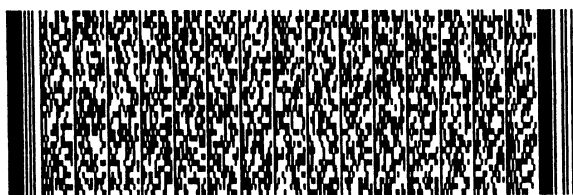
## 五、發明說明 (1)

## 【發明所屬之技術領域】

本發明係有關於一種安裝有表面接著元件〔Surface Mount Device, SMD〕之晶圓，特別係有關於一種防止安裝表面接著元件時污染晶圓鐳墊之構造及其製程以及使用該構造之半導體封裝結構。

## 【先前技術】

習知被動元件係積體整合於一晶圓之積體電路內，但被動元件材料、膜厚與製程均與高精度之積體電路特性不同，若勉強將極低成本之被動元件強行整合於一高單價晶圓，將導致晶圓之製作難度與成本將大幅提高，原申請人於我國專利公告第459354號「具有表面接著元件之半導體晶片」提出一種解決方式，其係揭示有一種表面接著元件安裝於半導體晶圓的製程，其係將一如被動元件之表面接著元件安裝在一半導體晶圓之主動表面，而該半導體晶圓之主動表面除了原本鐳墊之外應預先形成有線路與端部〔表面接著鐳墊〕，該表面接著元件係以導電膠或接合物質連接在該些端部，當以錫膏作為接合物質時，須回鐳該接合物質，以安裝該表面接著元件，故低成本之表面接著元件與半導體晶圓可先個別製作完成再安裝一起，深具實用性，然而在回鐳該接合物質時，如錫膏與助鐳劑接合物質之在回鐳步驟中將變得具有高流動性，可能污染至該半導體晶圓之鐳墊〔打線鐳墊〕，雖然該接合物質在晶圓主動表面〔晶圓保護層〕之殘留物可用溶劑清洗，但一旦污染至晶圓鐳墊，將變得非常難以清洗乾淨。



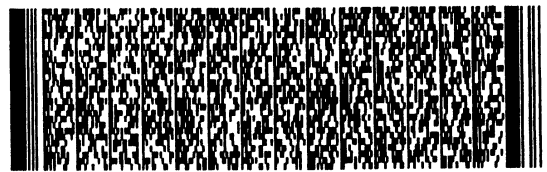
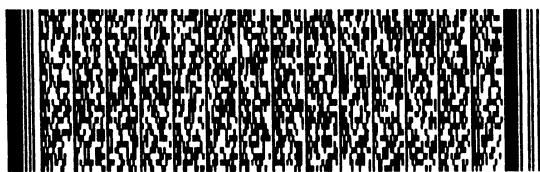
## 五、發明說明 (2)

## 【發明內容】

本發明之主要目的係在於提供一種防止安裝表面接著元件時污染晶圓鐳墊之構造，其係在一晶圓之主動表面設有複數個第一鐳墊與第二鐳墊，其中該些第二鐳墊係形成有接合物質，以接合一表面接著元件，利用一分散槽橫設於該些第一鐳墊與該些第二鐳墊之間，以分散該接合物質在回鐳溫度下之流動，防止在安裝表面接著元件時污染晶圓之第一鐳墊。

本發明之次一目的係在於提供一種防止安裝表面接著元件時污染晶圓鐳墊之製程，在接合一表面接著元件於一晶圓主動表面之前，利用至少一分散槽設於該晶圓主動表面之該些第一鐳墊與該些第二鐳墊之間，以分散第二鐳墊上接合物質在回鐳溫度下之流動，而防止在安裝表面接著元件時污染晶圓之第一鐳墊。

依本發明之防止安裝表面接著元件時污染晶圓鐳墊之構造，其係包含有一晶圓、複數個接合物質及至少一表面接著元件，其中該晶圓係具有一主動表面及一對應之背面，該主動表面係設有複數個第一鐳墊與複數個第二鐳墊，該些第一鐳墊係可為打線鐳墊並形成於該主動表面之周邊，該些第二鐳墊係可為表面接合鐳墊，較佳地，在該些第二鐳墊上可覆蓋有一UBM金屬層 (Under Bump Metallurgy, UBM) 及一黏著層，在該些第一鐳墊與該些第二鐳墊之間係形成有至少一分散槽，該分散槽係可由一圖案化光阻層或一圖案化保護層所構成，並呈封閉環狀為



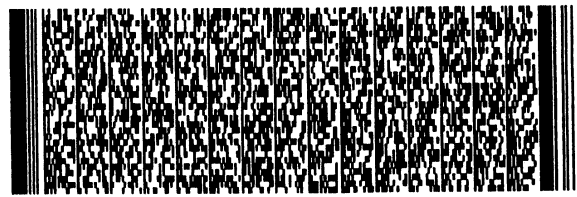
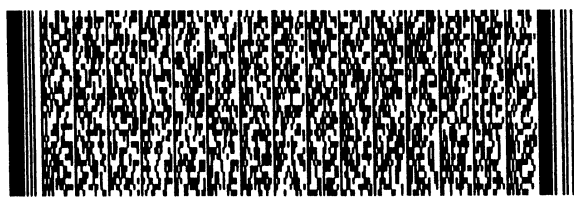
## 五、發明說明 (3)

較佳；該些接合物質如錒膏或助錒劑係形成於該些第二錒墊上，利用該些接合物質將該表面接著元件之電極端接合於該晶圓之主動表面上之該些第二錒墊，該分散槽係使得在回錒過程該些接合物質不會污染該晶圓之該些第一錒墊。

## 【實施方式】

參閱所附圖式，本發明將列舉以下之實施例說明。

請參閱第1及2圖，依據本發明之一具體實施例，一種防止安裝表面接著元件時污染晶圓錒墊之構造係包含有一晶圓110、複數個接合物質120及至少一表面接著元件130，其中該晶圓110係包含有複數個半導體片110a，該晶圓110係具有一主動表面111及一對應之背面112，該主動表面111係設有複數個第一錒墊113與複數個第二錒墊114，在本實施例中，該晶圓110之主動表面111係製作有連接線路〈圖未繪出〉，以將該些第一錒墊113與第二錒墊114連接至該晶圓110之內部積體電路〈圖未繪出〉，該些第一錒墊113係可為打線錒墊〔wire bond pad〕並形成於該主動表面111，並且該些第一錒墊113係可排列於每一晶片110a區域周邊，並可為多排交錯排列或其它型態，以利高密度打線，而該些第二錒墊114係可為表面接合錒墊〔Surface Mount Device pad, SMD pad〕，較佳地，在該些第二錒墊114上可覆蓋有一UBM金屬層115〔Under Bump Metallurgy, UBM〕，如銅鉻等金屬層，其係延伸至晶圓110之一保護層116〔wafer passivation layer〕之

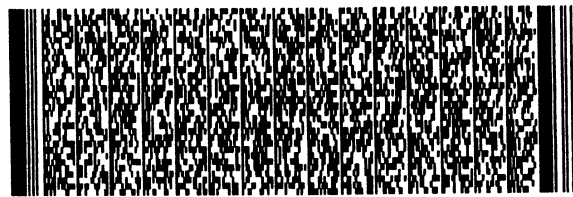


## 五、發明說明 (4)

上，並可在該UBM金屬層115上再覆蓋一黏著層117，如錫鉛合金或其它銲接材料層，以利該些接合物質120之附著，且每一第二銲墊114上之顯露區域〔即黏著層117〕係可大於每一第一銲墊113，該些第二銲墊114係可設於該晶圓110之主動表面111，並且該些第二銲墊114係可排列於每一晶片110a區域中央，在該些第一銲墊113與該些第二銲墊114之間係形成有至少一分散槽118，用以分散、疏導該些接合物質120之溢流，在本實施例中，該分散槽118係可由一圖案化光阻層119〔pattern photo resist layer〕所構成，其係可為線型、波浪型或其它幾何圖型，並呈封閉環狀為較佳，以圍繞並分隔該些第二銲墊114。

該些接合物質120係為銲膏〔solder paste〕或助銲劑〔flux〕，其係形成於該些第二銲墊114上，該表面接著元件130係回銲接合於該晶圓110之主動表面111，該表面接著元件130係為選自於如電阻、電感、電容等其中之一之被動元件，該表面接著元件130具有複數個電極端131，以該些接合物質120連接該些電極端131與該些第二銲墊114，利用該分散槽118使得該些接合物質120在回銲接合過程中即使具有高流動性仍被分散局限在該分散槽118內而不會污染至該晶圓110之該些第一銲墊113。

依本發明之防止安裝表面接著元件時污染晶圓銲墊之製程，請參閱第3A圖，首先，提供有上述之晶圓110，該晶圓110之主動表面111係設有不同用途之複數個第一銲墊

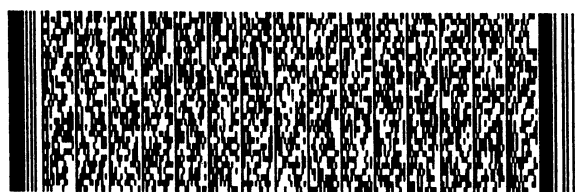


## 五、發明說明 (5)

113 與複數個第二鐳墊114，且在該些第一鐳墊113與該些第二鐳墊114之間係形成有至少一分散槽118；之後，請參閱第3B圖，可以印刷等方式形成複數個接合物質120於該些第二鐳墊114；最後，請參閱第1及2圖，回鐳接合至少一表面接著元件130於該晶圓110之主動表面111，其係以該些接合物質120連接該表面接著元件130之該電極端131與該些第二鐳墊114，在該表面接著元件130之接著與回鐳過程，一旦有接合物質120不規則地溢流超過該些第二鐳墊114時，會被該分散槽118分散、疏導且減弱其流動性，以防止該溢流之接合物質120污染至該些第一鐳墊113。

因此，依上述之製程，請參閱第4圖，製得之安裝有表面接著元件之晶圓110在單體化分離為個別半導體晶片110a之後，該晶片110a係固定於一基板210之表面211，由於該些第一鐳墊113不被接合物質120污染而清潔度良好，使得如鐳線之電性連接元件220能容易地接著在該些第一鐳墊113上，以使該些第一鐳墊113電性連接至該基板210，此外，在該基板210之該表面211另形成有一封膠體230，以密封該安裝有表面接著元件130之晶片與該基板210，以運用於半導體封裝結構。

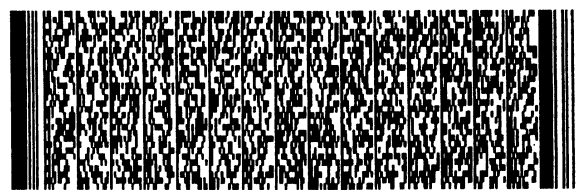
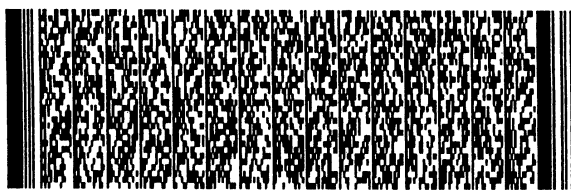
在本發明之另一具體實施例，請參閱第5圖，一種防止安裝表面接著元件時污染晶圓鐳墊之構造係包含有一晶圓310、複數個接合物質320及至少一表面接著元件330，其係與上述實施例之晶圓110、接合物質120與表面接著元件130構件相同，其中該晶圓310係具有一主動表面311及



## 五、發明說明 (6)

一對應之背面312，該主動表面311係設有複數個第一錒墊313與複數個第二錒墊314，在本實施例中，該晶圓310之主動表面311係製作有重分配連接線路〈圖未繪出〉，以導接該些第一錒墊313至該晶圓310，該些第一錒墊313係可接合有複數個凸塊340，該些凸塊340並可呈球狀陣列型態，較佳地，該些凸塊340係稍高於該表面接著元件330，而該些第二錒墊314係可為表面接合錒墊〔Surface Mount Device pad, SMD pad〕，較佳地，在該些第二錒墊314上可覆蓋有一UBM金屬層315〔Under Bump Metallurgy, UBM〕，以利接著該些接合物質320，在該些第一錒墊313與該些第二錒墊314之間係形成有至少一分散槽316，用以分散、疏導該些接合物質320之溢流，在本實施例中，該分散槽316係可由一圖案化保護層317〔pattern passivation layer〕所構成，以分隔該些第二錒墊314及該些第一錒墊313，且該分散槽316係可為線形、波浪形或其它幾何圖形，並呈封閉環狀為較佳，該表面接著元件330係以該些接合物質320回錒接合於該晶圓310之該主動表面311，以該些接合物質320連接該些電極端331與該些第二錒墊314，利用該分散槽316使得該些接合物質320不會溢流污染至該晶圓310之該些第一錒墊313或該些凸塊340。

本發明之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本發明之精神和範圍內所作之任何變化與修改，均屬於本發明之保護範圍。





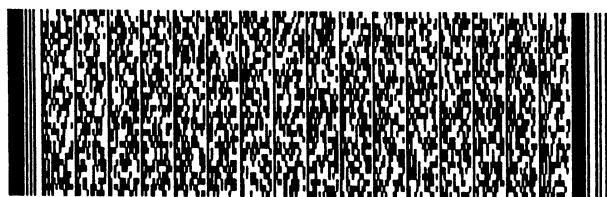
## 圖式簡單說明

## 【圖式簡單說明】

- 第 1 圖：依據本發明之一具體實施例，一防止安裝表面接著元件時污染晶圓鐳墊之構造截面圖；
- 第 2 圖：依據本發明之一具體實施例，該防止安裝表面接著元件時污染晶圓鐳墊之構造上視圖；
- 第 3A 至 3B 圖：依據本發明之防止安裝表面接著元件時污染晶圓鐳墊之製程，一晶圓在製程中之截面圖；
- 第 4 圖：依據本發明之一具體實施例，該防止安裝表面接著元件時污染晶圓鐳墊之構造利用於一半導體封裝結構之截面示意圖；及
- 第 5 圖：依據本發明之另一具體實施例，一防止安裝表面接著元件時污染晶圓鐳墊之構造截面圖。

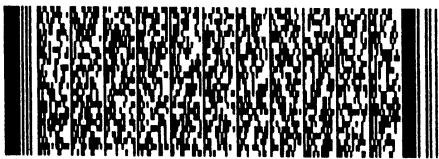
## 元件符號簡單說明：

110	晶圓	110a	晶片		
111	主動表面	112	背面		
113	第一鐳墊	114	第二鐳墊	115	UBM層
116	保護層	117	黏著層	118	分散槽
119	圖案化光阻層				
120	接合物質	130	表面接著元件		
131	電極端				
210	基板	211	表面	220	電性連接元件



## 圖式簡單說明

230	封膠體				
310	晶圓	311	主動表面	312	背面
313	第一鍍墊	314	第二鍍墊	315	UBM層
316	分散槽	317	圖案化保護層		
320	接合物質	330	表面接著元件		
331	電極端	340	凸塊		



四、中文發明摘要 (發明名稱：防止安裝表面接著元件時污染晶圓鐳墊之構造及其製程)

一種防止安裝表面接著元件時污染晶圓鐳墊之構造，其包含有一晶圓、複數個接合物質及至少一表面接著元件，該晶圓之主動表面設有複數個打線鐳墊與表面接合鐳墊，其中在該些打線鐳墊與表面接合鐳墊之間形成有至少一分散槽，該些接合物質係形成於該些表面接合鐳墊上，以利接合該表面接著元件，該表面接著元件係回鐳接合該晶圓之該些表面接合鐳墊，該分散槽係防止該些接合物質在回鐳時污染至該些打線鐳墊。

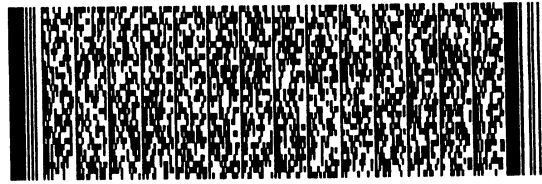
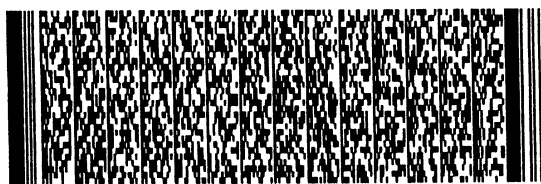
伍、(一)、本案代表圖為：第\_\_2\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

110	晶圓	110a	晶片
113	第一鐳墊	114	第二鐳墊
116	保護層	118	分散槽

六、英文發明摘要 (發明名稱：wafer structure for preventing contamination of bond pads during SMT process and process for the same)

Disclosed a wafer structure for preventing the contamination due to the bonding materials during the reflowing process by providing a plurality of dispersion slots disposed between wire bond pads and SMT pads. The structure comprises a wafer, a plurality of bonding materials and at least a surface mount device (SMD), in which the wire bond pads and the SMT pads are disposed on the active



四、中文發明摘要 (發明名稱：防止安裝表面接著元件時污染晶圓錫墊之構造及其製程)

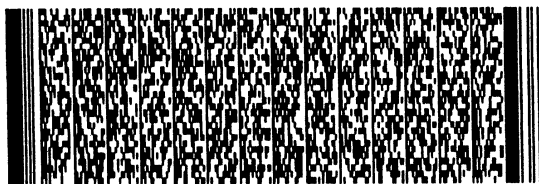
119 圖案化光阻層

120 接合物質      130 表面接著元件

131 電極端

六、英文發明摘要 (發明名稱：wafer structure for preventing contamination of bond pads during SMT process and process for the same)

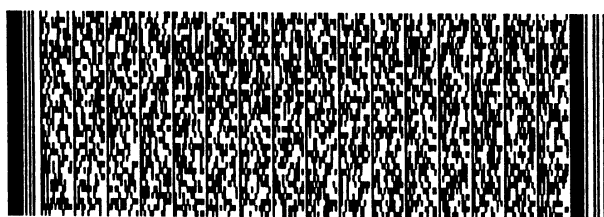
surface of the wafer. At least a dispersion slot is formed between the wire bond pads and SMT pads. The bonding materials are disposed on the SMT pads for connecting the SMD. The SMD is reflowed and bonded on the SMT pads of the wafer. The dispersion slot can help prevent the contamination occurred on the wire bond pads due to the bonding materials during the reflowing process.



## 六、申請專利範圍

## 【申請專利範圍】

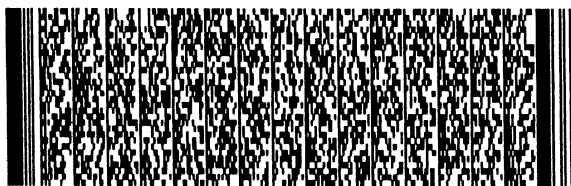
- 1、一種防止安裝表面接著元件時污染晶圓錫墊之構造，包含：  
一晶圓，其係具有一主動表面，該主動表面係設有複數個第一錫墊與複數個第二錫墊，在該些第一錫墊與該些第二錫墊之間係形成有至少一分散槽；  
複數個接合物質，其係形成於該些第二錫墊；及  
至少一表面接著元件，其具有複數個電極端，該表面接著元件之該些電極端係以該些接合物質接合於該些第二錫墊。
- 2、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該晶圓之主動表面係設有一圖案化光阻層，以形成該分散槽。
- 3、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該晶圓之主動表面係設有一圖案化保護層，以形成該分散槽。
- 4、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該分散槽係具有選自於線形、波浪形之幾何圖形。
- 5、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該些第二錫墊係覆蓋有一UBM金屬層〔Under Bump Metallurgy, UBM〕。
- 6、如申請專利範圍第5項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該UBM金屬層係覆蓋有一



## 六、申請專利範圍

黏著層，以利接著該些接合物質。

- 7、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該分散槽係為封閉環狀並圍繞該些第二錫墊。
- 8、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該接合物質係為錫膏。
- 9、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該接合物質係為助錫劑。
- 10、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該表面接著元件係為被動元件。
- 11、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該表面接著元件係選自於電阻、電感與電容之其中之一。
- 12、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中每一第二錫墊之顯露面積係大於每一第一錫墊之顯露面積。
- 13、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該些第二錫墊係為表面接著錫墊〔SMD pad〕。
- 14、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓錫墊之構造，其中該些第一錫墊係為打線錫墊〔wire bond pad〕。
- 15、如申請專利範圍第1項所述之防止安裝表面接著元



## 六、申請專利範圍

件時污染晶圓鍍墊之構造，其中該些第一鍍墊係設於該晶圓之主動表面周邊。

16、如申請專利範圍第1項所述之防止安裝表面接著元件時污染晶圓鍍墊之構造，其中該些第一鍍墊上設有複數個凸塊。

17、一種防止安裝表面接著元件時污染晶圓鍍墊之製程，包含：

提供一晶圓，該晶圓係具有一主動表面，該主動表面係設有複數個第一鍍墊與複數個第二鍍墊，在該些第一鍍墊與該些第二鍍墊之間係形成有至少一分散槽；

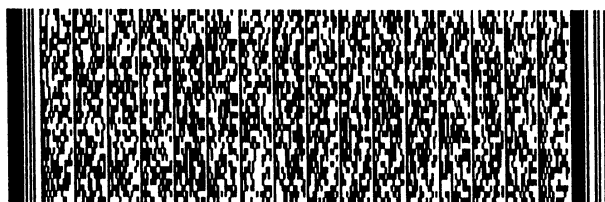
形成複數個接合物質於該些第二鍍墊；及

提供至少一表面接著元件，該表面接著元件係具有複數個電極端，以該些接合物質接合該表面接著元件之該些電極端於該些第二鍍墊。

18、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鍍墊之製程，其中該晶圓之主動表面係設有一圖案化光阻層，以形成該分散槽。

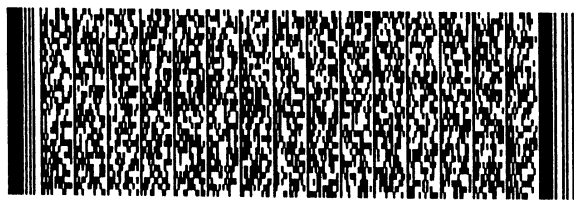
19、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鍍墊之製程，其中該晶圓之主動表面係設有一圖案化保護層，以形成該分散槽。

20、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鍍墊之製程，其中該分散槽係具有選自於線形、波浪形之幾何圖形。



## 六、申請專利範圍

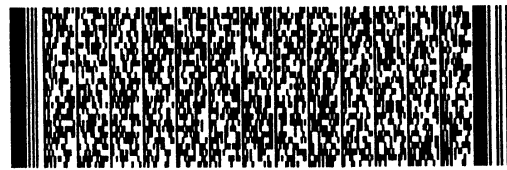
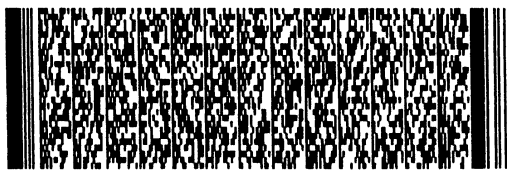
- 21、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該些第二鐳墊係覆蓋有一UBM金屬層〔Under Bump Metallurgy, UBM〕。
- 22、如申請專利範圍第21項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該UBM金屬層係覆蓋有一黏著層，以利接著該些接合物質。
- 23、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該分散槽係為封閉環狀並圍繞該些第二鐳墊。
- 24、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該接合物質係為錫膏。
- 25、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該接合物質係為助鐳劑。
- 26、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該表面接著元件係為被動元件。
- 27、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該表面接著元件係選自於電阻、電感與電容之其中之一。
- 28、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中每一第二鐳墊之顯露面積係大於每一第一鐳墊之顯露面積。





## 六、申請專利範圍

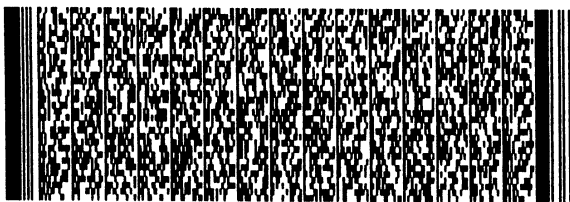
- 29、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該些第二鐳墊係為表面接著鐳墊〔Surface Mount Device pad, SMD pad〕。
- 30、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該些第一鐳墊係為打線鐳墊〔wire bond pad〕。
- 31、如申請專利範圍第17項所述之防止安裝表面接著元件時污染晶圓鐳墊之製程，其中該些第一鐳墊上設有複數個凸塊。
- 32、一種安裝有表面接著元件之半導體封裝結構，其包含：
- 一基板，其係具有一表面；
  - 一晶片，其係具有一主動表面及一對應之背面，該晶片係設於該基板之該表面，該主動表面係設有複數個第一鐳墊與複數個第二鐳墊，在該些第一鐳墊與該些第二鐳墊之間係形成有至少一分散槽，該些第一鐳墊係電性連接至該基板；
  - 複數個接合物質，其係形成於該些第二鐳墊上；
  - 至少一表面接著元件，其具有複數個電極端，該表面接著元件之電極端係以該些接合物質接合於該些第二鐳墊；及
  - 一封膠體，其係密封該晶片與該基板。
- 33、如申請專利範圍第32項所述之安裝有表面接著元件



## 六、申請專利範圍

之半導體封裝結構，其中該晶片之主動表面係設有一圖案化光阻層，以形成該分散槽。

- 34、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該晶片之主動表面係設有一圖案化保護層，以形成該分散槽。
- 35、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該分散槽係具有選自於線形、波浪形之幾何圖形。
- 36、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該些第二鉑墊係覆蓋有一UBM金屬層〔Under Bump Metallurgy, UBM〕。
- 37、如申請專利範圍第36項所述之安裝有表面接著元件之半導體封裝結構，其中該UBM金屬層係覆蓋有一黏著層，以利接著該些接合物質。
- 38、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該分散槽係為封閉環狀並圍繞該些第二鉑墊。
- 39、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該接合物質係為錫膏。
- 40、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該接合物質係為助鉑劑。
- 41、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該表面接著元件係為被動元件。

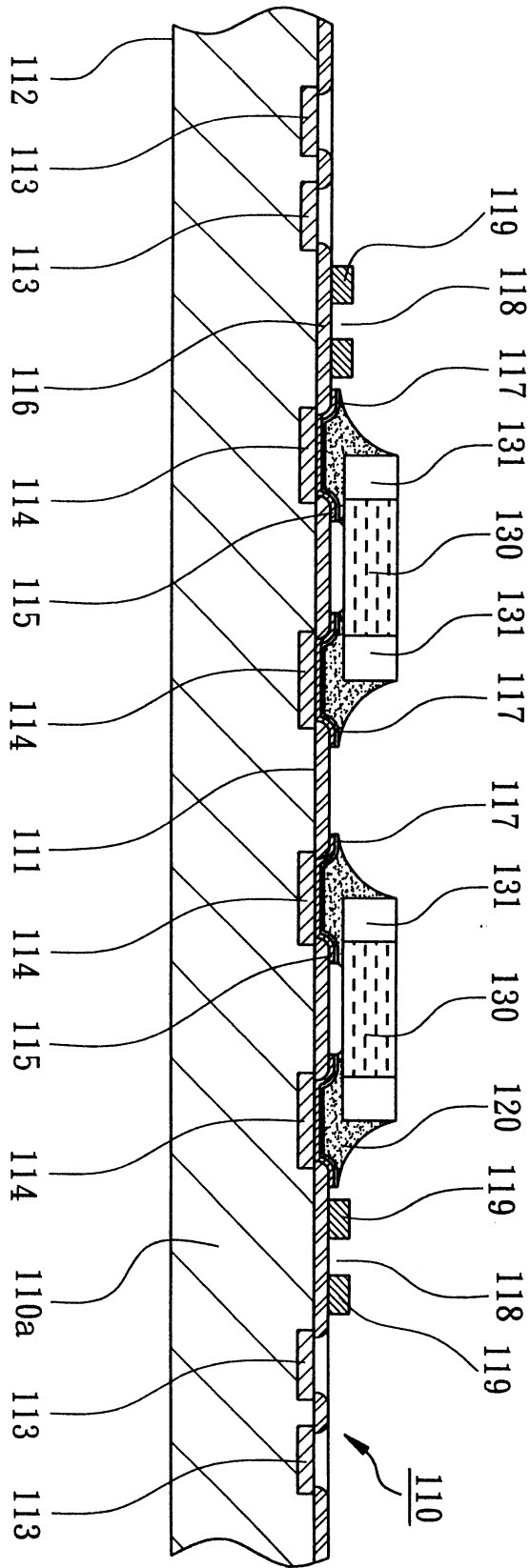


## 六、申請專利範圍

- 42、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該表面接著元件係選自於電阻、電感與電容之其中之一。
- 43、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中每一第二鐳墊之顯露面積係大於每一第一鐳墊之顯露面積。
- 44、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該些第二鐳墊係為表面接著鐳墊〔Surface Mount Device pad, SMD pad〕。
- 45、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該些第一鐳墊係為打線鐳墊〔wire bond pad〕。
- 46、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該些第一鐳墊係設於該晶片之主動表面周邊。
- 47、如申請專利範圍第32項所述之安裝有表面接著元件之半導體封裝結構，其中該些第一鐳墊上設有複數個凸塊。



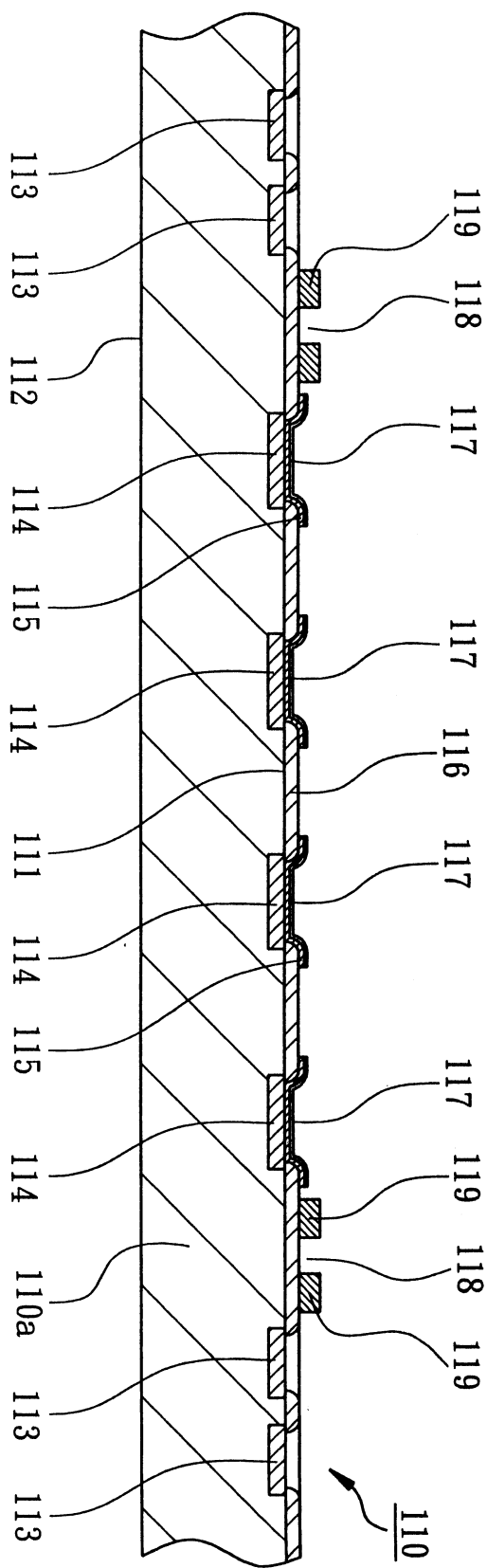
圖式



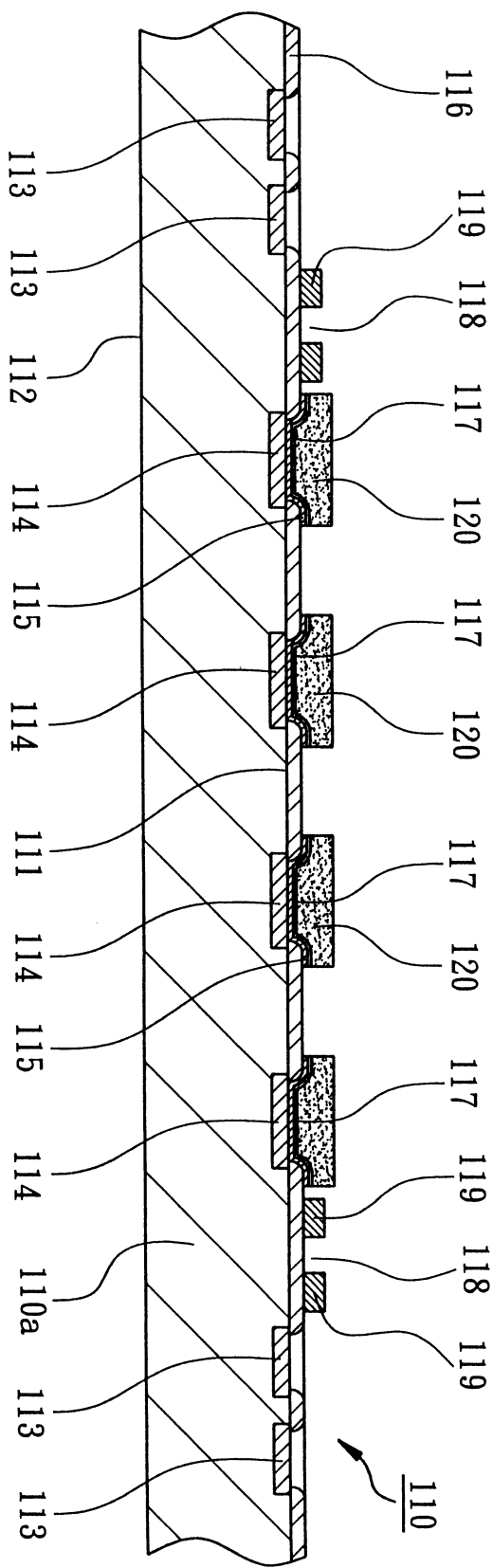
第 1 圖



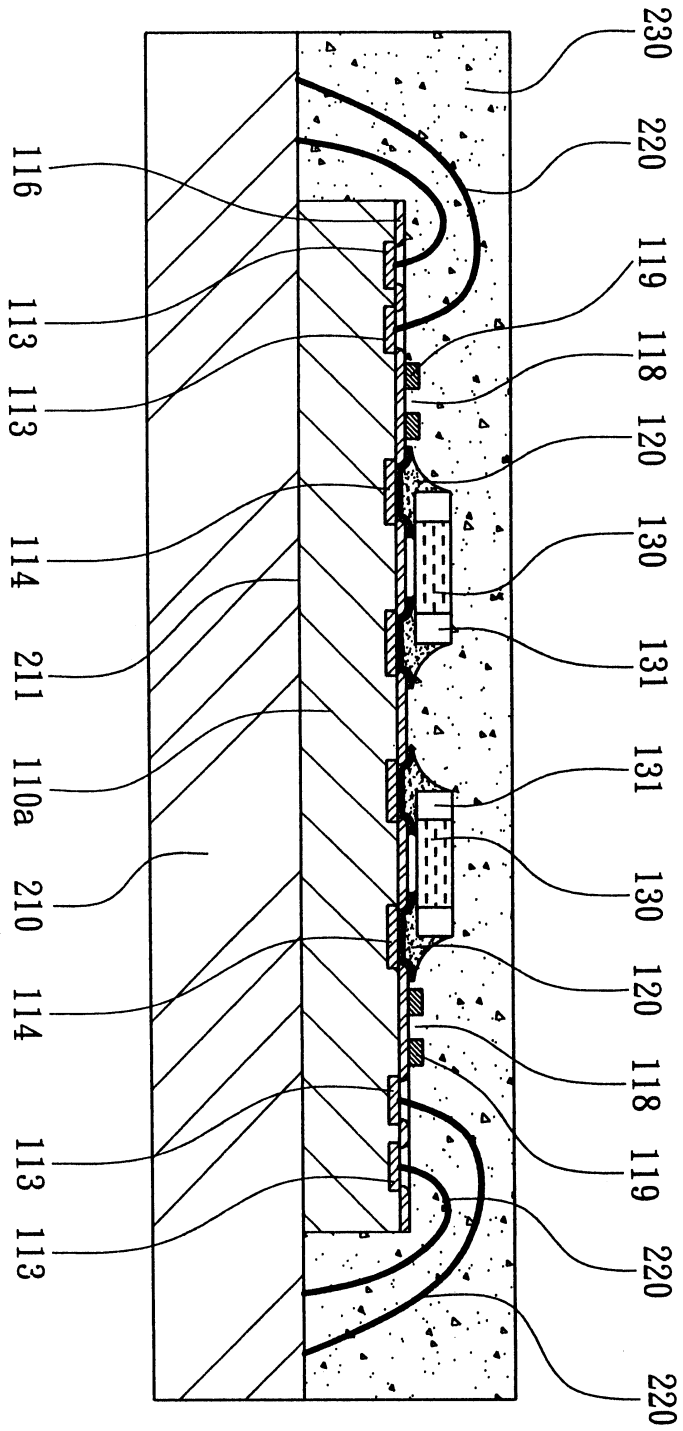
圖式



第 3A 圖

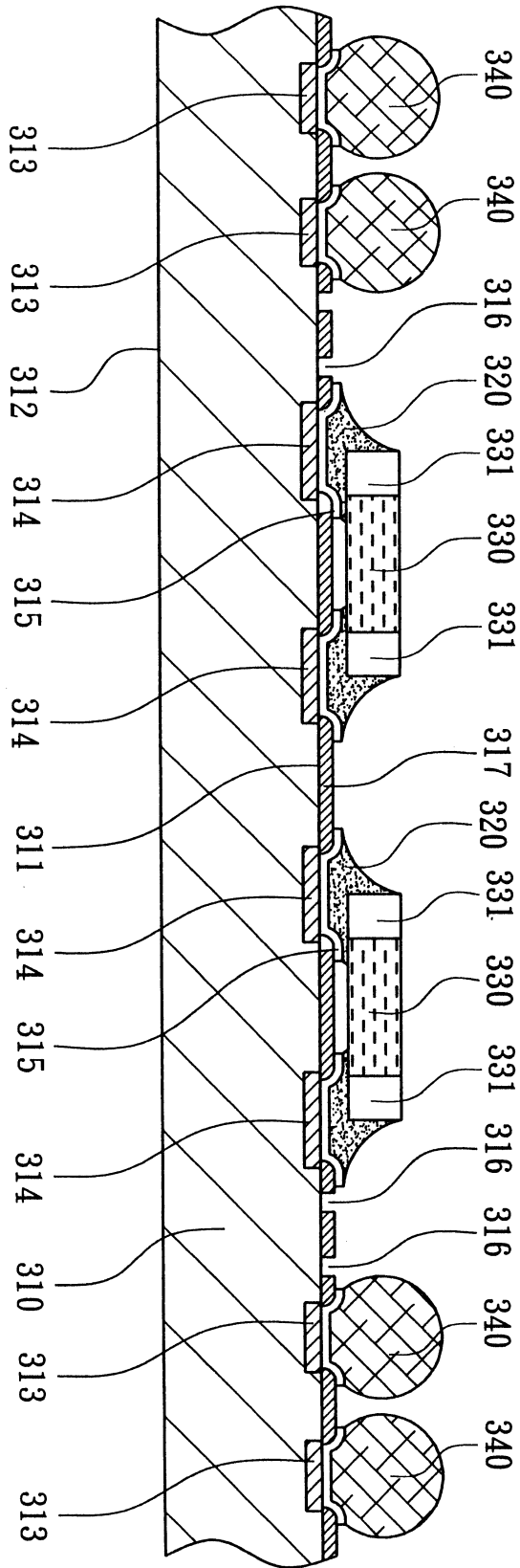


第 3B 圖



第 4 圖

圖式



第 5 圖