



(12) 发明专利

(10) 授权公告号 CN 117097272 B

(45) 授权公告日 2024. 05. 03

(21) 申请号 202311048146.9

(22) 申请日 2023.08.18

(65) 同一申请的已公布的文献号
申请公布号 CN 117097272 A

(43) 申请公布日 2023.11.21

(73) 专利权人 北京中科格励微科技有限公司
地址 100190 北京市海淀区中关村南一条
甲1号中科爱克大厦10层

(72) 发明人 丁一男

(74) 专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 贾磊 刘飞

(51) Int. Cl.

H03F 1/30 (2006.01)

H03G 1/00 (2006.01)

(56) 对比文件

CN 112346509 A, 2021.02.09

US 2007013440 A1, 2007.01.18

US 2007290746 A1, 2007.12.20

US 2013093515 A1, 2013.04.18

US 2018131328 A1, 2018.05.10

CN 107134984 A, 2017.09.05

CN 111669130 A, 2020.09.15

US 2005218980 A1, 2005.10.06

US 2012133430 A1, 2012.05.31

徐韦佳等. 应用于14位流水线ADC的高精度比较器电路设计. 《微型机与应用》. 2017, 第36卷(第6期), 33-36.

审查员 李桐

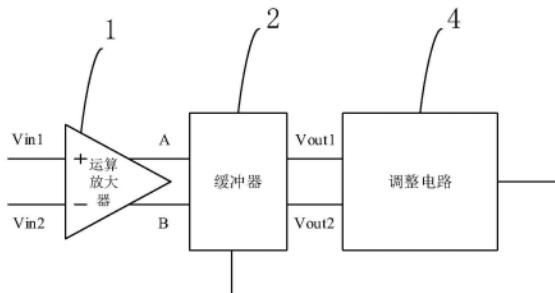
权利要求书2页 说明书9页 附图4页

(54) 发明名称

一种运算放大器组合电路及自调整运算放大器

(57) 摘要

本文提供了一种运算放大器组合电路及自调整运算放大器, 包括: 所述运算放大器接收第一电压与第二电压, 并输出第一输出电压和第二输出电压; 所述缓冲器接收第一输出电压、第二输出电压以及调整信号, 根据调整信号逐级调整所述第一输出电压, 直至所述第一输出电压小于所述第二输出电压, 将所述第二输出电压以及调整完成的所述第一输出电压输出, 通过该缓冲器接收运算放大器输出的第一输出电压和第二输出电压后, 然后通过调整信号逐级去调整接收到的第一输出电压, 缩减第一输出电压与第二输出电压的差值, 直至第一输出电压小于第二输出电压, 令使用者使用调整完成的第一输出电压以及第二输出电压, 提升运算放大器的精度。



1. 一种运算放大器组合电路,其特征在于,包括:运算放大器以及缓冲器;
所述运算放大器接收第一电压与第二电压,并输出第一输出电压和第二输出电压;
所述缓冲器接收第一输出电压、第二输出电压以及调整信号,根据调整信号逐级调整所述第一输出电压,直至所述第一输出电压小于所述第二输出电压,将所述第二输出电压以及调整完成的所述第一输出电压输出;
所述缓冲器包括第一电压调整电路和第二电压调整电路;
所述第一电压调整电路接收所述第一电压,得到不同数值的电流,所述第一电压调整电路接收不同的调整信号逐级导通不同数值的电流,以调整所述第一输出电压;
所述第二电压调整电路接收所述第二电压,得到基准电流,所述第二电压调整电路导通所述基准电流,得到所述第二输出电压;
所述第一电压调整电路包括若干电流源支路、MN1、MN2和电阻R1;
每一条电流源支路均设有一个电流源以及一个开关,每一电流源均接收高电平信号生成不同数值的电流,每一电流源均通过其电流源支路上的开关与所述MN1的漏极相连,所述开关接收调整信号进行开启/关闭;
所述MN1的漏极与栅极对接,所述MN1的源极接地,所述MN1的栅极与所述MN2的栅极相连;
所述MN2的源极接地,所述MN2的漏极通过所述电阻R1接收所述第一电压,所述MN2的漏极输出所述第一输出电压。
2. 根据权利要求1所述的运算放大器组合电路,其特征在于,所述第二电压调整电路包括基准电流源支路、MN3、MN4和电阻R2;
所述基准电流源支路设有一个基准电流源,所述基准电流源接收高电平信号生成所述基准电流,所述基准电流源与所述MN3的漏极相连;
所述MN3的漏极与栅极对接,所述MN3的源极接地,所述MN3的栅极与所述MN4的栅极相连;
所述MN4的源极接地,所述MN4的漏极通过所述电阻R2接收所述第二电压,所述MN4的漏极输出所述第二输出电压。
3. 根据权利要求1所述的运算放大器组合电路,其特征在于,还包括调整电路,所述调整电路接收并将所述第一输出电压以及所述第二输出电压进行比较,在所述第一输出电压大于所述第二输出电压时,输出所述调整信号。
4. 根据权利要求3所述的运算放大器组合电路,其特征在于,所述调整电路包括比较器以及反馈器;
所述比较器接收所述第一输出电压以及所述第二输出电压;当所述第一输出电压大于所述第二输出电压时,输出第一电平的比较信号;
所述反馈器与所述比较器相连,接收所述比较器输出的比较信号,所述反馈器用于在所述比较信号为第一电平时,输出所述调整信号至所述缓冲器。
5. 根据权利要求4所述的运算放大器组合电路,其特征在于,所述反馈器包括振荡器和计数器;
所述振荡器与所述比较器电连接,在接收到所述第一电平的比较信号时,输出振荡信号;

所述计数器与所述振荡器电连接,所计数器在接收到所述振荡信号时,采样振荡信号的上升沿输出不同类型的调整信号。

6. 根据权利要求5所述的运算放大器组合电路,其特征在于,所述振荡器包括MP1、MP2、MP3、MP4、MN5、MN6、MN7、MN8、MN9、第一反相器、第二反相器以及电容C1;

所述MP1、所述MP2、所述MP3以及所述MP4的源极均接收高电平信号;

所述MN7、MN8、MN9的源极均接地;

所述MN5的栅极接收所述比较信号,所述MN5的源极接收偏置电流,所述MN5的漏极与所述MP1的漏极相连;

所述MP1的栅极分别与所述MP2的栅极、所述MP3的栅极以及所述MP4的栅极相连;

所述MP4的漏极与其源极对接;

所述MP2的漏极分别与所述第一反相器的输入端以及所述MN7的漏极相连;

所述MN7的栅极与所述MN8的栅极相连,所述MN8的栅极与其漏极相连;

所述MN9的栅极与所述MN8的漏极相连,所述MN9的漏极与其源极相连,

所述MN8的漏极与所述MN6的源极相连,所述MN6的漏极与所述MP3的漏极相连;

所述第一反相器的输出端与所述第二反相器的输入端相连,所述第二反相器的输出端与所述MN6的栅极相连;

所述电容C1的正极与所述第二反相器的输出端相连,所述电容C1的负极与所述第一反相器的输入端相连;

所述第二反相器的输出端输出所述振荡信号。

7. 根据权利要求5所述的运算放大器组合电路,其特征在于,所述计数器包括若干触发器;

同一级触发器的数据输入端与同一级触发器的第一输出端电连接;

第一级触发器的时钟引脚接收所述振荡信号;

除第一级触发器外,前一级的触发器的第二输出引脚与后一级的触发器的时钟引脚相连;

每一级触发器的第一输出引脚均与对应的每一电流源支路中的一个开关相连,以输出所述调整信号。

8. 一种自调整运算放大器,其特征在于,设有上述权利要求1-7任一项所述的运算放大器组合电路。

一种运算放大器组合电路及自调整运算放大器

技术领域

[0001] 本发明涉及集成电路技术领域,尤其是一种运算放大器组合电路及自调整运算放大器。

背景技术

[0002] 运算放大器简称运放,可以实现精确放大、积分、信号比较等各种运算功能。即使运放两个输入端的输入电压相等,在实际生产工艺中,由于器件失配、参数偏移、温度变化、封装应力等因素,导致运放输出正端和输出负端之间存在一定的差值,该差值叫做输出失调电压,通常运放的失调电压是几个毫伏到几十毫伏,无法满足高精度(失调电压为微伏)应用场景的需求。因此需要对现有的运放中的失调电压进行修正。

发明内容

[0003] 针对现有技术的上述问题,本文的目的在于,提供一种运算放大器组合电路及自调整运算放大器,以解决现有技术中运放的失调电压过大的问题。

[0004] 为了解决上述技术问题,本文的具体技术方案如下:

[0005] 一方面,本文提供一种运算放大器组合电路,包括:运算放大器以及缓冲器;

[0006] 所述运算放大器接收第一电压与第二电压,并输出第一输出电压和第二输出电压;

[0007] 所述缓冲器接收第一输出电压、第二输出电压以及调整信号,根据调整信号逐级调整所述第一输出电压,直至所述第一输出电压小于所述第二输出电压,将所述第二输出电压以及调整完成的所述第一输出电压输出。

[0008] 作为本文的一个实施例,所述缓冲器包括第一电压调整电路和第二电压调整电路;

[0009] 所述第一电压调整电路接收所述第一电压,得到不同数值的电流,所述第一电压调整电路接收不同的调整信号逐级导通不同数值的电流,以调整所述第一输出电压;

[0010] 所述第二电压调整电路接收所述第二电压,得到基准电流,所述第二电压调整电路导通所述基准电流,得到所述第二输出电压。

[0011] 作为本文的一个实施例,所述第一电压调整电路包括若干电流源支路、MN1、MN2和电阻R1;

[0012] 每一条电流源支路均设有一个电流源以及一个开关,每一电流源均接收高电平信号生成不同数值的电流,每一电流源均通过其电流源支路上的开关与所述MN1的漏极相连,所述开关接收调整信号进行开启/关闭;

[0013] 所述MN1的漏极与栅极对接,所述MN1的源极接地,所述MN1的栅极与所述MN2的栅极相连;

[0014] 所述MN2的源极接地,所述MN2的漏极通过所述电阻R1接收所述第一电压,所述MN2的漏极输出所述第一输出电压。

- [0015] 作为本文的一个实施例,所述第二电压调整电路包括基准电流源支路、MN3、MN4和电阻R2;
- [0016] 所述基准电流源支路设有一个基准电流源,所述基准电流源接收高电平信号生成所述基准电流,所述基准电流源与所述MN3的漏极相连;
- [0017] 所述MN3的漏极与栅极对接,所述MN3的源极接地,所述MN3的栅极与所述MN4的栅极相连;
- [0018] 所述MN4的源极接地,所述MN4的漏极通过所述电阻R2接收所述第二电压,所述MN4的漏极输出所述第二输出电压。
- [0019] 作为本文的一个实施例,还包括调整电路,所述调整电路接收并将所述第一输出电压以及所述第二输出电压进行比较,在所述第一输出电压大于所述第二输出电压时,输出所述调整信号。
- [0020] 作为本文的一个实施例,所述调整电路包括比较器以及反馈器;
- [0021] 所述比较器接收所述第一输出电压以及所述第二输出电压;当所述第一输出电压大于所述第二输出电压时,输出第一电平的比较信号;
- [0022] 所述反馈器与所述比较器相连,接收所述比较器输出的比较信号,所述反馈器用于在所述比较信号为第一电平时,输出所述调整信号至所述缓冲器。
- [0023] 作为本文的一个实施例,所述反馈器包括振荡器和计数器;
- [0024] 所述振荡器与所述比较器电连接,在接收到所述第一电平的比较信号时,输出振荡信号;
- [0025] 所述计数器与所述振荡器电连接,所计数器在接收到所述振荡信号时,采样振荡信号的上升沿输出不同类型的调整信号。
- [0026] 作为本文的一个实施例,所述振荡器包括MP1、MP2、MP3、MP4、MN5、MN6、MN7、MN8、MN9、第一反相器、第二反相器以及电容C1;
- [0027] 所述MP1、所述MP2、所述MP3以及所述MP4的源极均接收高电平信号;
- [0028] 所述MN7、MN8、MN9的源极均接地;
- [0029] 所述MN5的栅极接收所述比较信号,所述MN5的源极接收偏置电流,所述MN5的漏极与所述MP1的漏极相连;
- [0030] 所述MP1的栅极分别与所述MP2的栅极、所述MP3的栅极以及所述MP4的栅极相连;
- [0031] 所述MP4的漏极与其源极对接;
- [0032] 所述MP2的漏极分别与所述第一反相器的输入端以及所述MN7的漏极相连;
- [0033] 所述MN7的栅极与所述MN8的栅极相连,所述MN8栅极与其漏极相连;
- [0034] 所述MN9的栅极与所述MN8的漏极相连,所述MN9的漏极与其源极相连,
- [0035] 所述MN8的漏极与所述MN6的源极相连,所述MN6的漏极与所述MP3的漏极相连;
- [0036] 所述第一反相器的输出端与所述第二反相器的输入端相连,所述第二反相器的输出端与所述MN6的栅极相连;
- [0037] 所述电容C1的正极与所述第二反相器的输出端相连,所述电容C1的负极与所述第一反相器的输入端相连;
- [0038] 所述第二反相器的输出端输出所述振荡信号。
- [0039] 作为本文的一个实施例,所述计数器包括若干触发器;

- [0040] 同一级触发器的数据输入端与同一级触发器的第一输出端电连接；
- [0041] 第一级触发器的时钟引脚接收所述振荡信号；
- [0042] 除第一级触发器外,前一级的触发器的第二输出引脚与后一级的触发器的时钟引脚相连；
- [0043] 每一级触发器的第一输出引脚均与对应的每一电流源支路中的一个开关相连,以输出所述调整信号。
- [0044] 另一方面,本文还提供一种自调整运算放大器,设有上述任一项所述的运算放大器组合电路。
- [0045] 采用上述技术方案,通过该缓冲器接收运算放大器输出的第一输出电压和第二输出电压后,然后通过调整信号逐级去调整接收到的第一输出电压,缩减第一输出电压与第二输出电压的差值,直至第一输出电压小于第二输出电压,令使用者使用调整完成的第一输出电压以及第二输出电压,提升运算放大器的精度。
- [0046] 为了让本文的上述和其他目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

附图说明

- [0047] 为了更清楚地说明本文实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本文的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。
- [0048] 图1示出了本文实施例一种运算放大器组合电路；
- [0049] 图2示出了本文实施例第一电压调整支路电路图；
- [0050] 图3示出了本文实施例第二电压调整支路电路图；
- [0051] 图4示出了本文实施例具有第一种反馈器的电路示意图；
- [0052] 图5示出了本文实施例振荡器示意图；
- [0053] 图6示出了本文实施例计数器示意图；
- [0054] 图7示出了本文实施例具有第二种反馈器的电路示意图。
- [0055] 附图符号说明：
- [0056] 1、运算放大器；
- [0057] 2、缓冲器；
- [0058] 3、电流源支路；
- [0059] 4、调整电路；
- [0060] 5、比较器；
- [0061] 6、反馈器；
- [0062] 61、振荡器；
- [0063] 611、第一反相器；
- [0064] 612、第二反相器；
- [0065] 62、计数器；
- [0066] 63、第三反相器；

- [0067] 64、ADC转换器；
- [0068] 65、锁存器；
- [0069] 51、第一触发器；
- [0070] 52、第二触发器；
- [0071] 53、第三触发器。

具体实施方式

[0072] 下面将结合本文实施例中的附图,对本文实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本文一部分实施例,而不是全部的实施例。基于本文中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本文保护的范围。

[0073] 需要说明的是,本文的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象,而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换,以便这里描述的本文的实施例能够以除了在这里图示或描述的那些以外的顺序实施。此外,术语“包括”和“具有”以及他们的任何变形,意图在于覆盖不排他的包含,例如,包含了一系列步骤或单元的过程、方法、装置、产品或设备不必限于清楚地列出的那些步骤或单元,而是可包括没有清楚地列出的或对于这些过程、方法、产品或设备固有的其它步骤或单元。

[0074] 在本文中,自调整运算放大器1可以包括运算放大器1以及缓冲器2组成的组合电路以及对缓冲器2进行调整的调整电路4。在本文中MP为PMOS管,MN为NMOS管。

[0075] 如图1所示的一种运算放大器组合电路,包括:运算放大器1以及缓冲器2;

[0076] 所述运算放大器1接收第一电压与第二电压,并输出第一输出电压和第二输出电压;

[0077] 所述缓冲器2接收第一输出电压、第二输出电压以及调整信号,根据调整信号逐级调整所述第一输出电压,直至所述第一输出电压小于所述第二输出电压,将所述第二输出电压以及调整完成的所述第一输出电压输出。

[0078] 采用上述技术方案,通过该缓冲器2接收运算放大器1输出的第一输出电压和第二输出电压后,然后通过调整信号逐级去调整接收到的第一输出电压,缩减第一输出电压与第二输出电压的差值,直至第一输出电压小于第二输出电压,令使用者使用调整完成的第一输出电压以及第二输出电压,提升运算放大器1的精度。

[0079] 在本文中,运算放大器1可以是本领域技术中通常使用的运算放大器1,该运算放大器1的输入端包括正向输入端和反向输入端,具体的,正向输入端可以接收第一电压,反向输入端可以接收第二电压;在另一种情况中,反向输入端可以接收第一电压,正向输入端可以接收第二电压。

[0080] 通常在运算放大器1接收到电压值相等的第一电压以及第二电压后,运算放大器1会由于工艺问题,输出电压值相差较大的第一输出电压以及第二输出电压,这对用户使用是非常不利的,因此需要本文的缓冲器2对第一输出电压和第二输出电压进行调整,以降低第一输出电压和第二输出电压之间的电压差。在本文中,缓冲器2中设有第一电压调整电路和第二电压调整电路,其中一路接收运算放大器1发送的第一输出电压,另一路接收运算放

大器1发送的第二输出电压。

[0081] 如图2所示的第一电压调整支路电路图,作为本文的一个实施例,所述第一电压调整电路接收所述第一电压,得到不同数值的电流,所述第一电压调整电路接收不同的调整信号逐级导通不同数值的电流,以调整所述第一输出电压。

[0082] 具体的,在缓冲器2中,所述第一电压调整电路包括若干电流源支路3、MN1、MN2和电阻R1;

[0083] 每一条电流源支路3均设有一个电流源以及一个开关,每一电流源均接收高电平信号生成不同数值的电流,每一电流源均通过其电流源支路3上的开关与所述MN1的漏极相连,所述开关接收调整信号进行开启/关闭;

[0084] 所述MN1的漏极与栅极对接,所述MN1的源极接地,所述MN1的栅极与所述MN2的栅极相连;

[0085] 所述MN2的源极接地,所述MN2的漏极通过所述电阻R1接收所述第一电压,所述MN2的漏极输出所述第一输出电压。

[0086] 如图3所示的第二电压调整支路电路图,作为本文的一个实施例,所述第二电压调整电路接收所述第二电压,得到基准电流,所述第二电压调整电路导通所述基准电流,得到所述第二输出电压。

[0087] 具体的,所述第二电压调整电路包括基准电流源支路3、MN3、MN4和电阻R2;

[0088] 所述基准电流源支路3设有一个基准电流源,所述基准电流源接收高电平信号生成所述基准电流,所述基准电流源与所述MN3的漏极相连;

[0089] 所述MN3的漏极与栅极对接,所述MN3的源极接地,所述MN3的栅极与所述MN4的栅极相连;

[0090] 所述MN4的源极接地,所述MN4的漏极通过所述电阻R2接收所述第二电压,所述MN4的漏极输出所述第二输出电压。

[0091] 由于本文中第一电压调整电路和第二电压调整电路可以配套使用,因此可以将图2和图3合并说明,在图2中,第一电压调整电路包括多个不同数值的电流源,在图2中,电流的输出种类与计数器62的输出位数相关,在计数器62为三位时,第一电流源支路3包括三种电流源,可以分别为I、2I和4I,计数器62输出的3位计数结果D1、D2、D3分别连接每种电流源上的开关中;在本文中,I的开关为S1,在本文中,2I的开关为S2,在本文中,4I的开关为S3;

[0092] 当S1关闭,S2关闭,S3关闭时,其对应的电流源I不输出,电流源2I不输出,4I不输出,那么第一电流源支路3的电流数值(MN1的漏极输出)为0;

[0093] 当S1开启,S2关闭,S3关闭时,其对应的电流源I输出,电流源2I不输出,4I不输出,那么第一电流源支路3的电流数值(MN1的漏极输出)为I;

[0094] 当S1关闭,S2开启,S3关闭时,其对应的电流源I不输出,电流源2I输出,4I不输出,那么第一电流源支路3的电流数值(MN1的漏极输出)为2I;

[0095] 当S1关闭,S2关闭,S3开启时,其对应的电流源I不输出,电流源2I不输出,4I输出,那么第一电流源支路3的电流数值(MN1的漏极输出)为4I;

[0096] 当S1开启,S2开启,S3关闭时,其对应的电流源I输出,电流源2I输出,4I不输出,那么第一电流源支路3的电流数值(MN1的漏极输出)为3I;

[0097] 当S1开启,S2关闭,S3开启时,其对应的电流源I输出,电流源2I不输出,4I输出,那

么第一电流源支路3的电流数值(MN1的漏极输出)为5I;

[0098] 当S1关闭,S2开启,S3开启时,其对应的电流源I不输出,电流源2I输出,4I输出,那么第一电流源支路3的电流数值(MN1的漏极输出)为6I;

[0099] 当S1开启,S2开启,S3开启时,其对应的电流源I输出,电流源2I输出,4I输出,那么第一电流源支路3的电流数值(MN1的漏极输出)为7I;

[0100] 即,三路计数器控制三种电流源,可以得到 2^3 种数值的电流。

[0101] MN1和MN2组成的电流镜对MN1的漏极电流进行复制得到电流 I_A ,最终缓冲器输出的第一输出电压(V_{out1})为, $V_{out1}=V_A-(R1 \times I_A)$,其中,R1为电阻R1的阻值, V_A 为运算放大器输出的第一输出电压。通过公式可见,在运算放大器输出的第一输出电压固定时,通过调整第一电压调整电路的MN1漏极输出的电流 I_A ,可以调整缓冲器输出的第一输出电压,在增大第一电压调整电路的MN1漏极输出的电流 I_A 时,可以令缓冲器输出的第一输出电压逐级降低,直至缓冲器输出的第一输出电压小于缓冲器输出的第二输出电压。

[0102] 在图3中,第二电压调整电路仅有一个数值的电流源,即运算放大器发送的第二输出电压进入第二电压调整电路后,仅会下降固定数值。

[0103] MN3和MN4组成的电流镜对MN3的漏极电流进行复制得到电流 I_B ,最终缓冲器输出的第二输出电压(V_{out2})为, $V_{out2}=V_B-(R2 \times I_B)$,其中,R2为电阻R2的阻值, V_B 为运算放大器输出的第二输出电压。通过公式可见,在运算放大器输出的第二输出电压固定时,可以通过固定第二电压调整电路的MN1漏极输出的电流 I_B ,令缓冲器输出的第二输出电压降低固定数值。在本文中,可以令 $I_B=2I$ 。

[0104] 作为本文的一个实施例,还包括调整电路4,所述调整电路4接收并将所述第一输出电压以及所述第二输出电压进行比较,在所述第一输出电压大于所述第二输出电压时,输出所述调整信号。

[0105] 所述调整电路4包括比较器5以及反馈器6;

[0106] 所述比较器5接收所述第一输出电压以及所述第二输出电压;当所述第一输出电压大于所述第二输出电压时,输出第一电平的比较信号;

[0107] 比较器5可以为模拟比较器5,该比较器5的两个输入端与缓冲器2的两个输出端相连,接收缓冲器2输出的第一输出电压以及第二输出电压,在本文中虽然缓冲器2中的第一输出电压经过调整,但是缓冲器2在每一个时间周期内仅可以调整一级,因此需要比较器5比较第一输出电压是否小于第二输出电压,在本文中比较器5接收到第一输出电压以及第二输出电压后,判断第一输出电压是否大于第二输出电压,若大于则比较器5输出第一电平的比较信号,若小于则比较器5输出第二电平的比较信号。在本文中第一电平可以为高电平,第二电平可以为低电平。

[0108] 所述反馈器6与所述比较器5相连,接收所述比较器5输出的比较信号,所述反馈器6用于在所述比较信号为第一电平时,输出所述调整信号至所述缓冲器2。

[0109] 如图4所示的具有第一种反馈器的电路示意图,在一种情况中,所述反馈器6包括振荡器61和计数器62;

[0110] 所述振荡器61与所述比较器5电连接,在接收到所述第一电平的比较信号时,输出振荡信号;

[0111] 如图5所示的振荡器示意图,所述振荡器61包括MP1、MP2、MP3、MP4、MN5、MN6、MN7、

MN8、MN9、第一反相器611、第二反相器612以及电容C1；

[0112] 所述MP1、所述MP2、所述MP3以及所述MP4的源极均接收高电平信号；

[0113] 所述MN7、MN8、MN9的源极均接地；

[0114] 所述MN5的栅极接收所述比较信号，所述MN5的源极接收偏置电流IBIAS，所述MN5的漏极与所述MP1的漏极相连；

[0115] 所述MP1的栅极分别与所述MP2的栅极、所述MP3的栅极以及所述MP4的栅极相连；

[0116] 所述MP4的漏极与其源极对接；

[0117] 所述MP2的漏极分别与所述第一反相器611的输入端以及所述MN7的漏极相连；

[0118] 所述MN7的栅极与所述MN8的栅极相连，所述MN8栅极与其漏极相连；

[0119] 所述MN9的栅极与所述MN8的漏极相连，所述MN9的漏极与其源极相连，

[0120] 所述MN8的漏极与所述MN6的源极相连，所述MN6的漏极与所述MP3的漏极相连；

[0121] 所述第一反相器611的输出端与所述第二反相器612的输入端相连，所述第二反相器612的输出端与所述MN6的栅极相连；

[0122] 所述电容C1的正极与所述第二反相器612的输出端相连，所述电容C1的负极与所述第一反相器611的输入端相连；

[0123] 所述第二反相器612的输出端输出所述振荡信号。

[0124] 在本实施例中，偏置电流IBIAS给振荡器61模块提供偏置电流，保证振荡器61模块工作在工作点，MN5为控制偏置电流的开关，当 V_{in} 为高电平时振荡器61工作，反之偏置电流断开，振荡器61关断。MP1、MP2、MP3组成P管电流镜分别为MN7、MN8支路提电流。MP4为MP电容用于稳定V1点电压。MN9为MN电容用于稳定V2点电压。

[0125] 振荡器61采用插值法调整振荡频率，有两个通路分别为快通路和慢通路，快通路为第一反相器611、第二反相器612、MN6、MN7和MN8组成的三级环形振荡器，第一级为第一反相器、第二级为第二反相器、第三级为MN6、MN7和MN8、MP2组成的反相放大器，第三级输入为 V_{out} 输出为 V_3 。慢通路由电容C1构成，通过调整C1的容值调整慢通路的延时，从而控制振荡器61的振荡频率，增大电容C1，输出 V_{out} 振荡频率下降，减少电容C，输出 V_{out} 振荡频率上升。

[0126] 如图6所示的计数器示意图，所述计数器62与所述振荡器61电连接，所述计数器62在接收到所述振荡信号时，采样振荡信号的上升沿输出不同类型的调整信号。

[0127] 所述计数器62包括若干触发器；

[0128] 同一级触发器的数据输入端与同一级触发器的第一输出端电连接；

[0129] 第一级触发器的时钟引脚接收所述振荡信号；

[0130] 除第一级触发器外，前一级的触发器的第二输出引脚与后一级的触发器的时钟引脚相连；

[0131] 每一级触发器的第一输出引脚均与对应的每一电流源支路3中的一个开关相连，以输出所述调整信号。

[0132] 在本实施例中，包括n个触发器，第一触发器51的数据输入端D连接输出端D1，时钟端连接时钟信号CLK，复位端连接复位信号Rst，其中振荡器61输出的方波信号连接计数器62的时钟信号CLK，方波每一个周期的上升沿计数一次；第二触发器52的数据输入端D连接输出端D2，时钟端连接第一触发器51的Q输出端，复位端连接复位信号Rst；第三触发器53的

数据输入端D连接输出端D3,时钟端连接第二触发器52的Q输出端,复位端连接复位信号Rst,以此类推,将所有的触发器进行相连,得到若干调整信号。

[0133] 输出电压Vout1和Vout2经过比较器5进行比较,输出高电平,振荡器61随电源上电开始振荡,产生更高频率的振荡信号,该振荡信号可以是方波、正弦波等,在本发明计数器62采用触发器的情况下,优先选择振荡方波。计数器62对振荡器61的振荡次数进行计数,振荡器61输出每振荡一次,计数器62计数增加一次,电流IA依次增大,Vout1电压逐次下降,当Vout1电压小于Vout2时,比较器5输出低电平,振荡器61关断,计数器62不再计数,Vout1电压不再下降。若比较器5精度非常高,当比较器5识别到Vout1小于Vout2时,Vout1和Vout2之间的失调电压很小,因此比较器5精度越高,电路减小失调电压的能力越强。

[0134] 如图7所示的具有第二种反馈器的电路示意图,在另一种情况中,所述反馈器6包括第三反相器63、ADC转换器64和锁存器65,在本文中第三反相器63的输入端与比较器5的输出端相连,第三反相器63的输出端与ADC转换器64的shtdn引脚相连,ADC转换器的第一信号输入引脚VINP接收缓冲器2发送的第一输出电压,ADC转换器的第二信号输入引脚VINN接收缓冲器2发送的第二输出电压,锁存器65的使能引脚与第三反相器63的输出端相连,锁存器65的输入引脚与ADC转换器64的输出引脚相连,锁存器65的输出引脚输出调整信号至缓冲器2。

[0135] 当电路上电后,缓冲器2发送的第一输出电压大于缓冲器2发送的第二输出电压时,比较器5输出高电平,经过第三反相器63后输出低电平。然后将低电平信号传输至ADC转换器64的shtdn引脚以及锁存器65的使能引脚,此时ADC转换器64处于工作状态,但是由于锁存器65的使能引脚接收了低电平的信号,导致锁存器65无法锁存。

[0136] n为ADC转换器64输出的位数,n越大输出精度越高。缓冲器2发送的第一输出电压以及缓冲器2发送的第二输出电压作为差分信号进入ADC转换器64,缓冲器2发送的第一输出电压以及缓冲器2发送的第二输出电压之间的差值越大,调整信号的输出越大,缓冲器2中的补偿电流越大,运算放大器1输出的第一输出电压到缓冲器2输出的第一输出电压压降越大,补偿后缓冲器2输出的第一输出电压小于缓冲器2输出的第二输出电压时,ADC转换器64关断,锁存器65接收高电平的使能信号,将前一状态锁存,在锁存后使用锁存时得到的n持续向缓冲器2输出调整信号,令失调电压补偿完成。

[0137] 应理解,在本文的各种实施例中,上述各过程的序号的大小并不意味着执行顺序的先后,各过程的执行顺序应以其功能和内在逻辑确定,而不应对本文实施例的实施过程构成任何限定。

[0138] 还应理解,在本文实施例中,术语“和/或”仅仅是一种描述关联对象的关联关系,表示可以存在三种关系。例如,A和/或B,可以表示:单独存在A,同时存在A和B,单独存在B这三种情况。另外,本文中字符“/”,一般表示前后关联对象是一种“或”的关系。

[0139] 本领域普通技术人员可以意识到,结合本文中所公开的实施例描述的各示例的单元及算法步骤,能够以电子硬件、计算机软件或者二者的结合来实现,为了清楚地说明硬件和软件的可互换性,在上述说明中已经按照功能一般性地描述了各示例的组成及步骤。这些功能究竟以硬件还是软件方式来执行,取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能,但是这种实现不应认为超出本文的范围。

[0140] 所属领域的技术人员可以清楚地了解到,为了描述的方便和简洁,上述描述的系统、装置和单元的具体工作过程,可以参考前述方法实施例中的对应过程,在此不再赘述。

[0141] 在本文所提供的几个实施例中,应该理解到,所揭露的系统、装置和方法,可以通过其它的方式实现。例如,以上所描述的装置实施例仅仅是示意性的,例如,所述单元的划分,仅仅为一种逻辑功能划分,实际实现时可以有另外的划分方式,例如多个单元或组件可以结合或者可以集成到另一个系统,或一些特征可以忽略,或不执行。另外,所显示或讨论的相互之间的耦合或直接耦合或通信连接可以是通过一些接口、装置或单元的间接耦合或通信连接,也可以是电的,机械的或其它的形式连接。

[0142] 所述作为分离部件说明的单元可以是或者也可以不是物理上分开的,作为单元显示的部件可以是或者也可以不是物理单元,即可以位于一个地方,或者也可以分布到多个网络单元上。可以根据实际的需要选择其中的部分或者全部单元来实现本文实施例方案的目的。

[0143] 另外,在本文各个实施例中的各功能单元可以集成在一个处理单元中,也可以是各个单元单独物理存在,也可以是两个或两个以上单元集成在一个单元中。上述集成的单元既可以采用硬件的形式实现,也可以采用软件功能单元的形式实现。

[0144] 所述集成的单元如果以软件功能单元的形式实现并作为独立的产品销售或使用,可以存储在一个计算机可读取存储介质中。基于这样的理解,本文的技术方案本质上或者说对现有技术做出贡献的部分,或者该技术方案的全部或部分可以以软件产品的形式体现出来,该计算机软件产品存储在一个存储介质中,包括若干指令用以使得一台计算机设备(可以是个人计算机,服务器,或者网络设备等)执行本文各个实施例所述方法的全部或部分步骤。而前述的存储介质包括:U盘、移动硬盘、只读存储器(ROM,Read-Only Memory)、随机存取存储器(RAM,Random Access Memory)、磁碟或者光盘等各种可以存储程序代码的介质。

[0145] 本文中应用了具体实施例对本文的原理及实施方式进行了阐述,以上实施例的说明只是用于帮助理解本文的方法及其核心思想;同时,对于本领域的一般技术人员,依据本文的思想,在具体实施方式及应用范围上均会有改变之处,综上所述,本说明书内容不应理解为对本文的限制。

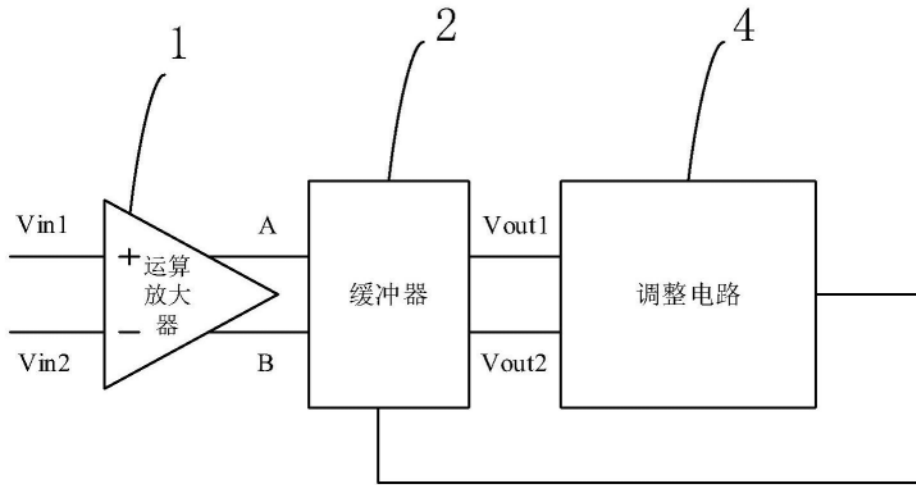


图1

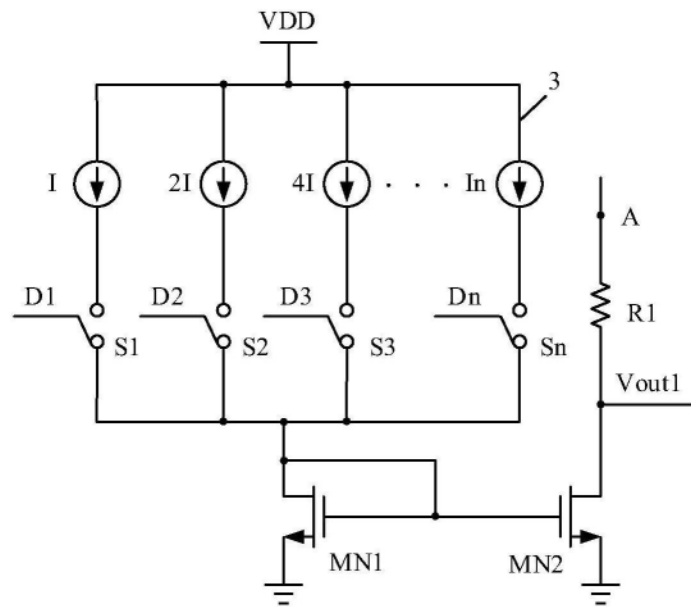


图2

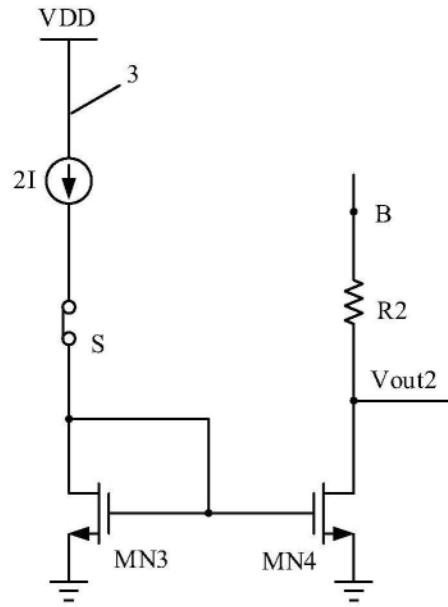


图3

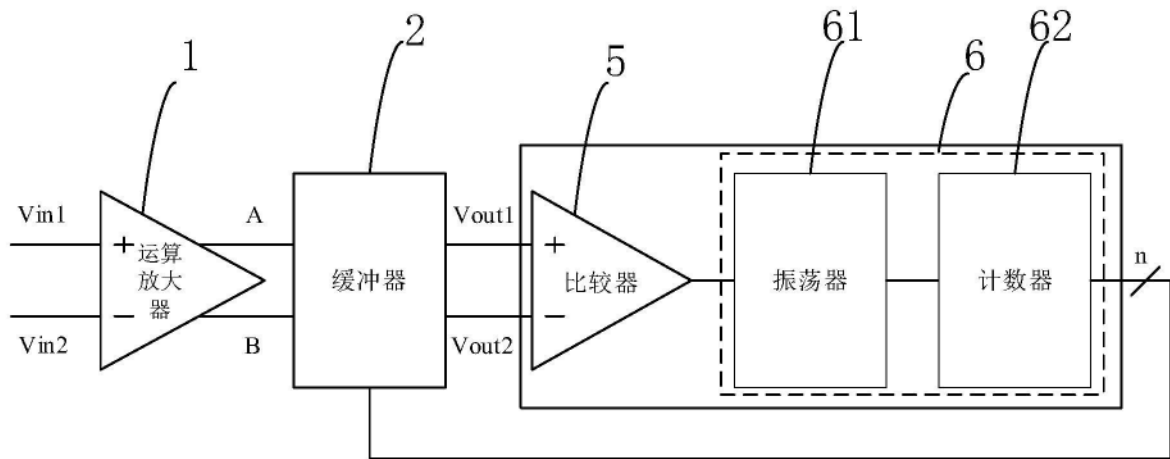


图4

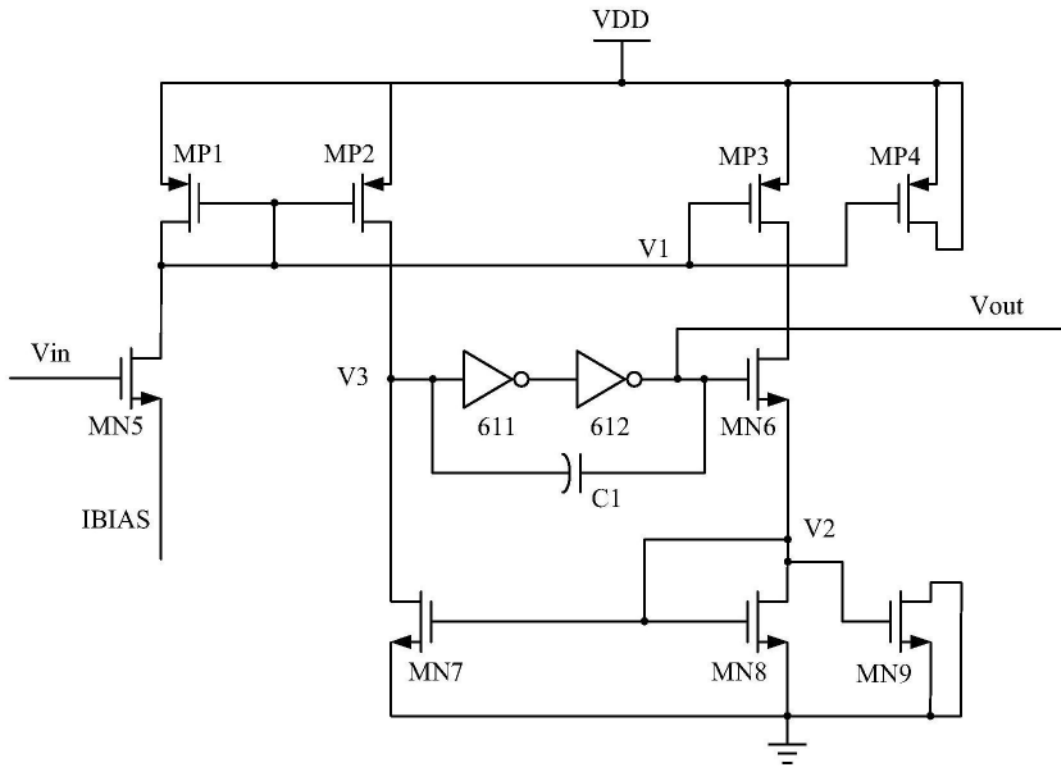


图5

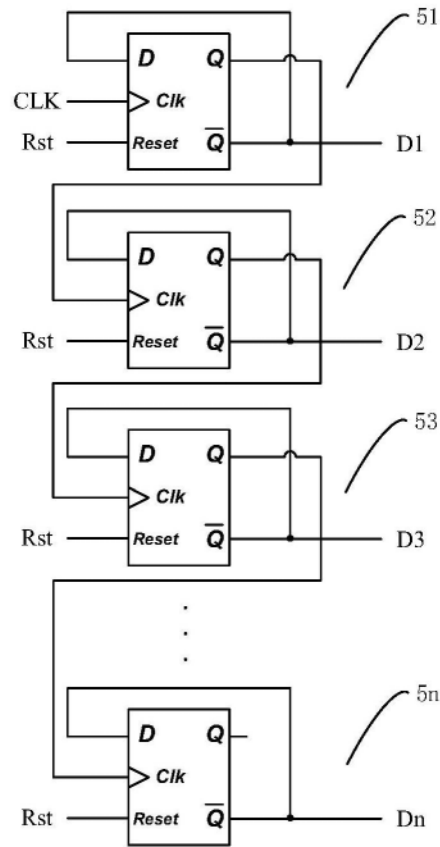


图6

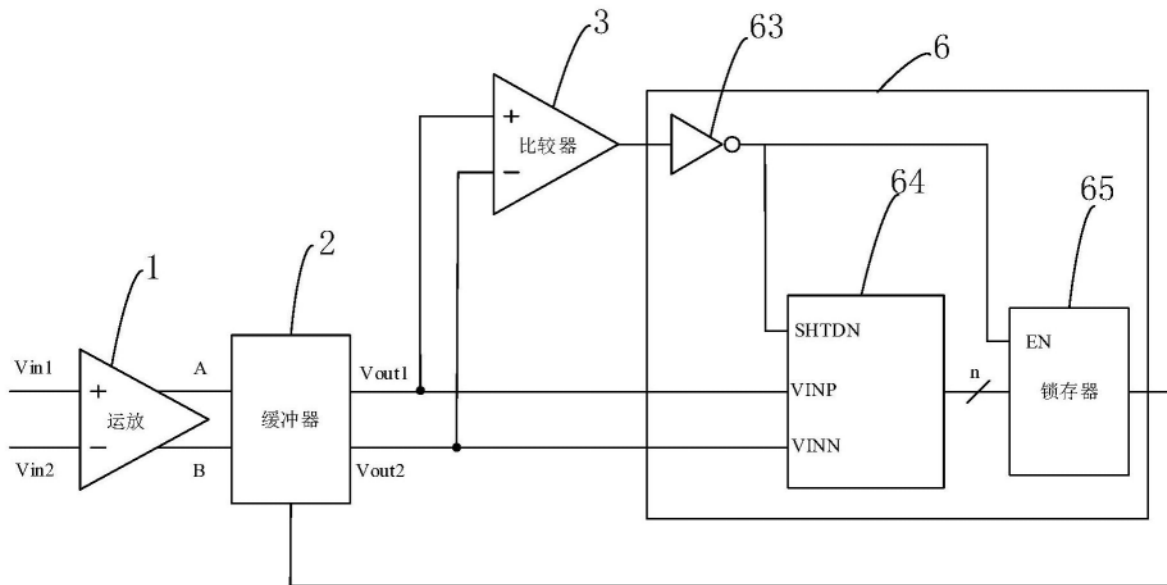


图7