(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
G09G 3/36

(11) 공개번호 특2002-0003274
(43) 공개일자 2002년01월12일

(21) 출원번호 10-2001-0023063
(22) 출원일자 2001년04월27일

(30) 우선권주장 2000-127093 2000년04월27일 일본(JP)
2000-321530 2000년10월20일 일본(JP)
2001-123191 2001년04월20일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바
니시무로 타이죠
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 나까무라다까시
일본사이따마껭후까야시하따라쪼1-9-2가부시끼가이샤도시바후까야워크스내
하라다노조무
일본사이따마껭후까야시하따라쪼1-9-2가부시끼가이샤도시바후까야워크스내

(74) 대리인 구영창
장수길

심사청구 : 있음

(54) 표시 장치, 화상 제어 반도체 장치, 및 표시 장치의 구동방법

요약

본 발명은 소형화가 가능하고, 고해상도에서도 안정 동작하는 표시 장치를 제공하는 것을 목적으로 한다.

본 발명의 표시 장치는 글래스 기판 상에 폴리실리콘 TFT를 이용하여 형성된 화소 어레이부, 신호선 구동 회로, 주사선 구동 회로 및 제어 회로와, 그래픽 컨트롤러 IC를 갖는다. 그래픽 컨트롤러 IC는 디지털 화소 데이터 DATA의 재배열을 내부에서 행하기 때문에, 게이트 어레이를 설치할 필요가 없게 된다. 또한, 클럭 신호 CLK의 주기를 디지털 화소 데이터 DATA의 주기의 2배 이상으로 하기 때문에, 폴리실리콘 TFT가 정상적으로 동작하는 주파수의 클럭 신호 CLK를 신호선 구동 회로에 공급할 수 있다. 또한, 클럭 신호 CLK의 엣지와 디지털 화소 데이터 DATA의 변화 위치를 변이시켜 출력하기 때문에, 신호선 구동 회로에서 디지털 화소 데이터 DATA를 확실하게 받아들일 수 있다.

대표도

도 1

색인어

신호선 구동 회로, 주사선 구동 회로, 화소 어레이부, 그래픽 컨트롤러 IC, 디지털 화소 데이터

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 표시 장치의 일 실시 형태의 블록도.

도 2는 도 1의 표시 장치의 사시도.

도 3은 그래픽 컨트롤러 IC의 내부 구성을 나타내는 블록도.

도 4는 그래픽 컨트롤러 IC의 출력 타이밍도.

도 5는 위상 조정 회로의 회로도.

도 6은 동기 신호와 클럭 신호 CLK를 중간 전위로 설정하기 위한 중간 전위 설정 회로의 회로도.

도 7은 프레임 메모리의 제어를 행하는 메모리 제어 회로의 내부 구성을 나타내는 도면.

도 8은 VRAM 공간과 표시 공간과의 관계를 나타내는 도면.

도 9는 신호선 구동 회로의 내부 구성을 나타내는 블록도.

도 10은 레벨 시프터의 회로도.

도 11은 레벨 시프터의 입출력 신호의 파형도.

도 12는 분주 회로의 회로도.

도 13은 분주 회로 내의 각 래치 회로의 출력 타이밍도.

도 14는 본 실시 형태의 표시 장치의 글래스 기판 상의 레이아웃도.

도 15는 범용의 그래픽 컨트롤러 IC를 이용하여 구성한 종래의 표시 장치의 칩 레이아웃도.

도 16은 본 발명에 따른 표시 장치의 제2 실시 형태의 블록도.

도 17은 데이터 버스의 배치를 나타내는 도면.

도 18은 데이터 버스 상의 데이터의 배열 순을 나타내는 도면.

도 19는 도 16의 표시 장치의 타이밍도.

도 20은 부분적으로 표시 갱신을 행하는 예를 나타내는 도면.

도 21은 어드레스 발생 회로가 어드레스를 발생하는 타이밍을 나타내는 도면.

도 22은 어드레스 발생 회로가 어드레스를 발생하는 타이밍을 나타내는 도면.

도 23은 액티브 매트릭스형의 화소 어레이부를 갖는 표시 장치에 있어서, 신호선을 6개 걸러서 구동하는 경우의 EL(electro luminescense) 패널부(201)의 개략 구성을 나타내는 블록도.

도 24는 신호선을 3개 걸러서 구동하는 경우의 EL 패널부의 개략 구성을 나타내는 블록도.

도 25는 도 24의 변형예를 나타내는 블록도.

도 26은 디지털 화소 데이터의 전송 경로를 나타내는 도면.

도 27은 신호선을 4개의 블록으로 분할 구동하는 경우의 신호선 구동 회로의 개략 구성을 나타내는 블록도.

도 28의 (a) - (c)는 신호선의 구동 순서를 나타내는 도면.

도 29는 도 28의 한 블록분의 상세 구성을 나타내는 블록도.

도 30은 도 29의 동작 타이밍도.

도 31은 그래픽 컨트롤러 IC에서 출력되는 각종 제어 신호의 타이밍도.

도 32는 멀티 프레임 주기형의 그래픽 컨트롤러 IC의 블록 구성도.

도 33은 랜덤 액세스형의 그래픽 컨트롤러 IC의 블록 구성도.

도 34는 판독 어드레스 발생부를 이용한 VRAM의 판독을 설명하는 도면.

도 35는 전체 화면 리프레시형의 그래픽 컨트롤러 IC의 내부에 판독 어드레스 발생부를 설치한 예를 나타내는 블록도.

도 36은 종래의 액정 표시 장치의 블록도.

< 도면의 주요 부분에 대한 부호의 설명 >

1, 203 : 화소 어레이부

2 : 신호선 구동 회로

3 : 주사선 구동 회로

4, 103 : 제어 회로

5, 101 : 그래픽 컨트롤러 IC

10 : 글래스 기판

11 : 레벨 시프터

12 : 제어 신호 출력부

31 : 호스트 인터페이스부

32 : 레지스터

33 : 프레임 메모리(VRAM)

34 : 메모리 제어 회로

35 : 표시 FIFO

36 : 커서 FIFO

37 : 룩업 테이블

38 : 화소 데이터 출력 회로

39 : 위상 조정 회로

40 : 제어 신호 출력 회로

41 : 하드웨어층

42 : I/O 함수층

43 : 드라이버 함수층

44 : 어플리케이션층

51 : 레벨 시프터(L/S)

52, 252 : 분주 회로

53 : 데이터 분배 회로(샘플링 회로)

54, 61, 62, 105 : 래치 회로

54a, 54b, 232, 232a, 232b : 로드 래치

55, 106, 234 : D/A 컨버터(DAC)

56, 107 : 앰프(AMP)

57, 108, 233 : 선택 회로

63 : 시프트 레지스터

64 : 도트 클럭 제어부

65 : 출력 레이트 제어부

66 : 출력 진폭 제어부

68 : 어드레스 발생부

69 : 판독 어드레스 발생부

70 : 워드선 선택 디코더

71 : 비트선

72 : 센스 앰프

100 : CPU

102 : 데이터 분배 회로

102a : 게이트 어레이(G/A)

109 : 신호선

201 : EL 패널부

202 : 컨트롤러 IC

204 : I/F 회로

205a, 205b : 데이터 버스

206 : 버퍼 회로

207 : 비트선 구동 회로

208 : 어드레스 래치 회로

209 : 어드레스 버퍼

210 : 워드선 구동 회로

213 : 표시 메모리(VRAM)

222 : 출력부

231 : 샘플링 래치

235 : 게이트선 구동 회로

253 : 레벨 변환기

254 : 레벨 변환 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 소자와 구동 회로를 동일한 절연 기판 상에 형성하는 표시 장치, 화상 제어 반도체 장치, 및 표시 장치의 구동 방법에 관한 것이다.

다수의 표시 소자를 절연 기판 등에 종횡으로 줄지어 설치한 표시 장치가 알려져 있고, 그 대표적인 것으로 액정 표시 장치가 있다.

이러한 종류의 종래의 표시 장치에서는, 표시 소자가 줄지어 설치된 화소 어레이 기판과는 별개로, 구동 회로 기판을 설치하는 것이 일반적이다. 예를 들면, 액티브 매트릭스형의 표시 소자는 화소 어레이 기판 상에 종횡으로 줄지어 설치된 신호선 및 주사선의 교점 부근에 형성되고, 이것 이외에, 화소 어레이 기판에는 각 신호선을 구동하기 위한 신호선 구동 회로와, 각 주사선을 구동하기 위한 주사선 구동 회로가 형성되어 있다.

한편, 구동 회로 기판에는 CPU로부터의 지시에 따라 비트맵으로의 전개 등의 화상 처리를 행하는 그래픽 컨트롤러 IC와, 그래픽 컨트롤러로부터 출력되는 화소 데이터를 화소 어레이 기판의 구조 및 구동에 맞추어 재배열하는 순서 변경의 역할과, 화소 어레이 기판이나 표시 장치의 주변 회로를 제어하기 위한 신호를 생성하는 역할을 다하는 LCD 컨트롤러 IC가 형성되어 있다. 이 LCD 컨트롤러 IC는 게이트 어레이 등으로 구성된다.

도 36은 종래의 액정 표시 장치의 블록도이고, 글래스 기판 상에 폴리실리콘 TFT를 이용하여 화소 어레이부(1)와 구동 회로의 일부(신호선 구동 회로나 주사선 구동 회로 등)를 형성하고, 별도의 기판에 CPU(100),그래픽 컨트롤러 IC(101), 및 게이트 어레이(G/A)(102)를 형성한 예를 나타내고 있다.

도 36에 있어서, 게이트 어레이(102)는 그래픽 컨트롤러 IC(101)로부터 출력된 디지털 화소 데이터의 재배열과 화소 어레이나 표시 장치의 주변 회로의 제어를 행한다. 게이트 어레이(102a)의 출력은 제어 회로(103), 샘플링 회로(104), 및 래치 회로(105)를 통해 D/A 컨버터(DAC)(106)에 입력된다. D/A 컨버터(106)는 디지털 화소 데이터를 아날로그 전압으로 변환한다. 이 아날로그 전압은 앰프(AMP)(107)로 증폭되어, 선택 회로(108)로 선택된 각 신호선(109)에 공급된다.

부품 비용의 삭감 및 소형화를 도모하기 위해서는 부품 점수, 기판 면적 및 기판의 수를 줄일 필요가 있지만, 종래의 표시 장치에서는 그래픽 컨트롤러 IC(101), 게이트 어레이(102a), 신호선 구동 회로, 및 주사선 구동 회로 등의 복수의 회로를 이용하여 구동 회로를 구성하고 있었기 때문에, 구동 회로의 회로 규모를 작게 할 수 없다고 하는 문제가 있다.

또한, 최근, 액정 표시 장치에서는 고속 동작이 가능한 폴리실리콘 TFT(Thin Film Transistor)를 글래스 기판 상에 형성하여, 화소 어레이부뿐만 아니라, 구동 회로의 일부도 글래스 기판 상에 형성하는 기술이 진행되고 있다.

그러나, 폴리실리콘 TFT는 고속 동작이 가능하다고 하더라도, 이동도가 그만큼 빠르지 않기 때문에, 해상도가 높게 되어 일 화소당의 주기가 짧게 되면, 안정적으로 동작하지 않게 된다. 따라서, 종래는 고속 동작이 필요한 그래픽 컨트롤러 IC(5) 등은 글래스 기판의 외부에 설치하는 것이 일반적이고, 구동 회로 전체를 화소 어레이부와 일체로 형성할 수 없었다.

또한, 종래의 액정 표시 장치에서는 글래스 기판 상에 데이터 버스가 다니게 되기 때문에, 글래스 기판의 면적이 크고 신호선의 갯수가 많을 수록, 데이터 버스의 부하 용량이 커져 버린다. 데이터 버스의 부하 용량이 커지면, 파형이 완만해지는 등의 문제가 생기기 때문에, 종래는 데이터 버스 상에서 전달되는 데이터의 전압 진폭을 크게 하고 있었다. 그런데, 데이터 버스 상에서 전달되는 데이터의 전압 진폭을 크게 하면, 소비 전력이 증가한다고 하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 점을 감안하여 이루어진 것으로, 그 목적은 소형화가 가능하고, 고해상도에서도 안정 동작하며, 또한 소비 전력을 저감할 수 있는 표시 장치, 화상 제어 반도체 장치, 및 표시 장치의 구동 방법을 제공하는 것에 있다.

상기한 목적을 달성하기 위해서, 본 발명에 따른 표시 장치는 절연 기판 상에 종횡으로 줄지어 설치되는 신호선 및 주사선과, 신호선 및 주사선의 각 교점 부근에 형성되는 표시 소자와, 상기 절연 기판 상에 형성되어 각 신호선을 구동하는 신호선 구동 회로와, 상기 절연 기판 상에 형성되어 각 주사선을 구동하는 주사선 구동 회로와, 상기 신호선 구동 회로에 의한 신호선의 구동 순서에 맞춰진 순서로 디지털 화소 데이터를 출력하는 그래픽 컨트롤러 IC를 포함하고, 상기 그래픽 컨트롤러 IC는 상기 디지털 화소 데이터 주기의 2배 이상의 주기로 클럭 신호를 출력하고, 상기 신호선 구동 회로 및 상기 주사선 구동 회로는 상기 클럭 신호에 동기시켜, 각각 신호선 및 주사선의 구동을 행한다.

본 발명에 따르면, 그래픽 컨트롤러 IC에서, 디지털 화소 데이터 주기의 2배 이상의 주기로 클럭 신호를 출력하기 때문에, 표시 해상도가 높더라도 클럭 신호의 주파수를 화소 데이터의 최고속 주파수보다 높게 할 필요가 없어진다. 또한, 그래픽 컨트롤러 IC는 신호선의 구동 순서에 맞추어 재배열을 행한 상태에서의 디지털 화소 데이터를 출력하고, 기본적인 스타트 펄스 이외의 표시 제어 신호는 상기 절연 기판 상에서 생성할 수 있도록 하였기 때문에, 재배열이나 표시 제어 신호의 생성을 행하기 위한 게이트 어레이 등의 IC 칩이 불필요하게 되어, 회로 규모 및 반도체 부품 점수를 삭감할 수 있다.

또한, 표시 소자가 형성되는 절연 기판 상에 그래픽 컨트롤러 IC를 실장한 경우에, 표시 소자와 구동 회로 전체를 동일한 절연 기판 상에 통합할 수 있어, 소형화 및 비용 절감을 도모할 수 있다.

또한, 그래픽 컨트롤러 IC에서 출력되는 클럭 신호의 주파수를 너무 빠르지 않도록 하였기 때문에, 폴리실리콘 TFT와 같이 이동도(동작 속도)가 너무 빠르지 않은 표시 소자라도 안정적으로 동작시킬 수 있다.

또한, 그래픽 컨트롤러 IC에서 출력되는 클럭 신호와 디지털 화소 데이터와의 위상 조정을, 그래픽 컨트롤러 IC의 내부에서 행할 수 있도록 했기 때문에, 신호선 구동 회로(2) 내에서 디지털 화소 데이터를 클럭 신호로 확실하게 받아들일 수 있다.

또한, 본 발명에 따르면, 절연 기판의 1변의 대략 중앙에서 양단을 향하여 복수의 데이터 버스를 배치하기 때문에, 데이터 버스의 부하 용량을 작게 할 수 있고, 데이터 버스 상에서 전달되는 데이터의 전압 진폭을 작게 할 수 있기 때문에, 소비 전력의 저감을 도모할 수 있다.

또한, 신호선을 복수 라인 걸러서 구동하기 때문에, D/A 변환 회로를 각 신호선마다 설치하지 않게 되어, 실장 면적의 삭감과 소비 전력의 저감을 도모할 수 있다.

또한, 본 발명에 따른 표시 장치는, 절연 기판 상에 종횡으로 줄지어 설치되는 신호선 및 주사선과, 신호선 및 주사선의 각 교점 부근에 형성되는 표시 소자와, 상기 절연 기판 상에 형성되어 각 신호선을 구동하는 신호선 구동 회로와, 상기 절연 기판 상에 형성되어 각 주사선을 구동하는 주사선 구동 회로와, 절연 기판의 1변의 대략 중앙에서 상기 1변의 양단을 향하여 각각 배치되는 복수의 데이터 버스와, 상기 신호선 구동 회로에 의해 각 신호선이 복수 라인 걸러서 동시에 구동되도록, 상기 데이터 버스 상에서 전달되는 디지털 화소 데이터의 순서 제어를 행하는 순서 제어 회로를 포함한다.

또한, 본 발명에 따른 표시 장치는, 종횡으로 줄지어 설치된 복수의 1 비트 메모리로 이루어지는 메모리 셀과, 상기 복수의 1 비트 메모리의 값에 따라서 표시를 가변 제어 가능한 표시층과, 상기 메모리 셀로의 기입을 제어하는 기입 제어 회로와, 절연 기판의 1변의 대략 중앙에서 상기 1변의 양단을 향하여 각각 배치되는 복수의 데이터 버스와, 상기 기입

제어 회로에 의해 상기 1 비트 메모리가 복수개마다 동시에 구동되도록, 상기 데이터 버스 상에서 전달되는 디지털 화소 데이터의 순서를 제어하는 순서 제어 회로를 포함한다.

또한, 본 발명에 따른 화상 제어 반도체 장치는, 디지털 화소 데이터를 저장하는 화상 메모리의 판독/기입을 제어하는 VRAM 제어부와,

신호선의 구동 순서에 맞추어 상기 디지털 화소 데이터의 출력 순서를 변경하는 출력 순서 제어 회로와,

절연 기판 상에 줄지어 설치된 복수의 신호선을 n(n은 2 이상의 정수)개의 블록으로 분할하여, 상기 n개의 블록 각각에 대하여 상기 출력 순서 제어 회로에서 재배열한 상기 디지털 화소 데이터를 병렬로 출력하는 화소 데이터 출력부와,

상기 n개의 블록 각각에 대하여, 신호선 구동 회로의 구동 개시를 지시하는 제1 스타트 펄스 신호를 출력하는 제1 스타트 펄스 출력부를 포함하고,

상기 화소 데이터 출력부는 상기 디지털 화소 데이터를 복수의 연속 출력 데이터 그룹으로 나눠, 각 연속 출력 데이터 그룹을 소정 기간을 사이에 두고 순서대로 출력한다.

또한, 본 발명에 따른 화상 제어 반도체 장치는,

디지털 화소 데이터를 저장하는 화상 메모리의 판독/기입을 제어하는 VRAM 제어부와,

상기 화상 메모리의 판독 어드레스를 생성하는 판독 어드레스 발생부와,

절연 기판 상에 줄지어 설치된 복수의 신호선을 n(n은 2 이상의 정수)개의 블록으로 분할하여, 상기 n개의 블록 각각에 대하여, 상기 판독 어드레스 발생부에서 생성된 어드레스에 대응하여 상기 화상 메모리로부터 판독된 디지털 화소 데이터를 병렬로 출력하는 화소 데이터 출력부와,

상기 n개의 블록 각각에 대하여, 신호선의 구동 개시를 지시하는 제1 스타트 펄스 신호를 출력하는 제1 스타트 펄스 출력부를 포함하고,

상기 판독 어드레스 발생부는 상기 블록 내의 디지털 화소 데이터를 p개(p는 2 이상의 정수)의 연속적으로 출력되는 소 데이터군으로 나누어, 이들 소 데이터군의 각각이 소정 기간을 사이에 두고 출력되도록, 상기 화상 메모리의 판독 어드레스를 생성한다.

또한, 본 발명에 따른 화상 제어 반도체 장치는,

디지털 화소 데이터를 저장하는 화상 메모리의 판독/기입을 제어하는 VRAM 제어부와,

상기 화상 메모리의 판독 어드레스를 생성하는 판독 어드레스 발생부와,

상기 절연 기판 상에 줄지어 설치된 복수의 신호선을 n(n은 2 이상의 정수)개의 블록으로 분할하여, 상기 n개의 블록 각각마다, 상기 판독 어드레스 발생부에서 생성된 어드레스에 대응하는 디지털 화소 데이터를 상기 화상 메모리로부터 판독하는 제1 순서 제어 수단과,

상기 제1 순서 제어 수단에 의해 판독된 상기 n개의 블록 각각 마다의 디지털 화소 데이터를 p개(p는 2 이상의 정수)의 연속적으로 출력되는 소 데이터군으로 다시 순서 변경하여, 이들 소 데이터군 각각을 소정 기간을 사이에 두고 출력하는 제2 순서 제어 수단과,

상기 p개의 소 데이터군의 각각에 선행하여 스타트 펄스를 출력하는 단자를 포함한다.

발명의 구성 및 작용

이하, 본 발명에 따른 표시 장치에 대하여, 도면을 참조하면서 구체적으로 설명한다. 이하에서는, 표시 장치의 일례로서, 화소마다 TFT(Thin Film Transistor)를 갖는 액티브 매트릭스형의 액정 표시 장치에 대하여 주로 설명한다.

< 제1 실시형태>

도 1은 본 발명에 따른 표시 장치의 일 실시 형태의 블록도이다. 도 1의 표시 장치는 종래의 표시 장치에 비교하여, 화소 어레이부와의 신호의 송수신을 행하는 LCD 컨트롤러 IC(게이트 어레이)를 생략한 점과, 화소 어레이부가 형성되는 글래스 기판 상에 그래픽 컨트롤러 IC(5)를 실장하는 점에 특징이 있다.

도 1에서는, 신호선의 구동에 관련된 부분만 도시하고 있다. 글래스 기판(10) 상에 폴리실리콘 TFT를 이용하여 형성된 신호선 구동 회로(2)는 그래픽 컨트롤러 IC(5)로부터의 신호를 받아, 화소 어레이부(1)에 줄지어 설치된 각 신호선을 구동한다.

도 2는 도 1의 표시 장치의 사시도이다. 도시한 바와 같이, 글래스 기판(10) 상에는 화소 어레이부(1), 신호선 구동 회로(2), 주사선 구동 회로(3), 및 제어 회로(4)가 각각 폴리실리콘 TFT를 이용하여 형성되고, 글래스 기판(10)의 단부에는 그래픽 컨트롤러 IC(5)가 실장되어 있다. 또, 그래픽 컨트롤러 IC(5) 이외의 IC 칩(예를 들면, CPU나 표시 메모리 등)을 글래스 기판(10) 상에 실장해도 좋다.

제어 회로(4)는, 도 1에 도시한 바와 같이, 그래픽 컨트롤러 IC(5)로부터 출력된 각종 제어 신호(동기 신호, 로드 신호 L, 클럭 신호 CLK 등)의 전압 레벨을 변환하는 레벨 시프터(L/S)(11)와, 신호선 구동 회로(2) 내의 각부를 제어하는 제어 신호 출력부(12)를 갖는다.

도 1에 있어서, 굵은선으로 도시한 그래픽 컨트롤러 IC(5)와 제어 신호 출력부(12)의 내부에, 도 36에 도시한 게이트 어레이(102)의 기능이 포함되어 있다.

이하에서는, 640×3개의 신호선과 480개의 주사선이 화소 어레이부(1)에 줄지어 설치되어 있는 것으로 한다. 또한, 그래픽 컨트롤러 IC(5)는 RGB 각 6 비트의 디지털 데이터를 신호선 구동 회로(2)에 공급하는 것으로 한다.

도 1의 구성을 설명하기 전에, 그래픽 컨트롤러 IC(5)의 구성을 설명한다. 도 3은 그래픽 컨트롤러 IC(5)의 내부 구성을 나타내는 블록도이다. 도시한 바와 같이, 그래픽 컨트롤러 IC(5)는 CPU에서의 영상 데이터를 수취하는 호스트 인터페이스부(31)와, 레지스터(32)와, 수취한 영상 데이터를 저장하는 DRAM이나 SRAM 등의 랜덤 액세스 메모리로 이루어지는 프레임 메모리(VRAM)(33)와, 프레임 메모리(33)에 대한 기입·판독을 제어하는 메모리 제어 회로(34)와, 영상 데이터를 일시적으로 저장하는 표시 FIFO(35)와, 화면 상에 표시되는 커서(cursor) 데이터를 일시적으로 저장하는 커서 FIFO(36)와, 영상 데이터 및 커서 데이터를 RGB 각 6 비트 계조의 디지털 화소 데이터로 변환하는 룩업 테이블(37)과, 디지털 화소 데이터의 출력 제어를 행하는 화소 데이터 출력 회로(38)와, 클럭 신호 CLK의 위상 조정을 행하는 위상 조정 회로(39)와, 클럭 신호 CLK 및 동기 신호의 출력 제어를 행하는 제어 신호 출력 회로(40)를 구비하고 있다.

화소 데이터 출력 회로(38)는 RGB 각 6 비트의 계18 비트의 디지털 화소 데이터를 40 ns(25 MHz)의 주기로 순차 출력한다. 제어 신호 출력 회로(40)는 12.5 MHz의 클럭 신호 CLK와 동기 신호를 출력한다. 클럭 신호 CLK의 위상은 영상 신호에 대하여 거의 반 클럭 신호 CLK(20 ns) 어긋나 있다.

도 4는 그래픽 컨트롤러 IC(5)의 출력 타이밍도이고, 제어 신호인 인에이블 신호 ENAB 및 로드 신호 L과, 클럭 신호 CLK와, 디지털 화소 데이터 DATA와의 타이밍도를 나타내고 있다.

도 4에 도시한 바와 같이, 클럭 신호 CLK의 주기는 디지털 화소 데이터 DATA 주기의 2배이고, 클럭 신호 CLK의 위상과 디지털 화소 데이터 DATA의 위상을 상호 변이시키고 있다.

이와 같이, 클럭 신호 CLK의 주기를 디지털 화소 데이터의 주기의 2배 이상으로 함으로써, 신호선 구동 회로(2)에 공급되는 클럭 신호 CLK의 주파수를 낮게 할 수 있어, 신호선 구동 회로(2)의 회로 동작을 안정화시킬 수 있다. 또한, 디지털 화소 데이터 DATA의 위상과 클럭 신호 CLK의 위상을 상호 변이시키는 것에 의해, 신호선 구동 회로(2)의 내부에서 디지털 화소 데이터를 DATA 클럭 신호 CLK에서 확실하게 래치할 수 있게 된다.

또, 디지털 화소 데이터 DATA와 클럭 신호 CLK의 위상 조정은 그래픽 컨트롤러 IC(5) 내의 위상 조정 회로(39)로 행해진다.

도 5는 위상 조정 회로(39)의 회로도이다. 도시한 바와 같이, 위상 조정 회로(39)는 복수의 인버터 IV1 IV6을 종속 접속하여 구성된다. 우수단째의 인버터 IV2, IV4, IV6의 출력 단자에는 각각 스위치 SW1 SW4가 접속되어 있고, 이들 스위치 SW1 SW4중 어느 하나만이 온한다. CMOS-IC의 경우, 인버터 한단 당 지연 시간은 5 ns 정도이기 때문에, 도 5의 회로의 경우, 10 ns 간격으로 지연 시간을 조정할 수 있다.

또, 스위치 SW1 SW4의 전환은 제조시 등에 수동으로 행하여도 좋지만, 그래픽 컨트롤러 IC(5)로부터 신호선 구동 회로(2)에 신호를 보내어, 그 신호가 되돌아오기까지의 시간에 따라서, 자동적으로 스위치 SW1 SW4의 전환을 행하여도 좋다.

제어 신호 출력 회로(4O)는, 도 4에 도시한 바와 같이, 1 수평 라인 기간의 사이, 혹은 1 프레임 기간의 사이의 블랭킹 기간에, 동기 신호와 클럭 신호 CLK를 중간 전위로 설정한다. 중간 전위로 설정함으로써, 다음의 사이클이 개시한 시점에서, 동기 신호와 클럭 신호 CLK를 신속하게 소정의 전위로 설정할 수 있다.

도 6은 동기 신호와 클럭 신호 CLK를 중간 전위로 설정하기 위한 중간 전위 설정 회로의 회로도이다. 이 중간 전위 설정 회로는 그래픽 컨트롤러 IC(5) 내의 화소 데이터 출력 회로(39)와 제어 신호 출력 회로(40)의 내부에 설치된다.

중간 전위 설정 회로는, 도 6에 도시한 바와 같이, NM0S 트랜지스터 Q1, Q2와 PM0S 트랜지스터 Q3, Q4를 지니고, NM0S 트랜지스터 Q2와 PM0S 트랜지스터 Q4는 전원 단자와 접지 단자 사이에 직렬 접속되어 있고, 저항 소자 R1, NM0S 트랜지스터 Q1, PM0S 트랜지스터 Q3 및 저항 소자 R2는 전원 단자와 접지 단자 사이에 직렬 접속되어 있다.

저항 소자 R1, R2의 저항값을 상호 같게 하여 충분히 높게 함으로써, NMOS 트랜지스터 Q1의 드레인 단자와 NMOS 트랜지스터 Q2의 게이트 단자는 함께 (Vcc/2+Vtn)으로 되고, PM0S 트랜지스터 Q3의 드레인 단자와 PM0S 트랜지스터 Q4의 게이트 단자는 함께 (Vcc/2+｜Vtp｜)로 된다. 이에 따라, 수 μA 정도의 근소한 관통 전류로 수 mA의 전류 구동력을 얻을 수 있다.

중간 전위 설정 회로의 출력 단자에는, 도 6에 도시한 바와 같이, 아날로그 스위치 SW가 접속되어 있다. 이 아날로그 스위치 SW는 블랭킹 기간 중에는 중간 전위 설정 회로의 출력을 선택하고, 블랭킹 기간 이외는 클럭 신호 CLK0을 선택한다.

도 6에서는, 클럭 신호 CLK를 중간 전위로 설정하는 예를 나타내고 있지만, 디지털 화소 데이터 DATA도 도 6과 마찬가지의 회로에 의해, 블랭킹 기간 중에 중간 전위로 설정된다.

본 실시 형태의 그래픽 컨트롤러 IC(5)는 CPU에서 공급된 디지털 화소 데이터 DATA를 재배열하여 출력한다. 종래는, 도 36에 도시한 바와 같이, 그래픽 컨트롤러 IC(5)와는 별개의 게이트 어레이(102)의 내부에 라인 메모리를 설치하여 데이터의 재배열을 행하고 있었다. 이것은 그래픽 컨트롤러 IC(5)의 범용성을 높여, 폴리실리콘 TFT뿐만 아니라, 비정질 실리콘 TFT나 MIM 등을 이용하는 다른 액티브 매트릭스 표시 장치에서도 공통으로 이용할 수 있도록 하기 위해서이다.

이것에 대하여, 본 실시 형태는, 그래픽 컨트롤러 IC(5) 내에는 처음부터 프레임 메모리(33)(VRAM)라는 수백킬로 바이트 수메가 바이트의 거대한 메모리가 존재하고 있고, 이 메모리의 일부를 이용하여 데이터의 재배열을 행하는 것은 게이트 규모의 관점에서 용이하다고 판단하여, 그래픽 컨트롤러 IC(5) 내에서 재배열을 행하는 것으로 하였다.

도 7은 프레임 메모리(33)의 제어를 행하는 메모리 제어 회로(34)의 내부 구성을 나타내는 도면이다. 도시한 바와 같이, 메모리 제어 회로(34)는 최하위층에 하드웨어층(41)이, 그 상위에 I/O 함수층(42)이, 그 상위에 드라이버 함수층(43)이, 최상위층에 어플리케이션층(44)이 있다.

하드웨어층(41)은 프레임 메모리(33)에 대한 액세스를 실제로 행하는 부분이다. I/O 함수층(42)은 하드웨어층(41)의 포트나 내부 레지스터를 재기입하여 프레임 메모리(33)에 대한 액세스 방법을 전환하는 부분이다. 드라이버 함수층(43)은 상층의 어플리케이션층(44)으로부터 직접 호출되고, 화면의 초기화, 화면의 표시 제어, 구형(矩形) 묘화, 및 비트맵 묘화 등의 여러가지의 기능을 실현하는 부분이다. 어플리케이션층(44)은 화상 표시를 위한 여러가지의 커맨드를 발행하는 부분이다.

I/O 함수층(42)과 드라이버 함수층(43)은 C 언어 등의 프로그램 언어로 생성된다. 화면의 특정 영역으로의 묘화는 프레임 메모리(33)의 좌표 (x, Y)= 색정보가 저장된 록업 테이블(37) 상의 어드레스 형식으로 기술된다. 또한, 프레임 메모리(33)로부터의 데이터 판독도, 배열을 이용하여 행한다.

프레임 메모리(VRAM)(33)의 메모리 공간(VRAM 공간)은, 도 8에 도시한 바와 같이, 한 화면분 이상의 영역이 있고, 드라이버 함수층에 의해 VRAM의 포인터를 제어함으로써, VRAM 내의 임의의 영역을 화면에 표시할 수 있다. 이와 같이, VRAM의 메모리 공간을 한 화면분 이상 설치하는 것에 의해, 스크롤이나 화면의 전환을 신속하게 행할 수 있다.

이와 같이, 본 실시 형태의 그래픽 컨트롤러 IC(5)는 디지털 화소 데이터 DATA의 순서 제어를 내부에서 행하기 때문에, 게이트 어레이를 설치할 필요가 없게 된다. 또한, 클럭 신호 CLK의 주기를 디지털 화소 데이터 DATA 주기의 2배 이상으로 하기 때문에, 폴리실리콘 TFT가 정상적으로 동작하는 주파수의 클럭 신호 CLK를 신호선 구동 회로(2)에 공급할 수 있다.

또한, 클럭 신호 CLK의 엣지와 디지털 화소 데이터 DATA의 변화 위치를 변이시켜 출력하기 때문에, 신호선 구동 회로(2)로 디지털 화소 데이터 DATA를 확실하게 받아들일 수 있다.

한편, 본 실시 형태의 신호선 구동 회로(2)는, 도 9에 상세한 블록도를 도시한 바와 같이, 디지털 화소 데이터 DATA의 진폭 레벨을 변환하는 레벨 시프터(L/S)(51)와, 디지털 화소 데이터 DATA의 주기를 2배로 늘리는 분주 회로(52)와, 직렬로 배열된 디지털 화소 데이터 DATA를 병렬 출력하는 데이터 분배 회로(53)와, 분배한 디지털 화소 데이터 DATA를 통합하여 래치하는 래치 회로(Latch)(54)와, 래치한 디지털 화소 데이터 DATA를 아날로그 전압으로 변환하는 D/A 컨버터(DAC)(55)와, 아날로그 전압의 게인 조정을 행하는 앰프(AMP)(56)와, 앰프(56)로부터 출력된 아날로그 화소 전압을 선택하여 개개의 신호선에 공급하는 선택 회로(57)를 갖는다.

도 10은 레벨 시프터(51)의 회로도, 도 11은 레벨 시프터(51)의 입출력 신호의 파형도이다. 도 11의 굵은 곡선 a는 입력 신호, 가는 곡선 b는 출력 신호를 나타내고 있다. 도 10에 도시한 바와 같이, 레벨 시프터(51)는 캐패시터 소자 C1과, 인버터를 구성하는 PM0S 트랜지스터 Q5 및 NMOS 트랜지스터 Q6과, 아날로그 스위치 SW5를 갖는다.

레벨 시프터(51) 내의 아날로그 스위치 SW5는, 블랭킹 기간 중에, 그래픽 컨트롤러 IC(5)로부터의 디지털 화소 데이터 DATA가 중간 전위(1.65 V)로 되어 있을 때에 온한다. 이에 따라, 캐패시터 소자 C1의 다른 단 b는 인버터의 임계치 전압(대략 2.5 V)과 같게 되고, 캐패시터 소자 C1의 양단에는 2.5 V - 1.65 V = o.85 V의 전압이 인가된다.

아날로그 스위치 SW5가 오프하면, 그래픽 컨트롤러 IC(5)로부터 공급된 디지털 화소 데이터 DATA는 캐패시터 소자 C1의 양단 전압 0.85 V만큼 오프셋 조정되어 전달된다. 즉, 인버터를 구성하는 PM0S 트랜지스터 Q5 및 NM0S 트랜지스터 Q6의 게이트 단자에는 인버터의 임계치 전압을 중심으로 하여 상하로 동레벨만큼 움직이는 전압이 인가된다.

이와 같이, 인버터의 임계치 전압에 대하여 입력을 대칭화한 것에 의해, 폴리실리콘 TFT의 임계치가 변동되거나, PM0S 트랜지스터 Q5 및 NM0S 트랜지스터 Q6의 특성이 언밸런스가 되거나, 입력 진폭이 완만해지더라도, 인버터는 고속 동작하고, 더구나 펄스 폭은 변화하기 어렵게 된다.

도 12는 분주 회로(52)의 회로도이다. 도시한 바와 같이, 분주 회로(52)는 클럭 신호 CLK의 2 주기분의 데이터 폭으로써 동위상으로 디지털 화소 데이터 DATA를 출력하는 두개의 래치 회로(61, 62)를 갖는다. 각 래치 회로(54)는 클럭드 인버터와, 인버터를 갖는다.

분주 회로(52) 내의 각 래치 회로(54)의 출력 DATA-E, DATA-O의 타이밍은 도 13과 같이 된다. 도 13에서는, 그래픽 컨트롤러 IC(5)로부터 출력된 디지털 화소 데이터 DATA를 ①②③…으로 나타내고 있다.

도 13에 도시한 바와 같이, 래치 회로(61, 62)는 각각 디지털 화소 데이터 DATA를 하나 걸러서 래치하여, 동 타이밍에서 출력한다. 분주 회로(52)의 출력은 데이터 분배 회로(53)에 입력된다. 래치 회로(61)는 정상 클럭의 다운 엣지에서, 래치 회로(62)는 역상 클럭의 다운 엣지에 의해 데이터 래치를 행한다. 정상 클럭뿐만 아니라, 역상 클럭도 그래픽 컨트롤러 IC(5)로 타이밍 조정하는 것이 래치 마진을 확보하는 데에 있어서 바람직하다.

본 실시 형태는, 모든 신호선을 동시 구동하는 것은 아니고, 각 색마다 나눠 구동하는 점에 특징이 있다. 이와 같이 함으로써, 신호선 구동 회로(2) 내의 래치 회로(54)나 D/A 컨버터(55) 등의 개수를 삭감할 수 있다.

데이터 분배 회로(53)는 분주 회로(52)로부터 출력된 디지털 화소 데이터 DATA를 순서대로 래치하여 병렬로 분류한다. 래치 회로(54)는 데이터 분배 회로(53)가 타이밍을 변이시켜 래치한 복수의 데이터를 동 타이밍에서 재래치한다. 재래치된 데이터는 D/A 컨버터(55)에 입력되어 아날로그 전압으로 변환된 후, 증폭기(56)로 전류 증폭되어 신호선 및 소정 화소에 대하여 기입된다.

도 14는 본 실시 형태의 표시 장치의 글래스 기판(10) 상의 레이아웃도이다. 또, 도 15는 범용의 그래픽 컨트롤러 IC를 이용하여 구성한 종래의 표시 장치의 칩 레이아웃도이다.

범용의 그래픽 컨트롤러 IC는 정(正)의 순서로 출력되는 디지털 화소 데이터와, 화소 데이터 폭을 주기로 하는 클럭을 출력한다. 라인/스페이스= 4 μm/4 μm 정도의 디자인 룰에서는 전체 신호선에 대하여 D/A 컨버터를 형성하는 것은 어렵고, 복수 신호선마다 D/A 컨버터를 설치하지 않을 수 없다. 이 경우, 정의 순서로 입력되는 화소 데이터를 일단 한 수평 기간분 래치하여, 원하는 순서로 재배열할 필요가 있다.

또한, 도 15의 경우, 글래스 기판(10) 상에서 디지털 화소 데이터의 재배열을 행할 필요가 있기 때문에, 1 라인분의 래치(메모리) 회로를 설치할 필요가 있어, 래치 회로는 6배로 증대한다. 이 때문에, 데이터 분배 회로(102), D/A 컨버터(106), 증폭기(107) 및 선택 회로(108)를 2조, 상하 프레임에 각각 나눠 설치하지 않으면 안되게 된다.

이와 같이, 본 실시 형태와 같이 그래픽 컨트롤러 IC(5)의 내부에서 디지털 화소 데이터 DATA의 재배열을 행하도록 하면, 글래스 기판(10) 상의 구성을 간략화할 수 있어, 그래픽 컨트롤러 IC(5)를 글래스 기판(10) 상에 실장하기 위한 스페이스를 용이하게 얻을 수 있다.

도 1에는, 본 실시 형태를 이용하여 VGA 규격(640×480 도트)으로 RGB 각 6 비트의 액정 표시 장치를 구성한 경우의 각부의 게이트 수가 도시되어 있다. 도 1은 신호선을 6개 걸러서 구동하는 예를 나타내고 있다.

도 1의 경우, 레벨 시프터(51)가 각 색마다 6개로 계 18개, 분주 회로(52)가 각 색마다 6개로 계 18개, 샘플링 회로(53)와 래치 회로(54)가 각각 각 색마다 640개로 계 1920개, D/A 컨버터(55)와 증폭기(56)가 각각 320개 필요하게 된다. 이 결과, 제어 회로에 1K 게이트, 분주 회로(52)에 1K 게이트, 샘플링 회로 및 래치 회로(54)에 13K 바이트, D/A 컨버터(55), 증폭기(56) 및 선택 회로(57)에 5K 게이트 필요하게 된다.

이와 같이, 본 실시 형태에서는, 게이트 어레이가 불필요하게 되는 만큼과, 신호선을 N개(N은 2 이상의 임의의 정수) 걸러서 구동함에 따른 샘플링 회로와 래치 회로(54)의 삭감분에 의해, 종래에 비교하여 대폭 회로 규모를 삭감할 수 있다.

또한, 도 14와 도 15에서는, 칩의 개략 사이즈를 도시하고 있다. 본 실시 형태의 경우, 구동 회로의 형성 영역의 세로 방향의 길이가 8.3 mm 정도인 데 대하여, 도 15에 도시하는 종래의 구성에서는 구동 회로의 형성 영역의 세로 방향의 길이는 5.0 mm ×2 = 10 mm 정도가 되어, 본 실시 형태쪽이 구동 회로의 형성 영역이 작아진다.

상술한 실시 형태에서는, 그래픽 컨트롤러 IC(5)로부터 출력되는 디지털 화소 데이터 DATA의 주기를 클럭 신호 CLK의 2배의 주기로 설정하고 있지만, 2배보다 긴 주기로 설정해도 좋다. 또한, 그래픽 컨트롤러 IC(5)로부터 신호선 구동 회로(2)에 전송하는 클럭 신호 CLK의 주파수는 12.5 MHz 이외라도 좋다. 또한, 상술한 그래픽 컨트롤러 IC(5)로부터 출력되는 신호의 종류에도 특별히 제한은 없다.

레벨 시프터(51)는, 도 10에 도시한 것 이외의 구성이라도 좋고, 도 10 이외로 구성한 경우에는, 도 4와 같이 블랭킹 기간에 클럭 신호 CLK나 디지털 화소 데이터 DATA를 중간 레벨로 할 필요는 없다.

상술한 실시 형태에서는, 표시 장치의 일례로서 액정 표시 장치에 대하여 설명하였지만, 신호선 및 주사선이 종횡으로 줄지어 설치된 다른 표시 장치(예를 들면, 플라즈마 디스플레이 장치) 등에도 본 발명은 적용 가능하다.

또한, 상술한 실시 형태에서는, VGA 규격(640 ×480 도트)의 표시 해상도를 일례로서 설명하였지만, 표시 해상도에는 특별히 제한은 없다.

< 제2 실시 형태>

제2 실시 형태는 EL 패널부의 좌우 방향 대략 중앙에서 좌우 양단측으로 데이터 버스를 배치하여, 소비 전력의 저감을 도모하는 것이다.

도 16은 본 발명에 따른 표시 장치의 제2 실시 형태의 블록도이다. 도 16의 표시 장치는 글래스 기판 상에 형성되는 EL 패널부(201)와, 글래스 기판상 또는 별도의 기판 상에 실장되는 컨트롤러 IC(202)를 구비하고 있다.

EL 패널부(201)는 화소마다 설치된 복수 비트의 메모리에 기초하여 화소의 표시 계조 휘도를 제어할 수 있는 화소 어레이부(203)와, 컨트롤러 IC(202)와의 신호의 송수신을 행하는 I/F 회로(204)와, 화소 어레이부(203)의 좌우 방향 대략 중앙에서 좌우 양단측으로 각각 배치되는 데이터 버스(205a, 205b)와, 데이터 버스(205a, 205b) 상의 디지털 화소 데이터를 버퍼링하는 버퍼 회로(206)와, 화소 어레이부(203) 내의 각 비트선을 구동하는 비트선 구동 회로(207)와, I/F 회로(204)로부터의 어드레스 신호를 래치하는 어드레스 래치 회로(208)와, 래치한 어드레스 신호를 버퍼링하는 어드레스 버퍼(209)와, 화소 어레이부(203) 내의 각 워드선을 구동하는 워드선 구동 회로(210)와, 각부의 제어를 행하는 컨트롤 회로(211)를 갖는다.

컨트롤러 IC(202)는 CPU와의 통신을 행하는 CPU-I/F부(212)와, 표시 메모리(VRAM)(213)와, 그래픽 컨트롤러(214)와, 화소 어레이부(203) 내의 어드레스를 지정하는 어드레스 발생 회로(215)와, 디지털 화소 데이터의 버퍼링과 일시적인 저장을 행하는 버퍼/FIF0(216)와, 데이터 변환을 행하는 룩업 테이블(LUT)(217)과, 디지털 화소 데이터의 재배열을 행하는 재배열 회로(218)와, 폴리실리콘형 TFT용의 I/F부(p-Si-I/F부)(219)와, 비정질 실리콘형 TFT용의 I/F부(a-Si-I/F부)(220)와, MIM용의 I/F부(MIM-I/F부)(221)와, 출력부(222)를 갖는다. 이렇게 함에 따라, a-Si TFT 액티브 매트릭스 LCD, MIM 액티브 매트릭스 LCD 및 poly-Si 표시 장치에 접속이 가능해지고, 그래픽스 컨트롤러의 범용성이 넓어진다.

도 16의 컨트롤러 IC(202)는 화소 어레이부(203)를 전체적으로 표시 갱신할 수 있는 외에, 간헐적인 표시 갱신이나, 부분적인 표시 갱신이나, 불규칙한 표시 갱신을 행할 수도 있다.

도 17은 데이터 버스(205a, 205b)의 배치를 나타내는 도면이다. 도시한 바와 같이, 데이터 버스(205a, 205b)는 글래스 기판의 하변을 따라서 배치되고, 도시한 굵은선 화살표 방향으로부터 디지털 화소 데이터가 입력되고, 점선 화살표를 따라서 디지털 화소 데이터가 전달된다. 또, 이하의 설명에서는 디지털 화소 데이터는 RGB의 각 색 모두 6 비트로 한다.

도 17은 화소 어레이부(203)의 중앙에서 좌측 영역과 우측 영역에 각각 960개의 비트선이 배치되고, 비트선을 3개 걸러서 구동하는 예를 나타내고 있다. 즉, 동시에 구동되는 비트선은 960/3=320이다. 이 경우, 로드 래치는 화면의 절반마다, 320 x 6 비트분 필요하게 된다. 샘플링 래치는 로드 래치의 절반의 160 x 6 비트분 설치하였다.

도 18은 데이터 버스(205a, 205b) 상의 데이터의 배열 순을 나타내는 도면, 도 19는 도 16의 표시 장치의 타이밍도이다. 도시한 바와 같이, 데이터 버스(205a, 205b)에는 적색의 기수(odd) 화소 데이터가 2 화소분씩 좌우로 나누어 전송된다(도 19의 시각 t1 t2). 구체적으로는, 우선, 좌측의 데이터 버스(205a, 205b)에 데이터 R1, R3이, 우측의 데이터 버스(205a, 205b)에 데이터 R637, R639가 동시에 보내진다. 다음에, 좌측의 데이터 버스(205a, 205b)에 데이터 R5, R7이, 우측의 데이터 버스(205a, 205b)에 데이터 R633, R635가 동시에 보내진다. 이와 같이, 샘플링 래치(231)는 4 화소분의 데이터(계 4×6 비트= 24 비트)마다 순서대로 래치를 행한다.

샘플링 래치(231)가 적색의 기수 화소 데이터 전부를 래치한 시점(도 19의 시각 t2)에서, t2와 t3 사이의 작은 데이터 블랭킹 기간에, 로드 래치(232a)는 이들 전체 데이터를 동시에 래치한다.

그 후, 데이터 버스(205a, 205b)에는 적색의 우수(even) 화소 데이터가 2 화소분씩 좌우로 나누어 전송된다(도 19의 시각 t3 t4). 구체적으로는, 우선, 좌측의 데이터 버스(205a, 205b)에 데이터 R2, R4가, 우측의 데이터 버스(205a, 205b)에 데이터 R638, R640이 동시에 보내진다. 다음에, 좌측의 데이터 버스(205a, 205b)에 데이터 R6, R8이, 우측의 데이터 버스(205a, 205b)에 R634, R636이 동시에 보내진다. 이와 같이, 샘플링 래치(231)는 4 화소분의 데이터(계 4×6 비트= 24 비트)마다 순서대로 래치를 행한다.

R의 기수 데이터와 R의 우수 데이터 사이에 블랭크 기간을 설치한 효과로, 샘플링 래치를 2회 반복하여 사용할 수 있어, 샘플링 래치의 수를 로드 래치의 반으로 줄이는 것이 가능해진다. 본 예에서는, R 데이터를 기수, 우수의 2 그룹으로 나눠, 샘플링 래치 수를 반감하였다. 확장하면, R 데이터를「3으로 나누어 나머지가 1인 그룹, 나머지가 2인 그룹, 나머지가 3인 그룹」으로 나누고, 각각의 데이터 기간의 사이에 작은 블랭크 기간을 설치하여, 샘플링 래치를 3회 반복하여 사용하는 것으로 하면, 샘플링 래치의 수를 로드 래치의 수의 3분의 1로 줄이는 것이 가능하다.

샘플링 래치(231)가 적색의 기수 및 우수 화소 데이터 전부를 래치한 시점(도 19의 시각 t4)에서, 로드 래치(232b)는 이들 전체 데이터를 동시에 래치한다.

비트선 구동 회로(207)는 로드 래치(232a, 232b)가 래치한 데이터를 동시에 받아들여 전압 증폭을 행한 후, 선택 회로(233)에 공급한다. 선택 회로(233)는 좌우 영역의 각각에 대하여, 비트선 구동 회로(207)로부터의 데이터를, 적색에 대응하는 비트선에 공급한다.

그 후, 녹색의 기수 데이터, 우수 데이터가 순서대로 로드 래치(232)로 래치된 후에, 녹색의 전체 데이터가 동시에 비트선 구동 회로(207)에 보내지고 아날로그 화소 전압으로 변환된다(도 19의 시각 t5 t8).

그 후, 청색의 기수 데이터, 우수 데이터가 순서대로 로드 래치(232)로 래치된 후에, 청색의 전체 데이터가 동시에 비트선 구동 회로(207)에 보내져서 아날로그 화소 전압으로 변환된다(도 19의 시각 t9 t12).

이와 같이, 본 실시 형태에서는, 데이터 버스(205a, 205b)를 화소 어레이부(203)의 좌우 중앙에서 좌우단측으로 각각 배치하기 때문에, 데이터 버스(205a, 205b)의 배선 길이를 단축할 수 있고, 그 만큼 데이터 버스의 구동 부하를 작게 할 수 있다. 데이터 버스가 화면의 좌단으로부터 우단으로 이르는 경우의 약 절반이다. 버스 구동 소비 전력은 버스의 구동 부하 x 주파수 x 전압 진폭의 2승으로 나타낼 수 있기 때문에, 소비 전력적으로 유리하다.

또한, 각 색의 데이터를 기수번째와 우수번째로 나눠 로드 래치(232)로 래치하여, 각 색마다 비트선의 구동을 행하기 때문에, 비트선 구동 회로(207)의 수를 대폭 삭감할 수 있고, 회로 점유 면적의 삭감과 소비 전력의 저감을 도모할 수 있다.

도 17 도 19에서는 비트선을 3개 걸러서 구동하는 예를 설명하였지만, 몇개 걸러서 구동할 것인지에 대해서는 특별히 한정되지 않는다.

상술한 실시 형태에서는, 화소 어레이부(203) 내의 전체 영역의 데이터의 표시 갱신을 행하는 예를 설명하였지만, 도 20의 (a)에 도시한 바와 같이 일부의 행 또는 열만의 표시 갱신을 행하여도 좋고, 도 20의 (b)에 도시한 바와 같이 임의의 블록만의 표시 갱신을 행하여도 좋다.

도 20의 (a)의 경우도 도 20의 (b)의 경우도, 표시 갱신을 행하는 영역만을 도 16의 재배열 회로로 데이터의 재배열을 행하여, 표시 갱신을 행하는 영역의 어드레스를 어드레스 발생 회로(215)로 발생하면 좋다.

도 21 및 도 22는 어드레스 발생 회로(215)가 어드레스를 발생하는 타이밍을 나타내는 도면이다. 도 21은 어드레스 발생 회로(215)가 발생한 어드레스를, 디지털 화소 데이터의 선두 데이터를 데이터 버스(205a, 205b)에 공급할 때에, 인에이블 단자 ENAB를 사용하여 직렬로 전송하는 예를 나타내고 있다. 또한, 도 22는 데이터 버스(205a, 205b)에 디지털 화소 데이터를 전송하기 전에, 데이터 버스(205a, 205b)를 이용하여 스타트 어드레스와 행 수 등의 어드레스 정보를 전송해도 좋다. 도 21과 도 22의 어느 쪽을 이용하여 어드레스를 전송해도 좋다.

상술한 실시 형태에서는, DRAM 구조의 화소 어레이부(203)를 갖는 예를 설명하였지만, 줄지어 설치된 신호선과 주사선의 교점 부근에 TFT가 형성된 액티브 매트릭스형의 화소 어레이부(203)를 갖는 EL 패널부(201)를 구동할 때에도, 마찬가지로 적용 가능하다.

도 23은 액티브 매트릭스형의 화소 어레이부(203)를 갖는 표시 장치에 있어서, 신호선을 6개 걸러서 구동하는 경우의 EL 패널부(201)의 개략 구성을 나타내는 블록도이다. 이 경우, 샘플링 래치(231)와 로드 래치(232)는 화소 어레이부(203)의 중앙에서 좌측 영역과 우측 영역의 각각에 대하여, 160×6 비트= 960 비트분 설치된다. 또한, DAC(234)는 좌측 영역과 우측 영역 모두, 160개 설치된다. 선택 회로는 좌측 영역과 우측 영역 모두, 160개의 DAC(234)의 출력을 적녹청중 어느 색의 신호선에 공급한다. 도 23의 타이밍도는 도 19와 같이 된다.

한편, 도 24는 신호선을 3개 걸러서 구동하는 경우의 EL 패널부(201)의 개략 구성을 나타내는 블록도이다. 이 경우, 샘플링 래치(231)와 로드 래치(232)는 화소 어레이부(203)의 중앙에서 좌측 영역과 우측 영역의 각각에 대하여, 320 ×6 비트= 1920 비트분 설치된다. 또한, DAC(234)는 좌측 영역과 우측 영역 모두, 320개 설치된다. 선택 회로는 좌측 영역과 우측 영역 모두, 320개의 DAC(234)의 출력을 적녹청중 어느 색의 신호선에 공급한다.

한편, 도 25는 도 24의 변형예이고, 신호선을 3개 걸러서 구동하는 점에서는 도 24와 동일하지만, 샘플링 래치(231)의 개수를 도 24보다도 줄인 것을 특징으로 한다. 도 25의 경우, 데이터 버스(205a, 205b)에는, 도 24와 같이, 적색의 기수 화소 데이터가 전송된 후, 작은 블랭크 기간 후, 적색의 우수 화소 데이터가 전송되고, 그 후 마찬가지로, 녹색·청색 순으로 기수 화소 데이터와 우수 화소 데이터가 전송된다.

샘플링 래치(231)는 160 ×6 비트= 960 비트분 설치되고, 어느 한 색의 기수 또는 우수 화소 데이터만을 래치한다. 샘플링 래치(231)된 데이터 중 기수 화소 데이터는 로드 래치(232a)에 로드 저장되고, 우수 화소 데이터는 로드 래치(232b)에 로드 저장된다.

DAC(234)는 로드 래치(232)로 래치된 데이터를 동 타이밍에서 D/A 변환한다. 즉, DAC(234)는 적녹청중 어느 색의 화소 데이터를 전부 통합하여 D/A 변환한다. 선택 회로는 DAC(234)로 D/A 변환된 아날로그 화소 전압을 적녹청중 어느 색의 신호선에 공급한다.

또, 본 예에서는, R 기수, R 우수, G 기수, G 우수, B 기수, B 우수의 순서로 데이터를 보내는 예를 나타내고 있지만, 1 행분의 데이터를 D/A 변환하여 신호선에 기입한 후, 다음 행에서는 B 기수, B 우수, G 기수, G 우수, R 기수, R 우수 등 순서를 바꾸더라도 좋다(DAC 후의 선택 회로의 신호선 선택순을 대응시켜 변경한다). 어떤 신호선에 주목하면, 아날로그 전위 기입 후, 부유 상태가 된다. 옆의 신호선 기입이 행해질 때 부유 화소가 전위 변동하는 경우가 있다. 상술한 것과 같은 1 행마다 기입 순서 변경을 하면, 오차 확산할 수 있는 효과가 있다.

본 실시 형태와 같이, 수 cm 오더의 큰 치수의 기판 상에 형성되는 TFT 소자는 특성이 장소에 따라 변동하는 것을 피하기 어렵다. 좌측 반면과 우측 반면의 샘플링 회로에서 단일 클럭을 공유하면 타이밍 마진이 매우 좁게 된다. 대화면 표시 장치일 수록 심각하게 된다. 이 대책으로서, 각 데이터 버스(205a, 205b)의 전송 클럭의 위상 및 듀티(duty)의 조정을 각각 별개로 행하여, 다른 클럭에 의한 샘플링 제어를 행하는 것이 유효하다. 클럭 선택 시퀀스는, 1) 전원 투입시, 2) 수직 블랭킹 기간에 실행한다. 또한, 메모리 화소 디바이스에서는, 3) 재기입 데이터가 보내져 오지 않은 기간을 가늠하여 실행할 수 있다.

본 실시 형태에서는, 도 16의 컨트롤러 IC(202)로부터 EL 패널부(201)에 디지털 화소 데이터를 전송할 때, LSI 레벨(1에서 3 V)을 폴리실리콘 레벨(5 V)로 변환하는 레벨 변환을 행한다. 도 26은 디지털 화소 데이터의 전송 경로를 나타내는 도면이다. 도시한 바와 같이, 컨트롤러 IC(202)로부터의 디지털 화소 데이터는 3 V 진폭의 데이터이다. 이 데이터는 EL 패널부(201) 내의 인버터(251)로 5 V 진폭의 데이터로 레벨 변환된 후, 분주 회로(252)로써 주파수의 조정이 행하여진다.

다음에, 레벨 변환기(253)로써 2 V 진폭의 데이터로 변환된 후, 데이터 버스(205a, 205b)에 공급된다. 데이터 버스(205a, 205b) 상의 데이터는 레벨 변환 회로(254)로써 3 V 진폭의 데이터로 변환된 후, 샘플링 래치(231)에 입력된다.

이와 같이, 본 실시 형태에서는, 디지털 화소 데이터를 전송할 때에, 배선 길이가 긴 데이터 버스(205a, 205b) 상에서는 디지털 화소 데이터의 전압 진폭을 작게 하도록 하였기 때문에, 소비 전력의 저감을 도모할 수 있다.

상술한 제2 실시 형태에서는, 그래픽스 컨트롤러에게 데이터 재배열 회로를 설치하는 예를 설명하였지만, 요는 출력 순서를 변경하는 수단을 구비하고 있으면 좋다. 예를 들면, 본 실시예의 표시 장치와, CPU와 메인 메모리를 갖는 시스템에 의한 구성이 가능하다. 즉, VRAM은 CPU가 메인 메모리의 일부에 필요에 따라서 설치한다. 그 크기는, 2 화면분이거나, 1 화면분이거나, 0.5 화면분 등 동적으로 변경된다. 표시 장치로의 데이터 전송은 소프트웨어적으로 출력 순서의 변경 뒤에 표시 장치에 송신된다. 제2 실시예의 처음에 진술한 메모리가 각 화소에 설치되어 있는 것 같은 표시 장치에서는 이 구성이 가능하다.

상술한 제2 실시 형태에서는, EL 패널부의 좌우 중앙에서 좌우 양단으로 데이터 버스를 배치하는 예를 설명하였지만, EL 패널부의 좌우 방향으로 3 종류 이상의 데이터 버스를 배치해도 좋다. 이에 따라, 더욱 데이터 버스의 부하 용량을 삭감할 수 있고, 그 만큼 데이터 버스 상의 데이터의 전압 진폭을 더욱 작게 할 수 있어, 소비 전력의 저감을 도모할 수 있다.

< 제3 실시 형태>

제3 실시 형태는 신호선을 4개의 블록으로 분할하여, 각 블록마다 데이터 버스를 설치하는 것이다.

도 27은 신호선을 4개의 블록 B1 B4로 분할 구동하는 경우의 신호선 구동 회로의 개략 구성을 나타내는 블록도이다. 도시한 바와 같이, 각 블록에는 RGB 각각 160개의 신호선이 설치되고, 각 블록마다 전용 데이터 버스 DB1 DB4가 설치되어 있다.

데이터 버스 DB1 DB4에는 우선 1수평 라인분의 적색의 기수 화소 데이터가 공급된 후, 적색의 우수 화소 데이터가 공급되고, 그 다음에 녹색의 기수 화소 데이터가, 그 다음에 녹색의 우수 화소 데이터가, 그 다음에 청색의 기수 화소 데이터가, 그 다음에 청색의 우수 화소 데이터가 순서대로 공급된다.

데이터 버스 DB1 DB4 상의 디지털 화소 데이터는 레벨 시프터(51)로 레벨 변환된 후, 샘플링 래치(53)로 래치된다. 샘플링 래치(53)는, 각 블록마다, 80 화소분×6 비트= 480개 설치되어 있다. 각 블록으로 동시에 구동하여야 할 신호선이 160개 있음에도 불구하고, 샘플링 래치(53)가 그 절반밖에 설치되어 있지 않은 이유는 인접하는 기수 화소와 우수 화소를, 타이밍을 변이시켜 동일 샘플링 래치(53)로 구동하기 때문이다.

샘플링 래치(53)를 로드 래치(54a, 54b)와 동일 수만큼 설치하는 것은 가능하다. 그러나, 본 실시 형태 쪽이 샘플링 래치(53)의 점유 면적을 줄일 수 있다. 데이터 버스의 부하는 샘플링 래치(53)의 수에 비례하여 작아져서, 신호 지연을 작게 할 수 있음과 동시에, 소비 전력의 저감을 도모할 수 있다.

로드 래치(54a, 54b)는 모든 샘플링 래치(53)가 대강 래치를 끝낸 시점에서, 샘플링 래치(53)의 래치 출력 전부를 동 타이밍에서 통합하여 래치한다. 로드 래치(54a, 54b)는 두 계통으로 분리되어 있고, 한쪽의 로드 래치(54a)는 1수평 라인분의 동일색(적, 초록 또는 청)의 기수 화소 전부를 동 타이밍에서 래치하고, 다른쪽의 로드 래치(54b)는 블록 내의 동일색의 우수 화소 전부를 동 타이밍에서 래치한다.

로드 래치(54a, 54b)에서 래치된 데이터는 D/A 변환기(DAC)(55)에 입력되어 아날로그 화소 전압으로 변환된 후, 선택 회로(57)에서 선택된 신호선에 공급된다.

즉, DAC(55)는 블록 내의 모든 적색 디지털 화소 데이터를 동시에 D/A 변환한 후, 블록 내의 모든 녹색 디지털 화소 데이터를 D/A 변환하고, 그 후 블록 내의모든 청색 디지털 화소 데이터를 D/A 변환한다.

본 실시 형태에서는, 1수평 라인 기간이 개시하면, 각 블록마다, 샘플링 래치(53)로써, 적색의 기수 화소, 적색의 우수 화소, 녹색의 기수 화소, 녹색의 우수 화소, 청색의 기수 화소 및 청색의 우수 화소의 순으로, 디지털 화소 데이터의 래치를 행한다.

우선 최초는, 도 28(a)에 도시한 바와 같이, 적색의 기수 화소 Rl, R161, R479, R639의 디지털 화소 데이터를 샘플링 래치(53)로 래치한다. 다음에, 도 28 (b)에 도시한 바와 같이, 그 옆의 기수 화소인 R3, R163, R477, R637의 디지털 화소 데이터를 샘플링 래치(53)로 래치한다. 이하 마찬가지로 각 블록마다 순차 적색 기수 화소의 디지털 화소 데이터를 샘플링 래치(53)로 래치하고, 1수평 라인 기간의 최후는 도 28(c)에 도시한 바와 같이, 적색의 기수 화소 R159, R319, R321, R481의 디지털 화소 데이터를 샘플링 래치(53)로 래치한다.

샘플링 래치(53)가 1수평 라인분의 모든 적색 기수 화소의 디지털 화소 데이터를 래치한 시점에서, 로드 래치(54a)는 샘플링 래치(53)가 래치한 적색 기수 화소의 디지털 화소 데이터 전부를 동시에 래치한다.

다음에, 샘플링 래치(53)는, 각 블록마다, 적색 우수 화소의 디지털 화소 데이터를 순서대로 래치하여 가고, 모든 적색 우수 화소의 래치가 끝나면, 로드 래치(54b)는 샘플링 래치(53)가 래치한 적색 우수 화소의 디지털 화소 데이터 전부를 동시에 래치한다.

로드 래치(54a, 54b)에서 래치된 1수평 라인분의 모든 적색 화소 데이터는 동시에 DAC(55)에 공급되어 D/A 변환된 후, 선택 회로(57)를 통해, 대응하는 신호선에 동시에 기입된다.

적색 화소의 구동이 종료하면, 다음에 마찬가지의 수순으로 녹색 화소의 구동이 행하여지고, 그 후 청색 화소의 구동이 행하여진다.

도 29는 도 28의 한 블록분의 상세 구성을 나타내는 블록도, 도 30은 도 29의 동작 타이밍도이다. 도 29에 도시한 바와 같이, 시프트 레지스터(63)의 각 출력 단자는 스타트 펄스 XST를 순차 시프트시킨 시프트 펄스를 출력한다. 이들 시프트 펄스는 샘플링 래치(53)의 래치용으로 이용된다.

샘플링 래치(53)는 우선 적색 기수 화소의 디지털 화소 데이터를 순서대로 래치한다(도 30의 시각 t2 t3). 모든 샘플링 래치(53)에서의 래치가 종료하면, 시각 t4의 타이밍에서, 로드 래치(54a)는 모든 샘플링 래치(53)의 래치 출력을 동시에 래치한다.

그 후, 시각 t5에서 스타트 펄스 XST가 출력되면, 시프트 레지스터(63)는 스타트 펄스 XST를 순서대로 시프트시킨 시프트 펄스를 출력한다. 이들 시프트 펄스에 기초하여, 샘플링 래치(53)는 적색 우수 화소의 디지털 화소 데이터를 순서대로 래치한다(도 30의 시각 t6 t7). 모든 샘플링 래치(53)의 래치가 종료하면, 시각 t8의 타이밍에서, 로드 래치(54b)는 모든 샘플링 래치(53)의 래치 출력을 동시에 래치한다.

그 후, 시각 t9가 되면, DAC(55)는 로드 래치(54a, 54b)의 래치 출력을 아날로그 화소 전압으로 변환한다. 변환된 아날로그 화소 전압은 선택 회로(57)로 선택된 신호선에 각각 공급된다(시각 t9 t16).

마찬가지로, 시각 tl0 t11의 사이에 녹색 기수 화소의 디지털 화소 데이터가 샘플링 래치(53)에 래치되고, 이들 래치 출력은 시각 t13에서 로드 래치(54a)에 래치된다. 그 후, 시각 t14 t15의 사이에 녹색 우수 화소의 디지털 화소 데이터가 샘플링 래치(53)에 래치되고, 이들 래치 출력은 시각 t16에서 로드 래치(54b)에 래치된다. 로드 래치(54a, 54b)에 래치된 녹색 화소 데이터는 시각 t17 t23의 사이에 DAC(55)로 아날로그 변환되어, 대응하는 신호선에 공급된다.

마찬가지로, 시각 t18 t19의 사이에 청색 기수 화소의 디지털 화소 데이터가 샘플링 래치(53)에 래치되고, 이들 래치 출력은 시각 t20에서 로드 래치(54a)에 래치된다. 그 후, 시각 t22 t23의 사이에 청색 우수 화소의 디지털 화소 데이터가 샘플링 래치(53)에 래치되고, 이들 래치 출력은 시각 t24에서 로드 래치(54b)에 래치된다.

본 실시 형태에서는, 도 30에 도시한 바와 같이, 적색 기수 화소의 신호선의 구동 종료 후로부터 적색 우수 화소의 구동 개시전까지의 사이(t3 t6)에, 블랭크 기간을 설치하고 있다. 마찬가지로, 적색 우수 화소의 구동 종료 후로부터 녹색 기수 화소의 구동 개시까지의 사이(t7 t10)와, 녹색 기수 화소의 구동 종료 후로부터 녹색 우수 화소의 구동 개시까지의 사이(tl1 t14)와, 녹색 우수 화소의 구동 종료 후로부터 청색 기수 화소의 구동 개시까지의 사이(t15 t18)와, 청색 기수 화소의 구동 종료 후로부터 청색 우수 화소의 구동 개시전까지의 사이(t19 t22)에도, 각각 블랭크 기간을 설치하고 있다.

이들 블랭크 기간은, 직전의 화소 데이터를 로드 래치(54a, 54b)에 래치하기 위한 시간적인 여유를 얻기 위한 것이다.

도 31은 그래픽 컨트롤러 IC에서 출력되는 각종 제어 신호의 타이밍도이다. 도시한 XCLK는 주기가 화소 데이터의 2배이고, ZCLK는 주기가 XCLK의 3배이다. 샘플링 래치(53)는 클럭 XCLK에서 시프트된 디지털 화소 데이터를 순서대로 래치한다. 또한, 본 실시 형태의 신호선 구동 회로는 도 1에 도시한 바와 같은 제어 신호 출력부를 지니고, DAC(55)의

제어에 필요한 신호를 생성한다. 글래스 기판 상에 형성되는 DAC(55)는 스위치드 캐패시터나 아날로그 스위치 등으로 구성되어, 복잡한 제어 신호를 필요로 하기 때문이다.

제어 신호 출력부는 클럭 구동되는 다수의 카운터군으로 이루어지는 카운터부와, 조합 회로부와, 버퍼부로 이루어진다. 카운터부와 조합 회로로 원하는 타이밍을 생성하여, 디지털 버퍼를 통해 각 제어 신호를 출력한다. 클럭 ZCLK와 같은 저속 클럭으로 구동되는 저속 카운터부와, 클럭 XCLK와 같은 비교적 고속인 클럭으로 구동되는 고속 카운터부를 적절하게 조합하여 카운터부를 형성함으로써, 이 카운터부의 카운터 수를 삭감할 수 있다.

클럭 XCLK 및 ZCLK는 그래픽 컨트롤러 IC에서 출력된다. 글래스 기판 상에 분주 회로를 형성하여 클럭 XCLK에서 클럭 ZCLK를 생성해도 좋지만, 이 경우 글래스 기판 상의 소정 부분이 점유되어, 많은 면적을 필요로 한다.

스타트 펄스 XST는 디지털 화소 데이터의 샘플링 제어와 DAC(55)용의 제어 신호 생성에 이용된다. 스타트 펄스 ZST는 1수평 라인 기간에 1회 행하는 공통 전극 반전이나, 신호선 프리차지 등의 제어 타이밍의 생성에 이용된다. 스타트 펄스 YST는 화면의 수직 타이밍 제어에 이용된다. 이들 3 종류의 스타트 펄스 XST, ZST, YST는 표시 장치의 제어 신호로서 중요하고, 이들에 기초하여 제어 신호가(바람직하게는, 글래스 기판 상에서) 생성되어, 신호선 구동 회로의 제어를 완전히 행할 수 있다.

본 실시 형태의 그래픽 컨트롤러 IC는 전체 화면의 리프레시를 행하는 전체 화면 리프레시형, 프레임 주파수를 가변 제어 가능한 멀티 프레임 주기형, 및 표시 화면 내의 임의 영역의 화상 갱신이 가능한 랜덤 액세스형 중 어느 것으로 구성된다. 또, 이들 복수의 형을 전환하여 실현할 수 있도록 하더라도 좋다.

전체 화면 리프레시형의 그래픽 컨트롤러 IC는 도 16에 도시한 것과 마찬가지의 구성이 된다.

한편, 멀티 프레임 주기형의 그래픽 컨트롤러 IC는 도 32와 같은 블록 구성이 된다. 도 32의 컨트롤러(214)는 화소 클럭의 주파수 제어를 행하는 도트 클럭 제어부(64)와, 글래스 기판에 공급하는 디지털 화소 데이터의 출력 주파수를 제어하는 출력 레이트 제어부(65)와, 동 디지털 화소 데이터의 출력 진폭을 제어하는 출력 진폭 제어부(66)를 갖는다.

예를 들면, 휴대 전화의 대기 상태 등에서는 표시 장치의 소비 전력을 될 수 있는 한 저감할 필요가 있다. 소비 전력을 저감하기 위해서는 프레임 주파수를 낮게 하는 것이 바람직하다. 그런데, 프레임 주파수를 낮게 하면, 플리커(flicker)가 눈에 띄게 생기기 때문에, RGB 각각의 계조 수를 적게 하여 깜박임을 눈에 띄지 않게 하는 처리가 필요하여 진다. 또한, 프레임 주파수를 낮게 하면, 디지털 화소 데이터의 진폭을 작게 해도, 글래스 기판측에서 충분히 신호선을 구동할 수 있다.

일반적으로, 레벨 시프터는 입력 진폭이 작을 수록, 출력 신호의 상승 ·하강 시간이 길게 되고, 도 10에 도시하는 레벨 시프터(51)도 그와 같은 특징을 갖는다.

그래서, 도 32의 그래픽 컨트롤러 IC는 표시 장치를 저소비 전력 모드로 사용하는 경우에는, 화소 클럭의 주파수를 낮게 하여, 디지털 화소 데이터의 출력 주파수를 낮게 함과 동시에, 디지털 화소 데이터의 출력 진폭도 작게 한다.

통상, 그래픽 컨트롤러 IC는 내부 전압 1.5 2 V에서 동작하고 있지만, 외부와의 인터페이스 제약으로부터 일부러 3 V 전원이나 3.3 V 전원을 준비하여, 출력부만 신호 진폭을 크게 하고 있다. 저속 구동 시에, 출력부의 신호 진폭을 내부 전압과 마찬가지의 1.5 V나 2 V 정도로 하면, 출력부에서의 저소비 전력의 저감을 도모할 수 있다. 구체적으로는, 5 10 mw의 전력을 저감할 수 있다.

도 32의 그래픽 컨트롤러 IC에는, 디지털 화소 데이터의 출력 주파수와 화소 계조 수를 지정하는 동작 모드 지정 신호가 입력된다. 이 동작 모드 지정 신호에 기초하여, 도트 클럭 제어부(64), 출력 레이트 제어부(65) 및 출력 진폭 제어부(66)는 화소 클럭의 주파수와, 디지털 화소 데이터의 출력 주파수 및 출력 진폭을 제어한다.

또, 동작 모드 지정 신호는 화소 클럭의 주파수와, 디지털 화소 데이터의 출력 주파수와, 디지털 화소 데이터의 출력 진폭을 각각 별개로 지정 가능하다.

또한, 표시 화면에 대응시켜 그래픽 컨트롤러 IC의 출력 단자를 구분해 두는 것은 다음과 같은 이점을 갖는다. 즉, 표시 화면의 어느 부분(예를 들면, 우측반면)이 각 6 비트의 풀 컬러 표시이고, 다른 부분(좌측반면)이 각 색 1 비트의 2값 표시인 경우를 생각하면, 좌측반면의 화상 데이터를 출력하는 단자는 거의 구동하지 않게 되어, 소비 전력의 저감을 도모할 수 있다. 또한, 그래픽 컨트롤러 IC의 내부에서, 좌측반면을 위한 단자는 MSB만을 구동하고, 하위 비트용의 단자는 L 전원으로 풀다운해 버리는 것도 용이해진다.

한편, 상술한 랜덤 액세스형의 그래픽 컨트롤러 IC는 도 33과 같은 블록 구성이 된다. 도 33의 그래픽 컨트롤러 IC는, 도 32와 같이, 도트 클럭 제어부(64), 출력 레이트 제어부(65) 및 출력 진폭 제어부(66)를 갖는다. 그 외, 도 33의 그래픽 컨트롤러 IC는 표시 화면 중의 갱신을 행해야 되는 범위를 제어하여 갱신 장소를 나타내는 어드레스 신호를 출력하는 갱신 어드레스 발생부(68)를 갖는다.

도 33의 그래픽 컨트롤러 IC에는 도 32와 같이 동작 모드 지정 신호가 입력된다. 이 동작 모드 지정 신호에는 표시 화면의 갱신을 행할 것인 지의 여부를 나타내는 정보와, 표시 화면 중의 갱신을 행해야 되는 범위를 지정하는 정보가 포함되어 있다. 이 동작 모드 지정 신호에 기초하여, 도 33의 그래픽 컨트롤러 IC는 표시 화면 중의 갱신을 행해야 되는 범위를 나타내는 어드레스 신호를 출력한다.

도 33의 그래픽 컨트롤러 IC가 출력한 어드레스 신호는 글래스 기판에 공급된다. 글래스 기판은 그래픽 컨트롤러 IC에서 공급된 어드레스 신호에 대응하는 영역만 화상의 갱신을 행한다.

이와 같이, 지정된 영역만 화상의 갱신을 행하는 것으로, 소비 전력의 저감을 도모할 수 있다.

그런데, 도 32 및 도 33에서는 그래픽 컨트롤러 IC의 내부에 재배열 회로부(218)를 설치하는 예를 설명하였지만, 재배열 회로부(218)를 설치하는 대신에, 도 34와 같이, 재배열 후의 데이터에 대응하는 어드레스를 순차 생성하는 판독 어드레스 발생부(69)를 그래픽 컨트롤러 IC의 내부에 설치하더라도 좋다.

도 34의 판독 어드레스 발생부(69)는 디지털 화소 데이터를 글래스 기판에 공급하는 순서로, VRAM(213)의 어드레스를 출력한다. 판독 어드레스 발생부(69)로부터 출력된 어드레스는 워드선 선택 디코더(70) 및 비트선 선택 디코더(71)를 통해 VRAM(213)에 공급되어, 특정한 어드레스의 데이터를 판독한다. 판독된 데이터는 센스 앰프(72)로 감지된 후, 판독 버퍼(73)를 통해 LUT(217)에 공급된다.

도 34와 같은 판독 어드레스 발생부(69)를 그래픽 컨트롤러 IC에 내장함으로써, 이미 재배열된 데이터를 VRAM(213)으로부터 판독할 수 있어, 도 32 및 도 33과 같은 재배열 회로부(218)가 불필요해진다. 따라서, 그래픽 컨트롤러 IC의 내부 구성을 간략화할 수 있다.

도 35는 전체 화면 리프레시형의 그래픽 컨트롤러 IC의 내부에, 재배열 회로(218)를 대신해서 판독 어드레스 발생부(69)를 설치한 예를 나타내는 블록도이다. 판독 어드레스 발생부(69)로부터 출력된 어드레스는 컨트롤러(214)를 통해 VRAM(213)에 공급된다. VRAM(213)으로부터 판독된 데이터는 판독된 순서로 글래스 기판에 공급된다.

또한, 도 32와 도 35를 조합한 데이터 출력 순서 변경 수단도 고려된다. 특히, 프레임 메모리로의 화상 데이터가 R, G, B로 분해되기 전의, Yuv 형식으로 저장되어 있는 경우에는 다음과 같이 한다. 출력 순서 변경은, (A) 표시 장치의 블록

분할에 따르는 순서 변경과, (B) 색별·우수/기수별에 의한 순서 변경의 2 단계로 나눈다. 도 35에 도시하는 어드레스 발생부의 제어에 의해, Yuv 데이터대로 (A) 순서 제어를 행하여, LUT에서 R, G, B로 변환한 뒤에, 라인 버퍼 등을 이용하여 (B)의 순서 제어를 행하는 방법이 고려된다.

상술한 제3 실시 형태에서는 신호선을 4개의 블록으로 분할하여 구동하는 예를 설명하였지만, 분할하는 블록의 수는 특별히 상관없다. 분할 블록의 데이터를, 그 블록의 좌단의 신호선에 상당하는 것으로부터 순서대로 제공할 것인지, 우단의 신호선에 상당하는 것으로부터 순서대로 제공할 것인지는 특별히 상관없다. 해당하는 블록의 샘플링 래치(53)의 구동을 제어하는 시프트 레지스터의 스타트 위치를 바꾸는 것으로, 어느 것이나 대응 가능하다.

또한, 상술한 실시 형태에서는, VGA 타입(640×480 화소)의 표시 해상도의 표시 장치에 대하여 설명하였지만, 표시 해상도는 VGA 타입에 한정되지 않는다.

발명의 효과

본 발명에 따르면, 그래픽 컨트롤러 IC에서, 디지털 화소 데이터 주기의 2배 이상의 주기로 클럭 신호를 출력하기 때문에, 표시 해상도가 높더라도 클럭 신호의 주파수를 화소 데이터의 최고속 주파수보다 높게 할 필요가 없어진다. 또한, 그래픽 컨트롤러 IC는 신호선의 구동 순서에 맞추어 재배열을 행한 상태에서의 디지털 화소 데이터를 출력하고, 기본적인 스타트 펄스 이외의 표시 제어 신호는 상기 절연 기판 상에서 생성할 수 있도록 하였기 때문에, 재배열이나 표시 제어 신호의 생성을 행하기 위한 게이트 어레이 등의 IC 칩이 불필요하게 되어, 회로 규모 및 반도체 부품 점수를 삭감할 수 있다.

(57) 청구의 범위

청구항 1.

표시 장치에 있어서,

절연 기판 상에 종횡으로 줄지어 설치되는 신호선 및 주사선과;

신호선 및 주사선의 각 교점 부근에 형성되는 표시 소자와;

상기 절연 기판상에 형성되어 각 신호선을 구동하는 신호선 구동 회로와;

상기 절연 기판 상에 형성되어 각 주사선을 구동하는 주사선 구동 회로와;

상기 신호선 구동 회로에 의한 신호선의 구동 순서에 맞춰진 순서로 디지털 화소 데이터를 출력하는 그래픽 컨트롤러 IC

를 포함하고,

상기 그래픽 컨트롤러 IC는 상기 디지털 화소 데이터 주기의 2배 이상의 주기로 클럭 신호를 출력하고,

상기 신호선 구동 회로 및 상기 주사선 구동 회로는 상기 클럭 신호에 동기시켜, 각각 신호선 및 주사선의 구동을 행하는 표시 장치.

청구항 2.

제1항에 있어서, 상기 그래픽 컨트롤러 IC는 상기 절연 기판 상에 실장되는 표시 장치.

청구항 3.

제1항에 있어서, 상기 그래픽 컨트롤러 IC는 상기 디지털 화소 데이터 및 상기 클럭 신호의 위상 조정을 행하는 위상 조정 회로를 갖는 표시 장치.

청구항 4.

제1항에 있어서, 상기 그래픽 컨트롤러 IC는 상기 클럭 신호, 동기 신호 및 상기 디지털 화소 데이터 외에, 상기 신호선 구동 회로 및 상기 주사선 구동 회로의 구동 개시를 지시하는 제어 신호를 출력하는 표시 장치.

청구항 5.

제1항에 있어서, 상기 그래픽 컨트롤러 IC는 상기 디지털 화소 데이터를 출력하는 화소 데이터 출력 회로를 지니고,

상기 화소 데이터 출력 회로는 유효한 상기 디지털 화소 데이터를 출력하지않는 기간 내에, 상기 디지털 화소 데이터의 하이 레벨 전압과 로우 레벨 전압의 중간 레벨 전압을 출력하는 표시 장치.

청구항 6.

제1항에 있어서, 상기 표시 소자, 상기 신호선 구동 회로 및 상기 주사선 구동 회로는 폴리실리콘 TFT(Thin Film Transistor)를 이용하여 형성되고,

상기 그래픽 컨트롤러 IC는 상기 폴리실리콘 TFT가 안정 동작하는 주파수의 상기 클럭 신호를 출력하는 표시 장치.

청구항 7.

제1항에 있어서, 상기 신호선 구동 회로는 상기 그래픽 컨트롤러 IC에서 출력된 각 신호의 레벨 변환을 행하는 단상(單相) 입력의 레벨 변환 회로를 지니고,

상기 레벨 변환 회로는 상기 그래픽 컨트롤러 IC에서 출력된 각 신호를 상기 신호선 구동 회로 내의 인버터의 임계치 전압을 중심으로 하여 상하로 대략 같은 전압씩 변화하는 전압으로 변환하는 표시 장치.

청구항 8.

제7항에 있어서, 상기 레벨 변환 회로는,

한 단이 입력 단자에 접속된 캐패시터 소자와,

상기 캐패시터 소자의 다른 단에 접속된 인버터와,

상기 인버터의 입출력 단자 사이에 접속된 아날로그 스위치

를 포함하고,

상기 아날로그 스위치를 온·오프시키는 것에 의해, 상기 인버터의 입력 전압을 상기 인버터의 임계치 전압을 중심으로 하여 상하로 대략 같은 전압씩 변화시키는 표시 장치.

청구항 9.

제7항에 있어서, 상기 신호선 구동 회로는,

상기 레벨 변환 회로에서 레벨 변환된 후의 상기 디지털 화소 데이터를 상기 클럭 신호로써 순서대로 래치하여 병렬로 분류해서 출력하는 분주 회로를 지니고,

상기 분주 회로는 기수번째의 상기 디지털 화소 데이터와, 그 데이터에 인접하는 우수번째의 상기 디지털 화소 데이터를, 각각 동 타이밍에서, 상기 클럭 신호의 2배의 주기로 출력하는 표시 장치.

청구항 10.

제1항에 있어서, 상기 신호선 구동 회로는,

신호선을 N개(N은 2 이상의 정수) 걸러서 구동하기 위해서 설치되는 신호선의 총수의 1/N개의 래치 회로와,

상기 래치 회로에서 래치된 디지털 화소 데이터를 아날로그 전압으로 변환하는 D/A 컨버터를 포함하고,

상기 그래픽 컨트롤러 IC는 상기 신호선 구동 회로에 의한 신호선의 구동 순서에 맞추어 상기 디지털 화소 데이터를 출력하는 표시 장치.

청구항 11.

제1항에 있어서, 상기 그래픽 컨트롤러 IC는 상기 디지털 화소 데이터 및 상기 클럭 신호 외에, 상기 클럭 신호와 위상이 반주기 시프트한 다른 클럭 신호를 출력하는 표시 장치.

청구항 12.

표시 장치에 있어서,

절연 기판 상에 종횡으로 줄지어 설치되는 신호선 및 주사선과;

신호선 및 주사선의 각 교점 부근에 형성되는 표시 소자와;

상기 절연 기판 상에 형성되어 각 신호선을 구동하는 신호선 구동 회로와;

상기 절연 기판 상에 형성되어 각 주사선을 구동하는 주사선 구동 회로와;

절연 기판의 1변의 대략 중앙에서 상기 1변의 양단을 향하여 각각 배치되는 복수의 데이터 버스와;

상기 신호선 구동 회로에 의해 각 신호선이 복수 라인 걸러서 동시에 구동되도록, 상기 데이터 버스 상에서 전달되는 디지털 화소 데이터의 순서 제어를 행하는 순서 제어 회로

를 포함하는 표시 장치.

청구항 13.

제12항에 있어서, 복수 라인 걸러서 배치되는 신호선의 각각에 공급되는 디지털 화소 데이터를 순차 래치하는 제1 래치 회로와,

상기 제1 래치 회로에서의 래치 동작이 대강 종료한 시점에서, 모든 래치 데이터를 동시에 재래치하는 제2 래치 회로와,

상기 제2 래치 회로에서 래치된 각 디지털 화소 데이터를 아날로그 화소 전압으로 동시에 변환하는 D/A 변환 회로와,

상기 아날로그 화소 전압을 공급하는 신호선을 선택하는 선택 회로

를 포함하는 표시 장치.

청구항 14.

제13항에 있어서, 상기 제2 래치 회로는 복수의 그룹으로 나누어 디지털 화소 데이터의 래치를 행하고,

상기 D/A 변환 회로는 상기 제2 래치 회로에서 래치된 디지털 화소 데이터를 각 그룹마다 각각 동시에 아날로그 화소 전압으로 변환하는 표시 장치.

청구항 15.

제13항에 있어서, 상기 제2 래치 회로는 제1 제N(N은 2 이상의 정수)의 래치부를 포함하고,

상기 D/A 변환 회로는 상기 제2 래치 회로의 상기 제1 제N의 래치부에서 래치된 각 디지털 화소 데이터를 동시에 아날로그 화소 전압으로 변환하는 표시 장치.

청구항 16.

제12항에 있어서, 표시 갱신을 행하는 상기 표시 소자의 범위를 지정하는 어드레스를 발생하는 어드레스 발생 회로와,

상기 신호선, 상기 주사선, 상기 표시 소자, 상기 신호선 구동 회로, 상기 주사선 구동 회로, 상기 기입 제어 회로 및 상기 데이터 버스가 형성되는 제1 기판과,

상기 재배열 회로와 상기 어드레스 발생 회로가 형성되는 제2 기판

을 포함하고,

상기 재배열 회로로부터 디지털 화소 데이터를 상기 데이터 버스에 공급할 때, 디지털 화소 데이터의 선두 데이터에 앞서서 상기 어드레스 발생 회로로부터의 어드레스를 화소 데이터 출력 단자로부터 출력하는 표시 장치.

청구항 17.

제12항에 있어서, 표시 갱신을 행하는 상기 표시 소자의 범위를 지정하는 어드레스를 발생하는 어드레스 발생 회로와,

상기 신호선, 상기 주사선, 상기 표시 소자, 상기 신호선 구동 회로, 상기 주사선 구동 회로, 상기 기입 제어 회로 및 상기 데이터 버스가 형성되는 제1 기판과,

상기 재배열 회로와 상기 어드레스 발생 회로가 형성되는 제2 기판

을 포함하고,

상기 제2 기판으로부터 상기 제1 기판으로 전송되는 인에이블 신호선을 이용하여, 상기 어드레스 발생 회로에서 발생된 어드레스를 화소 데이터 출력 단자로부터 출력하는 표시 장치.

청구항 18.

표시 장치에 있어서,

종횡으로 줄지어 설치된 복수의 1 비트 메모리로 이루어지는 메모리 셀과;

상기 복수의 1 비트 메모리의 값에 따라서 표시를 가변 제어 가능한 표시층과;

상기 메모리 셀로의 기입을 제어하는 기입 제어 회로와;

절연 기판의 1변의 대략 중앙에서 상기 1변의 양단을 향하여 각각 배치되는 복수의 데이터 버스와;

상기 기입 제어 회로에 의해 상기 1 비트 메모리가 복수개마다 동시에 구동되도록, 상기 데이터 버스 상에서 전달되는 디지털 화소 데이터의 순서를 제어하는 순서 제어 회로

를 포함하는 표시 장치.

청구항 19.

제18항에 있어서, 상기 1 비트 메모리의 인접하는 복수개로 1 화소가 구성되고,

1 화소 내에는 적색용의 복수의 상기 1 비트 메모리와, 녹색용의 복수의 상기 1 비트 메모리와, 청색용의 복수의 상기 1 비트 메모리가 설치되는 표시 장치.

청구항 20.

제18항에 있어서, 복수개마다 배치되는 상기 1 비트 메모리의 각각에 공급되는 디지털 화소 데이터를 순차 래치하는 제1 래치 회로와,

상기 제1 래치 회로에서의 래치 동작이 대강 종료한 시점에서, 모든 래치 데이터를 동시에 재래치하는 제2 래치 회로와,

상기 제2 래치 회로에서 래치된 각 디지털 화소 데이터를 전압 증폭하는 비트선 구동 회로와,

상기 비트선 구동 회로의 출력을 공급하는 비트선을 선택하는 선택 회로

를 포함하는 표시 장치.

청구항 21.

제18항에 있어서, 상기 메모리 셀 내의 데이터 재기입을 행하는 범위를 지정하는 어드레스를 발생하는 어드레스 발생 회로와,

상기 메모리 셀, 상기 기입 제어 회로 및 상기 데이터 버스가 형성되는 제1 기판과,

상기 재배열 회로와 상기 어드레스 발생 회로가 형성되는 제2 기판

을 포함하고,

상기 재배열 회로로부터 디지털 화소 데이터를 상기 데이터 버스에 공급할 때, 디지털 화소 데이터의 선두 데이터에 앞서서 상기 어드레스 발생 회로로부터의 어드레스를 화소 데이터 출력 단자로부터 출력하는 표시 장치.

청구항 22.

제18항에 있어서, 상기 메모리 셀 내의 데이터 재기입을 행하는 범위를 지정하는 어드레스를 발생하는 어드레스 발생 회로와,

상기 메모리 셀, 상기 기입 제어 회로 및 상기 데이터 버스가 형성되는 제1 기판과,

상기 재배열 회로와 상기 어드레스 발생 회로가 형성되는 제2 기판

을 포함하고,

상기 제2 기판으로부터 상기 제1 기판으로 전송되는 인에이블 신호선을 이용하여, 상기 어드레스 발생 회로에서 발생된 어드레스를 상기 제1 기판에 공급하는 표시 장치.

청구항 23.

제13항에 있어서, 외부에서 공급된 디지털 화소 데이터를 제1 전압 진폭의 데이터로 레벨 변환하는 제1 레벨 변환 회로와,

상기 제1 레벨 변환 회로에서 레벨 변환된 데이터를 분주하는 분주 회로와,

상기 분주 회로에서 분주된 데이터를 상기 제1 전압 진폭보다도 전압 진폭이 작은 제2 전압 진폭의 데이터로 레벨 변환하여 상기 데이터 버스에 공급하는 제2 레벨 변환 회로와,

상기 데이터 버스 상의 데이터를 상기 제2 전압 진폭보다도 전압 진폭이 큰 제3 전압 진폭의 데이터로 레벨 변환하여 상기 제1 래치 회로에 공급하는 제3 레벨 변환 회로

를 포함하는 표시 장치.

청구항 24.

제12항에 있어서, 절연 기판의 1변의 대략 중앙에서 상기 1변의 한 단측에 배치되는 데이터 버스 상에서 전달되는 디지털 화소 데이터의 샘플링 클럭의 위상 및 듀티(duty)를 독립적으로 조정하는 위상 듀티 조정 회로를 포함하는 표시 장치.

청구항 25.

표시 장치에 있어서,

절연 기판 상에 종횡으로 줄지어 설치되는 신호선 및 주사선과;

상기 신호선 및 주사선의 각 교점 부근에 형성되는 표시 소자와;

상기 절연 기판 상에 형성되어 각 신호선을 구동하는 신호선 구동 회로와;

상기 절연 기판 상에 형성되어 각 주사선을 구동하는 주사선 구동 회로

를 포함하고,

상기 신호선 구동 회로는,

1수평 라인분의 제1 색의 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 래치하고, 그 소정 기간 후에 제2 색의 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 래치함과 동시에 상기 제1 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하고, 그 소정 기간 후에 제3 색의 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 래치함과 동시에 상기 제2 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하며, 그 소정 기간 후에 상기 제3 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하는 표시 장치.

청구항 26.

제25항에 있어서, 상기 절연 기판 상의 신호선은 n(n은 2 이상의 정수)개의 블록으로 분할되고,

상기 절연 기판 상의 신호선은 n(n은 2 이상의 정수)개의 블록으로 분할되며,

상기 블록의 각각마다, 1수평 라인분의 상기 제1 색에 대응하는 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 순서대로 래치하고, 그 소정 기간 후에 상기 제2 색에 대응하는 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 순서대로 래치하며, 그 소정 기간 후에 상기 제3 색에 대응하는 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 순서대로 래치하는 제1 래치 회로와,

상기 블록의 각각마다, 상기 제1 래치 회로의 래치 출력 중, 상기 제1, 제2또는 제3 색의 기수 화소 전부의 래치 출력을 동시에 래치하는 제2 래치 회로와,

상기 블록의 각각마다, 상기 제1 래치 회로의 래치 출력 중, 상기 제1, 제2또는 제3 색의 우수 화소 전부의 래치 출력을 동시에 래치하는 제3 래치 회로와,

상기 블록의 각각마다, 상기 제2 및 제3 래치 회로의 래치 출력을 동시에 아날로그 화소 전압으로 변환하는 D/A 변환기와,

상기 블록의 각각마다, 상기 D/A 변환기로 변환된 아날로그 화소 전압을 대응하는 신호선에 공급하는 선택 회로

를 포함하는 표시 장치.

청구항 27.

화상 제어 반도체 장치에 있어서,

디지털 화소 데이터를 저장하는 화상 메모리의 판독/기입을 제어하는 VRAM 제어부와;

신호선의 구동 순서에 맞추어 상기 디지털 화소 데이터의 출력 순서를 변경하는 출력 순서 제어 회로와;

절연 기판 상에 줄지어 설치된 복수의 신호선을 n(n은 2 이상의 정수)개의 블록으로 분할하여, 상기 n개의 블록 각각에 대하여 상기 출력 순서 제어 회로에서 재배열한 상기 디지털 화소 데이터를 병렬로 출력하는 화소 데이터 출력부와;

상기 n개의 블록 각각에 대하여, 신호선 구동 회로의 구동 개시를 지시하는 제1 스타트 펄스 신호를 출력하는 제1 스타트 펄스 출력부

를 포함하고,

상기 화소 데이터 출력부는 상기 디지털 화소 데이터를 복수의 연속 출력 데이터 그룹으로 나누어, 각 연속 출력 데이터 그룹을 소정 기간을 사이에 두고 순서대로 출력하는 화상 제어 반도체 장치.

청구항 28.

제27항에 있어서, 상기 출력 순서 제어 회로는,

1수평 라인분의 제1 색의 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 래치하고, 그 소정 기간 후에 제2 색의 화소 전압을 기수 화소 및 우수 화소로 나누어 래치함과 동시에 상기 제1 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하고, 그 소정 기간 후에 제3 색의 화소 전압을 기수 화소 및 우수 화소로 나누어 래치함과 동시에 상기 제2 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하고, 그 소정 기간 후에 상기 제3 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하도록 순서 제어를 행하고,

상기 제1 스타트 펄스 출력부는 상기 소정 기간 내에 상기 제1 스타트 펄스 신호를 출력하는 화상 제어 반도체 장치.

청구항 29.

제27항에 있어서, 1 화소의 표시 주파수의 2배의 주파수의 화소 클럭을 출력하는 배(倍) 주파수 클럭 출력부와,

상기 디지털 화소 데이터와 상기 화소 클럭과의 위상 조정을 행하는 위상 조정부를 포함하는 화상 제어 반도체 장치.

청구항 30.

제29항에 있어서, 상기 화소 클럭을 분주화한 클럭을 출력하는 분주 클럭 출력부와, 1수평 라인의 표시 기간을 주기로 하는 제2 스타트 펄스 신호를 출력하는 제2 스타트 펄스 출력부를 포함하는 화상 제어 반도체 장치.

청구항 31.

제27항에 있어서, 상기 디지털 화소 데이터는 각각 k(k는 2 이상의 정수) 비트로 구성되고,

입력된 동작 모드 지시 신호에 기초하여, 상기 화소 데이터 출력부로부터 출력되는 디지털 화소 데이터의 출력 주파수와 상기 디지털 화소 데이터의 유효한 비트 수를 제어하는 출력 주파수 제어부를 포함하는 화상 제어 반도체 장치.

청구항 32.

제31항에 있어서, 상기 동작 모드 지시 신호는 상기 디지털 화소 데이터의 유효 비트에 관한 정보를 포함하고 있고, 상기 디지털 화소 데이터의 지정된 비트 이외의 비트는 소정의 논리로 고정되는 화상 제어 반도체 장치.

청구항 33.

제27항에 있어서, 입력된 동작 모드 지시 신호에 기초하여, 상기 화소 데이터 출력부로부터 출력되는 디지털 화소 데이터의 출력 주파수 및 출력 진폭을 변경하는 출력 주파수 제어부를 포함하는 화상 제어 반도체 장치.

청구항 34.

제31항에 있어서, 상기 동작 모드 지시 신호는 표시 화면 중의 화소 데이터의 갱신을 행하는 영역을 지정하는 정보를 포함하고 있고,

상기 재배열 회로는 상기 동작 모드 지시 신호로 지정된 영역만, 새로운 상기 디지털 화소 데이터를 출력하는 화상 제어 반도체 장치.

청구항 35.

화상 제어 반도체 장치에 있어서,

디지털 화소 데이터를 저장하는 화상 메모리의 판독/기입을 제어하는 VRAM 제어부와;

상기 화상 메모리의 판독 어드레스를 생성하는 판독 어드레스 발생부와;

절연 기판 상에 줄지어 설치된 복수의 신호선을 n(n은 2 이상의 정수)개의 블록으로 분할하여, 상기 n개의 블록 각각에 대하여, 상기 판독 어드레스 발생부에서 생성된 어드레스에 대응하여 상기 화상 메모리로부터 판독된 디지털 화소 데이터를 병렬로 출력하는 화소 데이터 출력부와;

상기 n개의 블록 각각에 대하여, 신호선의 구동 개시를 지시하는 제1 스타트 펄스 신호를 출력하는 제1 스타트 펄스 출력부

를 포함하고,

상기 판독 어드레스 발생부는 상기 블록 내의 디지털 화소 데이터를 p개(p는 2 이상의 정수)의 연속적으로 출력되는 소(小) 데이터군으로 나누고, 이들 소 데이터군의 각각이 소정 기간을 사이에 두고 출력되도록, 상기 화상 메모리의 판독 어드레스를 생성하는 화상 제어 반도체 장치.

청구항 36.

화상 제어 반도체 장치에 있어서,

디지털 화소 데이터를 저장하는 화상 메모리의 판독/기입을 제어하는 VRAM 제어부와;

상기 화상 메모리의 판독 어드레스를 생성하는 판독 어드레스 발생부와;

상기 절연 기판 상에 줄지어 설치된 복수의 신호선을 n(n은 2 이상의 정수)개의 블록으로 분할하여, 상기 n개의 블록 각각마다, 상기 판독 어드레스 발생부에서 생성된 어드레스에 대응하는 디지털 화소 데이터를 상기 화상 메모리로부터 판독하는 제1 순서 제어 수단과;

상기 제1 순서 제어 수단에 의해 판독된 상기 n개의 블록 각각마다의 디지털 화소 데이터를 p개(p는 2 이상의 정수)의 연속적으로 출력되는 소 데이터군으로 다시 순서 변경하여, 이들 소 데이터군의 각각을 소정 기간을 사이에 두고 출력하는 제2 순서 제어 수단과;

상기 p개의 소 데이터군의 각각에 선행하여 스타트 펄스를 출력하는 단자

를 포함하는 화상 제어 반도체 장치.

청구항 37.

절연 기판 상에 종횡으로 줄지어 설치되는 신호선 및 주사선과,

상기 신호선 및 주사선의 각 교점 부근에 형성되는 표시 소자와,

상기 절연 기판 상에 형성되어 각 신호선을 구동하는 신호선 구동 회로와,

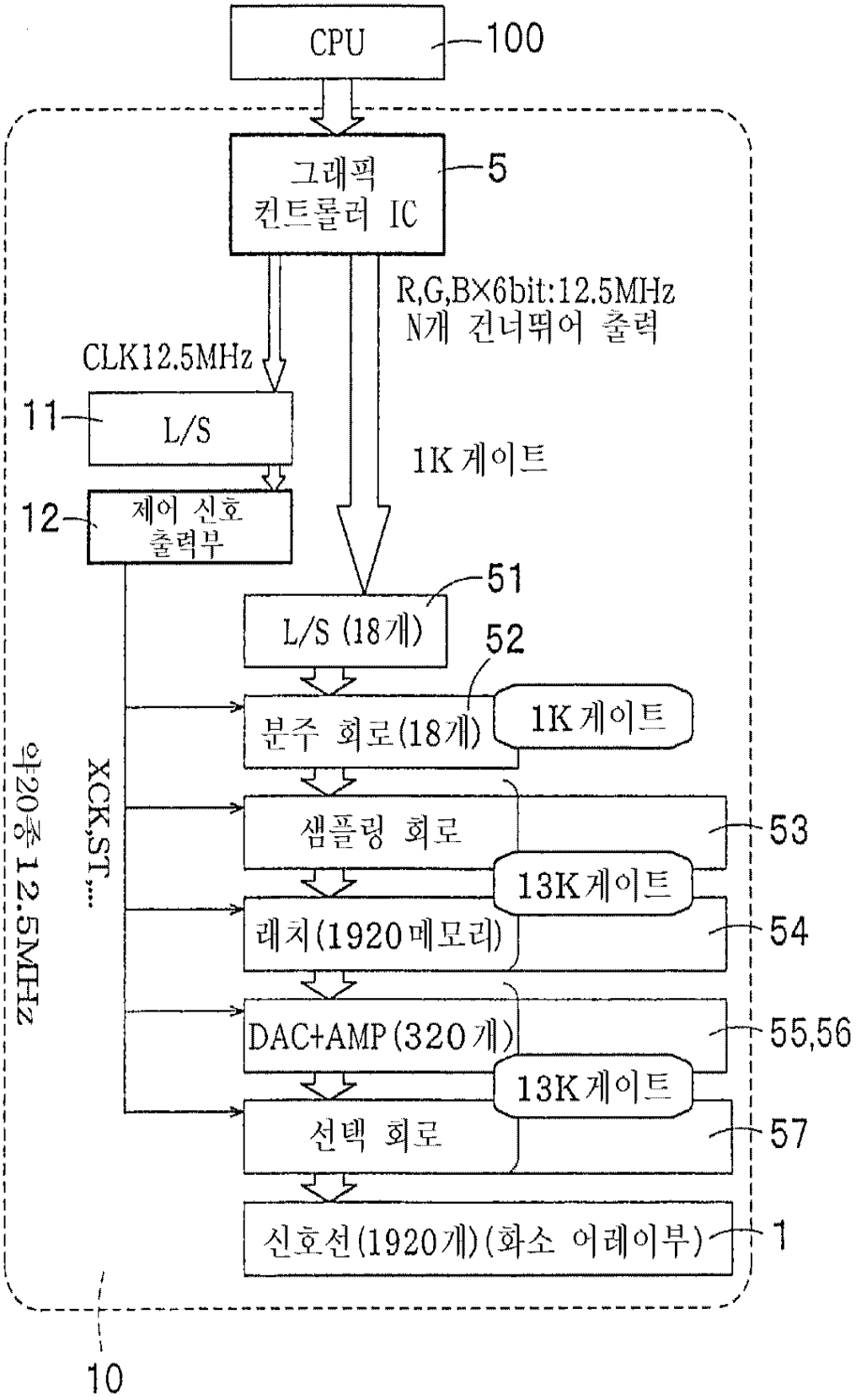
상기 절연 기판 상에 형성되어 각 주사선을 구동하는 주사선 구동 회로

를 포함한 표시 장치의 구동 방법에 있어서,

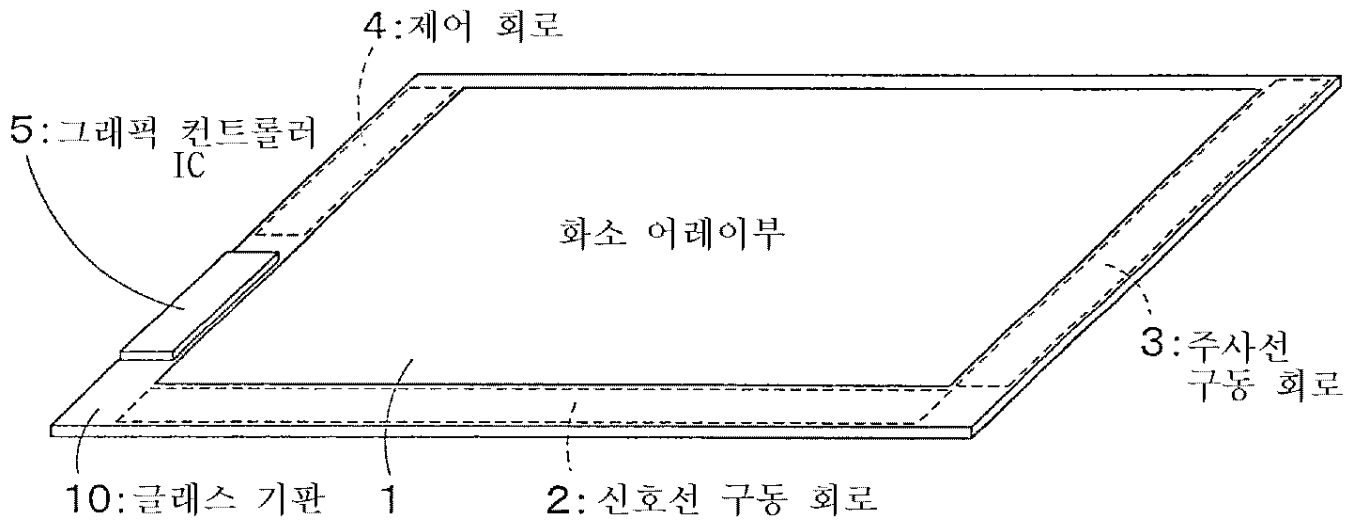
1수평 라인분의 제1 색의 디지털 화소 데이터를 기수 화소 및 우수 화소로 나누어 래치하고, 그 소정 기간 후에 제2 색의 화소 전압을 기수 화소 및 우수 화소로 나누어 래치함과 동시에 상기 제1 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하고, 그 소정 기간 후에 제3 색의 화소 전압을 기수 화소 및 우수 화소로 나누어 래치함과 동시에 상기 제2 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하며, 그 소정 기간 후에 상기 제3 색의 래치 데이터를 D/A 변환하여 대응하는 신호선에 공급하는 표시 장치의 구동 방법.

도면

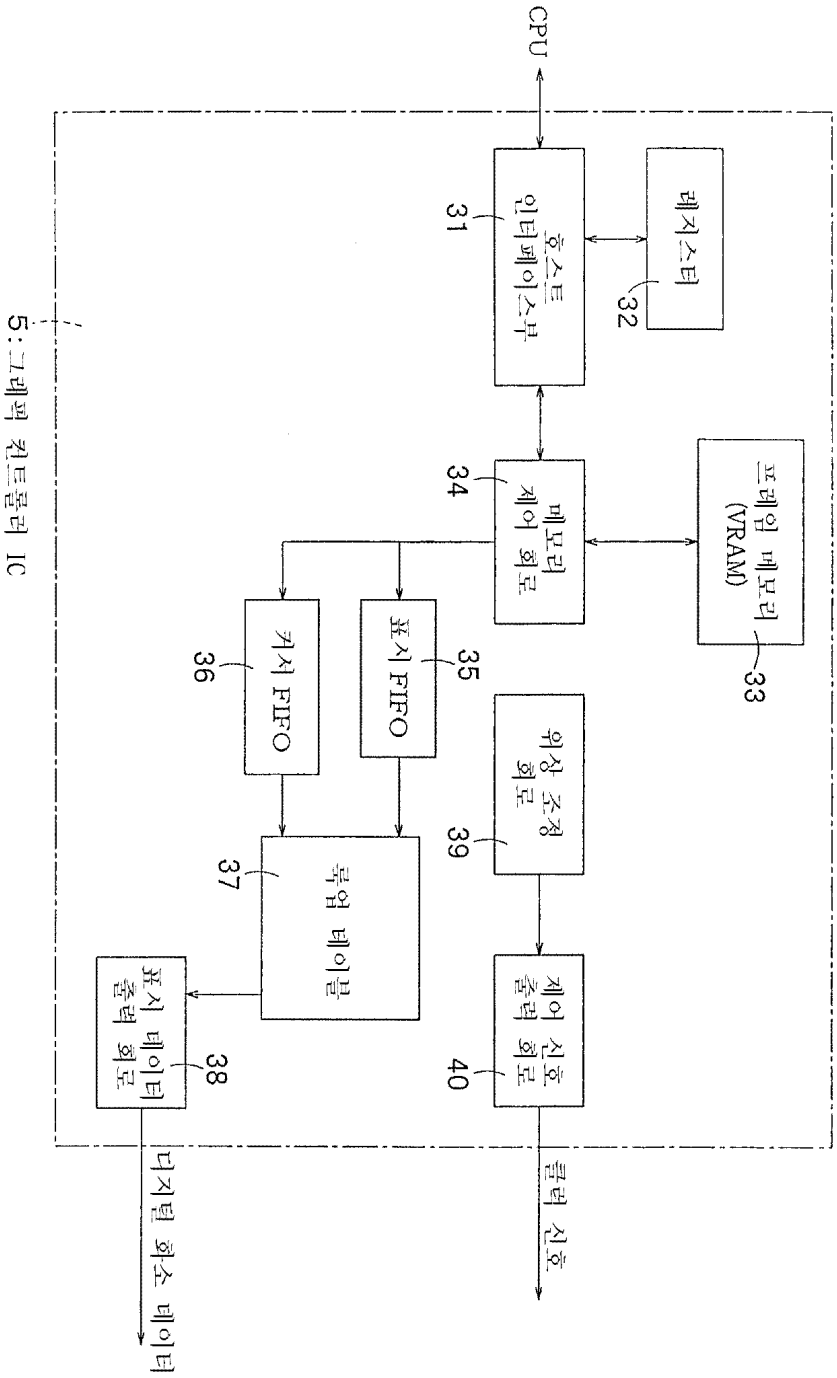
도면 1


CPU
100
그래픽
컨트롤러 IC
5
R,G,B×6bit:12.5MHz
N개 건너뛰어 출력
CLK12.5MHz
11
L/S
1K 게이트
12
제어 신호
출력부
51
L/S (18개)
52
분주 회로(18개)
1K 게이트
샘플링 회로
53
13K게이트
래치(1920메모리)
54
DAC+AMP(320개)
55,56
13K게이트
선택 회로
57
신호선(1920개)(화소 어레이부)
1
약20종 12.5MHz
XCK,ST,...
10

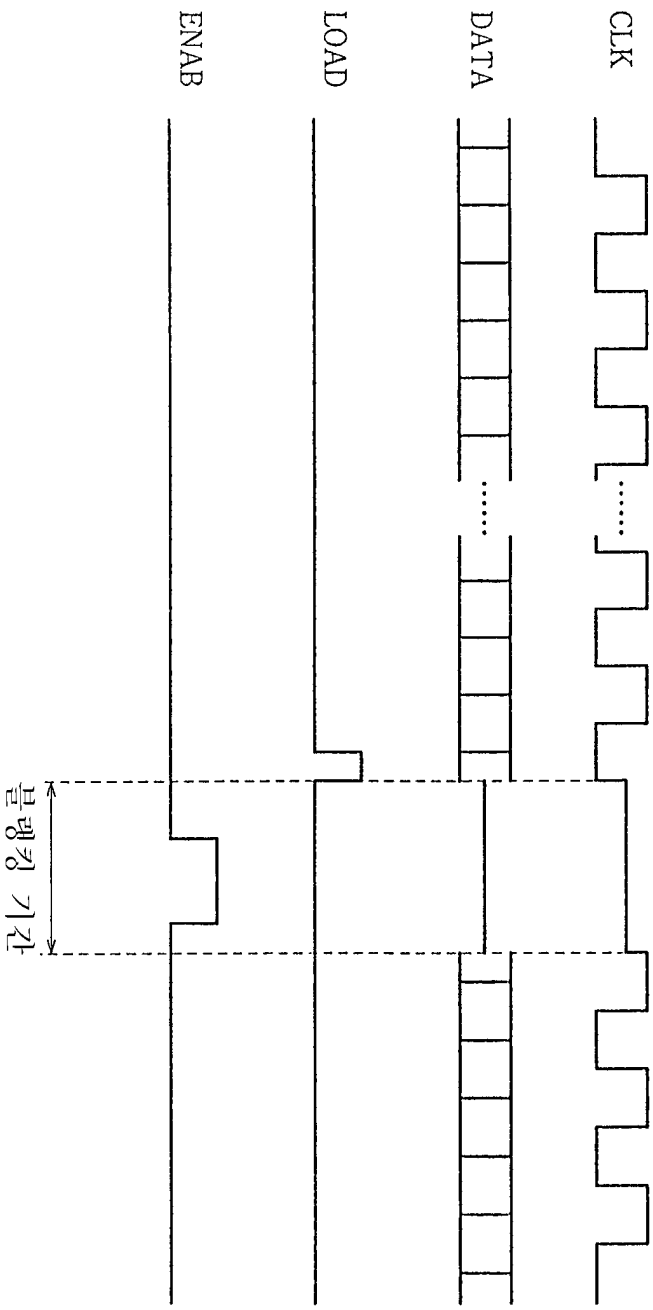
도면 2



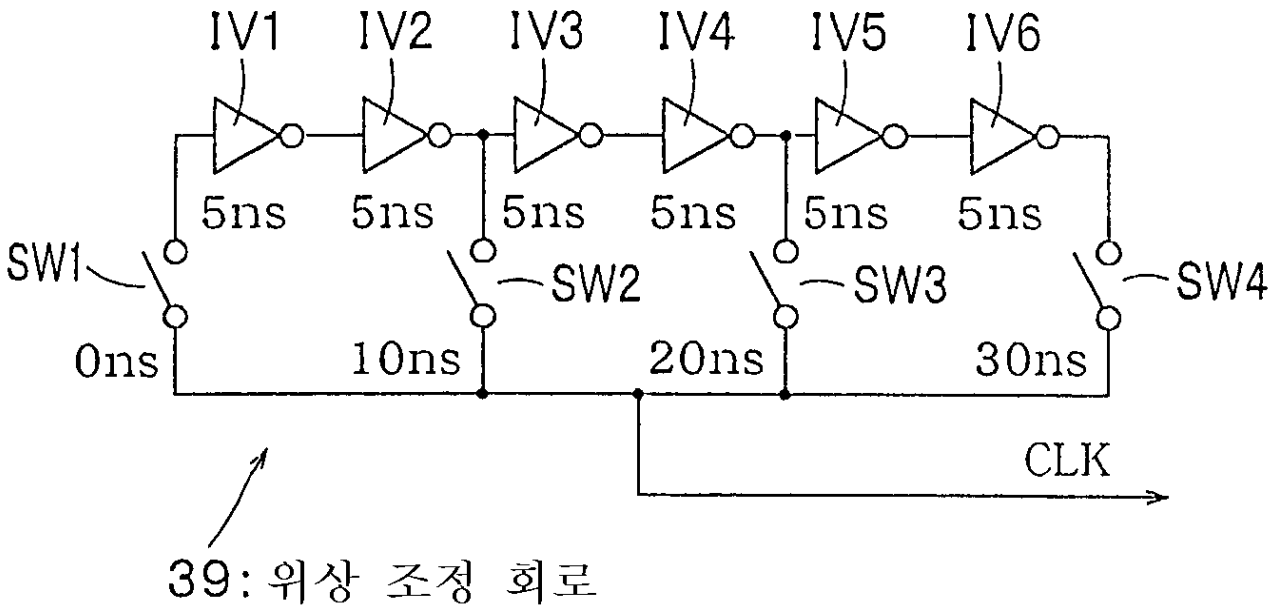
도면 3


CPU
5 : 그래픽 컨트롤러 IC
호스트 인터페이스부
31
레지스터
32
메모리 제어 회로
34
프레임 메모리 (VRAM)
33
커서 FIFO
36
표시 FIFO
35
윈상 조정 회로
39
룩업 테이블
37
표시 데이터 출력 회로
38
제어 신호 출력 회로
40
디지털 화소 데이터
클럭 신호

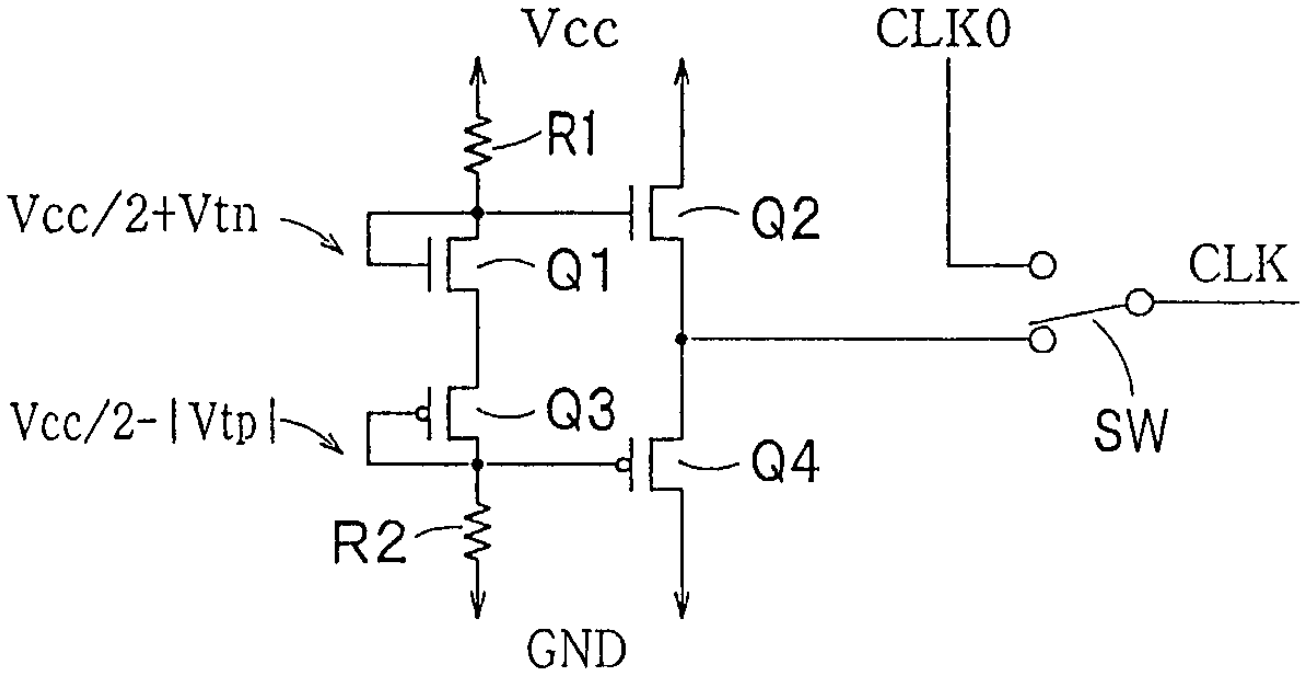
도면 4



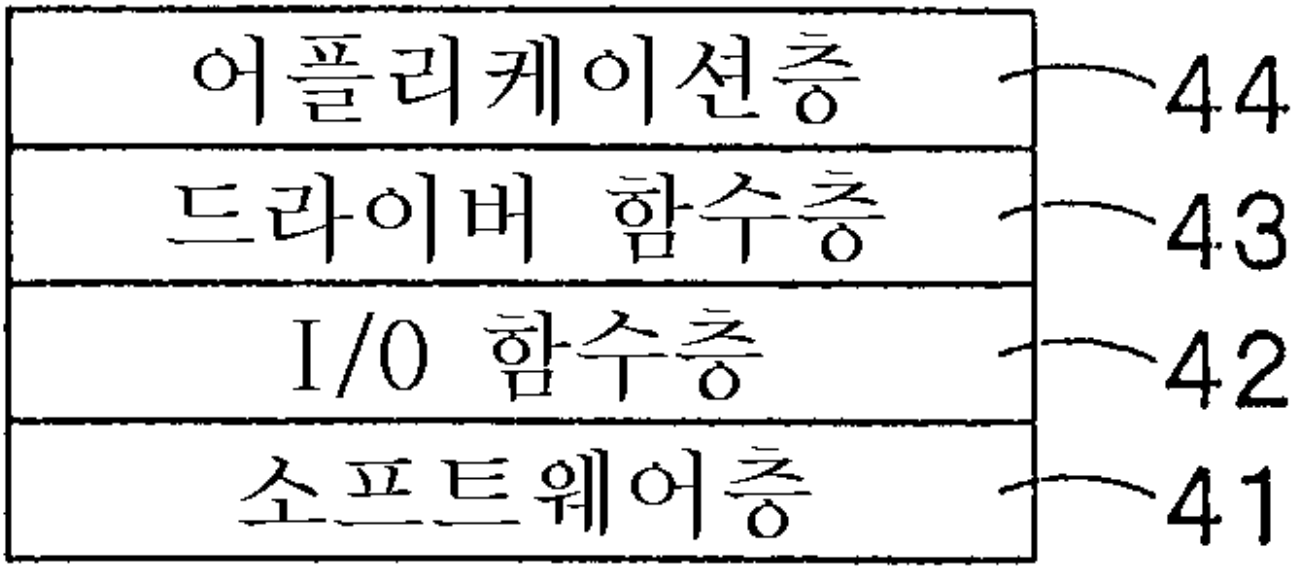
도면 5


IV1
IV2
IV3
IV4
IV5
IV6
5ns
5ns
5ns
5ns
5ns
5ns
SW1
SW2
SW3
SW4
0ns
10ns
20ns
30ns
CLK
39: 위상 조정 회로

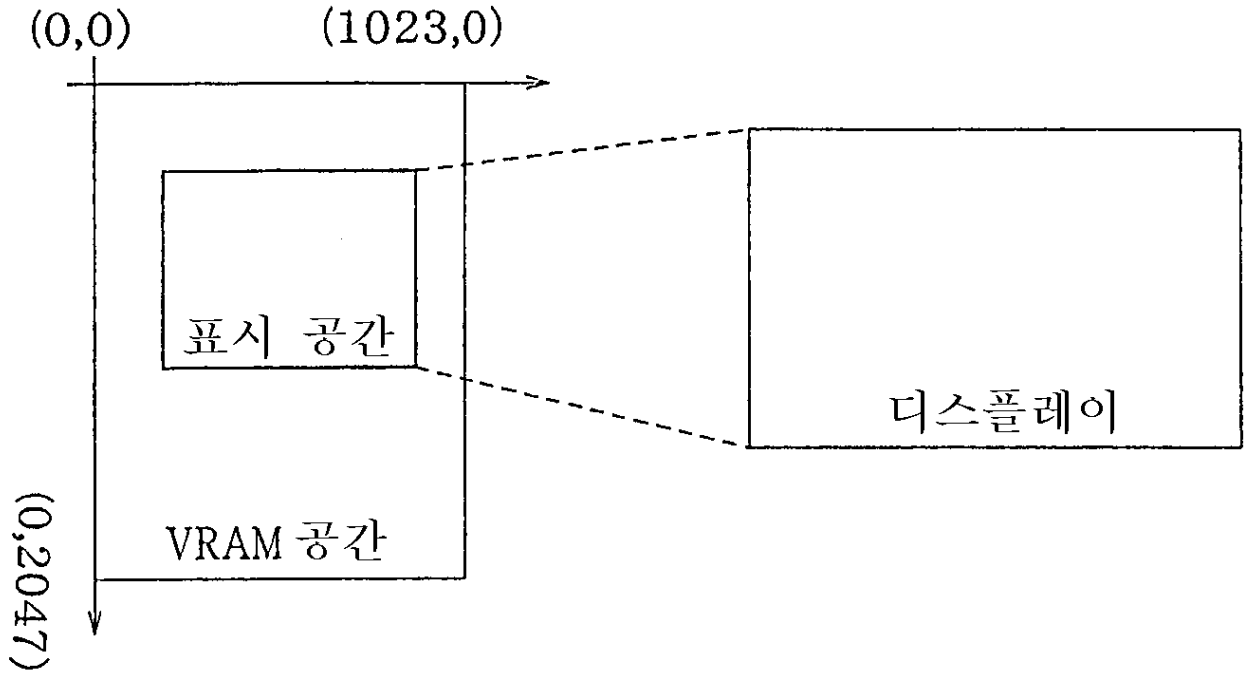
도면 6


Vcc
CLK0
R1
Vcc/2+Vtn
Q2
Q1
CLK
Vcc/2-|Vtp|
Q3
SW
Q4
R2
GND

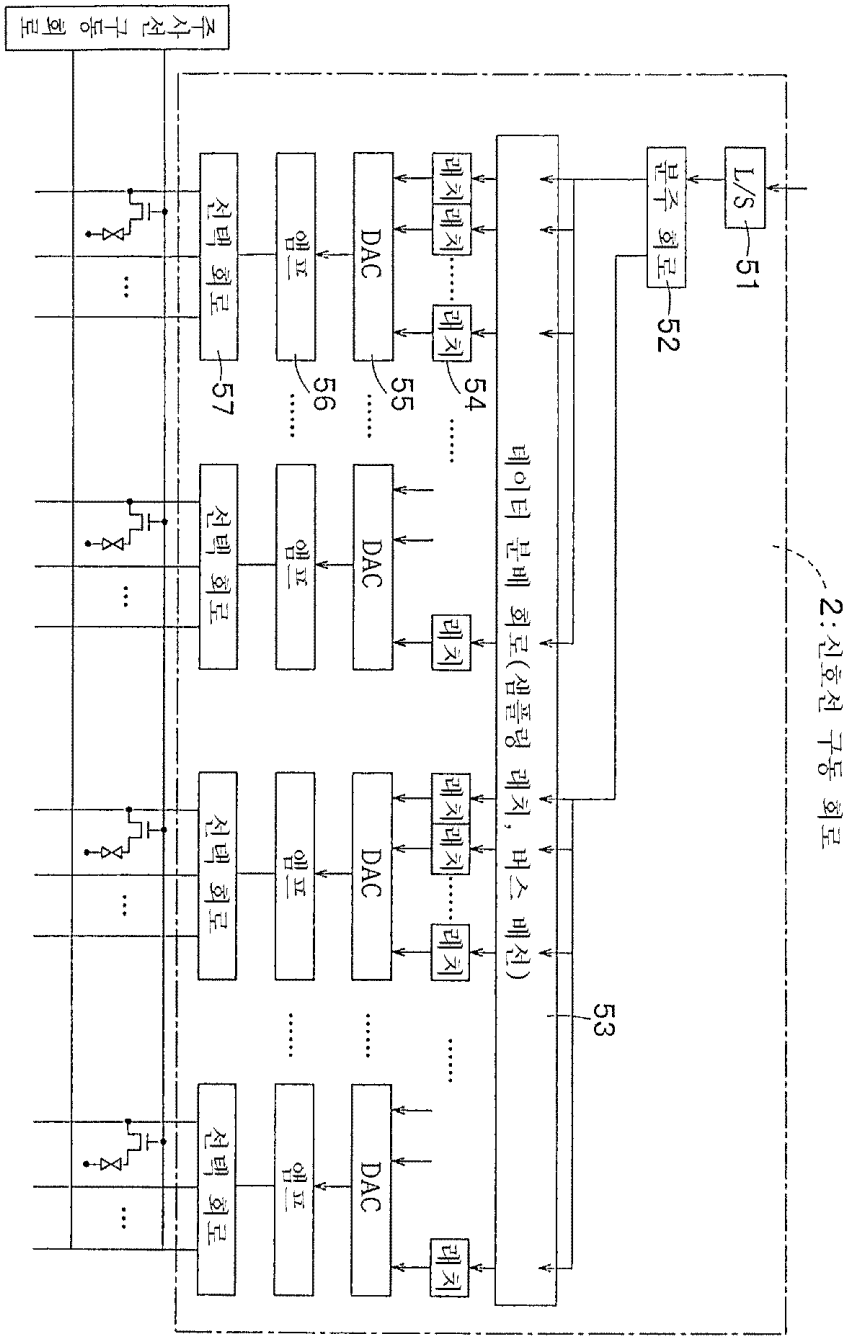
도면 7


어플리케이션층
44
드라이버 함수층
43
I/O 함수층
42
소프트웨어층
41

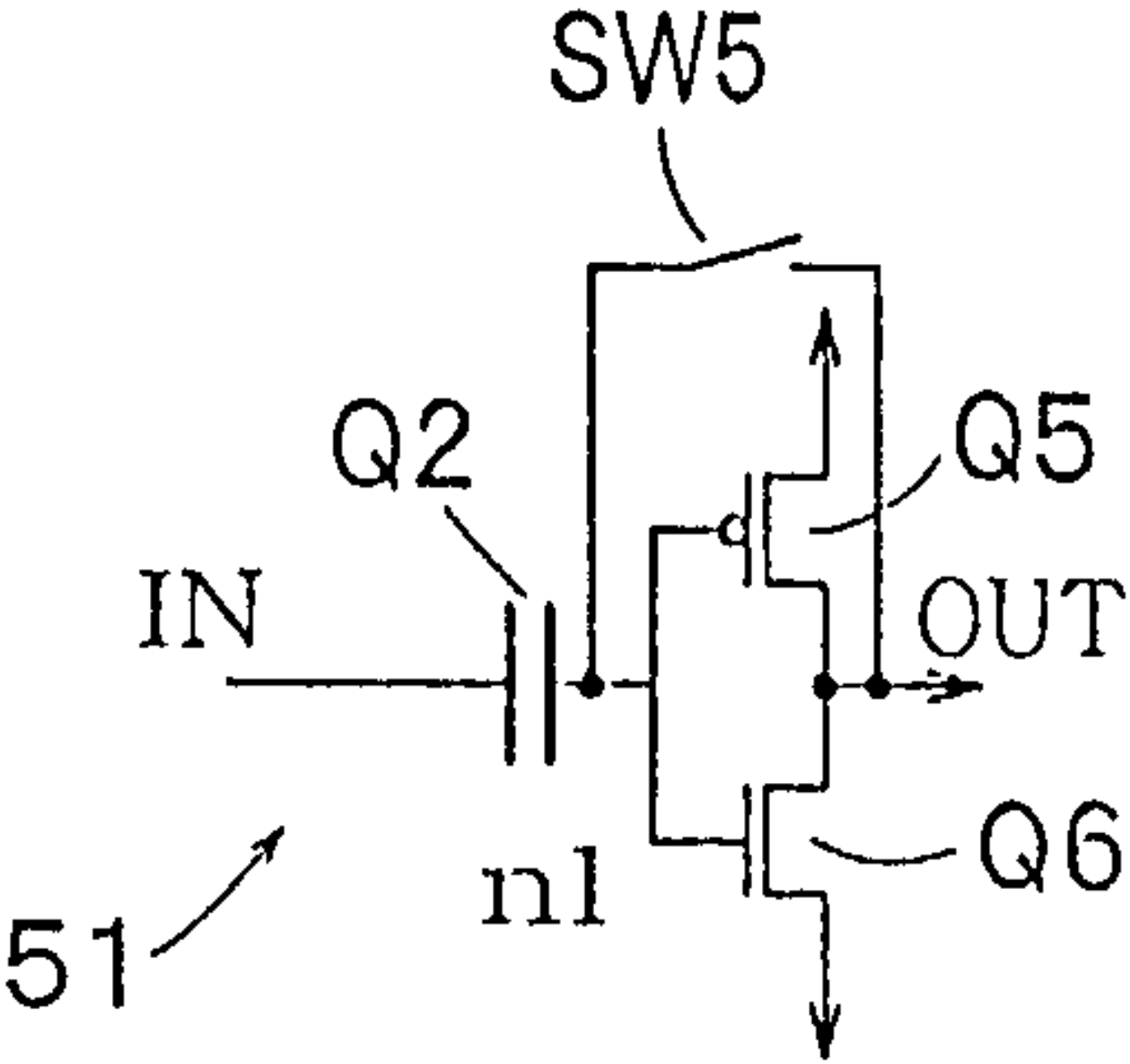
도면 8


(0,0)
(1023,0)
표시 공간
디스플레이
VRAM 공간
(0,2047)

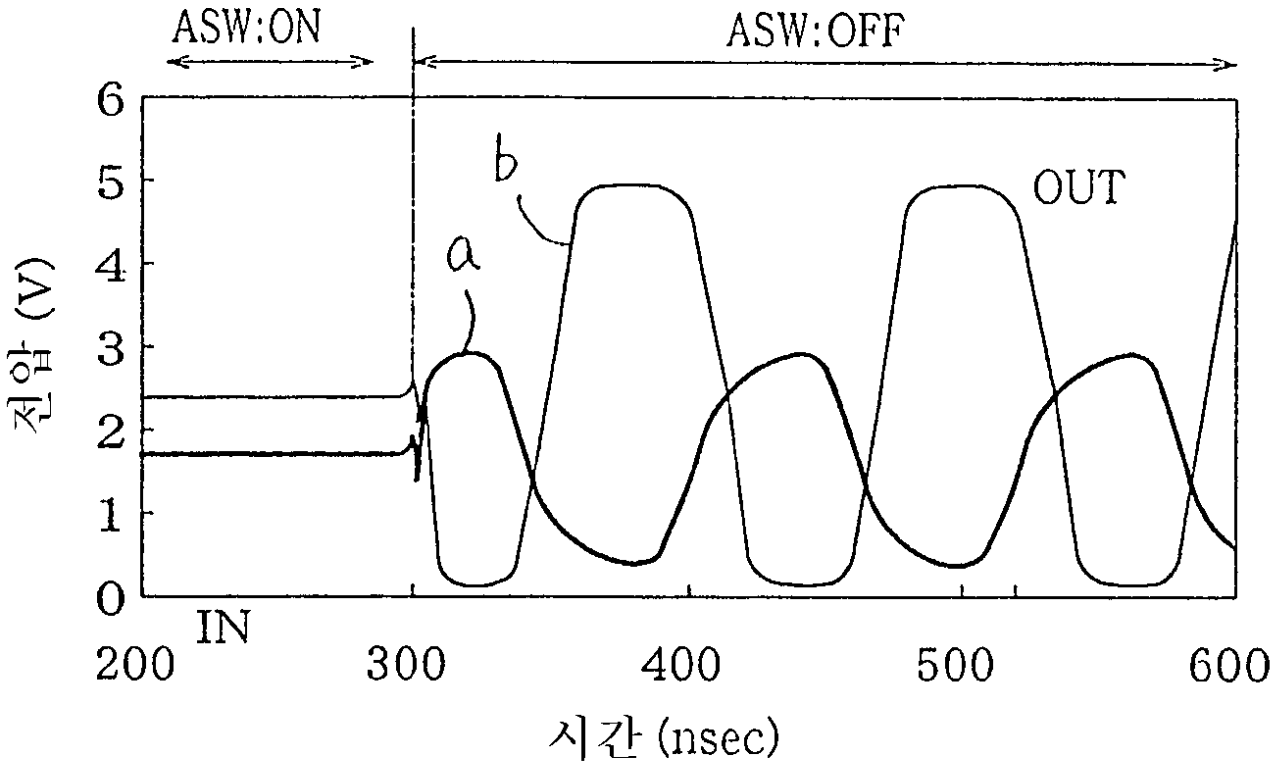
도면 9


주사선 구동 회로
2: 신호선 구동 회로
L/S
51
분주 회로
52
데이터 분배 회로(샘플링 래치, 버스 배선)
53
래치
래치
래치
54
DAC
55
앰프
56
선택 회로
57

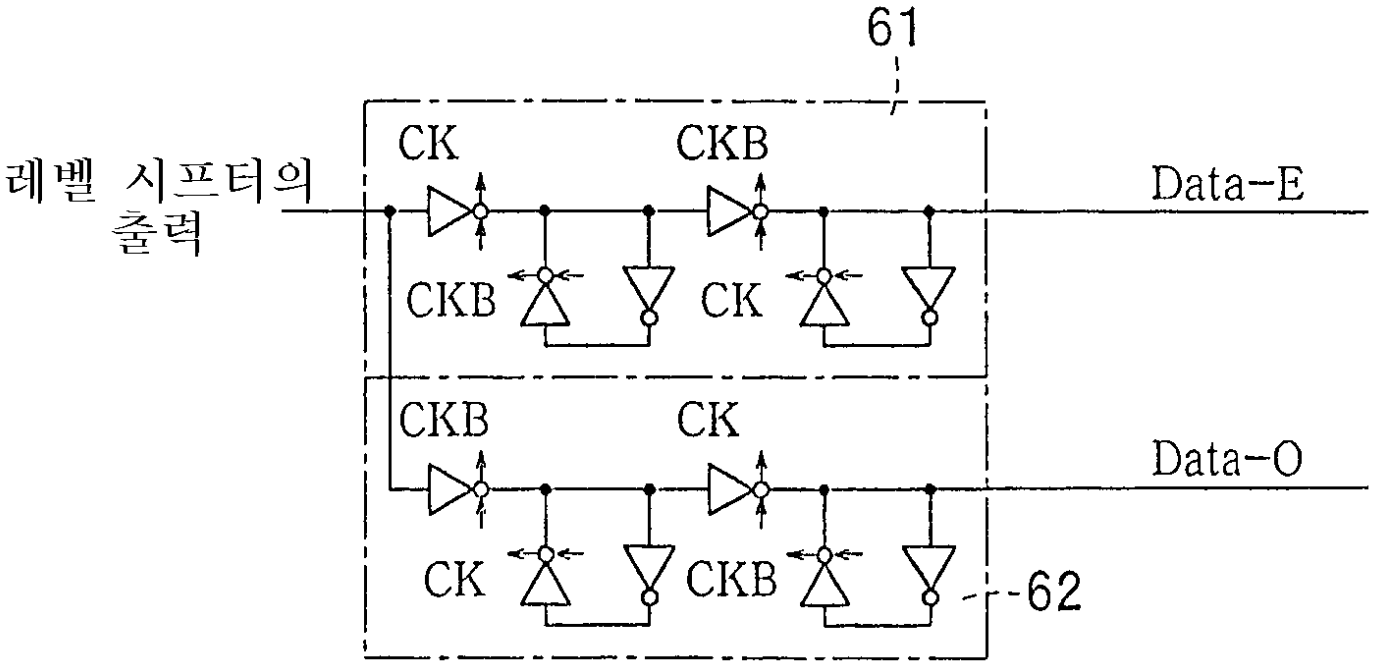
도면 10



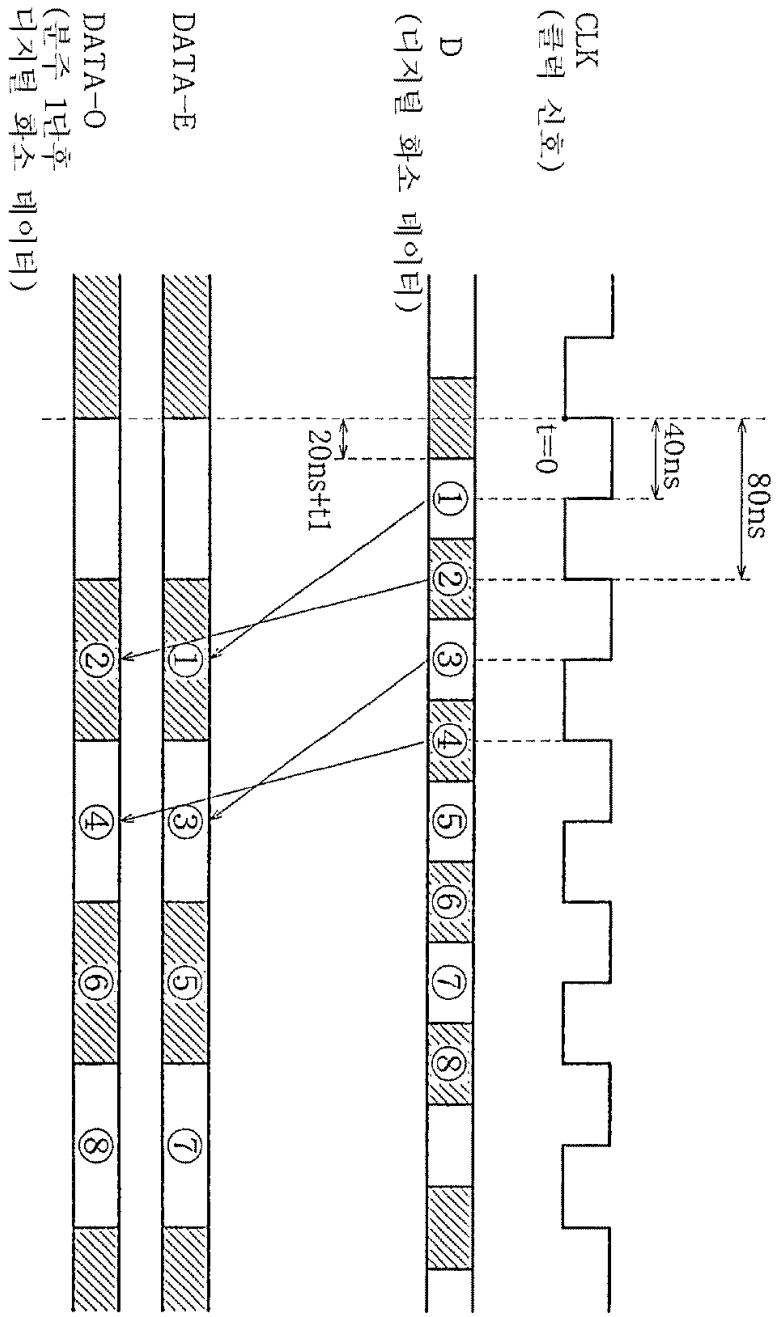
도면 11


ASW:ON
ASW:OFF
6
5
4
3
2
1
0
전압 (V)
a
b
OUT
IN
200
300
400
500
600
시간 (nsec)

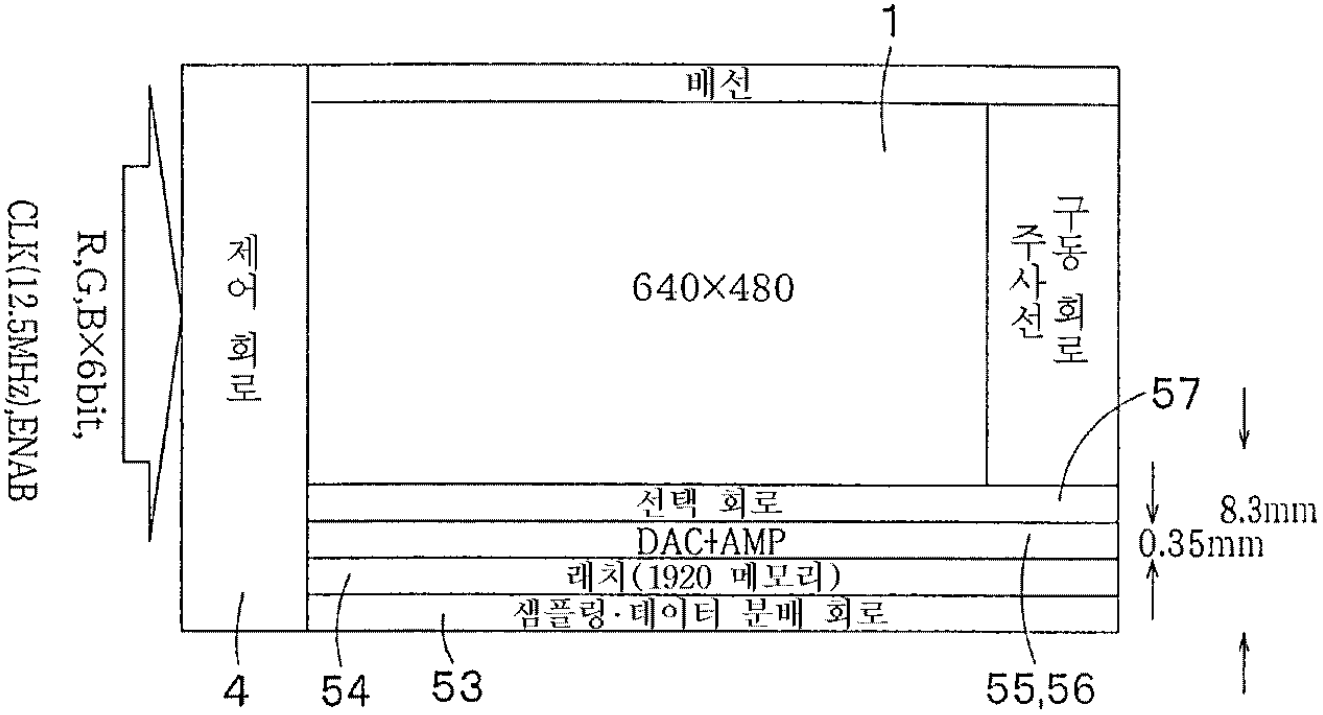
도면 12


61
레벨 시프터의 출력
CK
CKB
Data-E
CKB
CK
CKB
CK
Data-O
CK
CKB
62

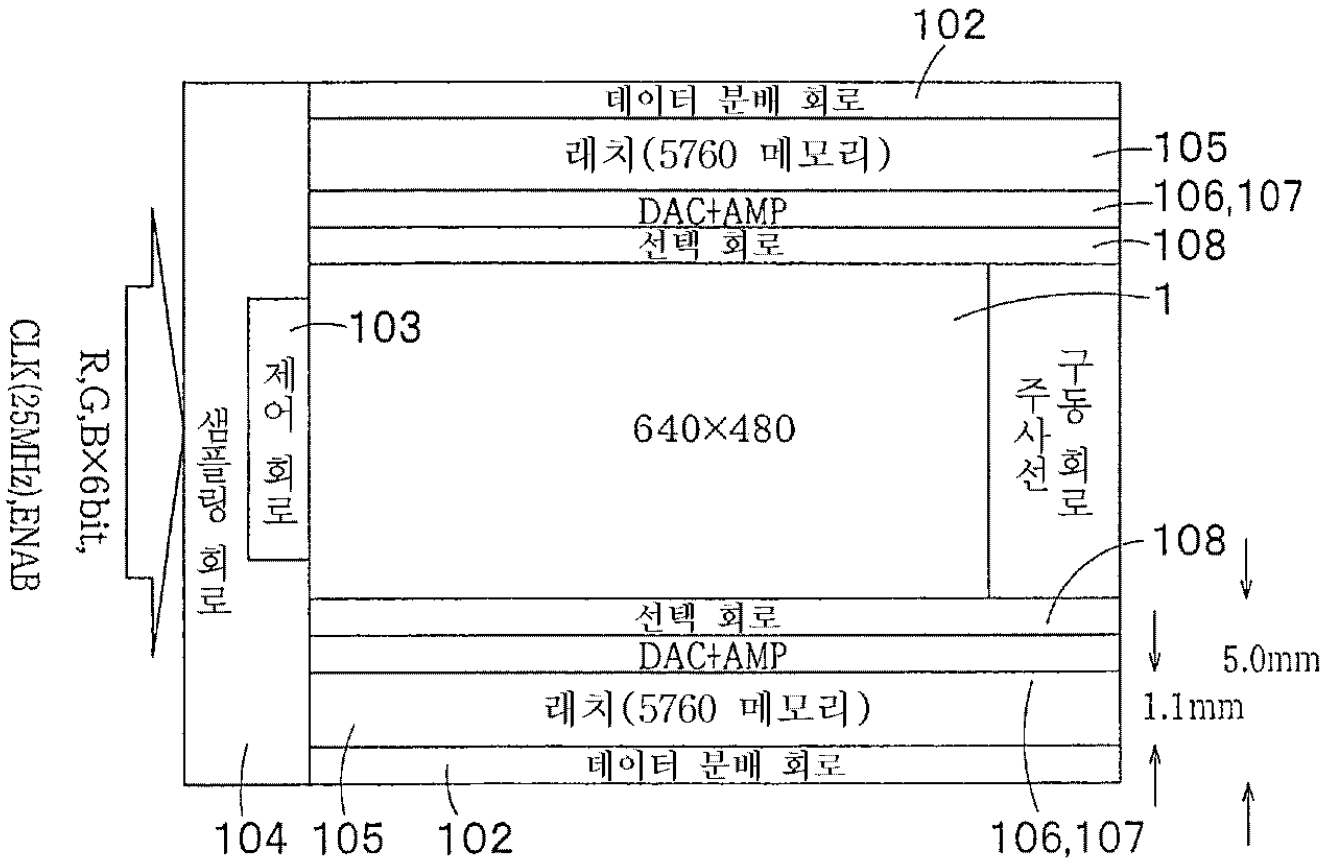
도면 13


CLK
(클럭 신호)
D
(디지털 화소 데이터)
DATA-E
DATA-O
(분주 1단후
디지털 화소 데이터)
t=0
40ns
80ns
20ns+t1
①
②
③
④
⑤
⑥
⑦
⑧

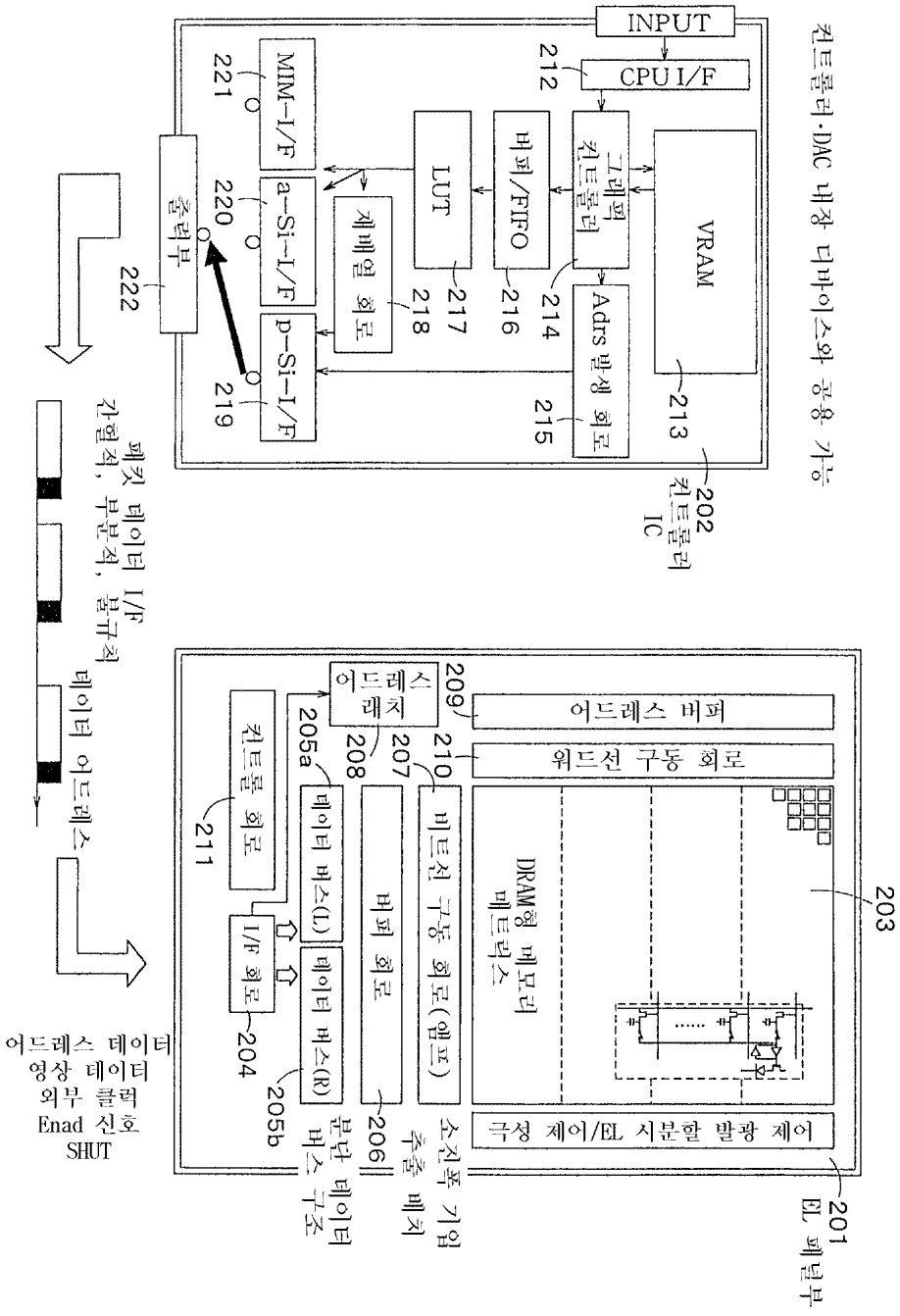
도면 14


1
배선
제어 회로
640×480
구동 회로
주사선
57
선택 회로
DAC+AMP
레치(1920 메모리)
샘플링·데이터 분배 회로
8.3mm
0.35mm
R,G,B×6bit,
CLK(12.5MHz),ENAB
4
54
53
55,56

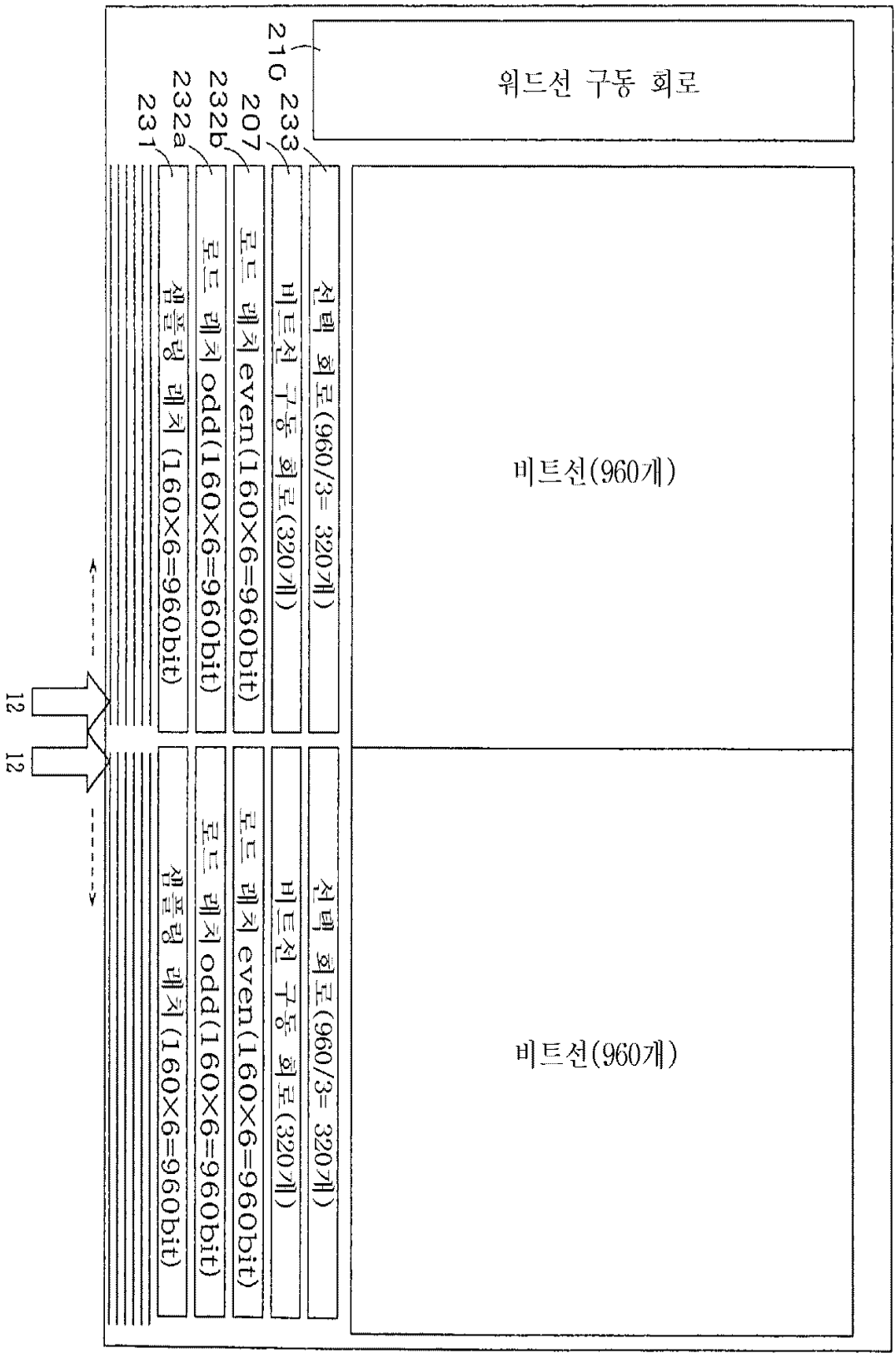
도면 15


102
데이터 분배 회로
레치(5760 메모리)
105
DAC+AMP
106,107
선택 회로
108
1
103
제어 회로
640×480
구동 회로
주사선
샘플링 회로
108
선택 회로
DAC+AMP
레치(5760 메모리)
데이터 분배 회로
5.0mm
1.1mm
R,G,B×6bit,
CLK(25MHz),ENAB
104
105
102
106,107

도면 16


INPUT
CPU I/F
212
그래픽 컨트롤러
VRAM
버퍼/FIFO
LUT
Adrs 발생 회로
213
214
216
217
215
제베열 회로
218
MIM-I/F
a-Si-I/F
p-Si-I/F
221
220
219
출력부
222
202
컨트롤러 IC
컨트롤러·DAC 내장 디바이스와 공용 가능
패킷 데이터 I/F
간헐적, 부분적, 불규칙
데이터 어드레스
어드레스 데이터
영상 데이터
외부 클럭
Enad 신호
SHUT
어드레스 버퍼
워드선 구동 회로
DRAM형 메모리 매트릭스
극성 제어/EL 시분할 발광 제어
203
201
EL 패널부
209
시프트 레지스터
208
207
210
비트선 구동 회로(앰프)
버퍼 회로
205a
데이터 버스(L)
데이터 버스(R)
205b
206
분할 데이터 버스 구조
소진폭 기입 추출 배치
컨트롤 회로
211
I/F 회로
204

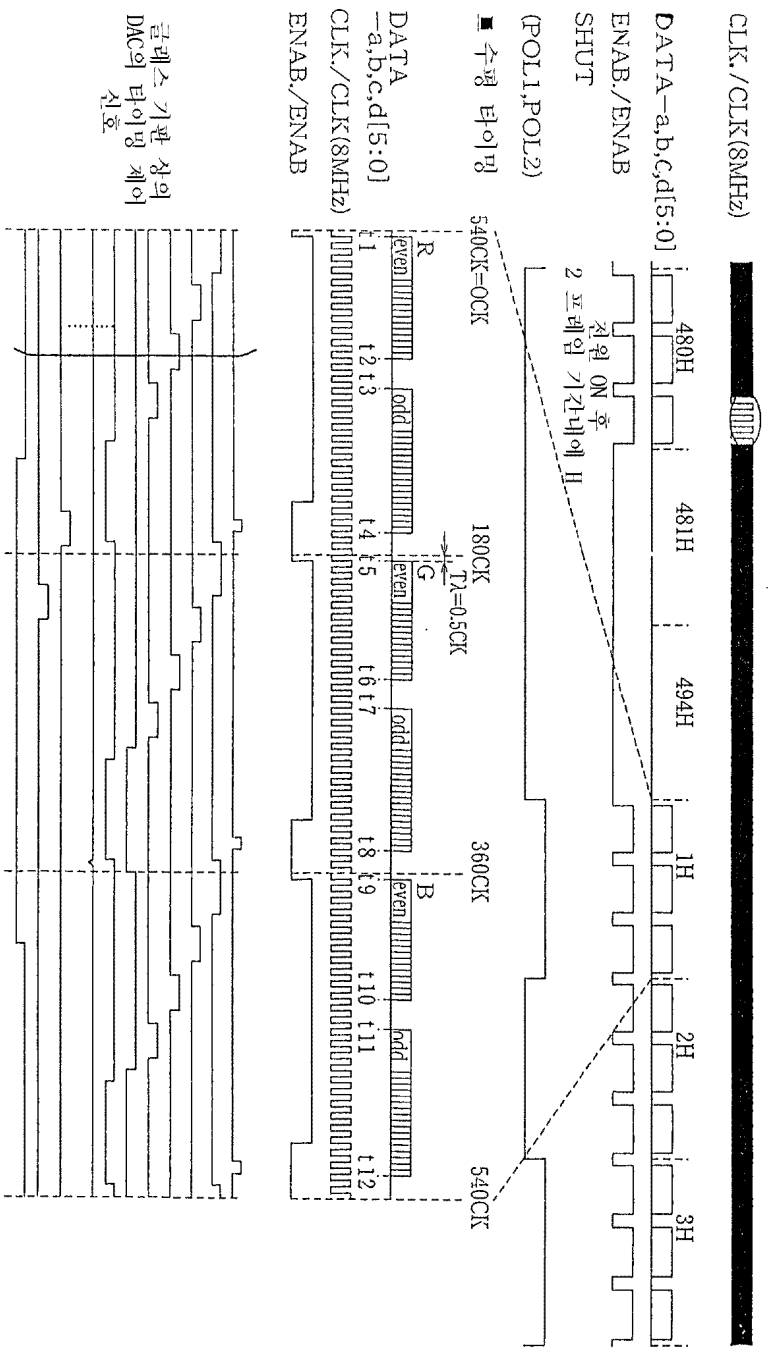
도면 17


워드선 구동 회로
비트선(960개)
비트선(960개)
210
233
207
232b
232a
231
선택 회로(960/3= 320개)
비트선 구동 회로(320개)
로드 래치 even(160×6=960bit)
로드 래치 odd(160×6=960bit)
샘플링 래치(160×6=960bit)
선택 회로(960/3= 320개)
비트선 구동 회로(320개)
로드 래치 even(160×6=960bit)
로드 래치 odd(160×6=960bit)
샘플링 래치(160×6=960bit)
12
12

도면 18

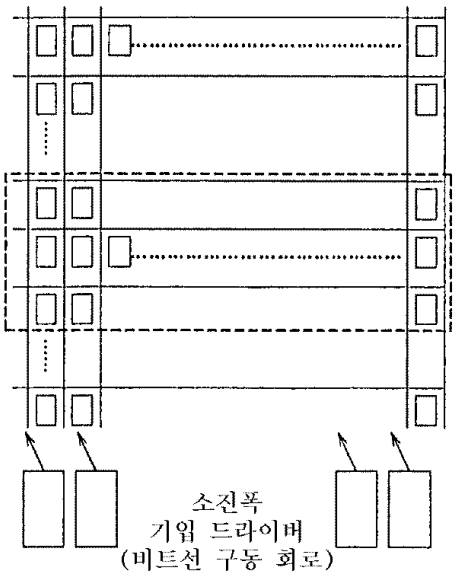
DATA-a[5:0] R1 R5 R9 R13 … R305 R309 R313 R317 BLK R2 R6 R10 R14 … R306 R310 R314 R318
DATA-b[5:0] R3 R7 R11 R15 … R307 R311 R315 R319 BLK R4 R8 R12 R16 … R308 R312 R316 R320
DATA-c[5:0] R637 R633 R629 R625 … R333 R329 R325 R321 BLK R638 R634 R630 R626 … R334 R330 R326 R322
DATA-d[5:0] R639 R635 R631 R627 … R335 R331 R327 R323 BLK R640 R636 R632 R628 … R336 R332 R328 R324
G1 G5 G9 G13 … G305 G309 G313 G317 BLK G2 G6 G10 G14 … G306 G310 G314 G318
G3 G7 G11 G15 … G307 G311 G315 G319 BLK G4 G8 G12 G16 … G308 G312 G316 G320
블랭크 기간
G637 G633 G629 G625 … G333 G329 G325 G321 BLK G638 G634 G630 G626 … G334 G330 G326 G322
G639 G635 G631 G627 … G335 G331 G327 G323 BLK G640 G636 G632 G628 … G336 G332 G328 G324
B1 B5 B9 B13 … B305 B309 B313 B317 BLK B2 B6 B10 B14 … B306 B310 B314 B318
B3 B7 B11 B15 … B307 B311 B315 B319 BLK B4 B8 B12 B16 … B308 B312 B316 B320
블랭크 기간
B637 B633 B629 B625 … B333 B329 B325 B321 BLK B638 B634 B630 B626 … B334 B330 B326 B322
B639 B635 B631 B627 … B335 B331 B327 B323 BLK B640 B636 B632 B628 … B336 B332 B328 B324

도면 19

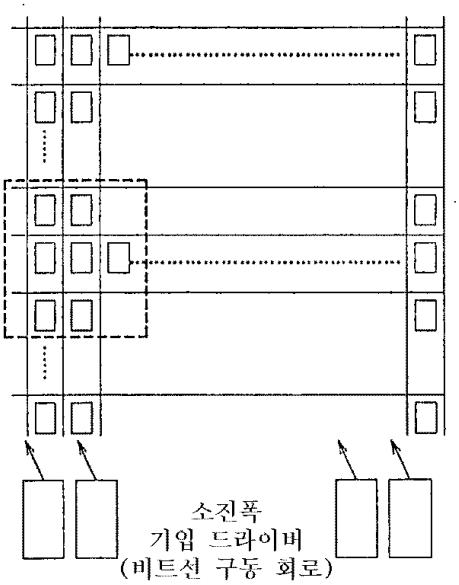

■ 수직 타이밍
CLK./CLK(8MHz)
DATA-a,b,c,d[5:0]
480H
481H
494H
1H
2H
3H
ENAB./ENAB
SHUT
전원 ON 후
2 프레임 기간내에 H
(POL1,POL2)
■ 수평 타이밍
540CK=0CK
180CK
Tλ=0.5CK
360CK
540CK
R
G
B
even
odd
DATA
-a,b,c,d[5:0]
CLK./CLK(8MHz)
ENAB./ENAB
t1 t2 t3 t4 t5 t6 t7 t8 t9 t10 t11 t12
글래스 기판 상의
DAC의 타이밍 제어
신호

도면 20

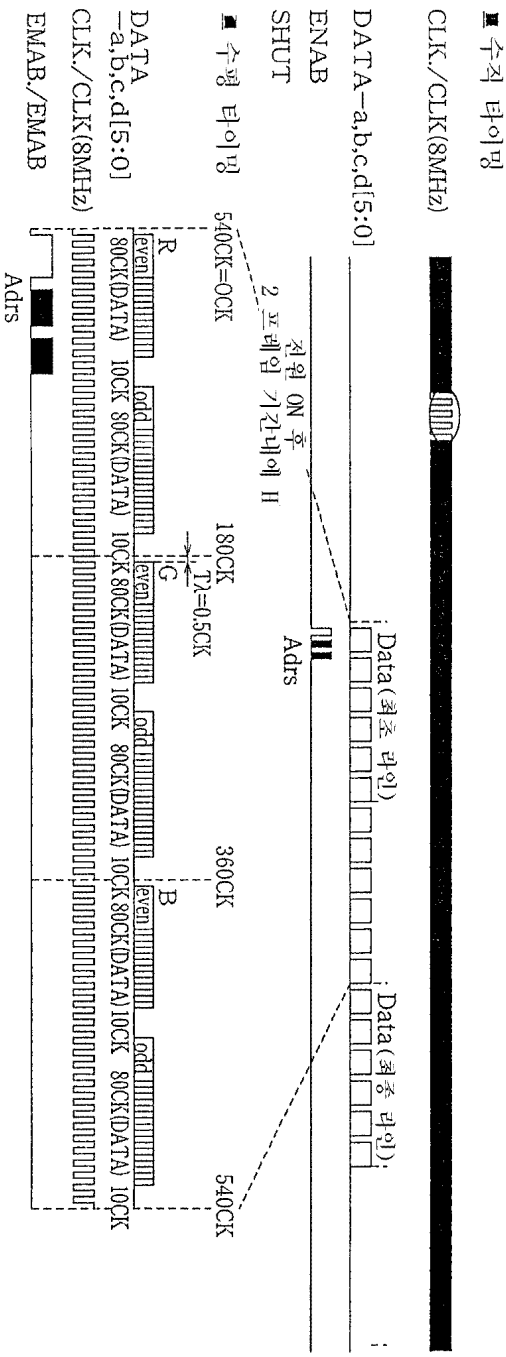
(a)



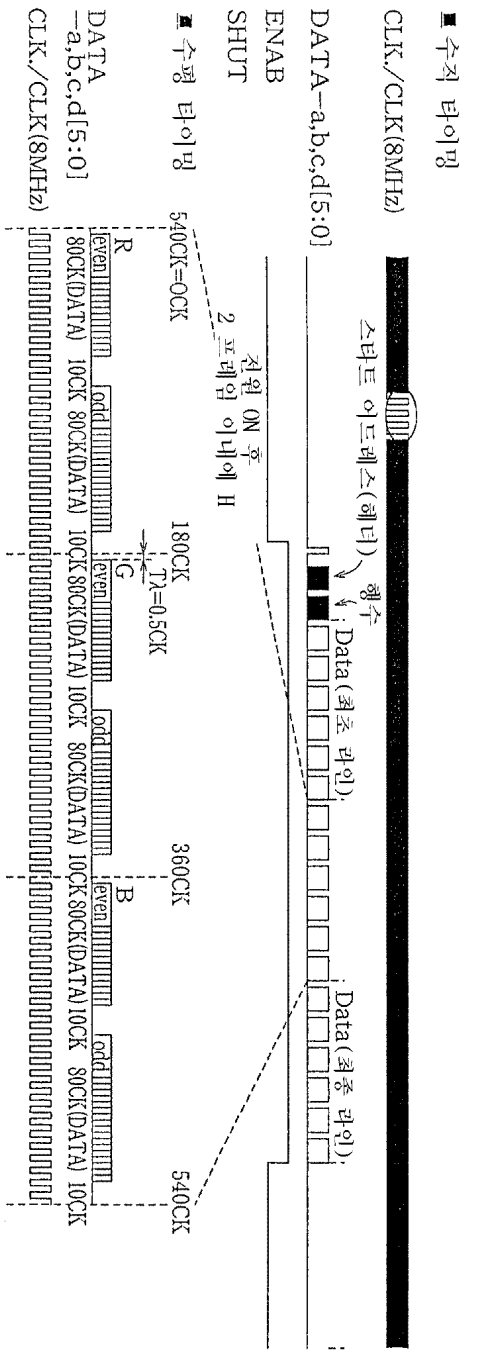
(b)



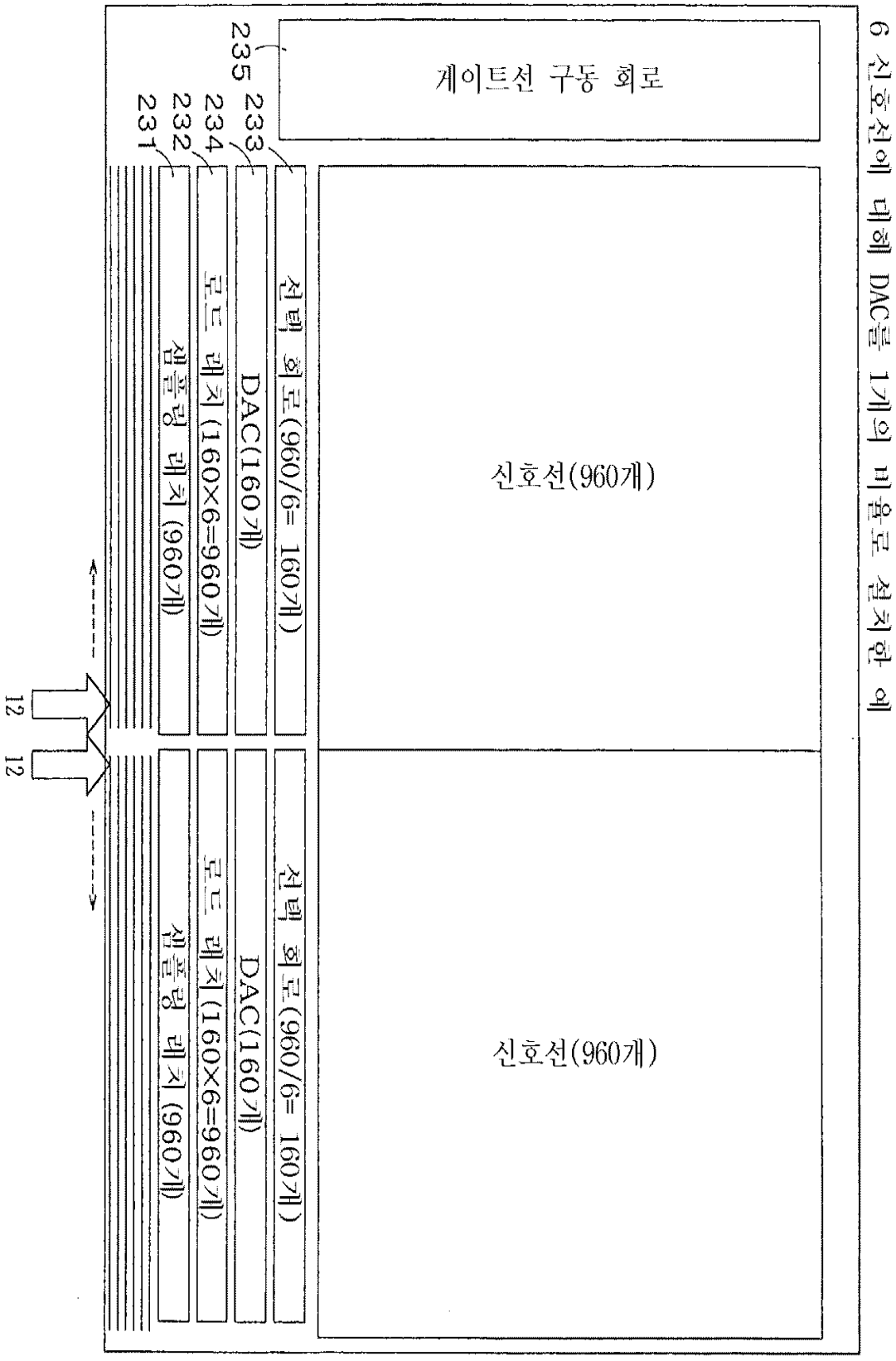
도면 21


■ 수직 타이밍
CLK./CLK(8MHz)
DATA-a,b,c,d[5:0]
Data(최초 라인)
Data(최종 라인)
ENAB
SHUT
전원 ON 후
2 프레임 기간내에 H
Adrs
■ 수평 타이밍
540CK=0CK
180CK
T/2=0.5CK
360CK
540CK
R
G
B
DATA -a,b,c,d[5:0]
even
odd
80CK(DATA) 10CK
CLK./CLK(8MHz)
EMAB./EMAB
Adrs

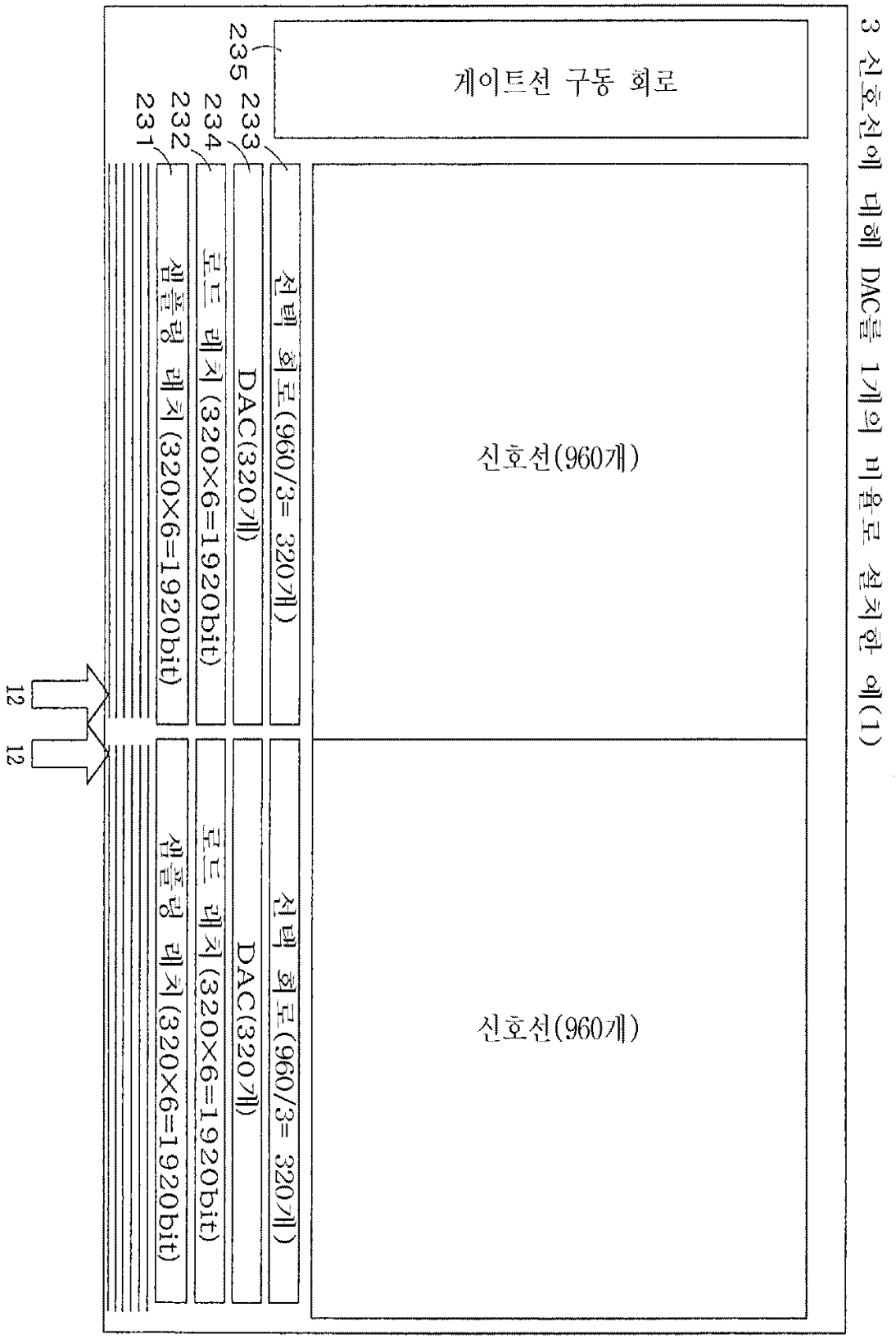
도면 22


■ 수직 타이밍
CLK./CLK(8MHz)
스타트 어드레스(헤더)
행수
DATA-a,b,c,d[5:0]
Data(최초 라인)
Data(최종 라인)
ENAB
SHUT
전원 ON 후
2 프레임 이내에 H
■ 수평 타이밍
540CK=0CK
180CK
TA=0.5CK
360CK
540CK
R
G
B
DATA
-a,b,c,d[5:0]
even
odd
80CK(DATA) 10CK 80CK(DATA) 10CK 80CK(DATA) 10CK 80CK(DATA) 10CK 80CK(DATA) 10CK 80CK(DATA) 10CK
CLK./CLK(8MHz)

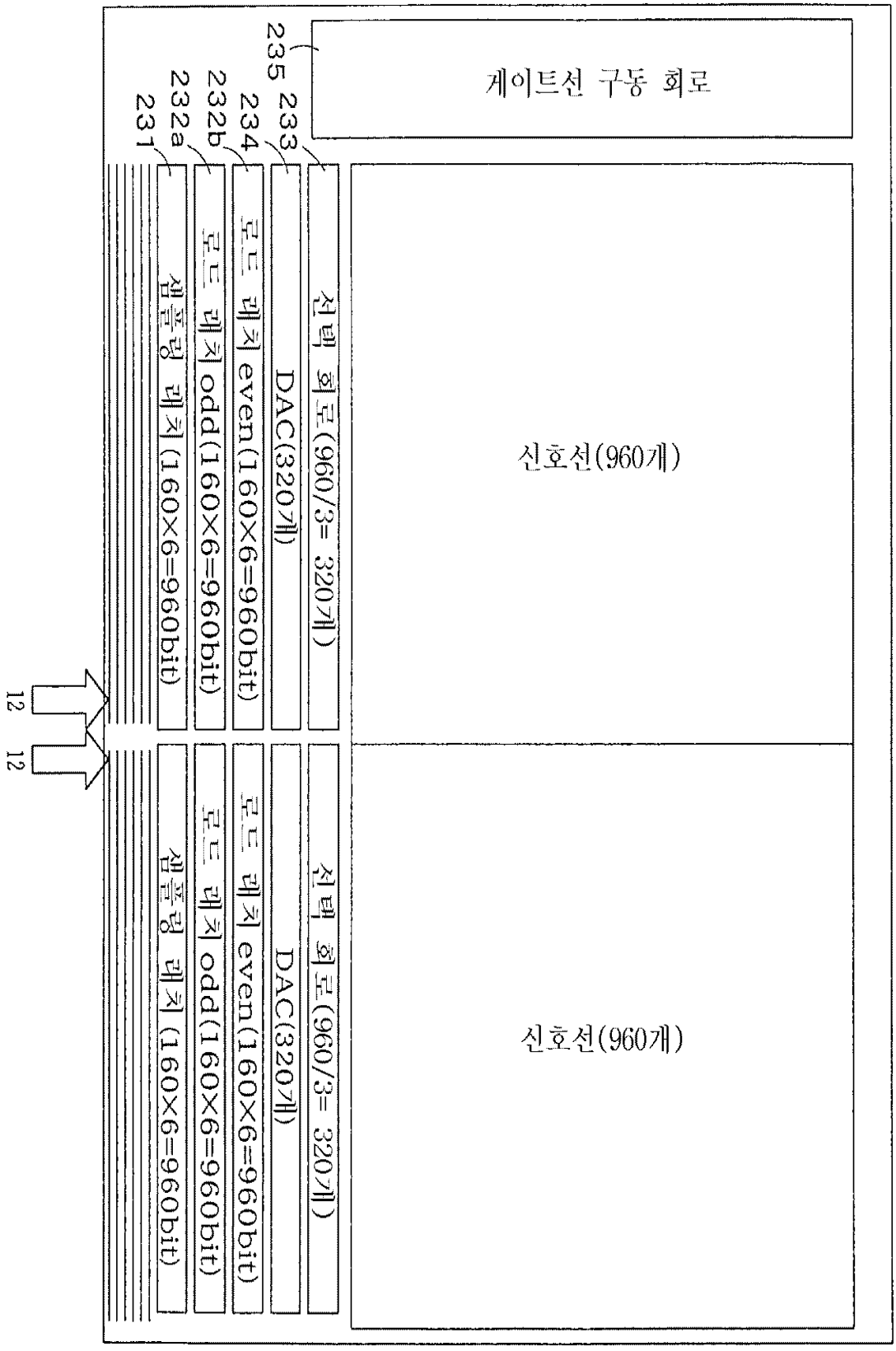
도면 23


6 신호선에 대해 DAC를 1개의 비율로 설치한 예
게이트선 구동 회로
235
233
234
232
231
선택 회로(960/6= 160개)
DAC(160개)
로드 래치(160×6=960개)
샘플링 래치(960개)
신호선(960개)
신호선(960개)
선택 회로(960/6= 160개)
DAC(160개)
로드 래치(160×6=960개)
샘플링 래치(960개)
12
12

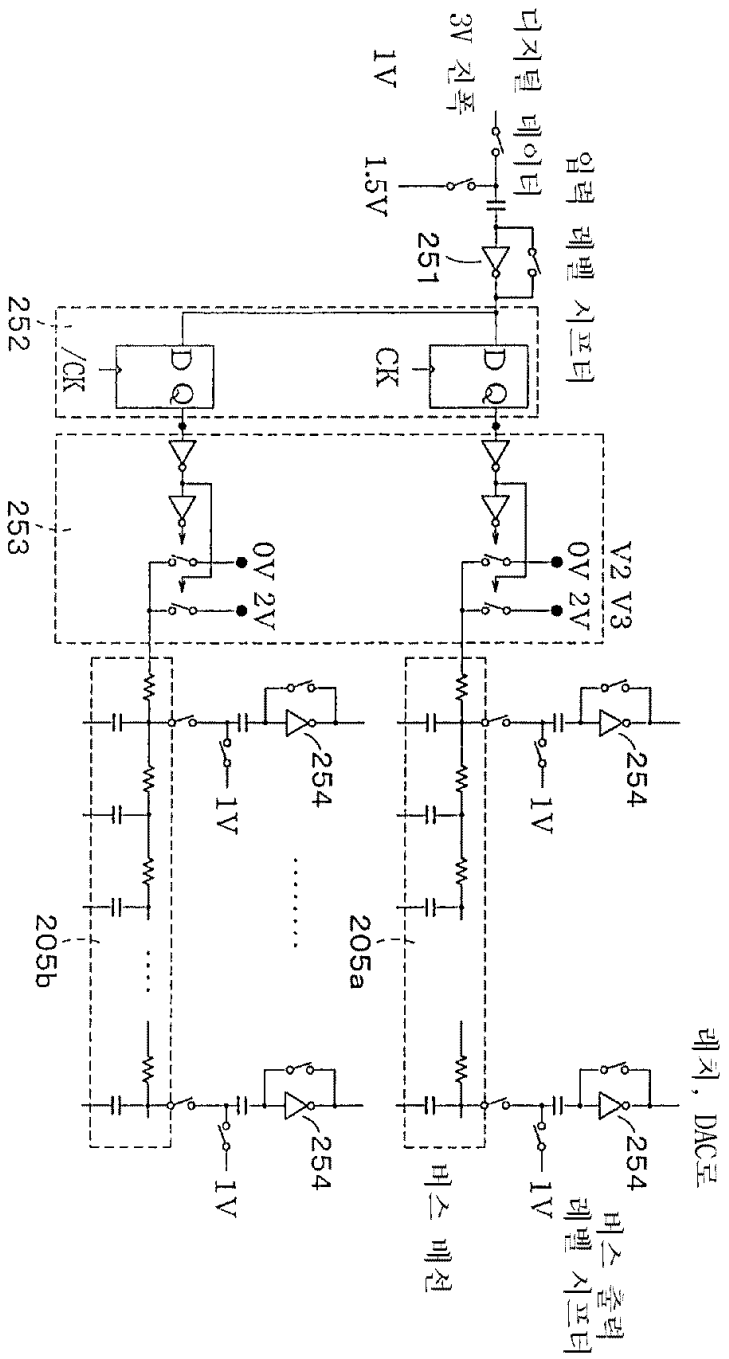
도면 24


3 신호선에 대해 DAC를 1개의 비율로 설치한 예(1)
게이트선 구동 회로
신호선(960개)
신호선(960개)
선택 회로(960/3= 320개)
DAC(320개)
로드 레치(320×6=1920bit)
샘플링 레치(320×6=1920bit)
선택 회로(960/3= 320개)
DAC(320개)
로드 레치(320×6=1920bit)
샘플링 레치(320×6=1920bit)
235
233
234
232
231
12
12

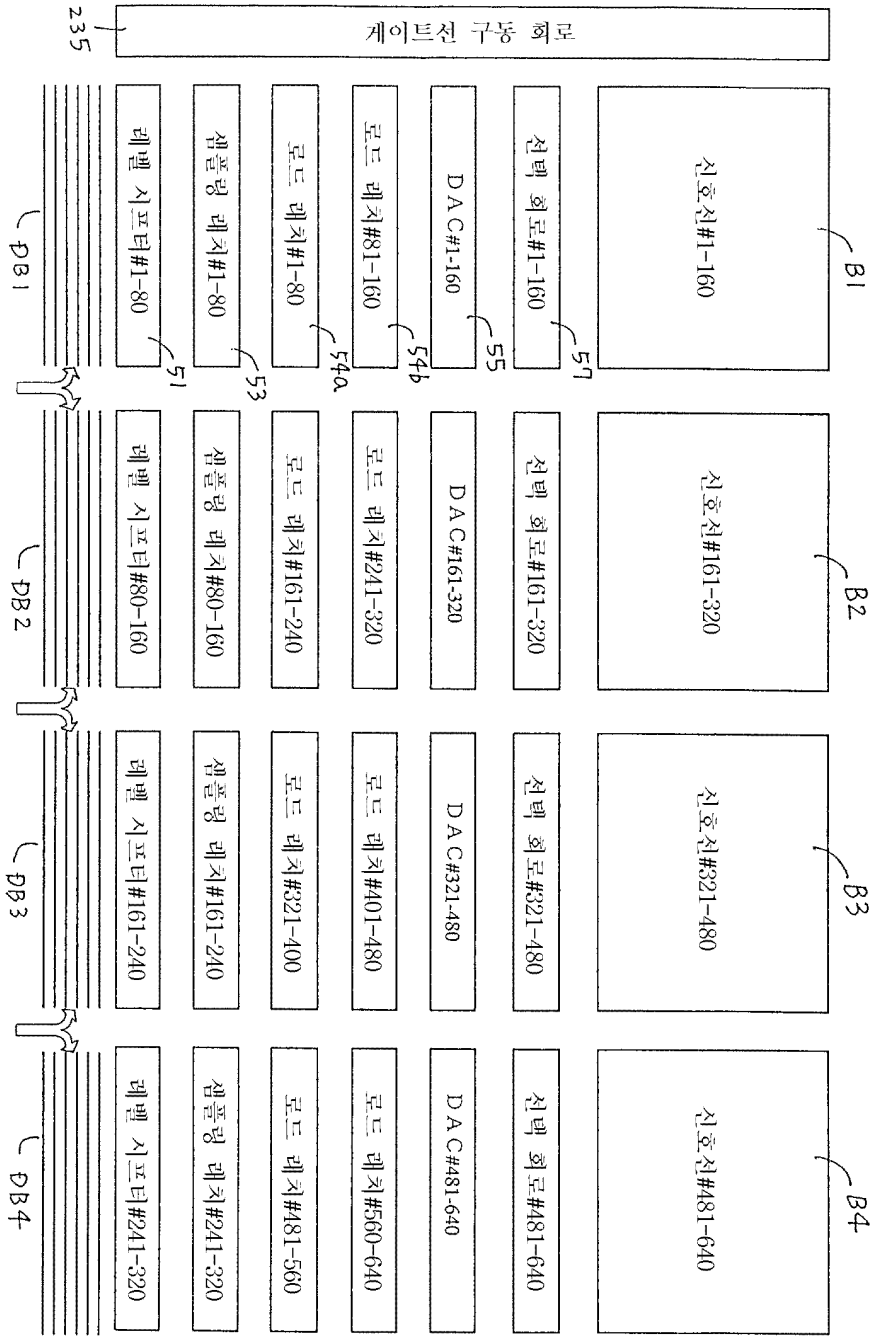
도면 25


게이트선 구동 회로
235
233
234
232b
232a
231
선택 회로(960/3= 320개)
DAC(320개)
로드 레치 even(160×6=960bit)
로드 레치 odd(160×6=960bit)
샘플링 레치(160×6=960bit)
신호선(960개)
신호선(960개)
선택 회로(960/3= 320개)
DAC(320개)
로드 레치 even(160×6=960bit)
로드 레치 odd(160×6=960bit)
샘플링 레치(160×6=960bit)
12
12

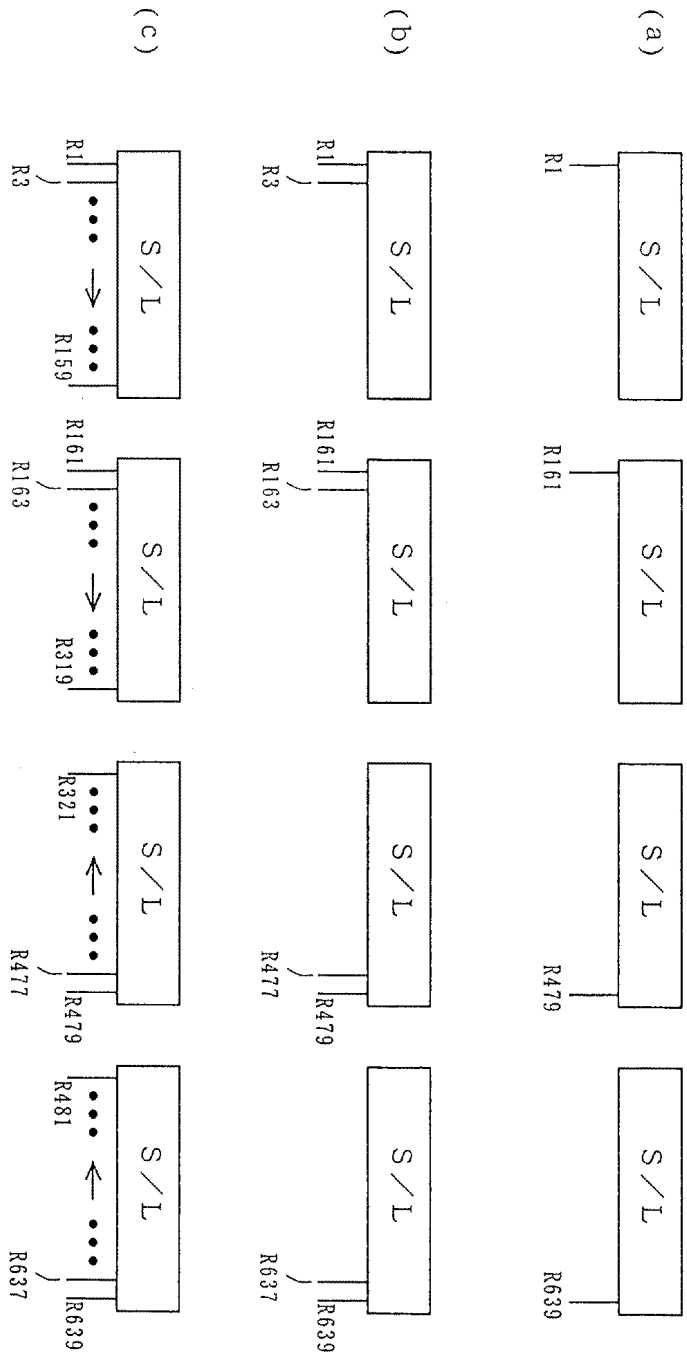
도면 26


디지털 데이터
3V 진폭
1V
1.5V
251
입력 레벨 시프터
252
/CK
CK
D Q
253
0V 2V
V2 V3
0V 2V
254
1V
205a
205b
비스 배선
레치, DAC로
비스 출력
레벨 시프터

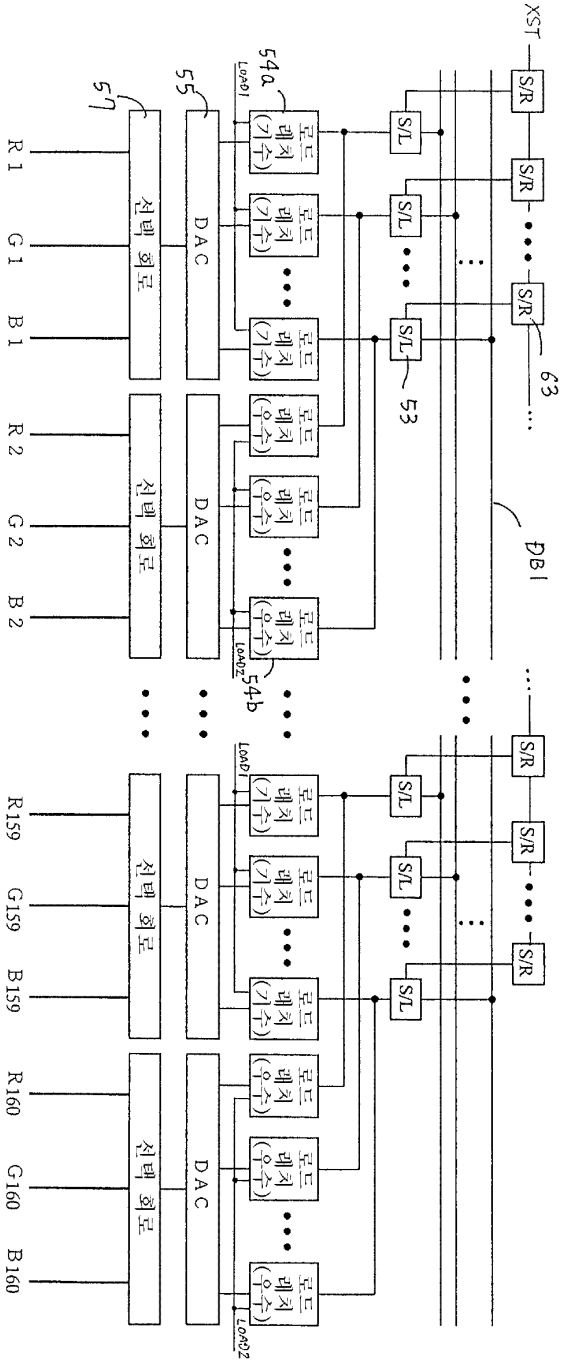
도면 27


235
게이트선 구동 회로
B1
B2
B3
B4
신호선#1-160
신호선#161-320
신호선#321-480
신호선#481-640
선택 회로#1-160
선택 회로#161-320
선택 회로#321-480
선택 회로#481-640
57
DAC#1-160
DAC#161-320
DAC#321-480
DAC#481-640
55
로드 레치#81-160
로드 레치#241-320
로드 레치#401-480
로드 레치#560-640
54b
로드 레치#1-80
로드 레치#161-240
로드 레치#321-400
로드 레치#481-560
54a
샘플링 레치#1-80
샘플링 레치#80-160
샘플링 레치#161-240
샘플링 레치#241-320
53
레벨 시프터#1-80
레벨 시프터#80-160
레벨 시프터#161-240
레벨 시프터#241-320
51
DB1
DB2
DB3
DB4

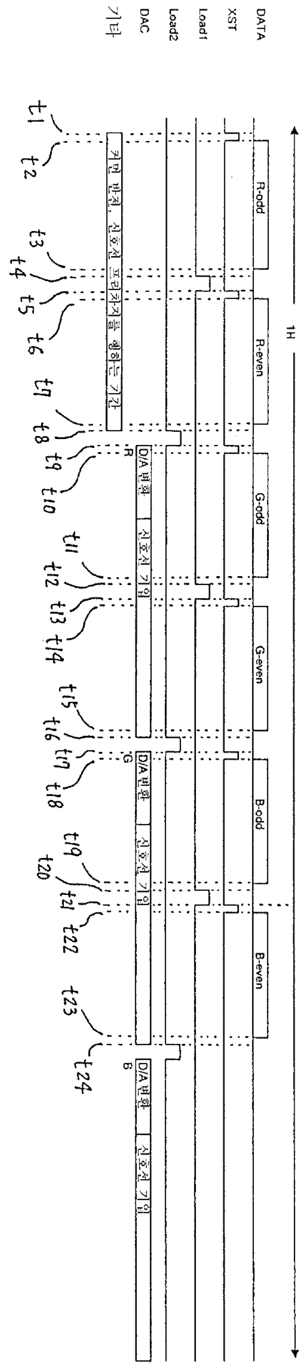
도면 28



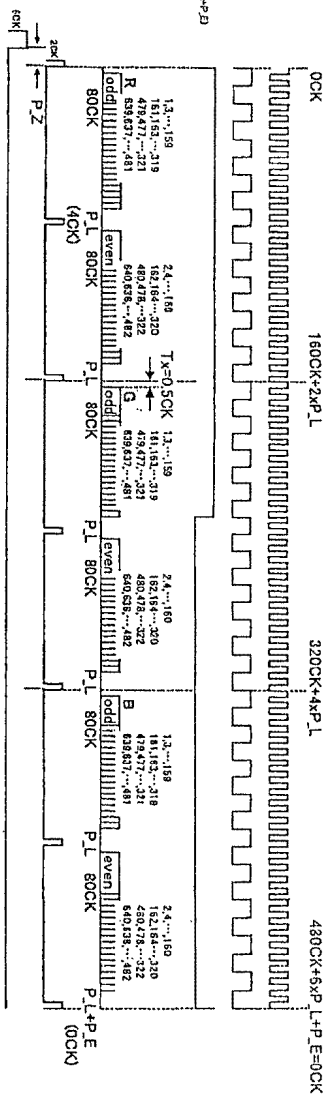
도면 29


XST
S/R
S/L
63
53
DB1
54a
54b
55
57
LOAD1
LOAD2
래치 (기수)
래치 (우수)
DAC
선택 회로
R 1
G 1
B 1
R 2
G 2
B 2
R159
G159
B159
R160
G160
B160

도면 30

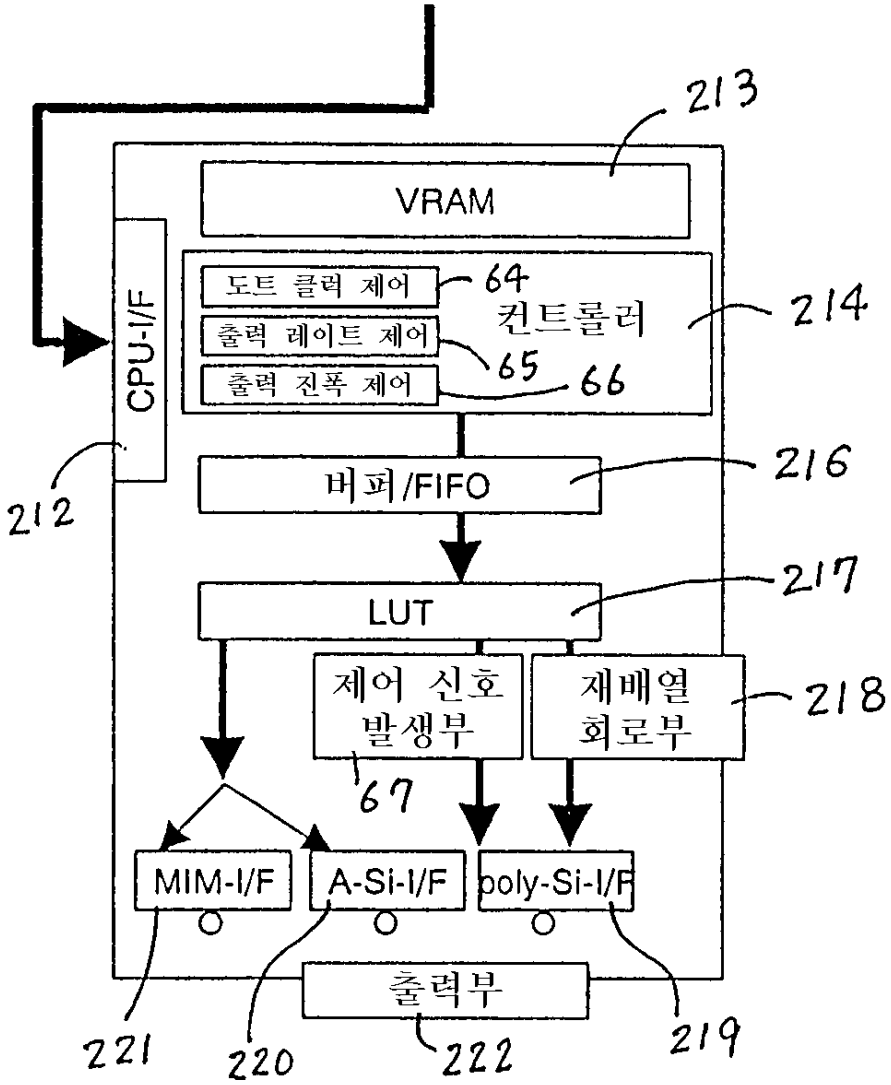

DATA
XST
Load1
Load2
DAC
기타
1H
R-odd
R-even
G-odd
G-even
B-odd
B-even
D/A 변환
신호선 기입
R
G
B
t1
t2
t3
t4
t5
t6
t7
t8
t9
t10
t11
t12
t13
t14
t15
t16
t17
t18
t19
t20
t21
t22
t23
t24

도면 31

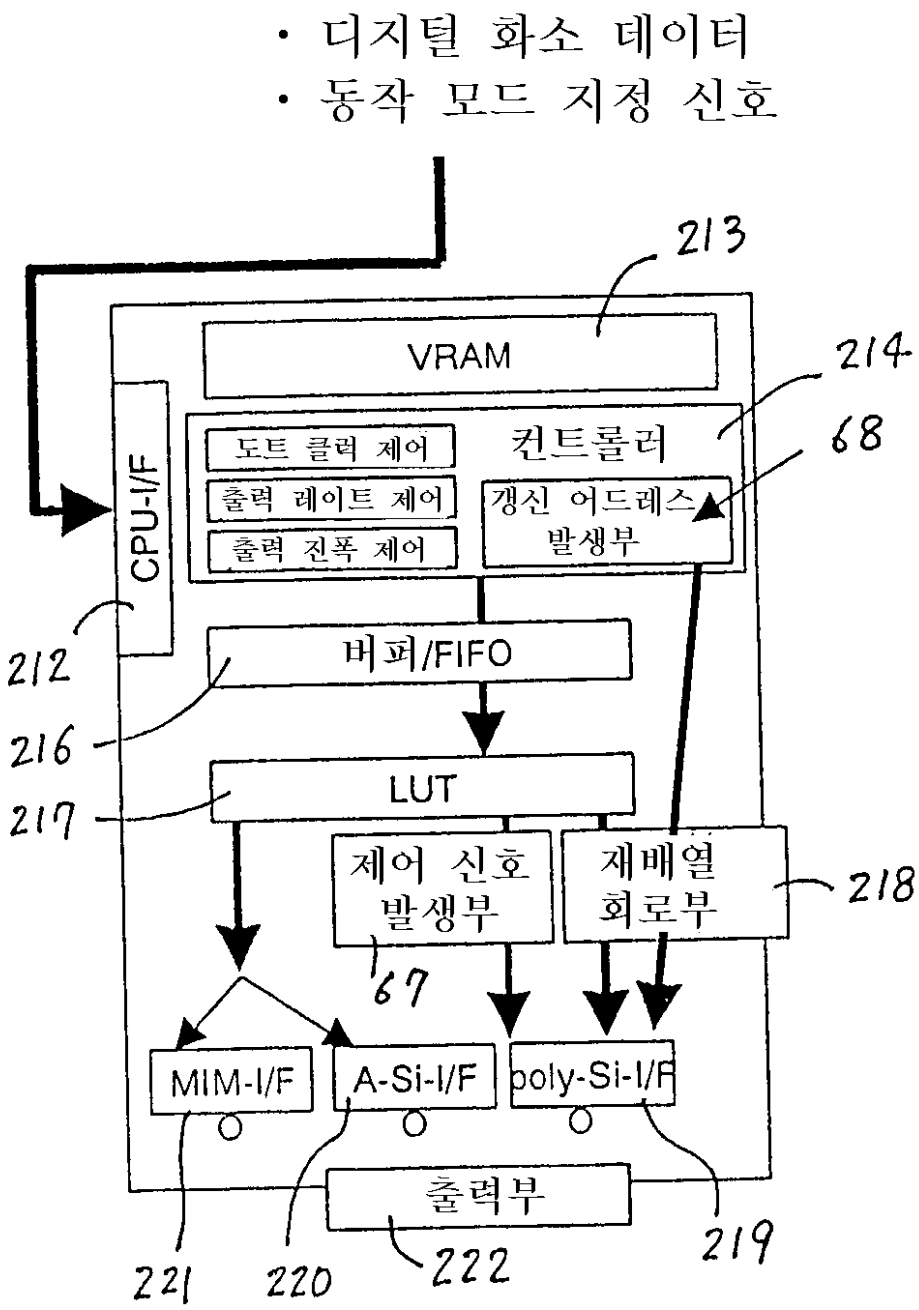

XCLK/XCLK
ZCLK/ZCLK
YCLK/YCLK
DATA-a,b,c,d[5:0]
XST/XST
ZST/ZST
주기 =2CK
주기 =P_Z
주기 =(480CK+6xP_L+P_E)
0CK
160CK+2xP_L
320CK+4xP_L
480CK+6xP_L+P_E=0CK
2CK
P_Z
fCK
odd
even
R
G
B
80CK
P_L
(4CK)
Tx=0.5CK
P_L+P_E
(0CK)

도면 32

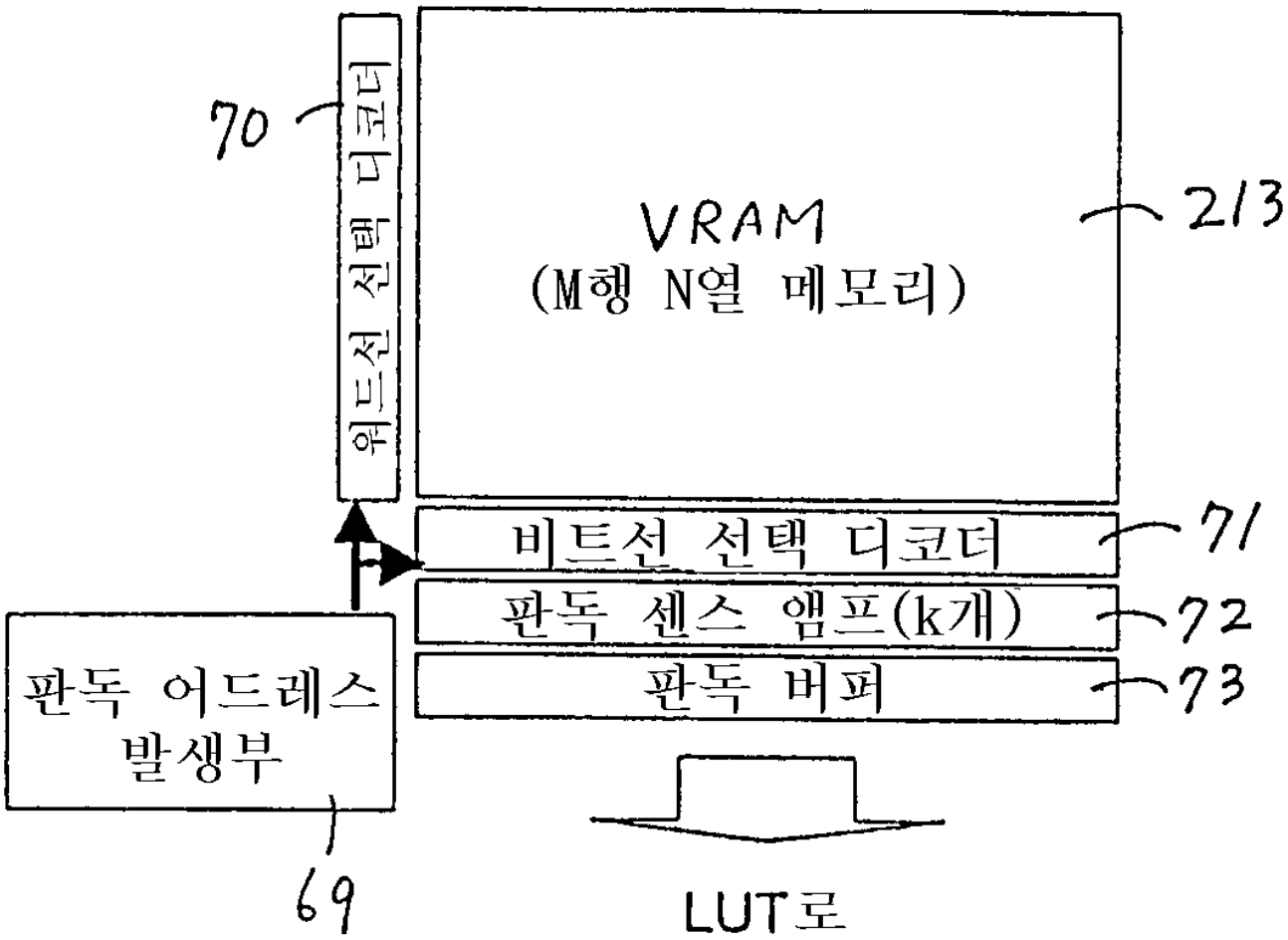
• 디지털 화소 데이터
• 동작 모드 지정 신호



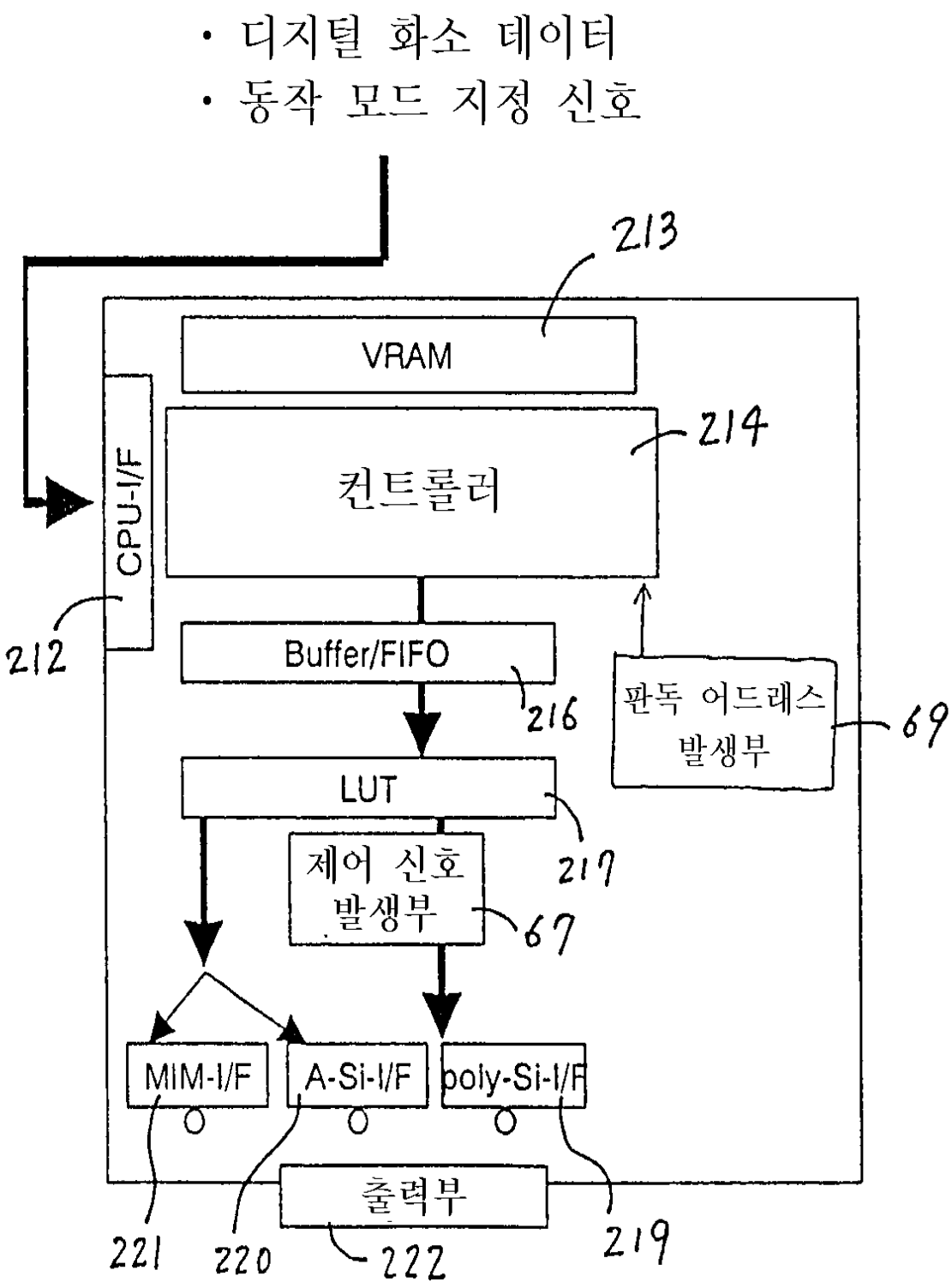
도면 33


• 디지털 화소 데이터
• 동작 모드 지정 신호
213
VRAM
214
68
도트 클럭 제어
출력 레이트 제어
출력 진폭 제어
컨트롤러
갱신 어드레스 발생부
CPU-I/F
212
버퍼/FIFO
216
LUT
217
제어 신호 발생부
재배열 회로부
218
67
MIM-I/F
A-Si-I/F
poly-Si-I/F
출력부
221
220
222
219

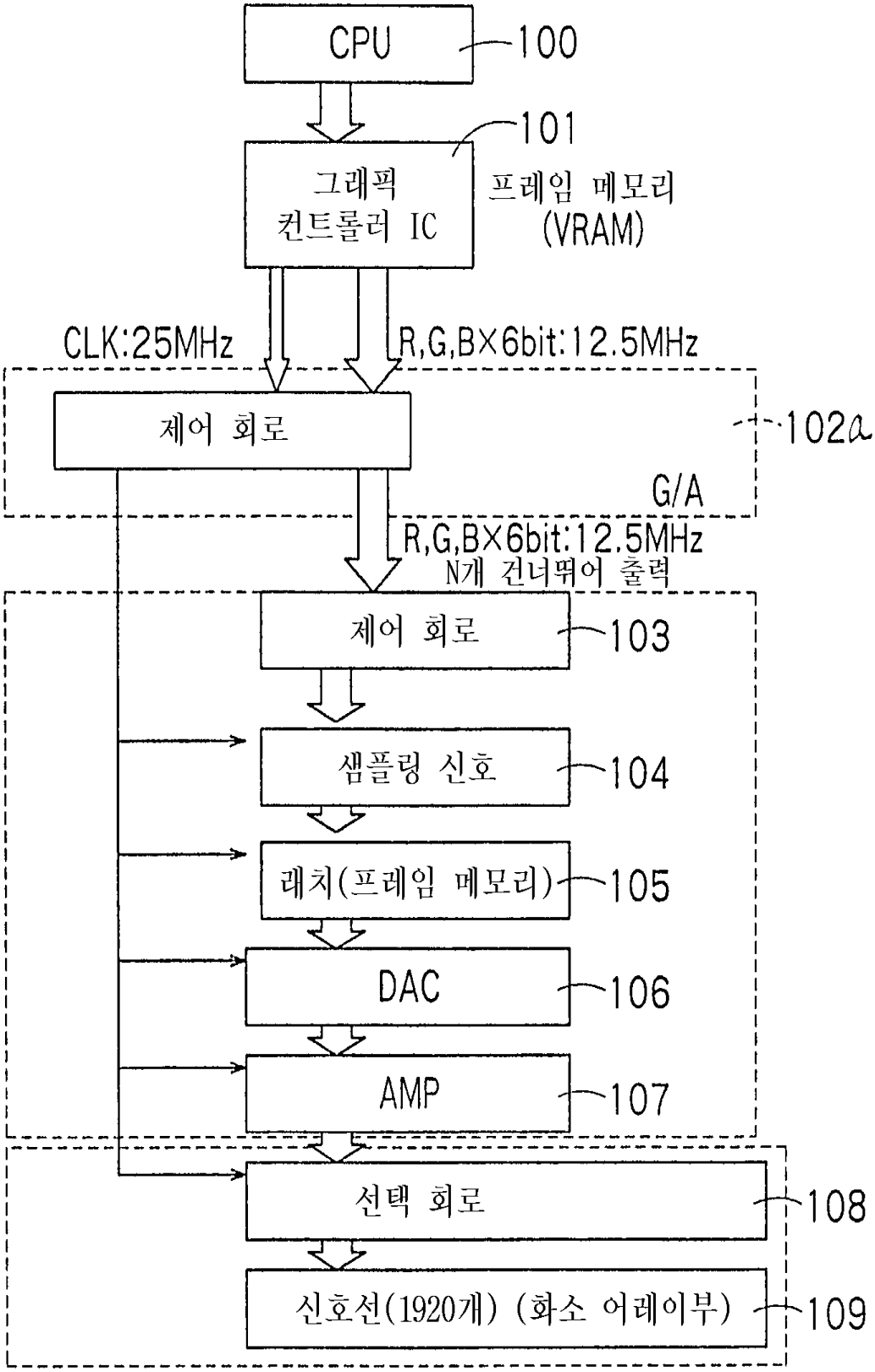
도면 34


70
워드선 선택 디코더
VRAM
(M행 N열 메모리)
213
비트선 선택 디코더
71
판독 센스 앰프(k개)
72
판독 버퍼
73
판독 어드레스
발생부
69
LUT로

도면 35


• 디지털 화소 데이터
• 동작 모드 지정 신호
213
VRAM
214
컨트롤러
CPU-I/F
212
Buffer/FIFO
216
판독 어드레스 발생부
69
LUT
217
제어 신호 발생부
67
MIM-I/F
A-Si-I/F
poly-Si-I/F
출력부
221
220
222
219

도면 36


CPU
100
101
그래픽
컨트롤러 IC
프레임 메모리
(VRAM)
CLK:25MHz
R,G,B×6bit:12.5MHz
제어 회로
102a
G/A
R,G,B×6bit:12.5MHz
N개 건너뛰어 출력
제어 회로
103
샘플링 신호
104
래치(프레임 메모리)
105
DAC
106
AMP
107
선택 회로
108
신호선(1920개) (화소 어레이부)
109