



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2019년01월23일  
 (11) 등록번호 10-1941438  
 (24) 등록일자 2019년01월17일

(51) 국제특허분류(Int. Cl.)  
 H01L 51/50 (2006.01) H01L 29/786 (2006.01)  
 H05B 33/10 (2006.01)  
 (21) 출원번호 10-2011-0081083  
 (22) 출원일자 2011년08월16일  
 심사청구일자 2016년07월22일  
 (65) 공개번호 10-2013-0019119  
 (43) 공개일자 2013년02월26일  
 (56) 선행기술조사문헌  
 JP2002324810 A\*  
 (뒷면에 계속)  
 전체 청구항 수 : 총 5 항

(73) 특허권자  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**박미경**  
 부산광역시 서구 천혜로7번길 33, 송도 자유 아파트 406호 (암남동)  
 (74) 대리인  
**박영복**

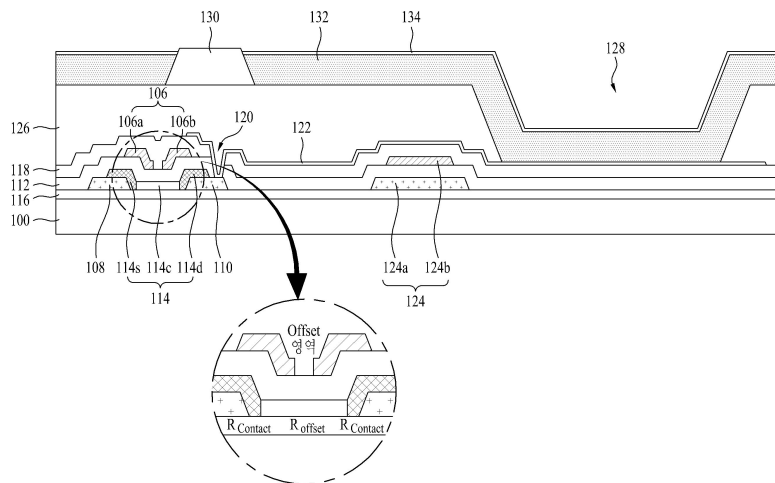
심사관 : 정명주

**(54) 발명의 명칭 유기 전계 발광 표시 패널 및 그의 제조방법**

**(57) 요약**

본 발명은 누설 전류를 감소시킴과 동시에 마스크 수를 줄임으로써 공정 비용 및 시간을 감소시킬 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것으로, 본 발명에 따른 유기 전계 발광 표시 패널은 기판 위에 형성된 버퍼막과, 상기 버퍼막 상에 서로 마주보도록 형성된 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 사이에 형성된 채널 영역과, 상기 소스 전극 상에 형성되어 접촉된 소스 영역과, 상기 드레인 전극 상에 형성되어 접촉된 드레인 영역을 포함하는 액티브층과, 상기 액티브층의 소스 영역 및 드레인 영역 각각과 게이트 절연막을 사이에 두고 중첩된 제1 및 제2 게이트 전극을 포함하는 듀얼 게이트 전극과, 상기 드레인 전극과 접촉된 제1 전극과, 상기 제1 전극과 마주보며 형성된 제2 전극과, 상기 제1 전극과 제2 전극 사이에 발광층을 포함하는 유기층을 구비하는 유기 전계 발광 소자를 포함하는 것을 특징으로 한다.

**대표도 - 도1**



(56) 선행기술조사문헌

KR1020070002491 A\*

KR1020090019403 A\*

KR1020100076603 A\*

KR1020100000403 A

\*는 심사관에 의하여 인용된 문헌

---

## 명세서

### 청구범위

#### 청구항 1

기관 위에 형성된 버퍼막과;

상기 버퍼막 상에 서로 마주보도록 형성된 소스 및 드레인 전극과;

상기 소스 및 드레인 전극 사이에 형성된 채널 영역과, 상기 소스 전극 상에 형성되어 접촉된 소스 영역과, 상기 드레인 전극 상에 형성되어 접촉된 드레인 영역을 포함하는 액티브층과;

상기 액티브층의 소스 영역 및 드레인 영역 각각과 게이트 절연막을 사이에 두고 중첩된 제1 및 제2 게이트 전극을 포함하는 듀얼 게이트 전극과;

상기 드레인 전극과 접속된 제1 전극과, 상기 제1 전극과 마주보며 형성된 제2 전극과, 상기 제1 전극과 제2 전극 사이에 발광층을 포함하는 유기층을 구비하는 유기 전계 발광 소자를 포함하고,

상기 액티브층의 저항값은 액티브층의 오프셋 영역에 대한 저항값과 소스 영역과 소스 전극 간의 컨택 저항값과, 상기 드레인 영역과 드레인 전극 간의 컨택 저항값을 합한 값을 가지는 것을 특징으로 하는 유기 전계 발광 표시 패널.

#### 청구항 2

제1항에 있어서,

상기 제1 및 제2 게이트 전극 사이와 대응하는 액티브 영역이 액티브층의 오프셋 영역인 것을 특징으로 하는 유기 전계 발광 표시 패널.

#### 청구항 3

삭제

#### 청구항 4

제1항에 있어서,

상기 제1 전극에 충전된 화소 전압 신호를 안정적으로 유지할 수 있게 하는 스토리지 커패시터를 더 포함하며,

상기 스토리지 커패시터는

상기 듀얼 게이트 전극과 동일 평면상에 형성된 스토리지 상부 전극과;

상기 소스 및 드레인 전극과 동일 평면 상에 형성되며, p+ 또는 n+ 불순물이 도핑된 스토리지 하부 전극을 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

#### 청구항 5

제1항에 있어서,

상기 제1 전극을 노출시키는 बैं크홀이 형성된 बैं크 절연막과;

상기 बैं크 절연막 상에 셀 갭을 유지시키기 위해 형성된 칼럼 스페이서를 더 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널.

#### 청구항 6

기관 상에 버퍼막을 형성하고, 상기 버퍼막 상에 서로 마주보는 소스 및 드레인 전극, 스토리지 하부 전극과 액티브층을 전면 형성하는 단계와;

상기 소스 및 드레인 전극, 스토리지 하부 전극과 액티브층이 형성된 기관 상에 소스 및 드레인 전극 사이에 형

성된 채널 영역과, 상기 소스 전극 상에 형성되어 접촉된 소스 영역과, 상기 드레인 전극 상에 형성되어 접촉된 드레인 영역을 포함하는 반도체 패턴을 형성하는 단계와;

상기 반도체 패턴이 형성된 기판 상에 게이트 절연막을 전면 형성하고, 상기 액티브층의 소스 영역 및 드레인 영역 각각과 게이트 절연막 사이에 두고 중첩된 제1 및 제2 게이트 전극을 포함하는 듀얼 게이트 전극 및 스토리지 상부 전극을 형성하는 단계와;

상기 듀얼 게이트 전극 상에 상기 드레인 전극을 노출시키는 보호막을 형성하는 단계와;

상기 드레인 전극과 접속된 제1 전극을 형성하는 단계와;

상기 제1 전극 상에 발광층을 포함하는 유기층과, 제2 전극을 형성하는 단계를 포함하고,

상기 반도체 패턴을 형성하는 단계는

상기 액티브층 상에 서로 두께가 다른 제1 및 제2 포토레지스트 패턴을 형성하는 단계와;

상기 제1 및 제2 포토레지스트 패턴을 이용한 식각 공정으로 상기 제1 및 제2 포토레지스트 패턴과 중첩되는 액티브층 및 상기 스토리지 하부 전극을 노출하는 단계와;

상기 제2 포토레지스트 패턴을 제거하는 단계와;

상기 제1 포토레지스트 패턴을 마스크로 이용하여 상기 액티브층 및 상기 스토리지 하부 전극에 불순물을 도핑하여 소스 영역과 드레인 영역을 형성하고, 상기 스토리지 하부 전극은 도전성을 갖게 하는 단계를 포함하는 것을 특징으로 하는 유기 전계 발광 표시 패널의 제조 방법.

## 청구항 7

삭제

## 청구항 8

삭제

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것으로, 특히 누설 전류를 감소시킴과 동시에 마스크 수를 줄임으로써 공정 비용 및 시간을 감소시킬 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 전계 발광 소자의 발광량을 제어하여 영상을 표시하는 유기 전계 발광 표시 패널이 각광 받고 있다. 유기 전계 발광 소자는 두 전극 사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점을 갖고 있다.

[0003] 유기 전계 발광 표시 패널은 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 각 서브 화소는 유기 전계 발광 소자와, 그 유기 전계 발광 소자를 구동하는 셀 구동부를 포함한다. 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 비디오 데이터 신호를 공급하는 데이터 라인과, 공통 전원 신호를 공급하는 공통 전원 라인 사이에 접속된 적어도 2개의 박막 트랜지스터와 스토리지 커패시터로 구성되어 유기 발광 소자의 양극을 구동한다.

[0004] 여기서, 적어도 2개의 박막 트랜지스터의 액티브층으로는 아몰퍼스 실리콘(Amorphous Si) 또는 폴리 실리콘(Poly Si)이 이용되는데, 폴리 실리콘은 아몰퍼스 실리콘에 비해 이동도가 약 100배 빨라 높은 응답 속도를 가진다.

[0005] 이러한, 폴리 실리콘 박막 트랜지스터는 기판 상에 형성된 액티브층과, 액티브층 상에 형성된 게이트 절연막과,

게이트 절연막을 사이에 두고 액티브층의 채널 영역과 중첩되어 형성된 게이트 전극과, 층간 절연막과 게이트 전극을 사이에 두고 형성된 소스 및 드레인 전극과, 게이트 절연막과 층간 절연막을 관통하는 소스 및 드레인 컨택홀과, 소스 및 드레인 전극 각각과 접속된 액티브층의 소스 영역과 드레인 영역을 구비한다.

[0006] 폴리 실리콘 박막 트랜지스터를 이용한 유기 전계 발광 표시 패널의 제조 방법은 제1 마스크 공정을 통해 액티브층과 스토리지 하부 전극을 형성하는 단계--> 제2 마스크 공정을 통해 액티브층에 불순물을 도핑하여 도전성을 가지는 스토리지 하부 전극을 형성하는 단계--> 게이트 절연막을 형성하고, 제3 마스크 공정을 통해 게이트 절연막 상에 게이트 전극, 스토리지 상부 전극을 형성하는 단계--> 제4 마스크 공정을 통해 게이트 절연막과 층간 절연막을 관통하는 소스 및 드레인 컨택홀을 형성하는 단계--> 제5 마스크 공정을 통해 소스 및 드레인 전극을 형성하는 단계--> 제1 보호막을 형성하고, 제6 마스크 공정을 통해 제1 보호막을 관통하는 컨택홀을 형성하는 단계--> 제7 마스크 공정을 통해 양극을 형성하는 단계--> 제8 마스크 공정을 통해 양극을 노출시키는 बैं크홀을 포함하는 बैं크 절연막을 형성하는 단계--> 제9 마스크 공정을 통해 बैं크 절연막 상에 스페이서를 형성하는 단계를 포함한다. 이와 같이, 폴리 실리콘형 박막 트랜지스터를 이용한 유기 전계 발광 표시 패널을 형성하기 위해 적어도 9개의 마스크 공정이 필요하며, 마스크 수 증가에 따른 시간 및 비용이 증가하게 된다. 또한, 폴리 실리콘 박막 트랜지스터는 턴-오프시 누설 전류가 발생하는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명은 상기 문제점을 해결하기 위해 창안된 것으로서, 누설 전류를 감소시킴과 동시에 마스크 수를 줄임으로써 공정 비용 및 시간을 감소시킬 수 있는 유기 전계 발광 표시 패널 및 그의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0008] 이를 위하여, 본 발명에 따른 유기 전계 발광 표시 패널은 기판 위에 형성된 버퍼막과, 상기 버퍼막 상에 서로 마주보도록 형성된 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 사이에 형성된 채널 영역과, 상기 소스 전극 상에 형성되어 접촉된 소스 영역과, 상기 드레인 전극 상에 형성되어 접촉된 드레인 영역을 포함하는 액티브층과, 상기 액티브층의 소스 영역 및 드레인 영역 각각과 게이트 절연막을 사이에 두고 중첩된 제1 및 제2 게이트 전극을 포함하는 듀얼 게이트 전극과, 상기 드레인 전극과 접속된 제1 전극과, 상기 제1 전극과 마주보며 형성된 제2 전극과, 상기 제1 전극과 제2 전극 사이에 발광층을 포함하는 유기층을 구비하는 유기 전계 발광 소자를 포함하는 것을 특징으로 한다.

[0009] 여기서, 상기 제1 및 제2 게이트 전극 사이와 대응하는 액티브 영역이 액티브층의 오프셋 영역인 것을 특징으로 한다.

[0010] 그리고, 상기 액티브층의 저항값은 액티브층의 오프셋 영역에 대한 저항값과 소스 영역과 소스 전극 간의 컨택 저항값과, 드레인 영역과 드레인 전극 간의 컨택 저항값을 합한 값을 가지는 것을 특징으로 한다.

[0011] 또한, 상기 제1 전극에 충전된 화소 전압 신호를 안정적으로 유지할 수 있게 하는 스토리지 커패시터를 더 포함하며, 상기 스토리지 커패시터는 상기 듀얼 게이트 전극과 동일 평면상에 형성된 스토리지 상부 전극과, 상기 소스 및 드레인 전극과 동일 평면 상에 형성되며, p+ 또는 n+ 불순물이 도핑된 스토리지 하부 전극을 포함하는 것을 특징으로 한다.

[0012] 그리고, 상기 제1 전극을 노출시키는 बैं크홀이 형성된 बैं크 절연막과, 상기 बैं크 절연막 상에 셀 갭을 유지시키기 위해 형성된 칼럼 스페이서를 더 포함하는 것을 특징으로 한다.

[0013] 본 발명에 따른 유기 전계 발광 표시 패널의 제조 방법은 기판 상에 버퍼막을 형성하고, 상기 버퍼막 상에 서로 마주보는 소스 및 드레인 전극과 액티브층을 전면 형성하는 단계와, 상기 소스 및 드레인 전극과 액티브층이 형성된 기판 상에 소스 및 드레인 전극 사이에 형성된 채널 영역과, 상기 소스 전극 상에 형성되어 접촉된 소스 영역과, 상기 드레인 전극 상에 형성되어 접촉된 드레인 영역을 포함하는 반도체 패턴을 형성하는 단계와, 상기 반도체 패턴이 형성된 기판 상에 게이트 절연막을 전면 형성하고, 상기 액티브층의 소스 영역 및 드레인 영역 각각과 게이트 절연막을 사이에 두고 중첩된 제1 및 제2 게이트 전극을 포함하는 듀얼 게이트 전극을 형성하는 단계와, 상기 듀얼 게이트 전극 상에 상기 드레인 전극을 노출시키는 보호막을 형성하는 단계와, 상기 드레인 전극과 접속된 제1 전극을 형성하는 단계와, 상기 제1 전극 상에 발광층을 포함하는 유기층과, 제2 전극을 형성

하는 단계를 포함하는 것을 특징으로 한다.

[0014] 그리고, 상기 소스 및 드레인 전극 형성시 스토리지 하부 전극을 형성하고, 상기 게이트 전극 형성시 스토리지 상부 전극을 형성하는 것을 특징으로 한다.

[0015] 또한, 상기 반도체 패턴을 형성하는 단계는 상기 액티브층 상에 서로 두께가 다른 제1 및 제2 포토레지스트 패턴을 형성하는 단계와, 상기 제1 및 제2 포토레지스트 패턴을 이용한 식각 공정으로 상기 제1 및 제2 포토레지스트 패턴과 중첩되는 액티브층만 남게 되는 단계와, 상기 제1 및 제2 포토레지스트 패턴을 애싱하여 상기 제2 포토레지스트 패턴이 제거되는 단계와, 상기 제1 포토레지스트 패턴을 이용하여 상기 액티브층에 불순물을 도핑하여 소스 영역과 드레인 영역을 형성하고, 상기 스토리지 하부 전극을 도전성을 갖게 하는 단계를 포함하는 것을 특징으로 한다.

**발명의 효과**

[0016] 본 발명에 따른 유기 전계 발광 표시 패널은 게이트 전극을 제1 및 제2 게이트 전극을 포함하는 듀얼 게이트 전극으로 형성됨으로써 폴리 박막 트랜지스터의 문제점이 누설 전류를 감소시킬 수 있다.

[0017] 또한, 본 발명에 따른 유기 전계 발광 표시 패널은 별도의 스토리지 커패시터의 도핑 공정 없이 하프톤 마스크 또는 슬릿 마스크를 이용하여 도핑 공정을 진행함으로써 그에 따른 마스크 공정 수를 감소시킬 수 있다.

[0018] 이러한, 본 발명에 따른 유기 전계 발광 표시 패널은 적어도 6~7 마스크 공정을 통해 형성됨으로써 종래 9 마스크 공정 수에 비해 적어도 2~3개 마스크 공정 수를 줄일 수 있으므로 그에 따른 공정 비용 및 시간을 감소시킬 수 있는 향상된 효과를 가진다.

**도면의 간단한 설명**

[0019] 도 1은 본 발명에 따른 유기 전계 발광 표시 패널의 단면도이다.

도 2a는 종래 폴리 실리콘 박막 트랜지스터의 온/오프에 따른 전류 그래프이며, 도 2b는 본 발명에 따른 폴리 실리콘 박막 트랜지스터의 온/오프에 따른 전류 그래프이다.

도 3 내지 10은 본 발명의 실시 예에 따른 유기 전계 발광 표시 패널의 제조 방법을 나타낸 단면도들이다.

**발명을 실시하기 위한 구체적인 내용**

[0020] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성 요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.

[0021] 이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 10을 참조하여 상세히 설명하기로 한다.

[0022] 도 1은 본 발명에 따른 유기 전계 발광 표시 패널의 단면도이다.

[0023] 도 1에 도시된 바와 같이 본 발명의 실시 예에 따른 유기 전계 발광 표시 패널은 구동 박막 트랜지스터와, 구동 박막 트랜지스터와 접속된 유기 전계 발광 표시 소자와, 상기 유기 전계 발광 소자의 제1 전극(122)에 화소 전압 신호를 안정적으로 유지할 수 있게 하는 스토리지 커패시터(124)를 포함한다.

[0024] 구동 박막 트랜지스터는 도 1에 도시된 바와 같이 버퍼막(116), 소스 전극(108), 드레인 전극(110), 액티브층(114), 듀얼 게이트 전극(106)을 구비한다. 구동 박막 트랜지스터는 기판(100) 위에 버퍼막(116)이 형성되며, 버퍼막(116) 상에 소스 전극(108)은 액티브층(114)의 채널 영역(114C)을 사이에 두고 드레인 전극(110)과 마주하도록 형성된다. 소스 전극(108)은 p+ 또는 n+ 불순물이 주입된 액티브층(114)의 소스 영역(114S) 상에 형성되어 직접 접촉하며, 드레인 전극(110)은 p+ 또는 n+ 불순물이 주입된 액티브층(114)의 드레인 영역(114D) 상에 형성되어 직접 접촉한다. 구동 박막 트랜지스터가 NMOS 박막 트랜지스터 또는 PMOS 박막 트랜지스터로 형성될 수 있으며, NMOS 박막 트랜지스터로 형성될 경우에는 소스 영역(114S) 및 드레인 영역(114D)에 n+ 불순물이 주입되며, PMOS 박막 트랜지스터로 형성될 경우에는 소스 영역(114S) 및 드레인 영역(114D)에 p+ 불순물이 주입된다.

[0025] 듀얼 게이트 전극(106)은 게이트 절연막(112)을 사이에 두고 액티브층(114)의 소스 영역(114S) 및 드레인 영역(114D) 각각과 중첩된 제1 및 제2 게이트 전극(106a, 106b)을 구비한다. 제1 및 제2 게이트 전극(106a, 106b)은

액티브층(114)의 상부에 위치한 탑 스테거(Top stagger) 구조로 형성되며, 제1 및 제2 게이트 전극(106a, 106b)은 서로 마주보며 형성된다. 이와 같이, 게이트 전극을 듀얼 게이트 전극(106)으로 형성함으로써 누설 전류(off-current)를 방지할 수 있다. 이에 대해, 도 2a 및 도 2b를 결부하여 설명하기로 한다.

[0026] 스토리지 커패시터(124)는 p+ 또는 n+ 불순물이 도핑된 스토리지 하부 전극(124a)과 스토리지 상부 전극(124b)이 게이트 절연막(112)을 사이에 두고 중첩되어 형성된다. 스토리지 하부 전극(124a)은 소스 및 드레인 전극(108, 110)과 동일층에 형성되며, 스토리지 상부 전극(124b)은 듀얼 게이트 전극(106)과 동일층에 형성된다. 스토리지 커패시터(124)는 제1 전극(222)에 충전된 화소 전압 신호를 다음 화소 전압 신호가 충전될 때까지 안정적으로 유지되게 한다.

[0027] 유기 전계 발광 소자는 구동 박막 트랜지스터의 드레인 전극(110)과 접속된 제1 전극(122)과, 제1 전극(122)을 노출시키는뱅크홀(126)이 형성된뱅크 절연막(128)과,뱅크 절연막(126) 상에 셀 갭을 유지시키기 위해 형성된 칼럼 스페이서(130)와,뱅크홀(128)을 통해 노출된 제1 전극(122) 상에 형성된 발광층을 포함하는 유기층(132)과, 유기층(132) 위에 형성된 제2 전극(134)이 구비된다. 이러한, 유기 전계 발광 소자는 제1 전극(122)과 제2 전극(134) 사이에 전압을 인가하면 제1 전극(122)으로부터 정공(hole)이 제2 전극(134)으로부터 전자(electron)가 주입되어 발광층(132)에서 재결합하여 이로 인해 엑시톤(exciton)이 생성되며, 이 엑시톤이 기저상태로 떨어지면서 빛이 배면(Bottom)으로 발광하게 된다.

[0028] 제1 전극(122)은 양극으로 TCO(Transparent Conductive Oxide; 이하, TCO)와, ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO) 등과 같은 투명 도전 전극으로 형성되며, 제2 전극(134)은 음극으로 알루미늄(Al)과 같이 반사성 금속 재질로 형성된다. 유기층(132)은 정공 주입층(Hole Injection Layer;HIL), 정공 수송층(Hole Transport Layer;HTL), 발광층, 전자 수송층(Electron Transport Layer;ETL), 전자 주입층(Electron Injection Layer;EIL)으로 구성된다. 이러한, 유기층(132)은 제1 전극(122)에 공급된 전류량에 따라 발광한다.

[0029] 도 2a는 종래 폴리 실리콘 박막 트랜지스터의 온/오프에 따른 전류 그래프이며, 도 2b는 본 발명에 따른 폴리 실리콘 박막 트랜지스터의 온/오프에 따른 전류 그래프이다.

[0030] 박막 트랜지스터는 폴리 실리콘 또는 아몰퍼스 실리콘 등이 사용되는데 특히 폴리 실리콘 박막 트랜지스터는 전계효과 이동도가 비정질실리콘 박막 트랜지스터의 이동도에 비하여 매우 크다. 하지만, 폴리 실리콘 박막 트랜지스터는 턴-오프(trun-off)시 누설 전류(off-current)가 발생하는 문제점이 있다. 이러한, 누설 전류를 본 발명은 액티브층(114)의 오프셋 영역(R<sub>offset</sub>)으로 제어한다. 도 1의 확대 영역을 참고하기로 한다.

[0031] 구체적으로, 제1 및 제2 게이트 전극(106a, 106b)의 사이가 가까우면, 이와 대응되는 액티브층(114)의 오프셋 영역(R<sub>offset</sub>)도 좁아지고, 제1 및 제2 게이트 전극(106a, 106b)의 사이가 멀어지면, 이와 대응되는 액티브층(114)의 오프셋 영역(R<sub>offset</sub>)도 넓어진다. 이와 같이, 제1 및 제2 게이트 전극(106a, 106b) 사이의 간격을 좁거나 넓게 형성하여 액티브층(114)의 오프셋 영역도 좁거나 넓게 된다. 오프셋 영역(R<sub>offset</sub>)의 면적이 넓어지면 넓어진 만큼 누설 전류 값이 줄어든다.

[0032] 오프셋 영역에 대한 저항값을 [수학식 1]을 결부하여 설명하기로 하며, 액티브층의 저항값(R)은 [수학식 1]과 같다.

**수학식 1**

$$R = R_{\text{contact}} + R_{\text{offset}} + R_{\text{contact}} \\ = 2R_{\text{contact}} + R_{\text{offset}}$$

[0033]

[0034] 상기 [수학식 1]에서 2R<sub>contact</sub> 각각은 액티브층(114)의 소스 영역(114S)과 소스 전극(108) 간의 컨택 저항 값과 액티브층(114)의 드레인 영역(114D)과 드레인 전극(110) 간의 컨택 저항 값을 의미한다.(R<sub>contact</sub>: 소스/드레인 전극에 의한 저항) R<sub>offset</sub>은 제1 및 제2 게이트 전극(106a, 106b) 사이와 대응되는 액티브층(114)의 오프셋 영역

에 대한 저항값이다. ( $R_{\text{offset}}$ : Offset에 의한 저항) [수학식 1]과 같이 액티브층(114)의 오프셋 영역( $R_{\text{offset}}$ )으로 인해 저항이 커져 누설 전류가 줄어든다.

- [0035] 이는, 도 2b에 도시된 그래프에서 알 수 있다. 도 2a에 도시된 바와 같이 종래 폴리 실리콘 박막 트랜지스터는 턴-오프되었을 때, 누설 전류가 흐르는 것을 알 수 있으나, 본 발명의 폴리 실리콘 박막 트랜지스터는 도 2b에 도시된 바와 같이 턴-오프되었을 때, 누설 전류가 흐르지 않음을 알 수 있다. 이에 따라, 본 발명의 폴리 실리콘 박막 트랜지스터는 턴-온되었을 때는 전류가 흐르고, 턴-오프되었을 때 전류가 흐르지 않으므로 정확한 스위칭 역할을 할 수 있다.
- [0036] 도 3 내지 도 10은 본 발명의 실시 예에 따른 유기 전계 발광 표시 패널의 제조 방법을 나타낸 단면도들이다.
- [0037] 도 3을 참조하면, 기판(100) 상에 버퍼막(116)이 형성되고, 그 위에 소스 및 드레인 전극(108, 110), 스토리지 하부 전극(124a)을 포함하는 제1 금속 패턴과 액티브층(114)이 형성된다.
- [0038] 구체적으로, 버퍼막(116)은 기판(100) 상에 산화 실리콘( $\text{SiO}_2$ ) 등과 같은 무기 절연 물질이 CVD, PECVD(Plasma Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 전면 증착되어 형성된다. 이때, 버퍼막(116)의 두께는 1000~3000Å으로 형성될 수 있다.
- [0039] 이후, 버퍼막(116)이 형성된 기판(100) 상에 데이터 금속층이 형성된다. 이어서, 제1 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 데이터 금속층이 패터닝됨으로써 소스 전극(108), 드레인 전극(110), 스토리지 하부 전극(124a)이 포함된 제1 금속 패턴이 형성된다.
- [0040] 다음, 액티브층(114)은 제1 금속 패턴이 형성된 버퍼막(116) 상에 아몰퍼스-실리콘을 증착한 후 그 아몰퍼스-실리콘을 레이저로 결정화하여 폴리-실리콘이 된다. 레이저 결정화 이전에 아몰퍼스 실리콘 박막 내에 존재하는 수소 원자를 제거하기 위한 탈수소화(Dehydrogenation) 공정을 진행한다.
- [0041] 도 4를 참조하면, 제1 금속 패턴과 액티브층(114)이 형성된 기판(100) 상에 제1 금속 패턴과 액티브층(114)이 형성된 기판(100) 상에 액티브층(114, 214) 각각의 채널 영역(114C, 214C)을 사이에 두고 마주보는 소스 영역(114S, 214S) 및 드레인 영역(114D, 214D)을 포함하는 반도체 패턴과 아울러 스토리지 하부 전극(124a)에 불순물을 도핑하여 도전성을 갖게 한다.
- [0042] 구체적으로, 제1 금속 패턴과 액티브층(114)이 형성된 기판(100) 상에 포토레지스트가 도포된다. 이후, 제2 마스크를 이용한 포토리소그래피 공정으로 포토레지스트를 노광 및 현상시키는데, 제2 마스크를 슬릿 마스크 또는 하프톤 마스크로 이용하여 단차를 갖는 포토레지스트 패턴이 형성된다. 이를 도 5a 내지 도 5f를 참고하여 설명하기로 한다.
- [0043] 하프톤 마스크는 도 5a에 도시된 바와 같이 기판(170) 상에 차단층(174)이 형성된 차단 영역(S1)과 기판(170) 상에 반투과층(172)이 형성된 반투과 영역(S2)과, 기판(170)만 존재하는 투과 영역(S3)을 구비한다. 이와 같이, 하프톤 마스크로 이용할 수 있으며, 도시되지 않았으나, 슬릿 마스크를 이용할 수 있다. 하프톤 마스크를 이용하여 형성된 경우를 예로 들어 설명하기로 한다. 차단 영역(S1)은 액티브층(114)의 채널 영역(114C)이 형성되어질 영역에 위치하여 자외선을 차단함으로써 현상 후 도 5a와 같이 제1 포토레지스트 패턴(220a)이 남게 된다. 반투과 영역(S2)은 액티브층의 소스 영역(114S) 및 드레인 영역(114D)이 형성될 영역에 반투과층(172)이 적층되어 광투과율을 조절하여 현상 후 도 5a와 같이 제1 포토레지스트 패턴(220a)보다 얇은 제2 포토레지스트 패턴(220b)이 남게 된다. 그리고, 투과 영역(S3)은 자외선을 모두 투과시킴으로써 현상 후 도 5a와 같이 포토레지스트가 제거되게 된다.
- [0044] 도 5b에 도시된 바와 같이 단차를 갖는 포토레지스트 패턴(220a, 220b)을 이용한 식각 공정으로 액티브층(114)이 패터닝됨으로써 제1 및 제2 포토레지스트 패턴(220a, 220b)과 중첩되는 액티브층(114)만이 남게 되며, 스토리지 하부 전극(124a)이 노출된다.
- [0045] 이어서, 도 5c에 도시된 바와 같이 산소( $\text{O}_2$ ) 플라즈마를 이용한 애싱 공정으로 포토레지스트 패턴(220a, 220b)을 애싱함으로써 제1 포토레지스트 패턴(220a)은 얇아지게 하고, 제2 포토레지스트 패턴(220b)은 제거되게 한다. 이에 따라, 액티브층의 채널 영역이 형성되어질 영역에는 제1 포토레지스트 패턴이 남게 되며, 소스 및 드레인 전극과 중첩되는 액티브층과 스토리지 하부 전극은 노출된다. 이와 같이, 하프톤 마스크를 이용하여 형성된 제1 포토레지스트 패턴을 이용하여 도핑 영역을 형성한다.



- [0046] 그런 다음, 도 5d에 도시된 바와 같이 노출된 액티브층과 스토리지 하부 전극에 불순물을 도핑한다. 불순물이 도핑된 액티브층은 채널 영역을 사이에 두고 소스 영역과 드레인 영역을 형성하게 되며, 스토리지 하부 전극에 불순물이 도핑됨으로써 전도성을 갖게 된다.
- [0047] 이 후, 도 5e에 도시된 바와 같이 액티브층의 채널 영역 상에 형성된 제1 포토레지스트 패턴(220a)이 스트립 공정으로 제거되고, 도 5f에 도시된 바와 같이 산화 실리콘(SiO<sub>2</sub>) 등과 같은 무기 절연 물질이 CVD, PECVD(Plasam Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 전면 증착되어 게이트 절연막(112)이 형성된다.
- [0048] 도 6을 참조하면, 반도체 패턴과 스토리지 하부 전극(124a)이 형성된 기판 (100) 상에 제1 및 제2 게이트 전극 (106a, 106b)이 포함된 듀얼 게이트 전극(106)과 스토리지 상부 전극(124b)이 포함된 제2 금속 패턴이 형성된다.
- [0049] 구체적으로, 반도체 패턴과 스토리지 하부 전극(124a)이 형성된 기판(100) 상에 스퍼터링 방법 등의 증착 방법을 통해 게이트 금속층이 형성된다. 게이트 금속층으로는 Mo, Ti, Cu 등과 같이 금속 물질이 단일층으로 이용되거나, AlNd/Mo, Mo/AlNd/Mo 등과 같이 이중층 이상이 적층된 구조로 이용될 수 있다. 이러한, 게이트 금속층은 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정에 의해 패터닝됨으로써 도 6에 표시된 B 영역과 같이 제1 및 제2 게이트 전극(106a, 106b)이 포함된 듀얼 게이트 전극(106)이 형성되며, 스토리지 하부 전극(124a)과 게이트 절연막(112)을 사이에 두고 중첩하는 스토리지 상부 전극(124b)을 형성한다. 듀얼 게이트 전극(106)은 게이트 절연막(112)을 사이에 두고 액티브층(114)의 소스 영역(114S) 및 드레인 영역(114D) 각각과 일부 중첩된 제1 및 제2 게이트 전극(106a, 106b)을 구비한다.
- [0050] 도 7을 참조하면, 듀얼 게이트 전극(106)이 형성된 기판(100) 상에 화소 컨택홀(120)을 가지는 보호막(118)이 형성된다.
- [0051] 구체적으로, 듀얼 게이트 전극(106)이 형성된 기판(100) 상에 CVD, PECVD(Plasam Enhanced Chemical Vapor Deposition) 등의 증착 방법으로 무기 절연 물질이 증착되어 보호막이 형성된다. 보호막(118)은 무기 절연 물질 또는 유기 절연 물질 중 어느 하나로 형성되거나, 무기 절연 물질 및 유기 절연 물질로 형성될 수 있다. 이러한, 보호막(118)은 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 화소 컨택홀(120)이 형성된다. 이러한, 화소 컨택홀(120)은 보호막(118)을 관통하여 드레인 전극(110)이 노출된다.
- [0052] 도 8을 참조하면, 보호막(118) 상에 드레인 전극(110)과 접속하는 유기 전계 발광 소자의 제1 전극(122)이 형성된다.
- [0053] 구체적으로, 보호막(118) 상에 스퍼터링 등의 증착 방법으로 TCO(Transparent Conductive Oxide; 이하, TCO)와, ITO(Indium Tin Oxide; 이하, ITO), IZO(Indium Zinc Oxide; 이하, IZO) 등과 같은 투명 도전 전극층을 형성한 뒤, 제5 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 투명 도전 전극층을 패터닝함으로써 제1 전극(122)이 형성된다.
- [0054] 도 9를 참조하면, 제1 전극(122)이 형성된 기판(100) 상에 뱅크홀(128)을 가지는 뱅크 절연막(126)이 형성된다.
- [0055] 구체적으로, 제1 전극(122)이 형성된 기판(100) 상에 스핀리스 또는 스핀 코팅 등의 코팅 방법을 통해 아크릴계 수지와 같은 유기 절연 물질이 전면 형성된다. 그런 다음, 제6 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 유기 절연 물질이 패터닝됨으로써 뱅크홀(128)을 포함하는 뱅크 절연막(126)이 형성된다. 이러한, 뱅크홀(128)은 제1 전극(122)이 노출된다.
- [0056] 도 10을 참조하면, 뱅크 절연막(126)이 형성된 기판(100) 상에 칼럼 스페이서(130)가 형성되며, 유기층(132) 및 제2 전극(134)이 순차적으로 형성된다.
- [0057] 구체적으로, 뱅크홀이 포함된 뱅크 절연막(126) 상에 스핀리스 또는 스핀코팅 등의 코팅 방법을 통해 유기 절연 물질이 도포되며, 이 유기 절연 물질은 제7 마스크를 이용한 포토리소그래피 공정 및 식각 공정을 통해 테이퍼 형태의 스페이서(130)가 형성된다. 이어서, 새도우 마스크를 이용하여 정공 주입층(HIL), 정공 수송층(HTL), 발광층, 전자 수송층(ETL), 전자 주입층(EIL)을 포함하는 유기층(132)을 증착한 뒤, 제2 전극(134)을 증착한다. 제2 전극(134)은 음극으로 알루미늄(Al)과 같이 반사성 금속 재질로 형성된다.
- [0058] 이와 같이, 본 발명의 유기 전계 발광 표시 패널은 뱅크홀을 포함하는 뱅크 절연막과 칼럼 스페이서를 각각의 마스크 공정으로 형성되었지만, 뱅크 절연막과 칼럼 스페이서를 하나의 마스크 공정으로 형성할 수 있다.
- [0059] 이에 따라, 본 발명의 유기 전계 발광 표시 패널은 6~7 마스크 공정을 통해 형성할 수 있으므로 종래 9 마스크 공정에 비해 적어도 2~3 마스크 공정 수를 줄일 수 있으므로 그에 따른 공정 비용 및 시간을 감소시킬 수 있다.

[0060]

이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

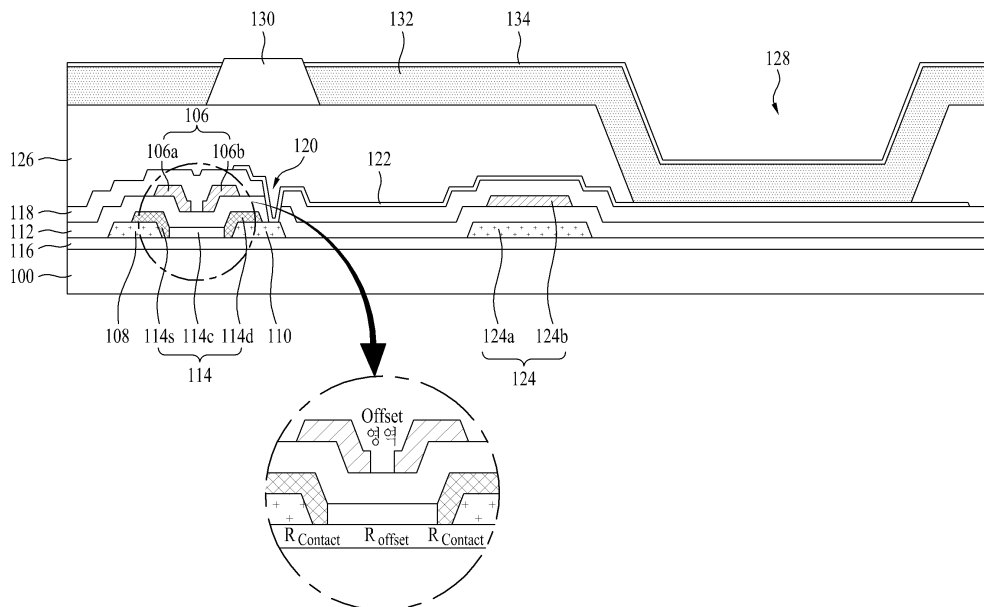
**부호의 설명**

[0061]

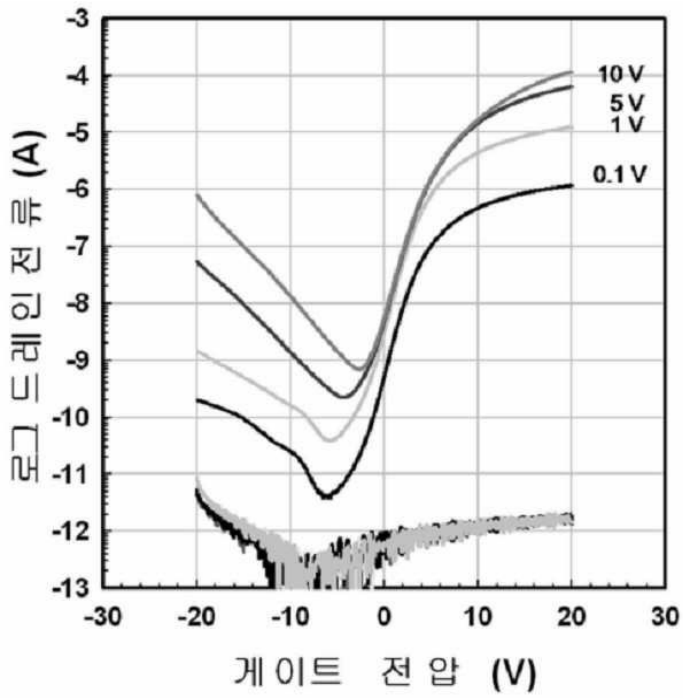
- |                |                 |
|----------------|-----------------|
| 100 : 기판       | 106 : 듀얼 게이트 전극 |
| 108 : 소스 전극    | 110 : 드레인 전극    |
| 112 : 게이트 절연막  | 116 : 버퍼막       |
| 114 : 액티브층     | 118 : 보호막       |
| 120 : 화소 콘택홀   | 122 : 제1 전극     |
| 126 : बैं크 절연막 | 128 : बैं크홀     |
| 130 : 칼럼 스페이서  | 132 : 유기층       |
| 134 : 제2 전극    |                 |

**도면**

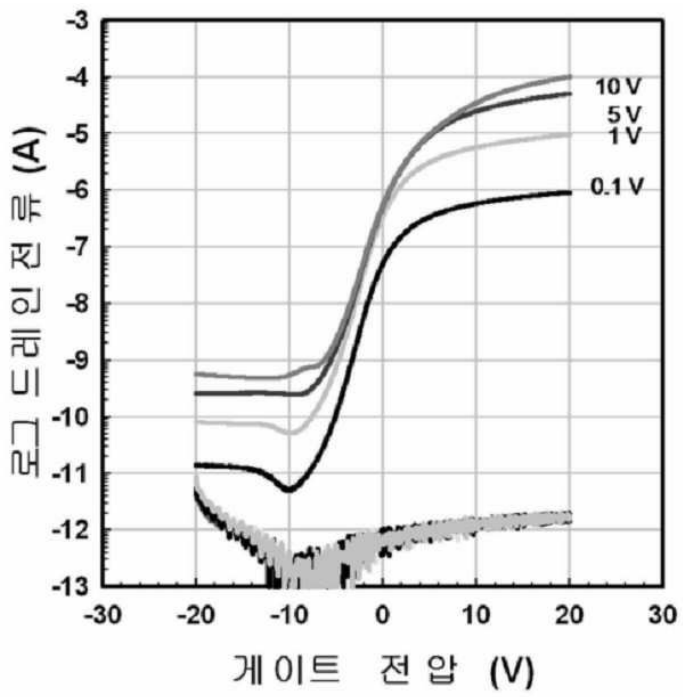
**도면1**



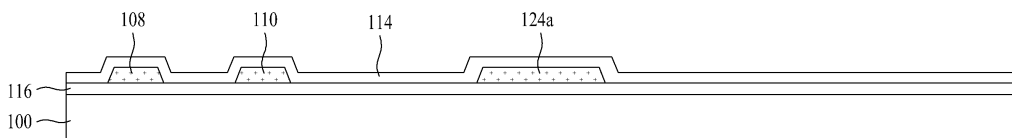
도면2a



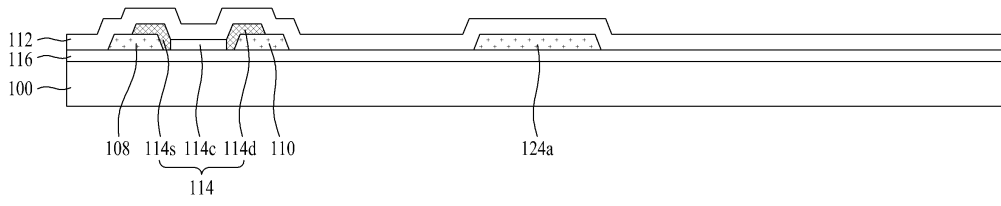
도면2b



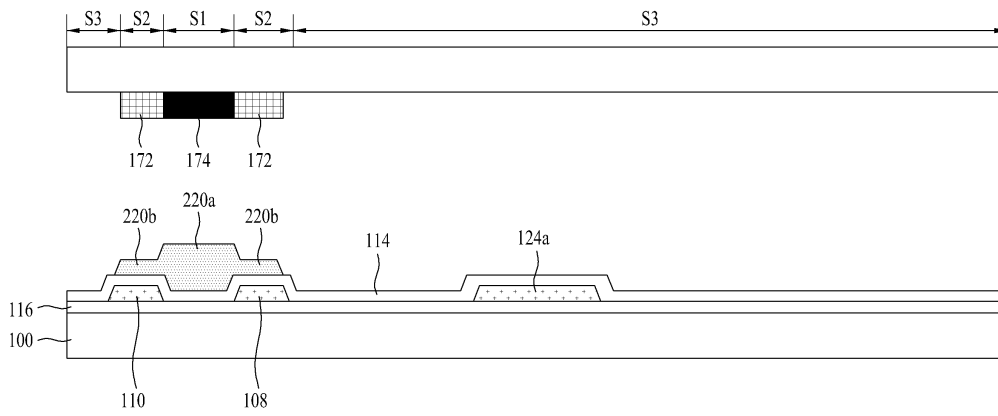
도면3



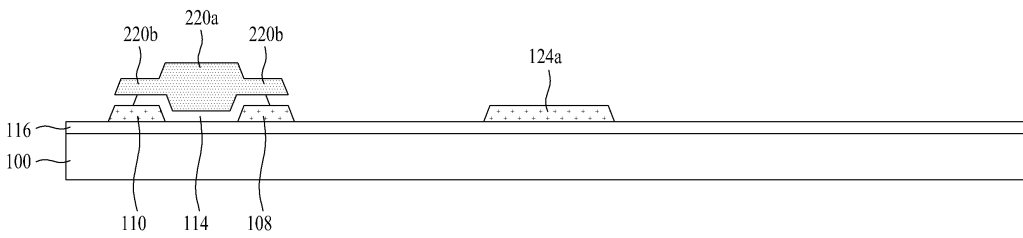
도면4



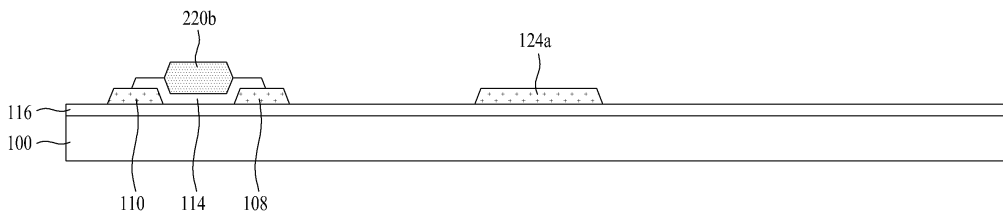
도면5a



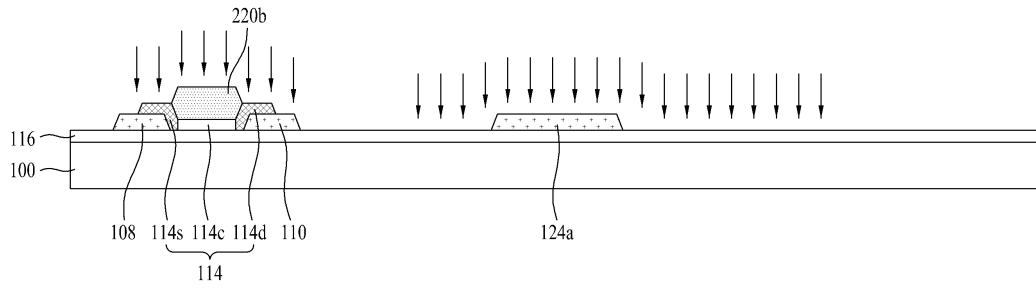
도면5b



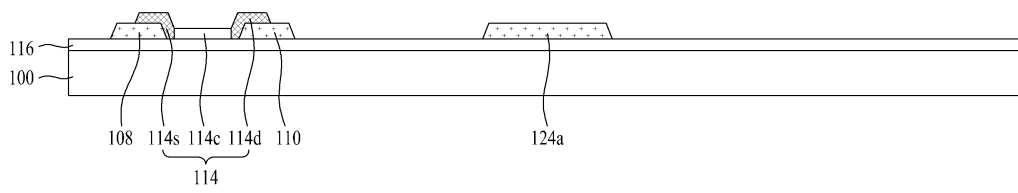
도면5c



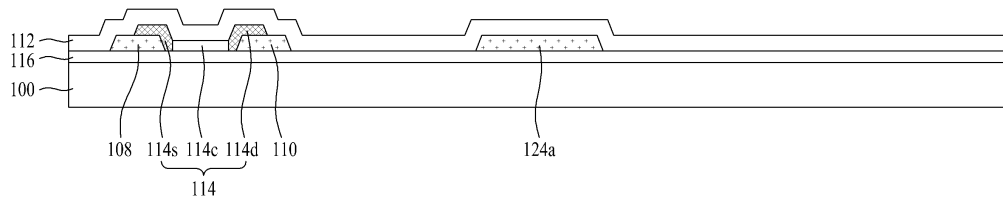
도면5d



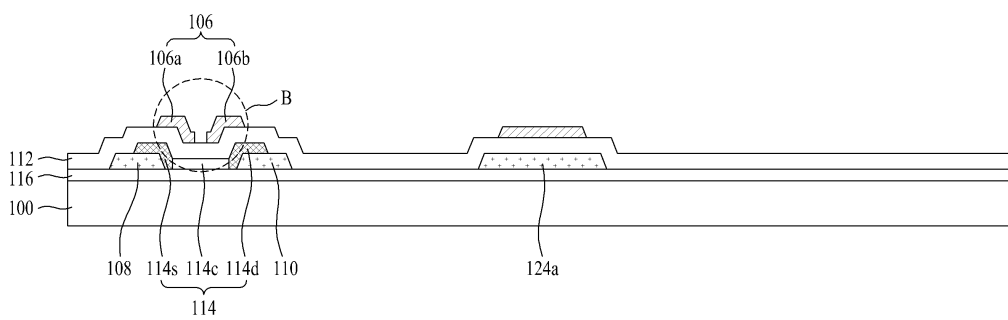
도면5e



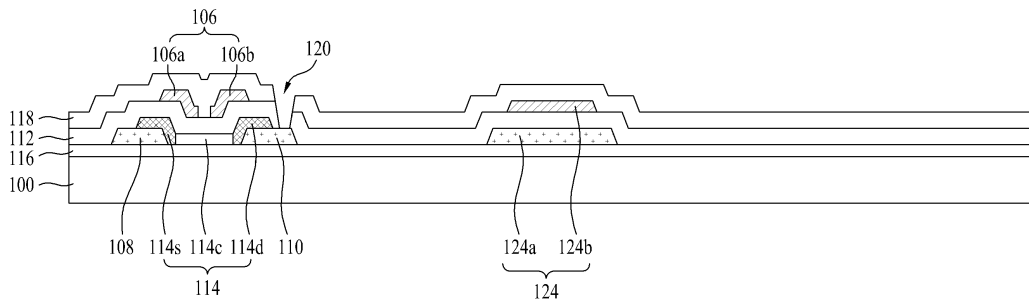
도면5f



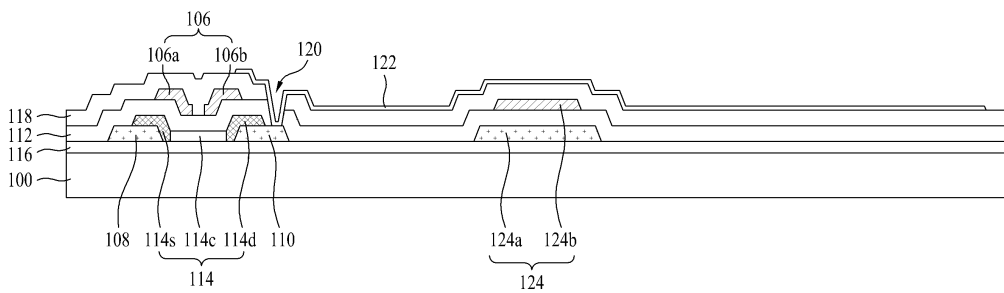
도면6



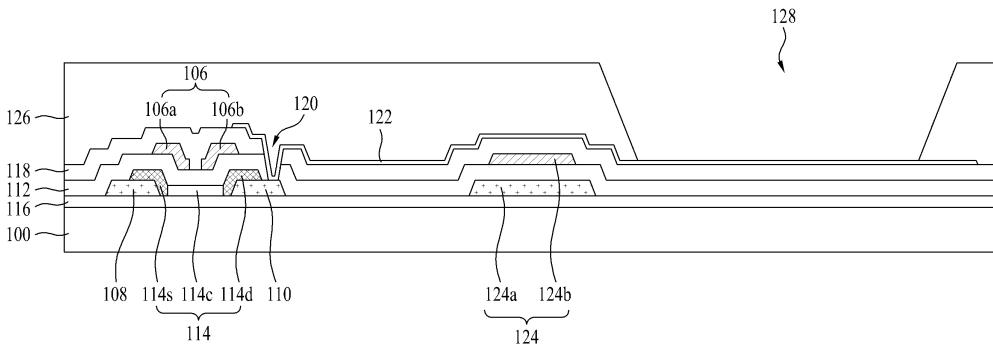
도면7



도면8



도면9



도면10

