

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-43966
(P2009-43966A)

(43) 公開日 平成21年2月26日(2009.2.26)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 M	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 D	
	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/78 6 5 2 H	
	HO 1 L 29/78 6 5 2 S	

審査請求 未請求 請求項の数 5 O L (全 15 頁) 最終頁に続く

(21) 出願番号	特願2007-207723 (P2007-207723)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成19年8月9日(2007.8.9)	(74) 代理人	100108062 弁理士 日向寺 雅彦
		(72) 発明者	大田 剛志 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	内原 士 東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	河野 孝弘 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

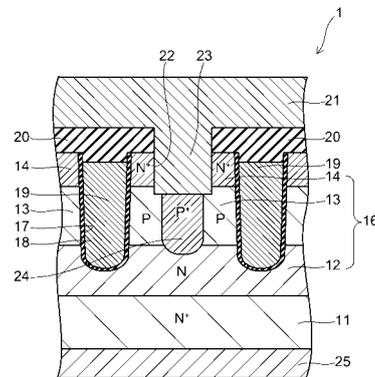
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 トレンチゲート電極間の間隔が狭く、アバランシェ耐量が高い半導体装置及びその製造方法を提供する。

【解決手段】 縦形の半導体装置 1 において、N⁺型のシリコン基板 11 上に、N型のエピタキシャル層 12、P型のベース層 13 及びN⁺型のソース層 14 を形成し、エピタキシャル層 12 まで到達するトレンチゲート電極 19 を形成する。また、ソース層 14 上に層間絶縁膜 20 及びソース電極 21 を設け、ソース電極 21 から下方に向けてトレンチコンタクト 23 を延出させ、ベース層 13 まで到達させる。このとき、トレンチコンタクト 23 の直下域内に、トレンチコンタクト 23 に接続されたP⁺型のキャリア抜き層 24 を形成する。そして、上方から見て、キャリア抜き層 24 の外縁をトレンチコンタクト 23 の外縁よりも内側に位置させ、キャリア抜き層 24 の下面をベース層 13 の下面よりも下方に位置させる。

【選択図】 図 2



11: シリコン基板 12: エピタキシャル層 13: ベース層 16: 積層体
17: トレンチ 18: ゲート酸化膜 20: 層間絶縁膜 21: ソース電極
25: ドレイン電極

【特許請求の範囲】

【請求項 1】

第 1 導電型のドレイン層と、
前記ドレイン層上に形成された第 2 導電型のベース層と、
前記ベース層上に形成された第 1 導電型のソース層と、
前記ソース層及び前記ベース層を突き抜けて前記ドレイン層まで到達するトレンチゲート電極と、
前記ソース層及び前記トレンチゲート電極の上方に設けられた層間絶縁膜と、
前記層間絶縁膜上に設けられたソース電極と、
前記ソース電極から下方に延出し、前記層間絶縁膜及び前記ソース層を突き抜けて前記ベース層まで到達するトレンチコンタクトと、
前記トレンチコンタクトの直下域内に形成され、前記トレンチコンタクトに接続された第 2 導電型のキャリア抜き層と、
を備え、
上方から見て、前記キャリア抜き層の外縁は前記トレンチコンタクトの外縁と同じか又はそれよりも内側に位置しており、前記キャリア抜き層の下面は、前記ベース層の下面と同じか又はそれよりも下方に位置していることを特徴とする半導体装置。

10

【請求項 2】

前記キャリア抜き層の下面は、前記トレンチゲート電極の下端よりも下方に位置していることを特徴とする請求項 1 記載の半導体装置。

20

【請求項 3】

第 1 導電型のドレイン層と、
前記ドレイン層上に形成され、第 1 導電型ピラー層及び第 2 導電型ピラー層からなるスーパージャンクション層と、
前記スーパージャンクション層上に形成された第 2 導電型のベース層と、
前記ベース層上に形成された第 1 導電型のソース層と、
前記ソース層及び前記ベース層を突き抜けて前記スーパージャンクション層まで到達するトレンチゲート電極と、
前記ソース層及び前記トレンチゲート電極の上方に設けられた層間絶縁膜と、
前記層間絶縁膜上に設けられたソース電極と、
前記第 2 導電型ピラー層の直上域を含む領域において前記ソース電極から下方に延出し、前記層間絶縁膜及び前記ソース層を突き抜けて前記ベース層まで到達するトレンチコンタクトと、
前記トレンチコンタクトと前記第 2 導電型ピラー層との間に形成され、前記トレンチコンタクト及び前記第 2 導電型ピラー層に接続された第 2 導電型のキャリア抜き層と、
を備え、
前記キャリア抜き層は前記第 2 導電型ピラー層と一体的に形成されており、上方から見て、前記キャリア抜き層及び前記第 2 導電型ピラー層の外縁は前記トレンチコンタクトの外縁と同じか又はそれよりも内側に位置していることを特徴とする半導体装置。

30

【請求項 4】

前記キャリア抜き層における前記トレンチコンタクトから前記ドレイン層に向かう方向に沿った第 2 導電型不純物の濃度プロファイルにおいて、2 つ以上のピークが形成されていることを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

40

【請求項 5】

第 1 導電型のドレイン層上に第 2 導電型のベース層を形成し、その上に第 1 導電型のソース層を形成する工程と、
前記ソース層及び前記ベース層を突き抜けて前記ドレイン層まで到達するトレンチゲート電極を形成する工程と、
前記ソース層及び前記トレンチゲート電極の上方に層間絶縁膜を形成する工程と、
前記層間絶縁膜及び前記ソース層を突き抜けて前記ベース層まで到達するトレンチを形

50

成する工程と、

前記トレンチの内面上に犠牲膜を形成する工程と、

上方から前記犠牲膜を介して第2導電型不純物を注入する工程と、

前記注入された第2導電型不純物を活性化させて、下面が前記ベース層の下面と同じか又はそれよりも下方に位置する第2導電型のキャリア抜き層を形成する工程と、

前記犠牲膜を除去する工程と、

前記トレンチ内及び前記層間絶縁膜上に導電材料を堆積させて、前記トレンチ内にトレンチコンタクトを形成すると共に前記層間絶縁膜上にソース電極を形成する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置及びその製造方法に関し、特に、トレンチコンタクト及びトレンチゲート電極を備えた縦形の半導体装置及びその製造方法に関する。

【背景技術】

【0002】

縦形パワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor: 金属酸化物半導体電界効果トランジスタ) などの縦形の電力用半導体装置において、セル面積を縮小し、オン抵抗を低減するために、トレンチゲート電極を設ける技術が開発されている。このような半導体装置においては、例えばN⁺型の半導体基板上にN型のエピタキシャル層を形成し、その上にP型のベース層を形成し、トレンチゲート電極を、ベース層の上面からベース層を突き抜けてエピタキシャル層に達するように形成する。また、ベース層の上層部におけるトレンチゲート電極間の領域に、N⁺型のソース層を形成する。そして、例えば、トレンチゲート電極に正電位を印加することにより、P型のベース層におけるトレンチゲート電極の近傍に反転層を形成し、ソース層とエピタキシャル層との間に電子をキャリアとして電流を流すことができる。

20

【0003】

このような半導体装置においては、アバランシェ耐量を向上させるために、ベース層に到達するようなトレンチを形成し、このトレンチの内部にソース電極に接続されたトレンチコンタクトを埋設する技術が開発されている。そして、ベース層内には、トレンチコンタクトの下端部に接するように、キャリア抜き層を設ける。キャリア抜き層は、半導体装置内で発生したキャリアを排出するための層であり、例えば正孔を排出させたい場合には、キャリア抜き層の導電性をP⁺型とする。これにより、キャリアが効率的に抜けるようになり、半導体装置が破壊しにくくなる。すなわち、アバランシェ耐量が向上する。

30

【0004】

しかしながら、オン抵抗をより一層低減するためには、セルをより微細化する必要があるが、上述のような半導体装置においては、トレンチゲート電極間にトレンチコンタクト及びキャリア抜き層が配置されるため、トレンチゲート電極間の間隔をあまり縮小することができないという問題がある。また、このような半導体装置においても、アバランシェ耐量のより一層の向上が求められている。

40

【0005】

【特許文献1】特開2006-140239号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、トレンチゲート電極間の間隔が狭く、アバランシェ耐量が高い半導体装置及びその製造方法を提供することである。

【課題を解決するための手段】

【0007】

本発明の一態様によれば、第1導電型のドレイン層と、前記ドレイン層上に形成された

50

第2導電型のベース層と、前記ベース層上に形成された第1導電型のソース層と、前記ソース層及び前記ベース層を突き抜けて前記ドレイン層まで到達するトレンチゲート電極と、前記ソース層及び前記トレンチゲート電極の上方に設けられた層間絶縁膜と、前記層間絶縁膜上に設けられたソース電極と、前記ソース電極から下方に延出し、前記層間絶縁膜及び前記ソース層を突き抜けて前記ベース層まで到達するトレンチコンタクトと、前記トレンチコンタクトの直下域内に形成され、前記トレンチコンタクトに接続された第2導電型のキャリア抜き層と、を備え、上方から見て、前記キャリア抜き層の外縁は前記トレンチコンタクトの外縁と同じか又はそれよりも内側に位置しており、前記キャリア抜き層の下面は、前記ベース層の下面と同じか又はそれよりも下方に位置していることを特徴とする半導体装置が提供される。

10

【0008】

本発明の他の一態様によれば、第1導電型のドレイン層と、前記ドレイン層上に形成され、第1導電型ピラー層及び第2導電型ピラー層からなるスーパージャンクション層と、前記スーパージャンクション層上に形成された第2導電型のベース層と、前記ベース層上に形成された第1導電型のソース層と、前記ソース層及び前記ベース層を突き抜けて前記スーパージャンクション層まで到達するトレンチゲート電極と、前記ソース層及び前記トレンチゲート電極の上方に設けられた層間絶縁膜と、前記層間絶縁膜上に設けられたソース電極と、前記第2導電型ピラー層の直上域を含む領域において前記ソース電極から下方に延出し、前記層間絶縁膜及び前記ソース層を突き抜けて前記ベース層まで到達するトレンチコンタクトと、前記トレンチコンタクトと前記第2導電型ピラー層との間に形成され、前記トレンチコンタクト及び前記第2導電型ピラー層に接続された第2導電型のキャリア抜き層と、を備え、前記キャリア抜き層は前記第2導電型ピラー層と一体的に形成されており、上方から見て、前記キャリア抜き層及び前記第2導電型ピラー層の外縁は前記トレンチコンタクトの外縁と同じか又はそれよりも内側に位置していることを特徴とする半導体装置が提供される。

20

【0009】

本発明の更に他の一態様によれば、第1導電型のドレイン層上に第2導電型のベース層を形成し、その上に第1導電型のソース層を形成する工程と、前記ソース層及び前記ベース層を突き抜けて前記ドレイン層まで到達するトレンチゲート電極を形成する工程と、前記ソース層及び前記トレンチゲート電極の上方に層間絶縁膜を形成する工程と、前記層間絶縁膜及び前記ソース層を突き抜けて前記ベース層まで到達するトレンチを形成する工程と、前記トレンチの内面上に犠牲膜を形成する工程と、上方から前記犠牲膜を介して第2導電型不純物を注入する工程と、前記注入された第2導電型不純物を活性化させて、下面が前記ベース層の下面と同じか又はそれよりも下方に位置する第2導電型のキャリア抜き層を形成する工程と、前記犠牲膜を除去する工程と、前記トレンチ内及び前記層間絶縁膜上に導電材料を堆積させて、前記トレンチ内にトレンチコンタクトを形成すると共に前記層間絶縁膜上にソース電極を形成する工程と、を備えたことを特徴とする半導体装置の製造方法が提供される。

30

【発明の効果】

【0010】

本発明によれば、トレンチゲート電極間の間隔が狭く、アバランシェ耐量が高い半導体装置及びその製造方法を得ることができる。

40

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しつつ、本発明の実施形態について説明する。

先ず、本発明の第1の実施形態について説明する。

図1は、本実施形態に係る半導体装置を例示する平面図であり、

図2は、図1に示すA-A'線による断面図である。

なお、図1においては、ソース電極及び層間絶縁膜は図示を省略されている。

【0012】

50

図 1 及び図 2 に示すように、本実施形態に係る半導体装置 1 は、N チャネル型の縦形パワー MOS FET である。半導体装置 1 においては、例えば、単結晶シリコンからなり、導電型は N⁺ 型であるシリコン基板 11 が設けられている。シリコン基板 11 上には、単結晶シリコンからなるエピタキシャル層 12 が形成されている。エピタキシャル層 12 の導電型は N 型であり、その不純物濃度はシリコン基板 11 の不純物濃度よりも低い。シリコン基板 11 及びエピタキシャル層 12 は、半導体装置 1 のドレイン層（コレクタ層）として機能する。エピタキシャル層 12 上には、P 型のベース層 13 が形成されている。ベース層 13 は、例えば、P 型不純物が注入された単結晶シリコンによって形成されている。また、ベース層 13 上には、N⁺ 型のソース層（エミッタ層）14 が形成されている。

【0013】

そして、エピタキシャル層 12、ベース層 13 及びソース層 14 からなる積層体 16 には、その上面側から、トレンチ 17 が形成されている。トレンチ 17 は、ソース層 14 及びベース層 13 を突き抜けて、エピタキシャル層 12 の途中まで到達している。上方、すなわち、シリコン基板 11 の表面に垂直な方向であってシリコン基板 11 から見てエピタキシャル層 12 が配置されている側から見て、トレンチ 17 の形状は格子状である。

【0014】

トレンチ 17 の内面上には、例えば酸化シリコン（SiO₂）からなるゲート酸化膜 18 が形成されている。そして、トレンチ 17 の内部における上部を除く部分には、導電性のポリシリコンが埋設されており、トレンチゲート電極 19 を構成している。トレンチゲート電極 19 は、ゲート酸化膜 18 によって積層体 16 から絶縁されている。

【0015】

また、ソース層 14 及びトレンチゲート電極 19 の上方には、例えば酸化シリコンからなる層間絶縁膜 20 が設けられている。層間絶縁膜 20 は、トレンチ 17 内の上部、すなわち、トレンチゲート電極 19 上にも埋設されている。層間絶縁膜 20 上には、例えば金属からなるソース電極 21 が設けられている。

【0016】

更に、層間絶縁膜 20 及びソース層 14 には、これらを突き抜けてベース層 13 まで到達するトレンチ 22 が形成されている。上方から見て、トレンチ 22 の形状は矩形であり、トレンチ 22 はトレンチゲート電極 19 によって囲まれた矩形の領域ごとに 1ヶ所形成されており、この領域の中央部に配置されている。そして、トレンチ 22 内には、ソース電極 21 から下方に延出したトレンチコンタクト 23 が埋設されている。すなわち、半導体装置 1 においては、複数本のトレンチコンタクト 23 が上方から見てマトリクス状に配列されている。一方、上方から見て、ソース層 14 はトレンチコンタクト 23 の周囲に枠状に配置されている。トレンチコンタクト 23 は、ソース電極 21 と同じ金属により一体的に形成されており、層間絶縁膜 20 及びソース層 14 を突き抜けてベース層 13 まで到達している。これにより、トレンチコンタクト 23 はソース層 14 に接続されている。

【0017】

更にまた、ベース層 13 内におけるトレンチコンタクト 23 の直下域内には、P⁺ 型のキャリア抜き層 24 が形成されている。キャリア抜き層 24 はトレンチコンタクト 23 の下面に接しており、これにより、トレンチコンタクト 23 にオーミック接続されている。上方から見て、キャリア抜き層 24 の外縁はトレンチコンタクト 23 の外縁よりも内側に位置している。すなわち、キャリア抜き層 24 の幅は、トレンチコンタクト 23 の幅よりも狭い。また、キャリア抜き層 24 の下面は、ベース層 13 の下面よりも下方に位置している。すなわち、キャリア抜き層 24 は、ベース層 13 を突き抜けて、ベース層 13 よりも下方まで延出している。一例では、ベース層 13 の P 型不純物の濃度は $1 \times 10^{17} \text{ cm}^{-3}$ であり、キャリア抜き層 24 の P 型不純物の濃度は $1 \times 10^{19} \text{ cm}^{-3}$ である。そして、トレンチコンタクト 23 の下面の外縁部の直下域における不純物濃度は、ベース層 13 における他の部分の不純物濃度と等しいか、又はやや高くてもよいが、キャリア抜き層 24 の中心部における不純物濃度に対しては、十分に低い濃度となっている。

【0018】

10

20

30

40

50

更にまた、層間絶縁膜 20 上には、層間絶縁膜 20 に形成された開口部（図示せず）を介してトレンチゲート電極 19 にオーミック接続されたゲート電極（図示せず）が設けられている。一方、シリコン基板 11 の下面上には、シリコン基板 11 とオーミック接続されたドレイン電極 25 が設けられている。ゲート電極及びドレイン電極 25 は、例えば金属により形成されている。

【0019】

次に、上述の如く構成された本実施形態に係る半導体装置 1 の製造方法について説明する。

図 3 乃至図 6 は、本実施形態に係る半導体装置の製造方法を例示する工程断面図である。なお、図 3 乃至図 6 に示す断面は、図 2 に示す断面と同じ断面である。

10

【0020】

先ず、図 3 に示すように、N⁺型のシリコン基板 11 上に、N 型のエピタキシャル層 12、P 型のベース層 13、N⁺型のソース層 14 をこの順に形成する。次に、ソース層 14 及びベース層 13 を突き抜けてエピタキシャル層 12 まで到達するトレンチ 17 を形成する。トレンチ 17 の形状は、上方から見て格子状とする。次に、熱酸化処理を行って、トレンチ 17 の内面上に酸化シリコンからなるゲート酸化膜 18 を形成する。次に、トレンチ 17 の内部に導電性のポリシリコンを埋め込んで、トレンチゲート電極 19 を形成する。次に、ソース層 14 及びトレンチゲート電極 19 の上方に、例えば酸化シリコンを堆積させて、層間絶縁膜 20 を形成する。そして、層間絶縁膜 20 の上面側からエッチングを施し、トレンチ 22 を形成する。このとき、トレンチ 22 は、層間絶縁膜 20 及びソース層 14 を突き抜けて、ベース層 13 まで到達するようにする。また、上方から見て、トレンチ 22 の形状は矩形とし、トレンチゲート電極 19 によって囲まれる矩形の領域の中央部に形成する。

20

【0021】

次に、図 4 に示すように、例えば、P-CVD 法（Plasma-enhanced Chemical Vapor Deposition 法：プラズマ化学気相成長法）により、全面に窒化シリコン（SiN）を堆積させ、犠牲膜 27 を形成する。このとき、犠牲膜 27 はトレンチ 22 の底面上及び側面上にも形成される。

【0022】

次に、上方から犠牲膜 27 を介して、トレンチ 22 の底面に対して、P 型不純物、例えば、ボロン（B）をイオン注入（インプラ）する。これにより、ボロンが、エピタキシャル層 12 の上層部及びベース層 13 におけるトレンチ 22 の直下域に導入される。このとき、トレンチ 22 の側面上には犠牲膜 27 が形成されているため、上方から見て、ボロンが導入される領域の外縁は、トレンチ 22 の側面上に形成された犠牲膜 27 の表面と略一致し、トレンチ 22 の側面よりも内側になる。

30

【0023】

次に、図 5 に示すように、アニール処理を行い、エピタキシャル層 12 の上層部及びベース層 13 に導入されたボロンを拡散させると共に活性化させる。これにより、導電型が P⁺ 型のキャリア抜き層 24 を形成する。このとき、キャリア抜き層 24 の下面はベース層 13 の下面よりも下方に位置する。また、ボロンの横方向の拡散が抑制され、上方から見て、キャリア抜き層 24 の外縁はトレンチ 22 の側面の内側に留まる。その後、犠牲膜 27 を除去する。

40

【0024】

次に、図 6 に示すように、トレンチ 22 内及び層間絶縁膜 20 上の全面に金属材料を堆積させてパターニングし、トレンチ 22 内にトレンチコンタクト 23 を形成すると共に、層間絶縁膜 20 上にソース電極 21 を形成する。これにより、トレンチコンタクト 23 はソース電極 21 と一体的に形成され、ソース層 14 及びキャリア抜き層 24 に接続される。また、このとき、層間絶縁膜 20 上には、トレンチゲート電極 19 に接続されたゲート電極（図示せず）も形成する。一方、シリコン基板 11 の下面上にドレイン電極 25（図 2 参照）を形成する。これにより、半導体装置 1 が製造される。

50

【0025】

次に、本実施形態に係る半導体装置1の作用効果について説明する。

半導体装置1においては、上方から見て、キャリア抜き層24の外縁はトレンチコンタクト23の外縁よりも内側に位置している。このため、トレンチゲート電極19の間隔を縮小する際には、トレンチコンタクト23の幅及びソース層14の幅のみが制約となり、キャリア抜き層24によって制約されることがない。従って、トレンチゲート電極19の間隔を縮小し、セルの微細化を図ることが容易である。この結果、半導体装置1のオン抵抗を低減することができ、消費電力を低減することができる。

【0026】

また、半導体装置1がオン状態にあるときは、ソース層14とシリコン基板11との間に電子電流が流れており、ソース層14とシリコン基板11との間の電位差は極めて小さい。一方、半導体装置1がオフ状態に切り替わると、ソース層14とシリコン基板1との間の電位差が急激に上昇し、一時的に本来のオフ状態における電位差を超えて、過電圧の状態となる。このとき、トレンチゲート電極19の下端部においてブレイクダウンが起こることがある。この場合、ブレイクダウンによって発生した正孔は、ベース層13内をソース電極21側に向かって移動する。

【0027】

このとき、正孔がP⁺型のキャリア抜き層24に到達すれば、この正孔は、キャリア抜き層24、トレンチコンタクト23及びソース電極21を介して、半導体装置1の外部に速やかに排出される。この場合、キャリア抜き層24内を正孔が移動する際の抵抗は小さいため、この正孔の移動に伴う発熱も小さい。これに対して、正孔がN⁺型のソース層14に到達すると、この正孔は半導体装置1から排出されにくく、且つ、正孔がソース層14内を移動する際に、大きな発熱を伴う。従って、ベース層13内を通過する正孔のうち、キャリア抜き層24に到達する正孔の割合が高いほど、半導体装置1全体の発熱量が少なく、半導体装置1が熱破壊される可能性が低くなる。

【0028】

本実施形態においては、キャリア抜き層24の下面がベース層13の下面よりも低い位置に位置しており、キャリア抜き層24がベース層13よりも下方に向けて突出しているため、トレンチゲート電極19の下端部において発生した正孔の一部は、ベース層13内に進入する前に、キャリア抜き層24に到達する。これにより、正孔を効率的に排出することができ、正孔の移動に伴う発熱を抑え、アバランシェ耐量を向上させることができる。

【0029】

更に、本実施形態の製造方法によれば、図4に示す工程において、犠牲膜27を介してボロンを注入することにより、トレンチ22の底面の中央部のみボロンを導入することができる。これにより、その外縁がトレンチコンタクト23の外縁の内側にあるキャリア抜き層24を、自己整合的に容易に形成することができる。更にまた、犠牲層27を窒化シリコンによって形成することにより、イオン注入の後、犠牲層27を容易に除去することができる。このように、本実施形態によれば、トレンチゲート電極間隔が狭く、アバランシェ耐量が高い半導体装置を容易に製造することができる。

【0030】

次に、本実施形態の比較例について説明する。

図7は、本比較例に係る半導体装置を示す断面図である。

図7に示すように、本比較例に係る半導体装置101は、本実施形態に係る半導体装置1(図2参照)と比較して、キャリア抜き層124の形状が異なっている。すなわち、上方から見て、キャリア抜き層124の外縁は、トレンチコンタクト23の外縁の外側にある。また、キャリア抜き層124の下面は、ベース層13の下面よりも上方にある。

【0031】

半導体装置101においては、上方から見て、キャリア抜き層124がトレンチコンタクト23からはみ出しているため、トレンチゲート電極19の間隔を縮小しようとする

10

20

30

40

50

、キャリア抜き層 1 2 4 の存在が障害となる。このため、トレンチゲート電極 1 9 の間隔を十分に縮小することができず、オン抵抗を十分に低減することができない。また、キャリア抜き層 1 2 4 の下面がベース層 1 3 の下面よりも上方に位置しているため、トレンチゲート電極 1 9 の下端部においてブレイクダウンによって発生した正孔は、ベース層 1 3 内を通過しなければ、キャリア抜き層 1 2 4 に到達することができない。このため、本実施形態に係る半導体装置 1 と比較して、アバランシェ耐量が低い。

【 0 0 3 2 】

次に、第 1 の実施形態の第 1 の変形例について説明する。

図 8 は、本変形例に係る半導体装置を例示する平面図である。

なお、図 8 においては、ソース電極及び層間絶縁膜は図示を省略されている。後述する図 9 においても同様である。

図 8 に示すように、本変形例に係る半導体装置 1 a においては、上方から見て、トレンチゲート電極 1 9 a の形状がオフセットのある格子状である。本変形例における上記以外の構成及び作用効果は、前述の第 1 の実施形態と同様である。

【 0 0 3 3 】

次に、第 1 の実施形態の第 2 の変形例について説明する。

図 9 は、本変形例に係る半導体装置を例示する平面図である。

図 9 に示すように、本変形例に係る半導体装置 1 b においては、上方から見て、トレンチゲート電極 1 9 b の形状がストライプ状であり、複数本のトレンチゲート電極 1 9 b が、相互に平行に且つ周期的に配列されている。また、トレンチコンタクト 2 3 b の形状もストライプ状であり、トレンチゲート電極 1 9 b 間にトレンチゲート電極 1 9 b に対して平行に配設されている。すなわち、トレンチゲート電極 1 9 b 及びトレンチコンタクト 2 3 b は、交互に配置されている。更に、キャリア抜き層 2 4 b はトレンチコンタクト 2 3 b の直下域内にストライプ状に形成されており、その外縁はトレンチコンタクト 2 3 b の外縁の内側にある。なお、図 9 に示す B - B ' 線による断面の構成は、図 2 に示す断面の構成と同様である。

【 0 0 3 4 】

本変形例に係る半導体装置 1 b は、前述の第 1 の実施形態に係る半導体装置 1 (図 1 参照) 及び第 1 の変形例に係る半導体装置 1 a (図 8 参照) と比較して、トレンチゲート電極 1 9 b 間の寄生容量が少ないため、高速動作用途に好適である。これに対して、トレンチゲート電極の形状が格子状又はオフセットのある格子状である半導体装置 1 及び 1 a は、チャンネル長が長くオン抵抗が低いため、低消費電力用途に好適である。このように、トレンチゲート電極の形状は、半導体装置の用途に応じて選択することができる。本変形例における上記以外の構成及び作用効果は、前述の第 1 の実施形態と同様である。

【 0 0 3 5 】

次に、本発明の第 2 の実施形態について説明する。

図 1 0 は、本実施形態に係る半導体装置を例示する断面図である。

図 1 0 に示すように、本実施形態に係る半導体装置 2 においては、キャリア抜き層 2 4 が、ベース層 1 3 を突き抜けてエピタキシャル層 1 2 内に進入し、トレンチゲート電極 1 9 よりも下方の位置まで到達している。すなわち、キャリア抜き層 2 4 の下面が、トレンチゲート電極 1 9 の下端よりも下方に位置している。

【 0 0 3 6 】

本実施形態によれば、キャリア抜き層 2 4 の下面を構成する P N 界面が、トレンチゲート電極 1 9 の下端よりもシリコン基板 1 1 側に位置しているため、シリコン基板 1 1 とソース層 1 4 との間に大きな電圧が印加されると、ブレイクダウンはトレンチゲート電極 1 9 の下端部ではなく、キャリア抜き層 2 4 の下面において発生する。このため、このブレイクダウンによって発生した正孔は、キャリア抜き層 2 4 内に直接進入し、キャリア抜き層 2 4 内を通過して、半導体装置 2 の外部に排出される。従って、この正孔は、エピタキシャル層 1 2 内及びベース層 1 3 内を流ることがない。この結果、本実施形態に係る半導体装置 2 は、アバランシェ耐量が極めて高い。本実施形態における上記以外の構成及び

10

20

30

40

50

作用効果は、前述の第 1 の実施形態と同様である。

【 0 0 3 7 】

次に、本発明の第 3 の実施形態について説明する。

図 1 1 は、本実施形態に係る半導体装置を例示する断面図である。

図 1 1 に示すように、本実施形態に係る半導体装置 3 においては、キャリア抜き層 2 4 が、上下方向、すなわち、トレンチコンタクト 2 3 からエピタキシャル層 1 2 に向かう方向に沿って 1 列に配列された複数、例えば 4 個の球が相互に連結されたような形状となっている。そして、キャリア抜き層 2 4 における上下方向に沿った P 型不純物の濃度プロファイルにおいて、複数、例えば 4 つのピークが形成されている。各ピークの位置は、前述の各球の中心に相当する位置である。

10

【 0 0 3 8 】

このようなキャリア抜き層 2 4 は、前述の図 5 に示すイオン注入工程において、複数回、例えば、4 回のイオン注入を相互に加速電圧を異ならせて行うことにより、形成することができる。これにより、上下方向に延び、アスペクト比が高いキャリア抜き層 2 4 を容易に形成することができる。また、この場合、各イオン注入におけるドーズ量を相互に異ならせることにより、前述の各ピークの高さを相互に異ならせることができる。例えば、上部のピークを相対的に高くし、下部のピークを相対的に低くすることができる。これにより、図 1 1 に示すように、キャリア抜き層 2 4 の上部は P⁺ 型となり、下部は P 型となる。本実施形態においては、空乏層がキャリア抜き層側にも伸びやすくなるため、耐圧がより向上する。本実施形態における上記以外の構成及び作用効果は、前述の第 2 の実施形態と同様である。

20

【 0 0 3 9 】

次に、本発明の第 4 の実施形態について説明する。

図 1 2 は、本実施形態に係る半導体装置を例示する断面図である。

図 1 2 に示すように、本実施形態に係る半導体装置 4 においては、エピタキシャル層 1 2 とベース層 1 3 との間に、スーパージャンクション層（以下、「S」層」ともいう）3 1 が設けられている。

【 0 0 4 0 】

S」層 3 1 においては、N 型ピラー層 3 2 と P 型ピラー層 3 3 とが交互に配列されている。P 型ピラー層 3 3 は、トレンチコンタクト 2 3 の直下域内、すなわち、キャリア抜き層 2 4 の直下域に形成されており、キャリア抜き層 2 4 と一体的に形成されている。換言すれば、柱状の P⁺ 型層がトレンチコンタクト 2 3 の下面からエピタキシャル層 1 2 の上面まで延びており、この P⁺ 型層のうち、上部、すなわち、ベース層 1 3 内に位置する部分がキャリア抜き層 2 4 となっており、N 型ピラー層 3 2 間に挟まれた部分が P 型ピラー層 3 3 となっている。なお、キャリア抜き層 2 4 の P 型不純物濃度と P 型ピラー層 3 3 の P 型不純物濃度とは異なってもよい。その場合、キャリア抜き層 2 4 と P 型ピラー層 3 3 との界面における P 型不純物の濃度変化は必ずしも非連続的又は急峻である必要はなく、なだらかに連続的に変化していてもよい。また、S」層 3 1 内における S」層 3 1 の表面に平行な任意の層において、N 型ピラー層 3 2 の N 型不純物量と P 型ピラー層 3 3 の P 型不純物量とは、相互に略等しくなっている。

30

40

【 0 0 4 1 】

そして、上方から見て、P 型ピラー層 3 3 はマトリクス状に配列されており、N 型ピラー層 3 2 の形状は、P 型ピラー層 3 3 を囲むような格子状である。一方、トレンチゲート電極 1 9 は、ソース層 1 4、キャリア抜き層 1 5 及びベース層 1 3 を突き抜けて、S」層 3 1 まで到達している。上方から見て、トレンチゲート電極 1 9 は N 型ピラー層 3 2 の内側に配置されている。

【 0 0 4 2 】

本実施形態によれば、スーパージャンクション層を持ち、トレンチゲート電極間の間隔が狭く、アバランシェ耐量が高い半導体装置を実現することができる。本実施形態における上記以外の構成及び作用効果は、前述の第 3 の実施形態と同様である。

50

【0043】

次に、第4の実施形態の変形例について説明する。

図13は、本変形例に係る半導体装置を例示する断面図である。

図13に示すように、本変形例に係る半導体装置4aにおいては、前述の第4の実施形態に係る半導体装置4(図12参照)と比較して、キャリア抜き層24及びP型ピラー層33の幅が大きく、その分、P型ピラー層33におけるP型不純物の濃度が低い。例えば、P型ピラー層33のP型不純物濃度は、N型ピラー層32のN型不純物濃度の10倍以下である。但し、前述の第4の実施形態と同様に、SJ層31の表面に平行な任意の層におけるP型ピラー層33内のP型不純物の総量は、同じ層内におけるN型ピラー層32内のN型不純物の総量と略等しい。本実施形態における上記以外の構成及び作用効果は、前

10

【0044】

次に、本発明の第5の実施形態について説明する。

図14は、本実施形態に係る半導体装置を例示する断面図である。

図14に示すように、本実施形態に係る半導体装置5においては、前述の第4の実施形態に係る半導体装置4(図12参照)の構成に加えて、エピタキシャル層12とスーパージャンクション層31との間に、導電型がN型の抵抗層34が設けられている。抵抗層34におけるN型不純物の濃度は、エピタキシャル層12におけるN型不純物の濃度及びN型ピラー層32におけるN型不純物の濃度よりも低く、従って、抵抗層34の抵抗率は、エピタキシャル層12の抵抗率及びN型ピラー層32の抵抗率よりも高い。

20

【0045】

本実施形態によれば、抵抗層34により、ソース層14とシリコン基板11との間に印加される電圧の一部を保持することができる。これにより、耐圧が高いセミスーパージャンクション構造の半導体装置であって、トレンチゲート電極間の間隔が狭く、アバランシェ耐量が高い半導体装置を得ることができる。本実施形態における上記以外の構成及び作用効果は、前述の第4の実施形態と同様である。なお、本実施形態においても、前述の第4の実施形態の変形例と同様に、P型ピラー層33の幅を相対的に大きくして、P型不純物の濃度を相対的に低くしてもよい。

【0046】

以上、実施形態及びその変形例を参照して本発明を説明したが、本発明はこれらの実施形態及び変形例に限定されるものではない。すなわち、前述の各実施形態及びその変形例に対して、当業者が適宜、構成要素の追加、削除、設計変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含有される。

30

【0047】

例えば、前述の各実施形態及び変形例においては、上方から見て、キャリア抜き層の外縁がトレンチコンタクトの外縁よりも内側に位置している例を示したが、キャリア抜き層の外縁はトレンチコンタクトの外縁と一致していてもよい。この場合にも、キャリア抜き層の存在がトレンチゲート電極の間隔の縮小化に対して障害となることはない。

【0048】

また、前述の各実施形態及び変形例においては、キャリア抜き層の下面がベース層の下面よりも下方に位置している例を示したが、キャリア抜き層の下面はベース層の下面と同じ位置に位置していてもよい。すなわち、キャリア抜き層の下面及びベース層の下面が同一平面を構成していてもよい。この場合にも、トレンチゲート電極の下端において発生した正孔の一部は、ベース層を通過することなく、直接キャリア抜き層に進入するため、高いアバランシェ耐量を得ることができる。

40

【0049】

更に、前述の各実施形態及び変形例は、相互に組み合わせて実施することも可能である。例えば、前述の第4の実施形態に係るSJ構造の半導体装置、及び前述の第5の実施形態に係るセミスJ構造の半導体装置において、前述の第3の実施形態と同様に、キャリア抜き層の不純物濃度プロファイルに複数のピークが形成されていてもよい。この場合には

50

、キャリア抜き層と一体的に形成されたP型ピラー層の不純物濃度プロファイルにおいても、複数のピークが形成されていてもよい。また、前述の第2乃至第5の実施形態に係る半導体装置においては、上方から見たトレンチゲート電極の形状が第1の実施形態と同様に格子状であるものとして説明したが、第1の実施形態の第1の変形例のようにオフセットのある格子状としてもよく、第2の変形例のようにストライプ状としてもよい。なお、本発明はこれらの例には限定されず、トレンチゲート電極の形状は、格子状、オフセットのある格子状及びストライプ状以外の形状でもよい。

【0050】

更にまた、前述の各実施形態及び変形例においては、第1導電型をN型、第2導電型をP型として説明したが、これらの導電型は逆でもよい。ベース層の導電型をN型とすれば、例えばリンなどのN型不純物は、熱酸化処理によりゲート酸化膜を形成する際に、このゲート酸化膜に取り込まれることがないため、ベース層におけるゲート酸化膜に接する領域の不純物濃度が低下してしまうことがなく、チャネル長が短縮してしまうことがない。このため、ベース層の幅をより一層低減し、セルの微細化を図ることができる。

【図面の簡単な説明】

【0051】

【図1】本発明の第1の実施形態に係る半導体装置を例示する平面図である。

【図2】図1に示すA-A'線による断面図である。

【図3】第1の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図4】第1の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図5】第1の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図6】第1の実施形態に係る半導体装置の製造方法を例示する工程断面図である。

【図7】比較例に係る半導体装置を例示する断面図である。

【図8】第1の実施形態の第1の変形例に係る半導体装置を例示する平面図である。

【図9】第1の実施形態の第2の変形例に係る半導体装置を例示する平面図である。

【図10】本発明の第2の実施形態に係る半導体装置を例示する断面図である。

【図11】本発明の第3の実施形態に係る半導体装置を例示する断面図である。

【図12】本発明の第4の実施形態に係る半導体装置を例示する断面図である。

【図13】第4の実施形態の変形例に係る半導体装置を例示する断面図である。

【図14】本発明の第5の実施形態に係る半導体装置を例示する断面図である。

【符号の説明】

【0052】

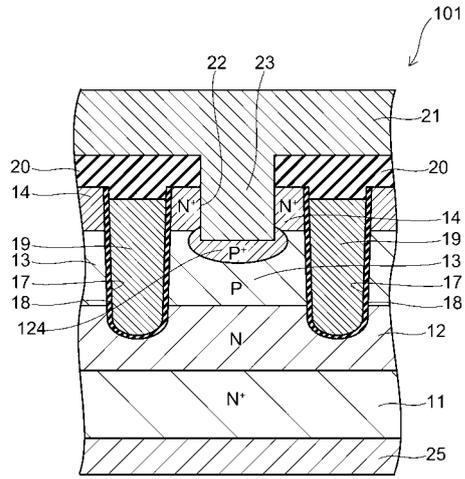
1、1a、1b、2、3、4、4a、5 半導体装置、11 シリコン基板、12 エピタキシャル層、13 ベース層、14 ソース層、16 積層体、17 トレンチ、18 ゲート酸化膜、19、19a、19b トレンチゲート電極、20 層間絶縁膜、21 ソース電極、22 トレンチ、23、23b トレンチコンタクト、24、24b キャリア抜き層、25 ドレイン電極、27 犠牲膜、31 スーパージャンクション層、32 N型ピラー層、33 P型ピラー層、34 抵抗層、101 半導体装置、124 キャリア抜き層

10

20

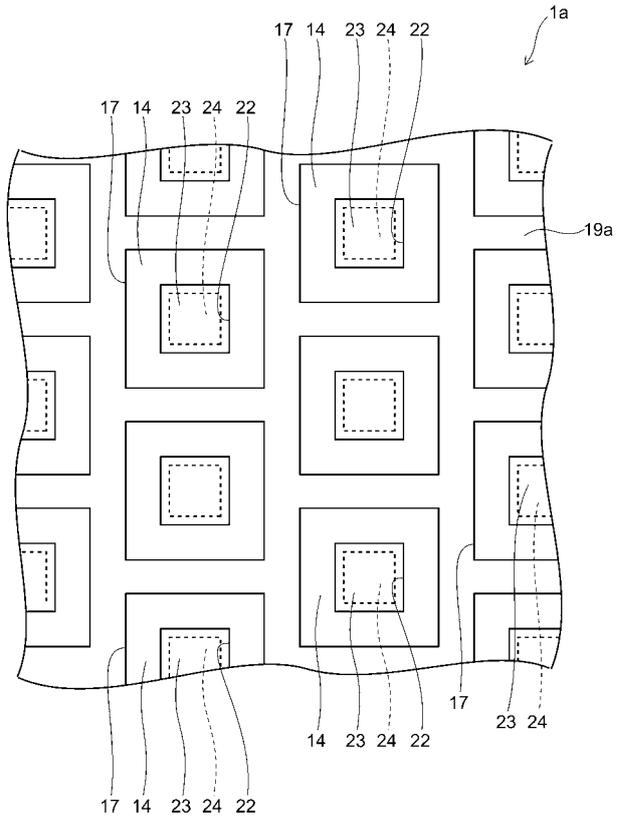
30

【 図 7 】



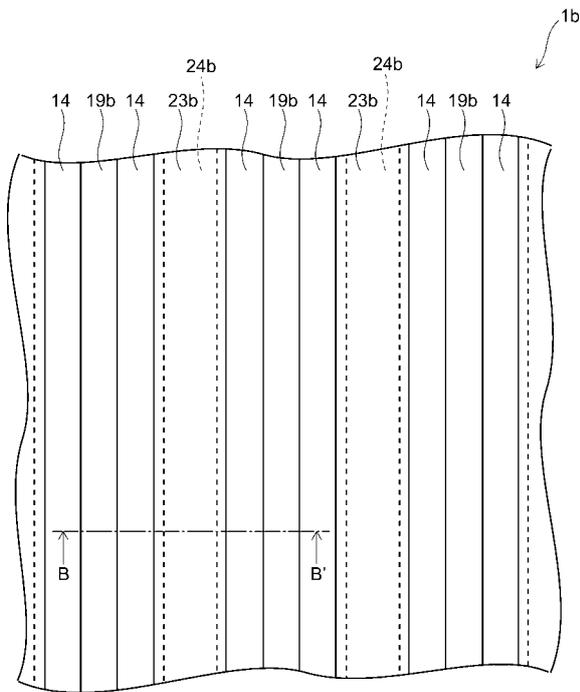
101: 半導体装置 124: キャリア抜き層

【 図 8 】



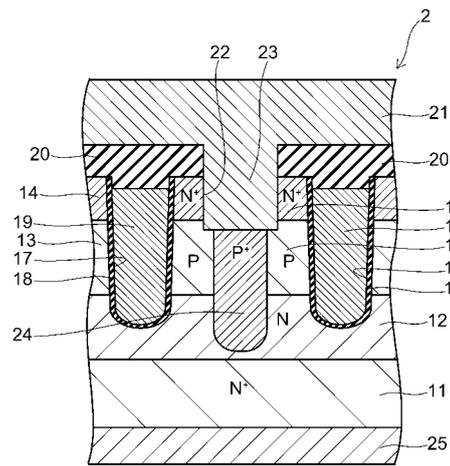
1a: 半導体装置 19a: トレンチゲート電極

【 図 9 】



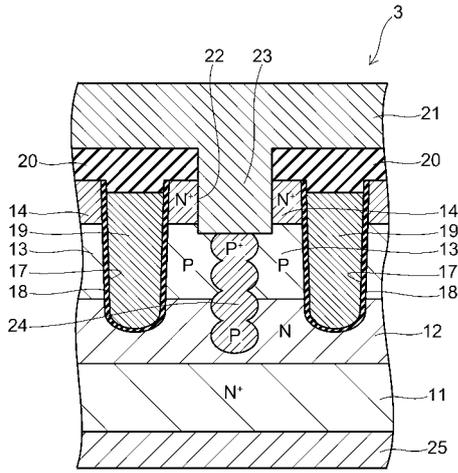
1b: 半導体装置 19b: トレンチゲート電極 23b: トレンチコンタクト
24b: キャリア抜き層

【 図 10 】



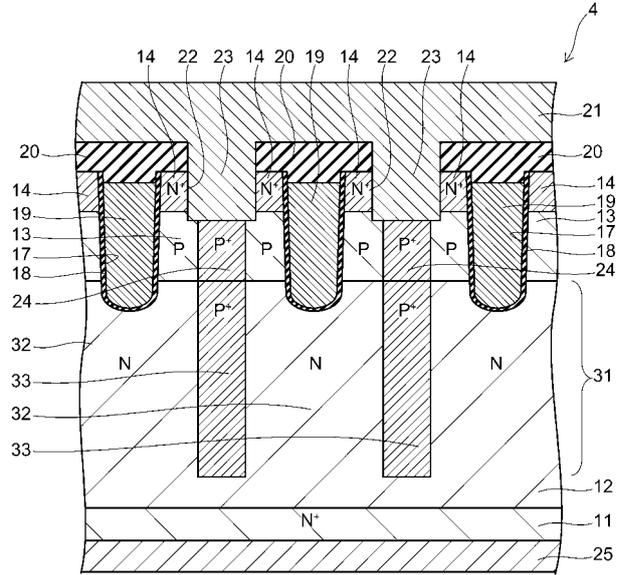
2: 半導体装置

【図 1 1】



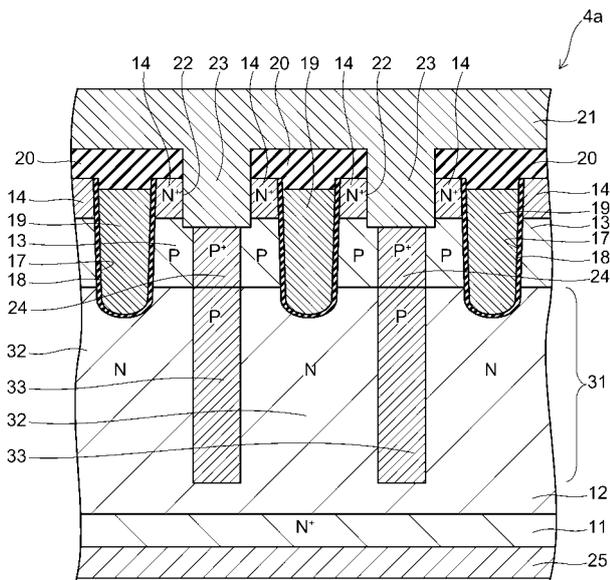
3: 半導体装置

【図 1 2】



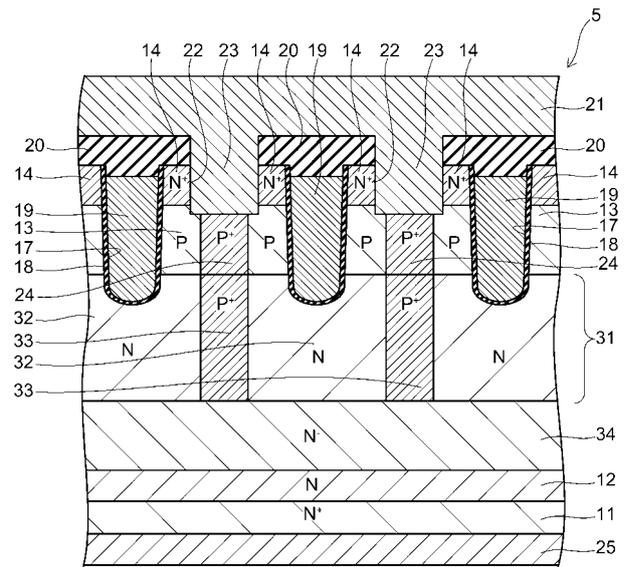
4: 半導体装置 31: スーパージャンクション層 32: N型ピラー層 33: P型ピラー層

【図 1 3】



4a: 半導体装置

【図 1 4】



5: 半導体装置 34: 抵抗層

フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	H 0 1 L 29/78	6 5 8 A
	H 0 1 L 29/78	6 5 8 G
	H 0 1 L 29/78	6 5 8 F

(72)発明者 新井 隆太
東京都港区芝浦一丁目1番1号 株式会社東芝内