



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년08월17일  
 (11) 등록번호 10-1648927  
 (24) 등록일자 2016년08월10일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/786 (2006.01)  
 (21) 출원번호 10-2009-0135879  
 (22) 출원일자 2009년12월31일  
 심사청구일자 2014년12월16일  
 (65) 공개번호 10-2010-0084466  
 (43) 공개일자 2010년07월26일  
 (30) 우선권주장  
 JP-P-2009-008134 2009년01월16일 일본(JP)  
 (56) 선행기술조사문헌  
 JP2008276212 A\*  
 KR1020080095603 A\*  
 KR1020080112877 A\*  
 WO2008133457 A1  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 가부시키가이샤 한도오파이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398  
 (72) 발명자  
 사카타 준이치로  
 일본국 243-0036 가나가와켄 아쓰기시 하세 398  
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 시마즈 타카시  
 일본국 243-0036 가나가와켄 아쓰기시 하세 398  
 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
 (뒷면에 계속)  
 (74) 대리인  
 황의만

전체 청구항 수 : 총 7 항

심사관 : 최혜미

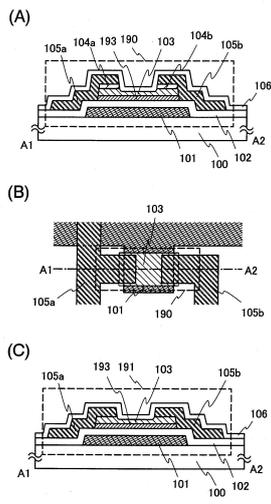
(54) 발명의 명칭 **반도체 장치 및 그 제작 방법**

**(57) 요약**

산화물 반도체층을 사용하고 전기 특성 및 신뢰성이 뛰어난 박막 트랜지스터를 구비한 반도체 장치를 제공하는 것이 과제의 하나이다.

절연물(절연성 산화물, 절연성 질화물, 또는 산질화실리콘, 산질화알루미늄 등), 대표적으로는 SiO<sub>2</sub>를 함유한 산화물 반도체 타깃을 사용하여 성막함으로써, 산화물 반도체층의 막 두께 방향에 있어서의 Si 원소 농도가 게이트 전극에서 가까운 측으로부터 게이트 전극에서 멀어지는 측을 향하여 증가되는 농도 구배를 갖는 반도체 장치가 실현된다.

**대표도** - 도1



(72) 발명자

**오하라 히로키**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

**사사키 토시나리**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

**야마자키 순페이**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오따이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

삭제

#### 청구항 2

반도체 장치에 있어서,

절연 표면 위에 있고, 적어도 아연과  $\text{SiO}_x$ 를 함유하는 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 2 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 소스 전극 및 드레인 전극;

상기 제 2 산화물 반도체층 위의 절연층; 및

상기 절연층 위의 게이트 전극을 포함하고,

상기 제 1 산화물 반도체층에서의 실리콘 농도는 상기 제 2 산화물 반도체층에서의 실리콘 농도보다 높은, 반도체 장치.

#### 청구항 3

삭제

#### 청구항 4

반도체 장치에 있어서,

절연 표면 위에 있고, 적어도 아연과 실리콘을 함유하는 제 1 산화물 반도체층;

상기 제 1 산화물 반도체층 위의 제 2 산화물 반도체층;

상기 제 2 산화물 반도체층 위의 소스 전극 및 드레인 전극;

상기 제 2 산화물 반도체층 위의 절연층; 및

상기 절연층 위의 게이트 전극을 포함하고,

상기 제 1 산화물 반도체층에서의 실리콘 농도는 상기 제 2 산화물 반도체층에서의 실리콘 농도보다 높은, 반도체 장치.

#### 청구항 5

제 2 항 또는 제 4 항에 있어서,

상기 제 1 산화물 반도체층 또는 상기 제 2 산화물 반도체층은 인듐을 함유하는, 반도체 장치.

#### 청구항 6

제 2 항 또는 제 4 항에 있어서,

상기 제 1 산화물 반도체층 또는 상기 제 2 산화물 반도체층은 갈륨을 함유하는, 반도체 장치.

#### 청구항 7

제 2 항 또는 제 4 항에 있어서,

상기 제 1 산화물 반도체층 또는 상기 제 2 산화물 반도체층은  $\text{SiO}_2$ 를 0.1wt% 이상 10wt% 이하 함유하는 산화물

반도체 타깃을 사용하는 스퍼터링법에 의해 형성되는, 반도체 장치.

**청구항 8**

제 2 항 또는 제 4 항에 있어서,  
상기 제 1 산화물 반도체층은 비정질인, 반도체 장치.

**청구항 9**

제 2 항 또는 제 4 항에 있어서,  
상기 제 2 산화물 반도체층은 비정질인, 반도체 장치.

**청구항 10**

삭제

**청구항 11**

삭제

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**발명의 설명**

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 박막 트랜지스터(이하, TFT라 함)로 구성된 회로를 갖는 반도체 장치 및 그 제작 방법에 관한 것이다. 예를 들어, 액정 표시 패널로 대표되는 전기 광학 장치나 유기 발광 소자를 갖는 발광 표시 장치를 부품으로서 탑재한 전자기기에 관한 것이다.

[0002] 또한, 본 명세서 중에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

**배경 기술**

- [0003] 금속 산화물은 다양하게 존재하고, 다양한 용도에 사용된다. 산화인듐은 흔히 알려져 있는 재료이며, 액정 디스플레이 등에 필요한 투명 전극 재료로서 사용된다.
- [0004] 금속 산화물 중에는 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물은 화합물 반도체의 일종이다. 화합물 반도체란, 2종 이상의 원자가 결합하여 이루어진 반도체이다. 일반적으로, 금속 산화물은 절연체가 된다. 그러나, 금속 산화물을 구성하는 원소의 조합에 따라서는 반도체가 되는 것이 알려져 있다.
- [0005] 예를 들어, 금속 산화물 중에서 산화텅스텐, 산화주석, 산화인듐, 산화아연 등은 반도체 특성을 나타내는 것이 알려져 있다. 이러한 금속 산화물로 구성되는 투명 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터가 개시되어 있다(특허 문헌 1 내지 특허 문헌 4, 비특허 문헌 1 참조).
- [0006] 또한, 금속 산화물은 1원계 산화물뿐만 아니라 다원계 산화물도 알려져 있다. 예를 들어, 동족계열(homologous series)을 갖는  $\text{InGaO}_3(\text{ZnO})_m$ (m: 자연수)는 공지의 재료이다(비특허 문헌 2 내지 비특허 문헌 4 참조).
- [0007] 그리고 상술한 바와 같은 In-Ga-Zn계 산화물을 박막 트랜지스터의 채널층으로서 적용할 수 있는 것이 확인되어 있다(특허 문헌 5, 비특허 문헌 5, 및 비특허 문헌 6 참조).
- [0008] 또한, 산화물 반도체를 사용하여 박막 트랜지스터를 제작하여 전자 디바이스나 광 디바이스에 응용하는 기술이 주목을 받고 있다. 예를 들어, 산화물 반도체막으로서 산화아연, In-Ga-Zn-0계 산화물 반도체를 사용하여 박막 트랜지스터를 제작하여 화상 표시 장치의 스위칭 소자 등에 사용하는 기술이 특허 문헌 6 및 특허 문헌 7에 개시되어 있다.
- [0009] [특허 문헌 1] 일본특개소60-198861호 공보
- [0010] [특허 문헌 2] 일본특개평8-264794호 공보
- [0011] [특허 문헌 3] 일본특표평11-505377호 공보
- [0012] [특허 문헌 4] 일본특개2000-150900호 공보
- [0013] [특허 문헌 5] 일본특개2004-103957호 공보
- [0014] [특허 문헌 6] 일본특개2007-123861호 공보
- [0015] [특허 문헌 7] 일본특개2007-096055호 공보
- [0016] [비특허 문헌 1] M.W. Prins, K.O. Grosse-Holz, G. Muller, J.F.M. Cillessen, J.B. Giesbers, R.P. Weening, and R.M. Wolf, "A ferroelectric transparent thin-film transistor", Appl.Phys.Lett., 17 June 1996, Vol.68, p.3650-3652
- [0017] [비특허 문헌 2] M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ - $\text{ZnO}$  System at 1350°C", J.Solid State Chem., 1991, Vol.93, p.298-315
- [0018] [비특허 문헌 3] N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$ (m=3,4, and 5),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ (m=7,8,9 and 16) in the  $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ - $\text{ZnO}$  System", J, Solid State Chem., 1995, Vol.116, p.170-178
- [0019] [비특허 문헌 4] M. Nakamura, N. Kimizuka, T. Mohori, M. Isobe, "동족계열,  $\text{InFeO}_3(\text{ZnO})_m$ (m: 자연수)와 그 동형 화합물의 합성 및 결정 구조", 고체 물리, 1993, Vol.28, No.5, p.317-327
- [0020] [비특허 문헌 5] K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol.300, p.1269-1272
- [0021] [비특허 문헌 6] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide

semiconductors", NATURE, 2004, Vol.432, p.488-492

**발명의 내용**

**해결 하고자하는 과제**

[0022] 본 발명의 일 형태는 산화물 반도체층을 사용하고, 전기 특성 및 신뢰성이 뛰어난 박막 트랜지스터를 구비한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

**과제 해결수단**

[0023] 산화물 반도체층으로서는 적어도 아연을 함유한 재료를 사용한다. 또한, 아연 산화물은 결정화되기 쉬우므로, 비정질의 산화물 반도체층을 실현하기 위하여 절연물(산화실리콘, 산화게르마늄, 산화알루미늄 등으로 대표되는 절연성 산화물, 질화실리콘, 질화알루미늄 등으로 대표되는 절연성 질화물, 또는 산질화실리콘, 산질화알루미늄 등), 대표적으로는 SiO<sub>2</sub>를 0.1wt% 이상 10wt% 이하, 바람직하게는 1wt% 이상 6wt% 이하 함유한 산화물 반도체 타깃을 사용하여 성막하여, 산화물 반도체층에 결정화를 저해하는 SiO<sub>x</sub>(X>0)를 함유시킴으로써, 박막 트랜지스터의 내열성 향상, 박막 트랜지스터의 특성 변동의 저감, 장기간 사용시의 특성 변동의 방지를 실현한다.

[0024] 또한, 산화물 반도체층에 결정화를 저해하는 SiO<sub>x</sub>를 함유시킴으로써, 제조 프로세스 중에 있어서, 산화물 반도체층을 형성한 후에 열 처리한 경우에 결정화해 버리는 것을 억제할 수 있다. 또한, SiO<sub>x</sub>의 농도 구배를 갖는 비정질의 산화물 반도체층으로 함으로써 박막 트랜지스터의 오프 전류의 저감을 도모한다.

[0025] 본 명세서에서 개시하는 본 발명의 일 형태는 절연 표면 위에 게이트 전극과, 적어도 아연 및 SiO<sub>x</sub>를 함유한 산화물 반도체층과, 게이트 전극과 산화물 반도체층 사이에 절연층을 갖고, 산화물 반도체층의 막 두께 방향에 있어서의 Si 원소 농도는 게이트 전극에서 가까운 측으로부터 게이트 전극에서 떨어진 측으로 향해 증가되는 농도 구배를 갖는 반도체 장치이다.

[0026] 박막 트랜지스터의 구조는 절연 표면을 갖는 기판 위에 형성된 게이트 전극 상방에 산화물 반도체층이 위치하는, 소위 보텀 게이트형이라도 좋고, 보텀 콘택트형이라도 좋다.

[0027] 게이트 전극 상방에 산화물 반도체층이 위치하는 경우, 산화물 반도체층에 있어서의 SiO<sub>x</sub>의 농도 구배는 게이트 전극에서 떨어진 측에 농도가 높은 영역이 위치하고, 게이트 전극에서 가까운 측에 농도가 낮은 영역이 위치한다. 또한, 산화물 반도체층에 있어서의 SiO<sub>x</sub>의 농도 구배는 단계적으로 변화하거나, 또는 연속적으로 변화한다.

[0028] "단계적으로 변화하는 농도 구배"란, 막 두께 방향에 대하여 Si 원소 농도가 단계적으로 감소 또는 증가되는 것을 가리키고, 예를 들어, 가로 축에 막 두께, 세로 축에 Si 원소 농도를 나타내는 그래프를 작성하면, 플롯한 복수의 점을 잇는 선은 오른 쪽으로 상승 또는 오른 쪽으로 하강되는 계단 형상의 궤적을 그린다.

[0029] 또한, "연속적으로 변화하는 농도 구배"란, 막 두께 방향에 대하여 Si 원소 농도가 완만하게 변화되는 것을 가리키고, 예를 들어, 가로 축에 막 두께, 세로 축에 Si 원소 농도를 나타내는 그래프를 작성하면, 플롯한 복수의 점을 잇는 선은 오른 쪽으로 상승 또는 오른 쪽으로 하강되는 곡선 또는 직선이 된다.

[0030] 또한, 산화물 반도체층은 단층, 또는 2층 이상의 적층으로 한다. 예를 들어, Si 원소의 농도가 일정한 제 1 산화물 반도체층과, Si 원소 농도가 연속적으로 변화되는 농도 구배를 갖는 제 2 산화물 반도체층의 적층으로 하여도 좋다. 또한, Si 원소를 함유하지 않은 제 1 산화물 반도체층과, Si 원소의 농도가 일정한 제 2 산화물 반도체층의 적층으로 하여도 좋고, 이 적층은 단계적으로 변화되는 농도 구배를 갖는다고 간주한다.

[0031] 산화물 반도체층의 일례로서는, In-Ga-Zn-O계 산화물 반도체를 들 수 있다. 그 외, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-O계의 산화물 반도체에 SiO<sub>x</sub>를 함유시킴으로써 같은 효과를 얻을 수 있다.

[0032] 또한, 상기 구조를 실현하기 위한 본 발명의 일 형태는 절연 표면 위에 게이트 전극을 형성하고, 게이트 전극 위에 절연층을 형성하고, 절연층 위에 제 1 산화물 반도체 타깃을 사용한 스퍼터링법으로 성막한 후, SiO<sub>2</sub>를 0.1wt% 이상 10wt% 이하 함유한 제 2 산화물 반도체 타깃을 사용한 스퍼터링법으로 성막함으로써, 막 두께 방향에 있어서의 Si 원소 농도가 게이트 전극에서 가까운 측으로부터 상기 게이트 전극에서 떨어진 측으로 향하여 증가되는 산화물 반도체층을 형성하는 반도체 장치의 제작 방법이다.

[0033] 또한, 절연 표면을 갖는 기판 위에 형성되는 게이트 전극 하방에 산화물 반도체층이 위치하는, 소위, 톱 게이트형이라도 좋고, 본 발명의 일 형태는 절연 표면 위에 SiO<sub>2</sub>를 0.1wt% 이상 10wt% 이하 함유한 제 1 산화물 반도체 타깃을 사용한 스퍼터링법으로 성막한 후, 제 2 산화물 반도체 타깃을 사용한 스퍼터링법으로 성막함으로써, 막 두께 방향에 있어서의 Si 원소가 농도 구배를 갖는 산화물 반도체층을 형성하고, 산화물 반도체층을 덮는 절연층을 형성하고, 절연층 위에 게이트 전극을 형성하고, 산화물 반도체층은 막 두께 방향에 있어서의 Si 원소가 상기 게이트 전극에서 가까운 측으로부터 게이트 전극에서 떨어진 측으로 향하여 증가되는 반도체 장치의 제작 방법이다.

**효과**

[0034] SiO<sub>x</sub>를 함유한 산화물 반도체층을 사용하고, 전기 특성 및 신뢰성이 뛰어난 박막 트랜지스터를 구비한 반도체 장치를 실현한다.

**발명의 실시를 위한 구체적인 내용**

[0035] 이하, 본 발명의 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세한 내용은 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에 제시하는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0036] (실시형태 1)

[0037] 본 실시형태에서는 SiO<sub>x</sub>를 함유한 산화물 반도체층을 사용한 박막 트랜지스터의 일례에 대하여 도 1(A) 및 도 1(B)를 사용하여 설명한다.

[0038] 도 1(A)에 도시하는 박막 트랜지스터(190)는 보텀 게이트형의 일종이며, 채널 에치형이라 불리는 구조의 단면도의 일례이다. 또한, 도 1(B)는 박막 트랜지스터의 상면도의 일례이고, 도면 중의 A1-A2의 쇄선으로 절단한 단면도가 도 1(A)에 상당한다.

[0039] 도 1(A)에 도시한 박막 트랜지스터(190)는 기판(100) 위에 게이트 전극층(101)이 형성되고, 게이트 전극층(101) 위에 게이트 절연층(102)이 형성되고, 게이트 절연층(102) 위에 산화물 반도체층의 적층이 형성되고, 산화물 반도체층의 적층 위에 소스 전극층 또는 드레인 전극층(105a, 105b)이 형성된다. 또한, 산화물 반도체층의 적층 및 소스 전극층 또는 드레인 전극층(105a, 105b)을 덮는 보호 절연층(106)을 갖는다.

[0040] 게이트 전극층(101)은 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등의 금속 재료, 또는 이들 금속 재료를 주성분으로 하는 합금 재료, 또는 이들 금속 재료를 성분으로 하는 질화물을 사용하여 단층으로 형성하거나 또는 적층하여 형성할 수 있다. 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하지만, 내열성이 낮거나 또는 부식(腐食)하기 쉽다는 문제점이 있으므로, 내열성 도전성 재료와 조합하여 사용하는 것이 바람직하다. 내열성 도전성 재료로서는 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등을 사용한다.

[0041] 예를 들어, 게이트 전극층(101)의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티타늄층 또는 질화탄탈층을 적층한 2층 구조, 또는 질화티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄의 합금층과, 질화티타늄층 또는 티타늄층을 적층한 구조로 하는 것이 바람직하다.

- [0042] 게이트 절연층(102)은 플라즈마 CVD법 또는 스퍼터링법을 사용하여 형성한다. 게이트 절연층(102)은 CVD법 또는 스퍼터링법 등을 사용하여 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 또는 질화산화실리콘층을 단층으로 형성하거나 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(102)으로서, 유기 실란 가스를 사용한 CVD법으로 산화실리콘층을 형성할 수도 있다.
- [0043] 산화물 반도체층의 적층은 적층 중 적어도 1층을  $SiO_x$ 를 함유한 산화물 반도체층으로 하면 좋고, 본 실시형태에서는 제 1 산화물 반도체층(193)과, 그 위에  $SiO_x$ 를 함유한 산화물 반도체층(103; 제 2 산화물 반도체층이라고도 부름)과, 그 위에 제 3 산화물 반도체층이 적층된다. 또한, 제 3 산화물 반도체층은  $SiO_x$ 를 함유한 산화물 반도체층(103)보다 도전율이 높은 반도체층이며, 버퍼층,  $n^+$ 층, 소스 영역 또는 드레인 영역으로서 기능한다. 도 1(A)에서는 제 1 버퍼층(104a) 및 제 2 버퍼층(104b)으로서 도시한다.
- [0044] 각 산화물 반도체층으로서 In-Ga-Zn-O계 비단결정막, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체를 적용할 수 있다.
- [0045] 본 실시형태에서는 제 1 산화물 반도체층(193)으로서 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체 타깃( $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ )을 사용한 스퍼터링법으로 얻어지는 In-Ga-Zn-O계 비단결정막을 사용한다.
- [0046] 또한,  $SiO_x$ 를 함유한 산화물 반도체층(103)으로서,  $SiO_2$ 를 2wt% 함유한 산화물 반도체 타깃을 사용한 스퍼터링법에 의하여 얻어지는 Zn-O계 비단결정막을 사용한다.
- [0047] 또한, 도 1(A)에 제 1 산화물 반도체층(193)과  $SiO_x$ 를 함유한 산화물 반도체층(103)의 계면을 도시하지만, 모식적으로 도시한 것이다. 재료에 따라서는, 각 산화물 반도체층과의 계면이 불명확하게 될 경우도 있고, 적어도 1층을  $SiO_x$ 를 함유한 산화물 반도체층으로 함으로써, 적어도 게이트 절연층 측의 산화물 반도체층, 즉, 산화물반도체층의 하층부과, 산화물 반도체층의 상층부에서 상이한 전기 특성을 나타낸다. 또한, 산화물 반도체층의 막 두께 방향에 있어서의 Si 원소 농도는 게이트 전극층에서 가까운 측으로부터 게이트 전극층에서 떨어진 측을 향하여 단계적으로 증가되는 농도 구배를 갖는다고 할 수 있다.
- [0048] 또한, 제 1 버퍼층(104a), 제 2 버퍼층(104b)인 제 3 산화물 반도체층은 제 1 산화물 반도체층에 사용하는 In-Ga-Zn-O계 비단결정막의 성막 조건과 상이한 성막 조건으로 얻을 수 있다. 예를 들어, 제 1 산화물 반도체층에 사용하는 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량의 비율보다 제 3 산화물 반도체층에 사용하는 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량의 비율이 적은 조건으로 한다. 또한, 제 3 산화물 반도체층은 질소를 함유시킨 In-Ga-Zn-O계 비단결정막, 즉 In-Ga-Zn-O-N계 비단결정막(IGZON막이라고도 부름)을 사용하여도 좋다. 이 In-Ga-Zn-O-N계 비단결정막은 질소 가스를 함유한 분위기 중에서 인듐, 갈륨, 및 아연을 함유한 산화물을 성분으로 하는 타깃을 사용하여 성막함으로써 얻어진 인듐, 갈륨, 및 아연을 함유한 산질화물막을 가열 처리하여 얻을 수 있다. 또한, 제 3 산화물 반도체층은 질소를 함유시킨 Ga-Zn-O계 비단결정막, 즉, Ga-Zn-O-N계 비단결정막(GZON막이라고도 부름)을 사용하여도 좋다.
- [0049] 또한, 제 3 산화물 반도체층에 n형을 부여하는 불순물 원소를 함유시켜도 좋다. 불순물 원소로서, 예를 들어, 마그네슘, 알루미늄, 티타늄, 철, 주석, 칼슘, 게르마늄, 스칸듐, 이트륨, 지르코늄, 하프늄, 붕소, 탈륨, 납 등을 사용할 수 있다. 마그네슘, 알루미늄, 티타늄 등을 버퍼층에 포함시키면, 산소의 블록킹 효과가 있고, 성막 후의 가열 처리 등에 의하여 산화물 반도체층의 산소 농도를 최적의 범위 내에 유지할 수 있다.
- [0050] 소스 전극층 또는 드레인 전극층(105a, 105b)은 Al, Cr, Ta, Ti, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 한 합금, 상술한 원소를 조합한 합금막 등을 사용한다.
- [0051] 보호 절연층(106)은 스퍼터링법 등을 사용하여 얻어지는 질화실리콘막, 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 산화탄탈막 등의 단층 또는 이들 적층을 사용할 수 있다.
- [0052] 도 1(A)에 도시한 바와 같이, 박막 트랜지스터(190)의 활성층을 제 1 산화물 반도체층(193)과,  $SiO_x$ 를 함유한 산화물 반도체층(103)의 적층 구조로 함으로써, 박막 트랜지스터(190)가 온 상태일 때, 제 1 산화물 반

도체층(193)을 드레인 전류가 주로 흐름으로써 전계 효과 이동도를 증대시킬 수 있다. 또한, 박막 트랜지스터(190)가 오프 상태일 때, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)의 에칭 처리된 부분을 드레인 전류가 주로 흐름으로써 SiO<sub>x</sub>를 함유한 산화물 반도체층(103)보다 도전율이 높은 제 1 산화물 반도체층(193)에 오프 전류가 흐르지 않으므로 오프 전류의 저감을 도모할 수 있다.

[0053] 또한, 상술한 제 1 산화물 반도체층(193)이나, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)의 재료는 특히 한정되지 않고, 예를 들어, 제 1 산화물 반도체층(193)을 SiO<sub>2</sub>를 2wt% 함유한 산화물 반도체 타깃을 사용한 스퍼터링법으로 형성하고, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)을 SiO<sub>2</sub>를 5wt% 함유한 산화물 반도체 타깃을 사용한 스퍼터링법으로 형성하여 적층시켜도 좋다. 이 경우에 있어서도, 막 두께 방향에 있어서의 Si 원소 농도는 게이트 전극층에서 가까운 측으로부터 게이트 전극층에서 떨어진 측으로 향하여 단계적으로 증가되는 농도 구배를 갖는다고 할 수 있다.

[0054] 또한, 상술한 제 1 버퍼층(104a) 및 제 2 버퍼층(104b)을 갖는 구조에 한정되지 않고, 예를 들어, 버퍼층을 형성하지 않는 구조로 하여도 좋다. 그 경우의 박막 트랜지스터(191)의 단면도의 일례를 도 1(C)에 도시한다. 또한, 도 1(C)에 있어서, 버퍼층을 형성하지 않는 부분 외의 구조는 도 1(A)와 동일하므로 같은 개소에 는 같은 부호를 사용하여 도시한다.

[0055] (실시형태 2)

[0056] 본 실시형태에서는 산화실리콘, 산화게르마늄, 산화알루미늄 등으로 대표되는 절연성 산화물, 질화실리콘, 질화알루미늄 등으로 대표되는 절연성 질화물, 또는 산질화실리콘, 산질화알루미늄 등의 절연성 산질화물 등의 절연물을 미량으로 함유한 산화물 반도체층을 사용한 박막 트랜지스터의 일례에 대하여 도 2(A) 및 도 2(B)를 사용하여 설명한다.

[0057] 도 2(A)에 도시하는 박막 트랜지스터(170)는 보텀 게이트형의 일종이고, 채널 에치형이라 불리는 구조의 단면도의 일례이다. 또한, 도 2(B)는 박막 트랜지스터의 상면도의 일례이고, 도면 중의 C1-C2의 쇄선으로 절단한 단면도가 도 2(A)에 상당한다.

[0058] 도 2(A)에 도시한 박막 트랜지스터(170)에는 기판(100) 위에 게이트 전극층(101)이 형성되고, 게이트 전극층(101) 위에 게이트 절연층(102)이 형성되고, 게이트 절연층(102) 위에 산화물 반도체층의 적층이 형성되고, 산화물 반도체층의 적층 위에 소스 전극층 또는 드레인 전극층(105a, 105b)이 형성된다. 또한, 산화물 반도체층의 적층 및 소스 전극층 또는 드레인 전극층(105a, 105b)을 덮는 보호 절연층(106)을 갖는다.

[0059] 본 실시형태에서는 게이트 절연층(102) 위에 절연성 산화물로서 SiO<sub>x</sub>를 함유한 산화물 반도체층(103; 제 1 산화물 반도체층이라고도 부름)과, 그 위에 제 2 산화물 반도체층이 적층된다. 또한, 제 2 산화물 반도체층은 절연성 산화물을 함유한 산화물 반도체층(103)보다 도전율이 높은 반도체층이며, 버퍼층, n<sup>+</sup>층, 소스 영역 또는 드레인 영역으로서 기능한다. 도 2(A)에서는 제 1 버퍼층(104a) 및 제 2 버퍼층(104b)으로서 도시한다.

[0060] 또한, 본 실시형태에 있어서, 절연성 산화물을 함유한 산화물 반도체층(103)은 SiO<sub>2</sub>를 0.1wt% 이상 10wt% 이하, 바람직하게는 1wt% 이상 6wt% 이하의 비율로 함유시킨 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체 타깃을 사용하여 성막한다. 산화물 반도체에 절연성 산화물을 함유시킴으로써, 성막되는 산화물 반도체를 비정질화하기 용이해진다. 또한, 산화물 반도체막을 열 처리한 경우에 결정화해 버리는 것을 억제할 수 있다.

[0061] In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체, 소위 IGZO에 SiO<sub>2</sub>를 함유시키면 어떤 구조 변화가 일어나는지, 고전 분자 동력학 시뮬레이션에 의하여 조사하였다. 고전 분자 동력학법에서는 원자간 상호 작용을 특징하는 경험적 포텐셜을 정의함으로써 각 원자에 작용하는 힘을 평가한다. 뉴턴(newton)의 운동 방정식을 수치적으로 풀으로써, 각 원자의 운동(시간 발전)을 결정론적으로 추적할 수 있다.

[0062] 이하에 계산 모델과 계산 조건을 기술한다. 또한, 본 계산에서는 Born-Mayer-Huggins 포텐셜을 사용하였다.

[0063] 1680원자의 InGaZnO<sub>4</sub>의 단결정 구조(도 7 참조)와, 1680원자의 InGaZnO<sub>4</sub>의 In, Ga, Zn 각각 20원자씩을

Si 원자로 치환한 구조(도 8참조)를 제작하였다. Si 치환 모델에 있어서, Si는 3.57atom%(2.34wt%)이다. 또한, 단결정 모델의 밀도는 6.36g/cm<sup>3</sup>, Si 치환 모델의 밀도는 6.08g/cm<sup>3</sup>이다.

- [0064] InGaZnO<sub>4</sub>의 단결정의 용점(고전 분자 동력학 시뮬레이션에 의한 계산에 따르면 약 2000℃)보다 작은 1727℃에 있어서, 일정의 압력(1atm)으로 150psec간(시간 간격은 0.2fsec×75만 스텝)의 고전 분자 동력학 시뮬레이션에 의하여 구조 완화를 행하였다. 이들 2개의 구조에 대하여 동경 분포 함수(radial distribution function) g(r)를 계산하였다. 또한, 동경 분포 함수 g(r)란 어느 원자에서 거리 r만큼 떨어진 위치에서 다른 원자가 존재하는 확률 밀도를 나타내는 함수이다. 원자들의 상관이 없어갈수록 g(r)은 1에 더 접근한다.
- [0065] 상기 2개의 계산 모델에 150psec간의 고전 분자 동력학 시뮬레이션을 행하여 얻어진 최종 구조를 각각 도 9 및 도 10에 도시한다. 또한, 각각의 구조에 있어서의 동경 분포 함수 g(r)를 도 11에 도시한다.
- [0066] 도 9에 도시한 단결정 모델은 안정적이고, 최종 구조에 있어서도 결정 구조를 유지하지만, 도 10에 도시한 Si 치환 모델은 불안정적이고, 시간 경과에 따라 결정 구조가 무너져가 비정질 구조로 변화되는 것을 확인할 수 있다. 도 11에서 각 구조 모델의 동경 분포 함수 g(r)를 비교하면, 단결정 모델은 장거리라도 피크가 있어, 장거리 질서를 갖는 것을 알 수 있다. 한편, Si 치환 모델은 0.6nm 부근에서 피크가 없어져, 장거리 질서를 갖지 않는 것을 알 수 있다.
- [0067] 이들 계산 결과에 의하여, SiO<sub>2</sub>를 함유시킨 경우 IGZO는 결정 구조보다 비정질 구조가 안정적이고, IGZO에 SiO<sub>2</sub>를 함유시킴으로써 IGZO의 비정질화가 일어나기 쉬운 것이 시사되었다. 실제로 스퍼터링법을 사용하여 얻어지는 SiO<sub>2</sub>를 함유시킨 IGZO 박막은 형성 직후에 비정질 반도체막이기 때문에, 이들 계산 결과에 의거하면 SiO<sub>2</sub>를 함유시킴으로써 고온 가열을 행한 경우도 결정화를 저해하고 비정질(아모퍼스) 구조를 유지할 수 있다고 할 수 있다.
- [0068] 또한, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)은 막 두께 방향에 있어서의 Si 원소 농도가 게이트 전극층에서 가까운 측으로부터 게이트 전극층에서 떨어진 측으로 향하여 증가되는 농도 구배를 갖는다. 게이트 전극층 상방에 산화물 반도체층이 위치하는 도 2(A)에 도시한 박막 트랜지스터(170)의 경우, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)에 있어서의 SiO<sub>x</sub>의 농도 구배는 게이트 전극층에서 떨어진 측에 고농도의 영역, 게이트 전극층에서 가까운 측에 농도가 낮은 영역이 위치한다. 또한, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)에 있어서의 SiO<sub>x</sub>의 농도 구배는 단계적으로 변화하거나 또는 연속적으로 변화한다.
- [0069] 산화물 반도체층에 SiO<sub>x</sub>를 함유시키고 또 농도 구배를 갖는 산화물 반도체층으로 함으로써, 박막 트랜지스터(170)가 온 상태일 때, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)의 게이트 절연층(102)의 계면 근방(Si 원소 농도가 낮은 영역)을 드레인 전류가 주로 흐름으로써, 전계 효과 이동도를 증대시킬 수 있다. 또한, 박막 트랜지스터(170)가 오프 상태일 때, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)의 에칭 처리된 부분(Si 원소 농도가 높은 영역)을 드레인 전류가 주로 흐름으로써, Si 원소 농도가 높은 영역보다 도전율이 높은 Si 원소 농도가 낮은 영역에 오프 전류가 흐르지 않으므로 오프 전류의 저감을 도모할 수 있다.
- [0070] 또한, SiO<sub>x</sub>를 함유한 산화물 반도체층(103)은 In-Ga-Zn-O계 산화물 반도체에 한정되지 않고, 예를 들어, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체를 사용할 수 있다. 산화물 반도체층에 SiO<sub>x</sub>를 함유시키고 또 농도 구배를 갖는 산화물 반도체층으로 함으로써 같은 효과를 얻을 수 있다.
- [0071] 또한, 상술한 제 1 버퍼층(104a) 및 제 2 버퍼층(104b)을 갖는 구조에 한정되지 않고, 예를 들어, 버퍼층을 형성하지 않는 구조로 하여도 좋다. 그 경우의 박막 트랜지스터(171)의 단면도의 일례를 도 2(C)에 도시한다. 또한, 도 2(C)에서 버퍼층을 형성하지 않는 것 외의 구조는 도 2(A)와 동일하므로, 같은 개소에는 같은 부호를 사용하여 도시한다.
- [0072] 또한, 상술한 박막 트랜지스터(170)를 화소부의 스위칭 소자로서 사용하여 표시 장치를 제작하는 예를 이하에 설명한다.
- [0073] 우선, 절연 표면을 갖는 기판(100) 위에 게이트 전극층(101)을 형성한다. 절연 표면을 갖는 기판(100

0)으로서 유리 기판을 사용한다. 게이트 전극층(101)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 형성하거나 또는 적층하여 형성할 수 있다. 또한, 게이트 전극층(101)을 형성할 때, 화소부의 용량 배선(108) 및 단자부의 제 1 단자(121)도 형성한다.

[0074] 예를 들어, 게이트 전극층(101)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티타늄층 또는 질화탄탈층을 적층한 2층 구조, 또는 질화티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 또한, Ca를 함유한 구리층 위에 배리어층이 되는 Ca를 함유한 산화구리층을 적층한 구조나, Mg를 함유한 구리층 위에 배리어층이 되는 Mg를 함유한 산화구리층을 적층한 구조도 있다. 또한, 3층의 적층 구조로서는, 텅스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄의 합금층과, 질화티타늄층 또는 티타늄층을 적층한 구조로 하는 것이 바람직하다.

[0075] 다음에, 게이트 전극층(101) 위를 덮는 게이트 절연층(102)을 형성한다. 게이트 절연층(102)은 스퍼터링법, PCVD법 등을 상용하여 막 두께를 50nm 내지 400nm로 한다.

[0076] 예를 들어, 게이트 절연층(102)은 스퍼터링법으로 산화실리콘막을 사용하여 100nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 상술한 바와 같은 산화실리콘막에 한정되지 않고, 산화질화실리콘막, 질화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 산화탄탈막 등의 다른 절연막을 사용하여 이들 재료로 이루어진 단층 또는 적층 구조로서 형성하여도 좋다. 적층하는 경우, 예를 들어, PCVD법을 사용하여 질화실리콘막을 형성하고, 그 위에 스퍼터링법으로 산화실리콘막을 형성하면 좋다. 또한, 게이트 절연층(102)으로서 산화질화실리콘막, 또는 질화실리콘막 등을 사용하는 경우, 유기 기판으로부터 불순물, 예를 들어, 나트륨 등이 확산되어 이후 상방에 형성하는 산화물 반도체에 침입되는 것을 막을 수 있다.

[0077] 다음에, 게이트 절연층(102) 위에 SiO<sub>x</sub>를 함유한 산화물 반도체막을 형성한다. SiO<sub>2</sub>를 0.1wt% 이상 10wt% 이하, 바람직하게는 1wt% 이상 6wt% 이하의 비율로 함유시킨 산화물 반도체 타깃을 사용하여 성막한다. 또한, 절연성 불순물이면 산화물 반도체 타깃에 함유시키는 것은 SiO<sub>2</sub>에 한정되지 않고, 산화게르마늄, 산화알루미늄 등으로 대표되는 절연성 산화물, 질화실리콘, 질화알루미늄 등으로 대표되는 절연성 질화물, 또는 산질화실리콘, 산질화알루미늄 등의 절연성 산질화물 등을 사용할 수 있다. 이들 절연성 불순물을 함유시킴으로써, 성막되는 산화물 반도체를 비정질화하기 용이해진다. 또한, 산화물 반도체막을 열 처리한 경우에 결정화해 버리는 것을 억제할 수 있다.

[0078] 본 실시형태에서는 SiO<sub>2</sub>를 2wt% 함유하고 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체 타깃과, SiO<sub>2</sub>를 5wt% 함유하고 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체 타깃의 2개를 동일 챔버 내에 설치하고, 사용하는 타깃을 서터에 의하여 전환하여 동일 챔버 내에서 연속적으로 성막함으로써 Si 원소 농도가 구배를 갖는 산화물 반도체막(제 1 In-Ga-Zn-O계 비단결정막)을 형성한다.

[0079] 또한, In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체 타깃은 RF 스퍼터링법 또는 DC 스퍼터링법의 양쪽 모두를 사용하여 성막할 수 있고, RF 스퍼터링법을 사용하여 인공 석영 타깃과 In(인듐), Ga(갈륨), 및 Zn(아연)을 함유한 산화물 반도체 타깃의 2개의 타깃을 동일 챔버 내에 배치하고, 동시에 스퍼터링을 행하는, 소위, 동시 스퍼터링을 사용하여 Si 원소 농도가 구배를 갖는 산화물 반도체막(제 1 In-Ga-Zn-O계 비단결정막)을 형성하여도 좋다. 또한, 인공 석영 대신에 실리콘 타깃을 사용하여 동시 스퍼터링을 행하여도 좋다. 동시 스퍼터링법을 사용하면, SiO<sub>2</sub>를 함유한 산화물 반도체 타깃을 사용하지 않아도 SiO<sub>x</sub>를 함유한 산화물 반도체막을 형성할 수 있다.

[0080] 다음에, SiO<sub>x</sub>를 함유한 산화물 반도체막보다 저항이 낮은 산화물 반도체막(제 2 In-Ga-Zn-O계 비단결정막)을 스퍼터링법을 사용하여 형성한다. 여기서는, In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO=1:1:1로 한 타깃을 사용하고, 성막 조건은 압력을 0.4Pa, 전력을 500W, 성막 온도를 실온으로 하고, 아르곤 가스 유량 40sccm를 도입하여 스퍼터링 성막을 한다. In<sub>2</sub>O<sub>3</sub>: Ga<sub>2</sub>O<sub>3</sub>: ZnO=1:1:1로 한 타깃을 의도적으로 사용하는 데도 불구하고, 성막 직후에 크기 1nm 내지 10nm의 결정립을 함유한 In-Ga-Zn-O계 비단결정막이 형성되는 경우가 있다. 또한, 타깃의 성분 비율, 성막 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치φ), 온도(실온 내지 100℃), 반응성 스퍼터링의 성막 조건 등을 적절히 조절함으로써, 결정립의 유무나 결정립의 밀도나 직경 크기는 1nm 내지 10nm의 범위 내에서 조절될 수 있다고 할 수 있다. 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는 5nm 내지 20nm로 한다. 물론,

막 중에 결정립이 함유되는 경우, 함유되는 결정립의 크기가 막 두께를 넘지 않는다. 본 실시형태에서는 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는 5nm로 한다. 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건은 희 가스(아르곤, 또는 헬륨 등) 분위기하(또는 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 한다.

[0081] 스퍼터링법에는 스퍼터링용 전원에 고주파 전원을 사용하는 RF 스퍼터링법과, DC 스퍼터링법이 있고, 또한, 펄스적으로 바이어스를 인가하는 펄스 DC 스퍼터링법도 있다.

[0082] 또한, 상이한 재료로 이루어진 복수의 타깃을 설치할 수 있는 다원 스퍼터링 장치도 있다. 다원 스퍼터링 장치는 동일 챔버에서 상이한 재료막을 적층 형성할 수도 있고, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜 형성할 수도 있다.

[0083] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터링 장치나 글로우 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터링 장치가 있다.

[0084] 또한, 스퍼터링법을 사용하는 성막 방법으로서, 성막 중에 타깃 물질과 스퍼터링 가스 성분을 화학 반응시켜 이들 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터링법도 있다.

[0085] 다음에, 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 제 1 In-Ga-Zn-O계 산화물 반도체 막 및 제 2 In-Ga-Zn-O계 산화물 반도체막을 에칭한다.

[0086] 다음에, 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분(게이트 절연층의 일부분)을 제거함으로써, 게이트 전극층과 같은 재료로 이루어진 배선이나 전극층에 도달되는 콘택트 홀을 형성한다. 이 콘택트 홀은 이후 형성하는 도전막과 직접 접속하기 위하여 형성한다. 예를 들어, 구동 회로부에 있어서, 게이트 전극층과 소스 전극층 또는 드레인 전극층과 직접 접촉되는 박막 트랜지스터나, 단자부의 게이트 배선과 전기적으로 접속되는 단자를 형성하는 경우에 콘택트 홀을 형성한다. 또한, 여기서는 포토리소그래피 공정을 행하여 이후 형성하는 도전막과 직접 접속하기 위한 콘택트 홀을 형성하는 예를 제시하였지만, 특히 한정되지 않고, 이후 화소 전극과 접속하기 위한 콘택트 홀을 형성하는 공정으로 게이트 전극층에 도달되는 콘택트 홀을 형성하여 화소 전극과 같은 재료로 전기적으로 접속하여도 좋다. 화소 전극과 같은 재료로 전기적으로 접속하는 경우에는 마스크 수를 1개 삭감할 수 있다.

[0087] 다음에, 제 2 In-Ga-Zn-O계 비단결정막 위에 금속 재료로 이루어진 도전막을 스퍼터링법이나 진공 증착법으로 형성한다.

[0088] 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200℃ 내지 600℃의 열 처리를 행하는 경우에는 이 열 처리에 견딜 수 있는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al 자체는 내열성이 낮고, 또한 부식되기 쉬운 등의 문제점이 있으므로 내열성 도전성 재료와 조합하여 형성한다. Al과 조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd) 스칸듐(Sc) 중에서 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 합금막, 또는 상기 원소를 성분으로 하는 질화물로 형성한다.

[0089] 본 실시형태에서는 도전막은 티타늄막의 단층 구조로 한다. 또한, 도전막은 2층 구조로 하여도 좋고, 알루미늄막 위에 티타늄막을 적층한 것이라도 좋다. 또한, 도전막은 Ti막과, 그 Ti막 위에 겹쳐 Nd를 함유한 알루미늄(Al-Nd)막을 적층하고, 또한 그 위에 Ti막을 형성하는 3층 구조로 하여도 좋다. 도전막은 실리콘을 함유한 알루미늄막의 단층 구조로 하여도 좋다.

[0090] 다음에, 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 화소부에 소스 전극층 또는 드레인 전극층(105a, 105b), 소스 영역 또는 드레인 영역으로서 기능하는 제 1 버퍼층(104a), 제 2 버퍼층(104b)을 형성함으로써, 구동 회로부에 소스 전극층 또는 드레인 전극층, 소스 영역 또는 드레인 영역을 형성한다. 이 때의 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 사용한다. 예를 들어, 도전막으로서 알루미늄막, 또는 알루미늄 합금막을 사용하는 경우는 인산과 초산과 질산을 섞은 용액을 사용한 웨트 에칭을 행할 수 있다. 여기서는, 암모니아 과수(과산화 수소: 암모니아: 물=5:2:2)를 사용한 웨트 에칭에 의하여, Ti막인 도전막을 에칭하여 소스 전극층 또는 드레인 전극층을 형성하고, 제 2 In-Ga-Zn-O계 비단결정막을 에칭하여 제 1 버퍼층(104a), 제 2 버퍼층(104b)을 형성한다. 이 에칭 공정에 있어서, SiO<sub>x</sub>를 함유

한 산화물 반도체막의 노출 영역도 일부분 에칭되어  $\text{SiO}_x$ 를 함유한 산화물 반도체층(103)이 된다.

- [0091] 또한, 이 포토리소그래피 공정에 있어서, 소스 전극층 또는 드레인 전극층(105a, 105b)과 같은 재료인 제 2 단자(122)를 단자부에 남긴다. 제 2 단자(122)는 소스 배선(소스 전극층 또는 드레인 전극층(105a, 105b)을 포함하는 소스 배선)과 전기적으로 접속된다.
- [0092] 상술한 공정에 의하여, 화소부에는  $\text{SiO}_x$ 를 함유한 산화물 반도체층(103)을 채널 형성 영역으로 하는 박막 트랜지스터(170)를 제작할 수 있다.
- [0093] 또한, 단자부에 있어서, 접속 전극(120)은 게이트 절연막에 형성된 콘택트 홀을 통하여 단자부의 제 1 단자(121)와 직접 접속된다. 또한, 본 실시형태에서는 도시하지 않았지만, 상술한 공정과 같은 공정을 거쳐 구동 회로의 박막 트랜지스터의 소스 배선 또는 드레인 배선과 게이트 전극이 직접 접속된다.
- [0094] 다음에, 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열 처리(광을 사용한 어닐링도 포함함)을 행한다. 여기서는, 노에 넣고, 질소 분위기하에서 350℃, 1시간의 열 처리를 행한다. 또한, 이 열 처리에 의하여 In-Ga-Zn-O계 비단결정막의 원자 레벨에서의 재배열이 행해진다. 또한,  $\text{SiO}_x$ 를 함유한 산화물 반도체층(103)은  $\text{SiO}_x$ 를 함유하기 때문에, 여기서의 열 처리로 인한 결정화를 방지할 수 있어 비정질 구조를 유지할 수 있다. 또한,  $\text{SiO}_x$ 를 함유한 산화물 반도체층(103)은  $\text{SiO}_x$ 를 함유하기 때문에, 비교적 높은 온도로 장시간의 열 처리도 가능하다. 또한, 열 처리를 행하는 타이밍은 제 2 In-Ga-Zn-O계 비단결정막을 형성한 후라면 특히 한정되지 않고, 예를 들어, 화소 전극을 형성한 후에 행하여도 좋다.
- [0095] 다음에, 레지스트 마스크를 제거하고, 박막 트랜지스터(170)를 덮는 보호 절연층(106)을 형성한다.
- [0096] 다음에, 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 보호 절연층(106)을 에칭함으로써 소스 전극층 또는 드레인 전극층(105a, 105b)에 도달되는 콘택트 홀을 형성한다. 또한, 여기에서의 에칭에 의하여 제 2 단자(122)에 도달되는 콘택트 홀, 접속 전극(120)에 도달되는 콘택트 홀도 형성한다.
- [0097] 다음에, 레지스트 마스크를 제거한 후, 투명 도전막을 형성한다. 투명 도전막의 재료로서는 산화인듐( $\text{In}_2\text{O}_3$ )이나 인듐주석산화물( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO라 약기함) 등을 스퍼터링법이나 진공 증착법 등을 사용하여 형성한다. 이러한 재료의 에칭 처리는 염산계의 용액을 사용하여 행한다. 그러나, 특히 ITO의 에칭은 잔사(殘渣)가 발생하기 쉬우므로 에칭 가공성을 개선하기 위하여 산화인듐-산화아연합금( $\text{In}_2\text{O}_3\text{-ZnO}$ )을 사용하여도 좋다.
- [0098] 다음에, 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 화소 전극층(110)을 형성한다. 또한, 이 포토리소그래피 공정에 있어서, 용량부에 있어서의 게이트 절연층(102) 및 보호 절연층(106)을 유전체로 하여 용량 배선(108)과 화소 전극(110)으로 유지 용량이 형성된다. 또한, 이 포토리소그래피 공정에 있어서, 제 1 단자 및 제 2 단자를 레지스트 마스크로 덮어 단자부에 형성된 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은 FPC와 접속하는 데 사용되는 전극 또는 배선이 된다. 제 1 단자(121)와 직접 접속된 접속 전극(120) 위에 형성된 투명 도전막(128)은 게이트 배선의 입력 단자로서 기능하는 접속용 단자 전극이 된다. 제 2 단자(122) 위에 형성된 투명 도전막(129)은 소스 배선의 입력 단자로서 기능하는 접속용 단자 전극이 된다.
- [0099] 또한, 본 실시형태에서는 게이트 절연층(102) 및 보호 절연층(106)을 유전체로 하여 용량 배선(108)과 화소 전극층(110)으로 유지 용량을 형성하는 예를 제시하였지만, 특히 한정되지 않고, 소스 전극 또는 드레인 전극과 같은 재료로 구성되는 전극을 용량 배선 상부에 형성함으로써, 그 전극과, 용량 배선과, 이들 사이에 게이트 절연층(102)을 유전체로서 구성하는 유지 용량을 형성하고, 그 전극과 화소 전극층(110)을 전기적으로 접속하는 구성으로 하여도 좋다.
- [0100] 다음에, 레지스트 마스크를 제거하고, 이 단계의 단면도를 도 3에 도시한다. 또한, 이 단계의 화소부에 있어서의 박막 트랜지스터(170)의 상면도가 도 4에 상당한다.
- [0101] 또한, 도 4 중의 A1-A2선을 따른 단면도 및 도 4 중의 B1-B2선을 따른 단면도가 도 3에 상당한다. 도 3은 화소부에 있어서의 제 2 박막 트랜지스터(170)의 단면 구조와, 화소부에 있어서의 용량부의 단면 구조와, 단자부의 단면 구조를 도시한 것이다.
- [0102] 또한, 도 5(A) 및 도 5(B)는 소스 배선 단자부의 상면도 및 단면도를 각각 도시한 것이다. 또한, 도 5(A)는 도 5(B) 중의 D1-D2선을 따른 단면도에 상당한다. 도 5(A)에 있어서, 보호 절연막(154) 위에 형성되는

투명 도전막(155)은 입력 단자로서 기능하는 접속용 단자 전극이다. 또한, 도 5(A)에 있어서, 단자부에서는 게이트 배선과 같은 재료로 형성되는 전극(156)이 소스 배선과 전기적으로 접속되는 제 2 단자(150) 하방에 게이트 절연층(152)을 사이에 두고 중첩된다. 전극(156)은 제 2 단자(150)와 전기적으로 접속되지 않고, 전극(156)을 제 2 단자(150)와 상이한 전위, 예를 들어 플로팅, GND, 0V 등으로 설정하면 노이즈 대책을 위한 용량 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제 2 단자(150)는 보호 절연막(106)을 통하여 투명 도전막(155)과 전기적으로 접속된다.

[0103] 게이트 배선, 소스 배선, 및 용량 배선은 화소 밀도에 따라 복수 형성되는 것이다. 또한, 단자부에 있어서는, 게이트 배선과 전위가 같은 제 1 단자, 소스 배선과 전위가 같은 제 2 단자, 용량 배선과 전위가 같은 제 3 단자 등이 복수 나란히 배치된다. 각각의 단자 수는 각각 임의의 수에 설정하면 좋은 것으로 하고, 실시자가 적절히 결정하면 좋다.

[0104] 상술한 바와 같이 하여, SiO<sub>x</sub>를 함유한 산화물 반도체층을 갖는 박막 트랜지스터(170)와 유지 용량을 갖는 화소부, 및 단자부를 완성시킬 수 있다. 또한, 동일 기판 위에 구동 회로도 형성할 수도 있다.

[0105] 액티브 매트릭스형 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과, 대향 전극이 형성된 대향 기판 사이에 액정층을 형성하여 액티브 매트릭스 기판과 대향 기판을 고정한다. 또한, 대향 기판에 형성된 대향 전극과 전기적으로 접속되는 공통 전극을 액티브 매트릭스 기판 위에 형성하고, 공통 전극과 전기적으로 접속되는 단자를 단자부에 형성한다. 이 단자는 공통 전극을 고정 전위, 예를 들어, GND, 0V 등으로 설정하기 위한 단자이다.

[0106] 또한, 본 실시형태는 도 4의 화소 구성에 한정되지 않고, 도 4와 상이한 상면도의 예를 도 6에 도시한다. 도 6에서는 용량 배선을 형성하지 않고, 보호 절연막 및 게이트 절연층을 사이에 두고 화소 전극을 이웃하는 화소의 게이트 배선과 중첩함으로써 유지 용량을 형성하는 예이고, 이 경우, 용량 배선 및 용량 배선과 접속되는 제 3 단자는 생략할 수 있다. 또한, 도 6에 있어서, 도 4와 같은 부분에는 같은 부호를 사용하여 설명한다.

[0107] 액티브 매트릭스형 액정 표시 장치에 있어서는, 매트릭스 형상으로 배치된 화소 전극을 구동시킴으로써 화면상에 표시 패턴이 형성된다. 자세히 설명하면, 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조가 행해지고, 이 광학 변조가 표시 패턴으로서 관찰자에 인식된다.

[0108] 액정 표시 장치의 동영상 표시에 있어서, 액정 분자 자체의 응답이 느리므로, 잔상이 생기거나 또는 동영상의 번짐 현상이 일어나는 문제가 있다. 액정 표시 장치의 동영상 특성을 개선하기 위하여, 전체 면 혹은 표시를 1프레임 간격으로 행하는, 소위, 흑 삽입이라 불리는 구동 기술이 있다.

[0109] 또한, 수직 동기 주파수를 통상의 1.5배 또는 2배 이상으로 함으로써 동영상 특성을 개선함과 함께, 소위, 배속(倍速) 구동이라 불리는 구동 기술도 있다.

[0110] 또한, 액정 표시 장치의 동영상 특성을 개선하기 위하여, 백 라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용하여 면 광원을 구성하고, 면 광원을 구성하는 각 광원을 독립적으로 1프레임 기간 내에서 간결 점등 구동하는 구동 기술도 있다. 면 광원으로서 3종류 이상의 LED를 사용하여도 좋고, 백색 발광의 LED를 사용하여도 좋다. 독립적으로 복수의 LED를 제어할 수 있으므로, 액정층의 광학 변조를 전환하는 타이밍에 맞추어 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동 기술은 LED를 부분적으로 비발광 상태로 할 수 있으므로, 특히 1화면을 차지하는 혹은 표시 영역의 비율이 많은 영상 표시의 경우에는 소비 전력의 저감 효과가 도모된다.

[0111] 이들 구동 기술을 조합함으로써, 액정 표시 장치의 동영상 특성 등의 표시 특성을 종래보다 개선할 수 있다.

[0112] 또한, 본 실시형태에 의하여, 전기 특성이 높고, 신뢰성이 좋은 표시 장치를 저비용으로 제공할 수 있다.

[0113] 또한, 본 실시형태는 실시형태 1과 자유로이 조합할 수 있다.

[0114] (실시형태 3)

- [0115] 본 실시형태에서는 마스크 수를 저감하기 위하여 다계조 마스크를 사용한 노광을 행하는 예를 제시한다.
- [0116] 또한, 산화물 반도체층의 조성으로서 생산량이 한정되어 있는 희소 금속의 인듐을 사용하지 않는 예를 제시한다. 아울러, 희소 금속의 일종인 갈륨도 산화물 반도체층의 조성 원소로서 사용하지 않는 예를 제시한다.
- [0117] 또한, 다계조 마스크란, 노광 부분, 중간 노광 부분, 및 미노광 부분에 3개의 노광 레벨을 행하는 것이 가능한 마스크이며, 투과한 광이 복수의 강도를 갖는 노광 마스크이다. 한번의 노광 및 현상 공정에 의하여, 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 형성할 수 있다. 따라서, 다계조 마스크를 사용하는 것으로, 노광 마스크 수를 삭감할 수 있다.
- [0118] 다계조 마스크의 대표적인 예로서는 그레이 톤 마스크나 하프 톤 마스크가 있다.
- [0119] 그레이 톤 마스크는 투광성 기관 및 그 위에 형성되는 차광부 및 회절 격자로 구성된다. 차광부에 있어서는 광 투과율이 0%이다. 한편, 회절 격자는 슬릿, 도트, 메시 등의 광 투과부의 간격을, 노광에 사용하는 광의 해상도 한계 이하의 간격으로 함으로써, 광 투과율을 제어할 수 있다. 또한, 회절 격자는 주기적인 슬릿, 도트, 메시, 또는 비주기적인 슬릿, 도트, 메시의 어느 쪽이나 사용할 수 있다.
- [0120] 하프 톤 마스크는 투광성 기관 및 그 위에 형성되는 반 투과부 및 차광부로 구성된다. 반 투과부는 MoSiN, MoSi, MoSiO<sub>x</sub>, MoSiON, CrSi 등을 사용할 수 있다. 차광부는 크롬이나 산화크롬 등의 광을 흡수하는 차광 재료를 사용하여 형성할 수 있다. 하프 톤 마스크에 노광광을 조사한 경우, 차광부에 있어서는 광 투과율이 0%이며, 차광부 및 반 투과부가 형성되지 않는 영역에서는 광 투과율이 100%이다. 또한, 반 투과부에 있어서는 10% 내지 70%의 범위에서 조정할 수 있다. 반 투과부에 있어서는 광 투과율은 반 투과부의 재료로 조정할 수 있다.
- [0121] 도 12(A) 내지 도 12(E)는 박막 트랜지스터(360)의 제작 공정을 도시한 단면도에 상당한다.
- [0122] 도 12(A)에 있어서, 절연막(357)이 형성된 기관(350) 위에 게이트 전극층(351)을 형성한다. 본 실시형태에서는 절연막(357)으로서 산화실리콘막(막 두께 100nm)을 사용한다. 게이트 전극층(351) 위에 게이트 절연층(352), 산화물 반도체막(380), SiO<sub>x</sub>를 함유한 산화물 반도체막(381) 및 도전막(383)을 순차로 적층한다. 본 실시형태에서는 산화물 반도체막(380) 및 SiO<sub>x</sub>를 함유한 산화물 반도체막(381)으로서 인듐, 및 갈륨을 함유하지 않은 산화물 반도체, 대표적으로는, Sn-Zn-O계, Al-Zn-O계, Sn-Al-Zn-O계, Zn-O계 산화물 반도체를 사용한다. 본 실시형태에서는 산화물 반도체막(380)으로서 스퍼터링법을 사용한 Sn-Zn-O계 산화물 반도체를 사용한다. 또한, SiO<sub>x</sub>를 함유한 산화물 반도체막(381)으로서 Sn-Zn-O계 산화물 반도체를 사용한다.
- [0123] 게이트 절연층(352), 산화물 반도체막(380), SiO<sub>x</sub>를 함유한 산화물 반도체막(381), 도전막(383) 위에 마스크(384)를 형성한다.
- [0124] 본 실시형태에서는 마스크(384)를 형성하기 위하여 다계조(고계조) 마스크를 사용한 노광을 행하는 예를 제시한다.
- [0125] 투과한 광이 복수의 강도를 갖는 다계조 마스크를 사용하여 노광한 후, 현상함으로써, 도 12(B)에 도시한 바와 같이, 막 두께가 상이한 영역을 갖는 마스크(384)를 형성할 수 있다. 다계조 마스크를 사용함으로써 노광 마스크 수를 삭감할 수 있다.
- [0126] 다음에, 마스크(384)를 사용하여 제 1 에칭 공정을 사용하여 산화물 반도체막(380), SiO<sub>x</sub>를 함유한 산화물 반도체막(381), 도전막(383)을 에칭하여 섬 형상으로 가공한다. 결과적으로, 패터닝된 산화물 반도체층(390), SiO<sub>x</sub>를 함유한 산화물 반도체층(385), 도전층(387)을 형성할 수 있다(도 12(B) 참조).
- [0127] 다음에, 마스크(384)를 애싱한다. 결과적으로, 마스크 면적이 축소되고, 두께가 얇아진다. 이때, 막 두께가 얇은 영역의 마스크의 레지스트(게이트 전극층(351)의 일부분과 증착되는 영역)는 제거되고, 분리된 마스크(388)를 형성할 수 있다(도 12(C) 참조).
- [0128] 마스크(388)를 사용하여 SiO<sub>x</sub>를 함유한 산화물 반도체층(385), 도전층(387)을 제 2 에칭 공정에 의하여 에칭하여, SiO<sub>x</sub>를 함유한 반도체층(353), 소스 전극층 또는 드레인 전극층(355a, 355b)을 형성한다(도 12(D) 참

조). 또한, SiO<sub>x</sub>를 함유한 반도체층(353)은 일부분만이 에칭되어 홈부(오목부)를 갖는 반도체층이 되고, 또 단부도 일부 에칭되어 노출된 형상이 된다.

[0129] SiO<sub>x</sub>를 함유한 산화물 반도체막(381), 도전막(383)을 제 1 에칭 공정으로 드라이 에칭하면, SiO<sub>x</sub>를 함유한 산화물 반도체막(381), 도전막(383)은 이방적으로 에칭되기 때문에, 마스크(384)의 단부와, SiO<sub>x</sub>를 함유한 산화물 반도체층(385), 도전층(387)의 단부는 일치하고, 연속적인 형상이 된다.

[0130] 마찬가지로, SiO<sub>x</sub>를 함유한 산화물 반도체층(385), 도전층(387)을 제 2 에칭 공정으로 드라이 에칭하면, SiO<sub>x</sub>를 함유한 산화물 반도체층(385), 도전층(387)은 이방적으로 에칭되기 때문에, 마스크(388)의 단부와, SiO<sub>x</sub>를 함유한 반도체층(353)의 오목부 및 단부, 소스 전극층 또는 드레인 전극층(355a, 355b)의 단부는 일치하고, 연속적인 형상이 된다.

[0131] 또한, 본 실시형태에서는 SiO<sub>x</sub>를 함유한 반도체층(353), 소스 전극층 또는 드레인 전극층(355a, 355b)의 단부는 같은 테이퍼각을 갖고 연속적으로 적층된 형상을 제시하였지만, 에칭 조건이나 산화물 반도체층 및 도전층의 재료에 따라, 에칭 레이트가 상이하므로, 각각 상이한 테이퍼각이나 불연속적인 단부 형상을 갖는 경우도 있다.

[0132] 그 후, 마스크(388)를 제거한다.

[0133] 다음에, 산소를 함유한 분위기에서 200℃ 내지 600℃로 가열한다(도 12(E) 참조).

[0134] 상술한 공정에 의하여, 산화물 반도체층(390) 위에 SiO<sub>x</sub>를 함유한 반도체층(353)의 적층을 갖는 채널 에치형 박막 트랜지스터(360)를 제작할 수 있다.

[0135] 본 실시형태에 제시한 바와 같이, 다계조 마스크를 사용하여 형성한 복수(대표적으로는 2종류)의 두께의 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크 수를 절감할 수 있기 때문에, 공정 간략화, 저비용화를 도모할 수 있다.

[0136] 또한, 본 실시형태에 제시한 바와 같이, 산화물 반도체층에 인듐 및 갈륨을 사용하지 않음으로써 산화물 반도체 타깃의 가격을 저감할 수 있으므로 저비용화를 도모할 수 있다.

[0137] 따라서, 반도체 장치를 저비용으로 생산성 좋게 제작할 수 있다.

[0138] 본 실시형태에서는 구동 회로에 배치하는 박막 트랜지스터도 화소부에 배치하는 박막 트랜지스터도 산화물 반도체층(390) 위에 SiO<sub>x</sub>를 함유한 반도체층(353)의 적층을 갖는 역 스테거형 박막 트랜지스터(360)로 하는 예를 제시한다. 즉, 본 실시형태는 동일 기판 위에 구동 회로도 제작한 경우, 구동 회로와 화소부의 박막 트랜지스터의 구조가 거의 동일하게 되는 예이다.

[0139] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0140] 예를 들어, 본 실시형태에서는 산화물 반도체막(380)으로서 스퍼터링법을 사용한 Sn-Zn-O계 산화물 반도체를 사용하고, SiO<sub>x</sub>를 함유한 산화물 반도체막(381)으로서 Sn-Zn-O계 산화물 반도체를 사용한 적층의 예를 제시하지만, 특히 한정되지 않고, 실시형태 2에 제시한 바와 같이 단층으로 하여도 좋고, 예를 들어, SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용한 박막 트랜지스터를 제작할 수도 있다.

[0141] (실시형태 4)

[0142] 본 실시형태에서는 채널 스톱형 박막 트랜지스터(430)의 일레에 대하여 도 13(A) 및 도 13(B)를 사용하여 설명한다. 또한, 도 13(B)는 박막 트랜지스터의 상면도의 일레이고, 도면 중 Z1-Z2의 채선으로 절단한 단면도가 도 13(A)에 상당한다. 또한, 박막 트랜지스터(430)의 산화물 반도체층에 인듐을 함유하지 않은 산화물 반도체 재료를 사용하는 예를 제시한다.

[0143] 도 13(A)에 있어서, 기판(400) 위에 게이트 전극(401)을 형성한다. 다음에, 게이트 전극(401)을 덮는 게이트 절연층(402) 위에는 제 1 산화물 반도체층(403)과, 제 2 산화물 반도체층(405)을 형성한다.

[0144] 본 실시형태에서는 제 1 산화물 반도체층(403)으로서 스퍼터링법을 사용한 Ga-Zn-O계의 산화물 반도체

를 사용한다. 또한, 제 2 산화물 반도체층(405)으로서  $\text{SiO}_x$ 를 함유한 Sn-Zn-O계 산화물 반도체를 사용한다. 본 실시형태에서는 제 1 산화물 반도체층(403) 및 제 2 산화물 반도체층(405)으로서 인듐을 함유하지 않은 산화물 반도체, 대표적으로는 Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-O계의 산화물 반도체를 사용한다.

[0145] 다음에, 제 2 산화물 반도체층(405) 위에 접촉하여 채널 보호층(418)을 형성한다. 채널 보호층(418)을 형성함으로써, 제 2 산화물 반도체층(405)의 채널 형성 영역에 대한 공정시의 대미지(에칭시의 플라즈마나 에칭제로 인한 막 감소나, 산화 등)를 방지할 수 있다. 따라서, 박막 트랜지스터(430)의 신뢰성을 향상시킬 수 있다.

[0146] 채널 보호층(418)으로서는, 무기 재료(산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등)를 사용할 수 있다. 제작법으로서는, 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 사용할 수 있다. 채널 보호층(418)은 형성 후에 에칭에 의하여 형상을 가공하여 형성한다. 여기서는, 스퍼터링법에 의하여 산화실리콘막을 형성하고, 포토리소그래피에 의한 마스크를 사용하여 에칭 가공함으로써 채널 보호층(418)을 형성한다.

[0147] 다음에, 채널 보호층(418) 및 제 2 산화물 반도체층(405) 위에  $n^+$ 층(406a, 406b)을 형성한다. 본 실시형태에서는 소스 영역 또는 드레인 영역으로서 기능하는  $n^+$ 층(406a, 406b)은 Ga-Zn-O계 비단결정막이고, 제 1 산화물 반도체층(403), 제 2 산화물 반도체층(405)의 성막 조건과 상이한 성막 조건으로 형성되고, 저항이 더 낮은 산화물 반도체층이다. 또한,  $n^+$ 층(406a, 406b)은 질소를 함유시킨 Ga-Zn-O계 비단결정막, 즉 Ga-Zn-O-N계 비단결정막(GZON막이라고도 부름)을 사용하여도 좋다.

[0148] 다음에,  $n^+$ 층(406a) 위에 제 1 배선(409),  $n^+$ 층(406b) 위에 제 2 배선(410)을 각각 형성한다. 제 1 배선(409) 및 제 2 배선(410)은 Al, Cr, Ta, Ti, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 사용한다.

[0149]  $n^+$ 층(406a, 406b)을 형성함으로써, 금속층인 제 1 배선(409), 제 2 배선(410)과, 제 2 산화물 반도체층(405) 사이를 양호한 접합으로 하고, 쇼트키 접합보다 열적으로도 안정 동작시킨다. 또한, 채널의 캐리어를 공급하고(소스 측), 또는 채널의 캐리어를 안정하여 흡수하고(드레인 측), 또는 저항 성분을 배선과의 계면에 형성하지 않기 위해서도 적극적으로  $n^+$ 층을 형성하면 효과적이다. 또한, 저저항화함으로써 드레인 전압이 높아도 양호한 이동도를 유지할 수 있다.

[0150] 또한, 상술한  $n^+$ 층(406a, 406b)을 갖는 구조에 한정되지 않고, 예를 들어,  $n^+$ 층을 형성하지 않는 구조로 하여도 좋다. 그 경우의 박막 트랜지스터(191)의 단면도의 일례를 도 13(C)에 도시한다. 또한, 도 13(C)에 있어서,  $n^+$ 층을 형성하지 않는 것 외의 구조는 도 13(A)와 동일하므로, 같은 개소에는 같은 부호를 사용하여 도시한다.

[0151] 다음에, 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열 처리를 행하는 것이 바람직하다. 여기서는, 노에 넣고, 대기 분위기하에서 350℃, 1시간의 열 처리를 행한다. 또한, 이 열 처리에 의하여 제 1 산화물 반도체층(403) 및 제 2 산화물 반도체층(405)의 원자 레벨에서의 재배열이 행해진다. 이 열 처리에 의하여 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열 처리(광을 사용한 어닐링도 포함함)는 중요하다. 또한, 여기서의 열 처리로 제 2 산화물 반도체층(405)의 결정화는 제 2 산화물 반도체층(405)에 함유된  $\text{SiO}_x$ 에 의하여 저해되어 대부분이 비정질 상태를 유지할 수 있다. 또한, 열 처리를 행하는 타이밍은 제 2 산화물 반도체층(405)의 형성 후라면 특히 한정되지 않고, 예를 들어, 화소 전극 형성 후에 행하여도 좋다.

[0152] 또한, 본 실시형태에 제시한 바와 같이, 산화물 반도체층에 인듐을 사용하지 않음으로써 재료로서 고갈될 우려가 있는 인듐을 사용하지 않아도 된다.

[0153] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0154] 예를 들어, 본 실시형태에서는 제 1 산화물 반도체층(403)으로서 스퍼터링법을 사용한 Ga-Zn-O계 산화물 반도체를 사용하고, 제 2 산화물 반도체층(405)으로서  $\text{SiO}_x$ 를 함유한 Sn-Zn-O계 산화물 반도체를 사용하는 적층의 예를 제시하였지만, 특히 한정되지 않고, 실시형태 2에 제시하는 바와 같이 단층으로 하여도 좋고, 예를

들어, SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용하는 박막 트랜지스터를 제작할 수도 있다.

[0155] (실시형태 5)

[0156] 본 실시형태에서는 2개의 n채널형 박막 트랜지스터(760, 761)를 사용하여 인버터 회로를 구성하는 예를 설명한다. 또한, 박막 트랜지스터(760, 761)의 산화물 반도체층에 갈륨을 함유하지 않은 산화물 반도체 재료를 사용하는 예를 제시한다.

[0157] 화소부를 구동하기 위한 구동 회로는 인버터 회로, 용량, 저항 등을 사용하여 구성한다. 2개의 n채널형 TFT를 조합하여 인버터 회로를 형성하는 경우, 인헨스먼트(enhancement)형 트랜지스터와 디플리션(depletion)형 트랜지스터를 조합하여 형성하는 경우(이하, EDMOS 회로라 함), 2개의 인헨스먼트형 TFT로 형성하는 경우(이하, EEMOS 회로라 함)가 있다. 또한, n채널형 TFT의 임계 값 전압이 양인 경우에는 인헨스먼트형 트랜지스터로 정의하고, n채널형 TFT의 임계 값 전압이 음인 경우는, 디플리션형 트랜지스터로 정의하고, 본 명세서를 통하여 이 정의에 따르는 것으로 한다.

[0158] 화소부와 구동 회로는 동일 기판 위에 형성하고, 화소부에 있어서는 매트릭스 형상으로 배치한 인헨스먼트형 트랜지스터를 사용하여 화소 전극에 대한 전압 인가의 온/오프를 전환한다.

[0159] 구동 회로의 인버터 회로의 단면 구조를 도 14(A)에 도시한다. 도 14(A)에 있어서, 기판(740) 위에 제 1 게이트 전극(741) 및 제 2 게이트 전극(742)을 형성한다. 제 1 게이트 전극(741) 및 제 2 게이트 전극(742)의 재료는 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여 단층으로 형성하거나 또는 적층하여 형성할 수 있다.

[0160] 또한, 제 1 게이트 전극(741) 및 제 2 게이트 전극(742)을 덮는 게이트 절연층(743) 위에 제 1 배선(749), 제 2 배선(750), 및 제 3 배선(751)을 형성하고, 제 2 배선(750)은 게이트 절연층(743)에 형성된 콘택트 홀(744)을 통하여 제 2 게이트 전극(742)과 직접 접촉된다.

[0161] 또한, 제 1 배선(749), 제 2 배선(750), 및 제 3 배선(751) 위에는 n<sup>+</sup>층(755a, 755b, 756a, 756b)을 형성한다. 본 실시형태에서는 소스 영역 또는 드레인 영역으로서 기능하는 n<sup>+</sup>층(755a, 755b, 756a, 756b)은 Ga-Zn-O계 비단결정막이다. 또한, n<sup>+</sup>층(755a, 755b, 756a, 756b)은 질소를 함유시킨 Ga-Zn-O계 비단결정막, 즉 Ga-Zn-O-N계 비단결정막(GZON막이라고도 부름)을 사용하여도 좋다.

[0162] 또한, 제 1 게이트 전극(741)과 중첩되는 위치이며 제 1 배선(749), 제 2 배선(750) 위에 n<sup>+</sup>층(755a, 755b)을 사이에 두고 제 1 산화물 반도체층(748) 및 SiO<sub>x</sub>를 함유한 제 2 산화물 반도체층(745)을 형성하고, 제 2 게이트 전극(742)과 중첩되는 위치이며 제 2 배선(750), 제 3 배선(751) 위에 n<sup>+</sup>층(756a, 756b)을 사이에 두고 제 3 산화물 반도체층(746) 및 SiO<sub>x</sub>를 함유한 제 4 산화물 반도체층(747)을 형성한다.

[0163] 본 실시형태에서는 제 1 산화물 반도체층(748) 및 제 3 산화물 반도체층(746)으로서 스피터링법을 사용한 In-Zn-O계 산화물 반도체를 사용한다. 또한, 제 2 산화물 반도체층(745) 및 제 4 산화물 반도체층(747)으로서 SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용한다. 본 실시형태에서는 제 1 산화물 반도체층(748), 제 2 산화물 반도체층(745), 제 3 산화물 반도체층(746), 및 제 4 산화물 반도체층(747)으로서 갈륨을 함유하지 않은 산화물 반도체, 대표적으로는 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-O계의 산화물 반도체를 사용한다.

[0164] 박막 트랜지스터(760)는 제 1 게이트 전극(741)과 게이트 절연층(743)을 사이에 두고 제 1 게이트 전극(741)과 중첩되는 제 1 산화물 반도체층(748), 및 SiO<sub>x</sub>를 함유한 제 2 산화물 반도체층(745)을 갖고, 제 1 배선(749)은 접지 전위의 전원선(접지 전원선)이다. 이 접지 전위의 전원선은 음의 전압 VDL이 인가되는 전원선(음 전원선)으로 하여도 좋다.

[0165] 또한, 박막 트랜지스터(761)는 제 2 게이트 전극(742)과, 게이트 절연층(743)을 사이에 두고 제 2 게이트 전극(742)과 중첩되는 위치에 제 3 산화물 반도체층(746), 및 SiO<sub>x</sub>를 함유한 제 4 산화물 반도체층(747)을 갖고, 제 3 배선(751)은 양의 전압 VDD가 인가되는 전원선(양 전원선)이다.

- [0166]           도 14(A)에 도시한 바와 같이, 제 1 산화물 반도체층(748)과 제 3 산화물 반도체층(746)의 양쪽 모두에 전기적으로 접속되는 제 2 배선(750)은 게이트 절연층(743)에 형성된 콘택트 홀(744)을 통하여 박막 트랜지스터(761)의 제 2 게이트 전극(742)과 직접 접속된다. 제 2 배선(750)과 제 2 게이트 전극(742)을 직접 접속시킴으로써 양호한 콘택트를 얻을 수 있어 접촉 저항을 저감할 수 있다. 제 2 게이트 전극(742)과 제 2 배선(750)을 다른 도전막, 예를 들어, 투명 도전막을 통하여 접속하는 경우와 비교하여 콘택트 홀의 개수의 저감, 콘택트 홀의 개수의 저감에 의한 점유 면적의 축소를 도모할 수 있다.
- [0167]           또한, 구동 회로의 인버터 회로의 상면도를 도 14(B)에 도시한다. 도 14(B)에 있어서, 섹션 Y1-Y2에서 절단한 단면이 도 14(A)에 상당한다.
- [0168]           또한, n<sup>+</sup>층을 형성하지 않는 박막 트랜지스터(762, 763)를 사용한 인버터 회로의 제작 공정의 일례를 도 15(A) 내지 도 15(C)에 도시한다.
- [0169]           기관(740) 위에 스퍼터링법에 의하여 제 1 도전막을 형성하고, 제 1 포토마스크를 사용하여 선택적으로 제 1 도전막을 에칭하여 제 1 게이트 전극(741) 및 제 2 게이트 전극(742)을 형성한다. 다음에, 제 1 게이트 전극(741) 및 제 2 게이트 전극(742)을 덮는 게이트 절연층(743)을 플라즈마 CVD법 또는 스퍼터링법을 사용하여 형성한다. 게이트 절연층(743)은 CVD법 또는 스퍼터링법 등을 사용하여 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화산화실리콘층을 단층으로 형성하거나 또는 적층하여 형성할 수 있다. 또한, 게이트 절연층(743)으로서 유기 실란 가스를 사용한 CVD법에 의하여 산화실리콘층을 형성할 수도 있다.
- [0170]           다음에, 제 2 포토 마스크를 사용하여 게이트 절연층(743)을 선택적으로 에칭하여 제 2 게이트 전극(742)에 도달되는 콘택트 홀(744)을 형성한다. 여기까지의 단계의 단면도가 도 15(A)에 상당한다.
- [0171]           다음에, 제 2 도전막을 스퍼터링법을 사용하여 형성하고, 제 3 포토 마스크를 사용하여 선택적으로 도전막을 에칭하여, 제 1 배선(749), 제 2 배선(750), 및 제 3 배선(751)을 형성한다. 제 3 배선(751)은 콘택트 홀(744)을 통하여 제 2 게이트 전극(742)과 직접 접속된다.
- [0172]           다음에, 제 1 산화물 반도체막과, SiO<sub>x</sub>를 함유한 제 2 산화물 반도체막의 적층을 스퍼터링법을 사용하여 형성한다. 또한, 제 1 산화물 반도체막을 스퍼터링법을 사용하여 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여 게이트 절연층(743) 표면 및 콘택트 홀(744)의 바닥 면에 부착된 먼지를 제거하는 것이 바람직하다. 역 스퍼터링이란, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기하에서 기관 측에 RF 전원을 사용하여 전압을 인가함으로써 기관에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소, N<sub>2</sub>O 등을 첨가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 Cl<sub>2</sub>, CF<sub>4</sub> 등을 첨가한 분위기에서 행하여도 좋다.
- [0173]           다음에, 제 4 포토 마스크를 사용하여 선택적으로 제 1 산화물 반도체막과 SiO<sub>x</sub>를 함유한 제 2 산화물 반도체막을 에칭한다. 이 에칭에 의하여, 제 1 게이트 전극(741) 위에 제 1 산화물 반도체층(748), 및 SiO<sub>x</sub>를 함유한 제 2 산화물 반도체층(745)의 적층이 형성되고, 제 2 게이트 전극(742) 위에 제 3 산화물 반도체층(746), 및 SiO<sub>x</sub>를 함유한 제 4 산화물 반도체층(747)의 적층이 형성된다.
- [0174]           다음에, 보호층(752)을 형성하고, 제 5 포토 마스크를 사용하여 보호층(752)을 선택적으로 에칭하여 콘택트 홀을 형성한 후, 제 3 도전막을 형성한다. 마지막으로 제 6 포토 마스크를 사용하여 제 3 도전막을 선택적으로 에칭하여 제 2 배선(750)과 전기적으로 접속되는 접속 배선(753)을 형성한다. 여기까지의 단계의 단면도가 도 15(C)에 상당한다.
- [0175]           보호층(752)으로서는 무기 재료(산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등)를 사용할 수 있다. 제작법으로서는 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법이나 스퍼터링법을 사용할 수 있다.
- [0176]           다음에, 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열 처리를 행하는 것이 바람직하다. 여기서, 노에 넣고, 대기 분위기하에서 350℃, 1시간의 열 처리를 행한다. 또한, 이 열 처리에 의하여 제 1 산화물 반도체층(748), 제 2 산화물 반도체층(745), 3 산화물 반도체층(746), 및 제 4 산화물 반도체층(747)의 원자 레벨에서의 재배열이 행해진다. 이 열 처리에 의하여 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열 처리(광을 사용한 어닐링도 포함함)는 중요하다. 또한, 열 처리를 행하는 타이밍은 제 2 산화물

반도체층(745)의 형성 후라면 특히 한정되지 않고, 예를 들어, 화소 전극 형성 후에 행하여도 좋다.

[0177] 또한, 본 실시형태에 제시하는 바와 같이, 산화물 반도체층에 갈륨을 사용하지 않음으로써 재료로서 제조 비용이 많이 드는 갈륨을 사용하지 않아도 된다.

[0178] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0179] 예를 들어, 본 실시형태에서는 제 1 산화물 반도체층(748) 제 3 산화물 반도체층(746)으로서 스퍼터링법을 사용한 In-Zn-O계 산화물 반도체를 사용하고, 제 2 산화물 반도체층(745), 제 4 산화물 반도체층(747)으로서 SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용하는 적층의 예를 제시하지만, 특히 한정되지 않고, 실시형태 2에 제시하는 바와 같이 단층으로 하여도 좋고, 예를 들어, SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용하는 박막 트랜지스터를 제작할 수도 있다.

[0180] (실시형태 6)

[0181] 본 실시형태에서는 튜프 게이트형 박막 트랜지스터(330)의 일레에 대하여 도 16(A) 및 도 16(B)를 사용하여 설명한다. 또한, 도 16(B)는 박막 트랜지스터의 상면도의 일레이고, 도면 중의 P1-P2의 쇄선으로 절단한 단면도가 도 16(A)에 상당한다.

[0182] 도 16(A)에 있어서, 기판(300) 위에 제 1 배선(309)과 제 2 배선(310)을 형성한다. 또한, 제 1 배선(309)과 제 2 배선(310)은 소스 전극 또는 드레인 전극으로서 기능한다.

[0183] 다음에, 제 1 배선(309)과 제 2 배선(310) 위에 SiO<sub>x</sub>를 함유한 제 1 산화물 반도체층(304)과, 제 2 산화물 반도체층(305)을 형성한다. 본 실시형태에서는 제 1 산화물 반도체층(304)으로서 SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용한다. 또한, 제 2 산화물 반도체층(305)으로서 In-Ga-Zn-O계 비단결정막을 사용한다.

[0184] 또한, 제 1 산화물 반도체층(304)에 있어서, 막 두께 방향에 있어서의 Si 원소 농도가 이후 형성되는 게이트 전극에서 가까운 측으로부터 게이트 전극에서 떨어진 측으로 향하여 증가되는 농도 구배를 갖는 산화물 반도체층을 포함하여도 좋다.

[0185] 다음에, 제 2 산화물 반도체층(305), 제 1 배선(309), 제 2 배선(310)을 덮는 게이트 절연층(303)을 형성한다.

[0186] 다음에, 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열 처리를 행하는 것이 바람직하다. 여기서, 노에 넣고, 대기 분위기하에서 350℃, 1시간의 열 처리를 행한다. 이 열 처리에 의하여 제 1 산화물 반도체층(304) 및 제 2 산화물 반도체층(305)의 원자 레벨에서의 재배열이 행해진다. 이 열 처리에 의하여 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열 처리(광을 사용한 어닐링도 포함함)는 중요하다.

[0187] 다음에, 게이트 절연층(303) 위이며 제 1 산화물 반도체층(304)이 기판(300)과 접촉하는 영역과 중첩되는 위치에 게이트 전극(301)을 형성한다.

[0188] 상술한 공정으로 튜프 게이트 구조의 박막 트랜지스터(330)를 제작할 수 있다.

[0189] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0190] 예를 들어, 본 실시형태에서는 제 1 산화물 반도체층(304)으로서 스퍼터링법을 사용한 SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용하고, 제 2 산화물 반도체층(305)으로서 In-Ga-Zn-O계 산화물 반도체를 사용하는 적층의 예를 제시하지만, 특히 한정되지 않고, 단층으로 하여도 좋고, 예를 들어, SiO<sub>x</sub>를 함유한 Sn-Zn-O계 산화물 반도체를 사용하는 박막 트랜지스터를 제작할 수도 있다.

[0191] (실시형태 7)

[0192] 본 실시형태에서는 튜프 게이트형 박막 트랜지스터(630)의 일레에 대하여 도 17(A) 및 도 17(B)를 사용하여 설명한다. 또한, 도 17(B)는 박막 트랜지스터의 상면도의 일레이고, 도면 중의 R1-R2의 쇄선으로 절단한 단면도가 도 17(A)에 상당한다.

- [0193] 도 17(A)에 있어서, 기판(600) 위에  $SiO_x$ 를 함유한 제 1 산화물 반도체층(604)과, 제 2 산화물 반도체층(605)을 형성한다. 본 실시형태에서는 제 1 산화물 반도체층(604)으로서  $SiO_x$ 를 함유한 Sn-Zn-O계 산화물 반도체를 사용한다. 또한, 제 2 산화물 반도체층(605)으로서 In-Ga-Zn-O계 비단결정막을 사용한다.
- [0194] 또한, 제 1 산화물 반도체층(604)에 있어서, 막 두께 방향에 있어서의 Si 원소 농도가 이후 형성되는 게이트 전극에서 가까운 측으로부터 게이트 전극에서 떨어진 측으로 증가되는 농도 구배를 갖는 산화물 반도체층을 포함하여도 좋다.
- [0195] 다음에, 제 2 산화물 반도체층(605) 위에  $n^+$ 층(606a, 606b)을 형성한다. 본 실시형태에서는 소스 영역 또는 드레인 영역으로서 기능하는  $n^+$ 층(606a, 606b)은 Ga-Zn-O계 비단결정막이다. 또한,  $n^+$ 층(606a, 606b)은 질소를 함유시킨 Ga-Zn-O계 비단결정막, 즉, Ga-Zn-O-N계 비단결정막(GZON막이라고도 부름)을 사용하여도 좋다.
- [0196] 다음에,  $n^+$ 층(606a, 606b) 위에 제 1 배선(609)과 제 2 배선(610)을 형성한다. 또한, 제 1 배선(609)과 제 2 배선(610)은 소스 전극 또는 드레인 전극으로서 기능한다.
- [0197] 다음에, 제 1 배선(609)과 제 2 배선(610) 위에 게이트 절연층(603)을 형성한다.
- [0198] 다음에, 제 2 산화물 반도체층(605)이 게이트 절연층(603)과 접촉하는 영역과 중첩되는 위치에 게이트 전극(601)을 게이트 절연층(603) 위에 형성한다.
- [0199] 다음에, 200℃ 내지 600℃, 대표적으로는 300℃ 내지 500℃의 열 처리를 행하는 것이 바람직하다. 여기서, 노에 넣고, 대기 분위기하에서 350℃, 1시간의 열 처리를 행한다. 또한, 이 열 처리에 의하여 제 1 산화물 반도체층(604) 및 제 2 산화물 반도체층(605)의 원자 레벨에서의 재배열이 행해진다. 이 열 처리에 의하여 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열 처리(광을 사용한 어닐링도 포함함)는 중요하다.
- [0200] 상술한 공정으로 튼 게이트 구조의 박막 트랜지스터(630)를 제작할 수 있다.
- [0201] 또한, 상술한  $n^+$ 층(606a, 606b)을 갖는 구조에 한정되지 않고, 예를 들어,  $n^+$ 층을 형성하지 않는 구조로 하여도 좋다.
- [0202] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0203] 예를 들어, 본 실시형태에서는 제 1 산화물 반도체층(604)으로서 스피터링법을 사용한  $SiO_x$ 를 함유한 Sn-Zn-O계 산화물 반도체를 사용하고, 제 2 산화물 반도체층(605)으로서 In-Ga-Zn-O계 산화물 반도체를 사용하는 적층의 예를 제시하지만, 특히 한정되지 않고, 단층으로 하여도 좋고, 예를 들어,  $SiO_x$ 를 함유한 Sn-Zn-O계 산화물 반도체를 사용하는 박막 트랜지스터를 제작할 수도 있다.
- [0204] (실시형태 8)
- [0205] 본 실시형태에서는 반도체 장치로서 발광 표시 장치의 일례를 제시한다. 표시 장치가 갖는 표시 소자로서는, 여기서의 일렉트로루미네선스를 이용하는 발광 소자를 사용하여 제시한다. 일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별되고, 전자는 유기 EL 소자, 후자는 무기 EL 소자라 불린다.
- [0206] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성 유기 화합물을 함유한 층에 주입되어 전류가 흐른다. 그리고 이들 캐리어(전자 및 정공)가 재결합함으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아올 때 발광한다. 이러한 메커니즘 때문에, 상술한 바와 같은 발광 소자는 전류 여기형 발광 소자라 불린다.
- [0207] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 층에 분산시킨 발광층을 갖고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 그것을 전극으로 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이용하는 국재(局在)형 발광이다. 또한, 여기서, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

- [0208] 도 18은 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 도시한 도면이다.
- [0209] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대하여 설명한다. 여기에서는, 산화물 반도체층(대표적으로는, SiO<sub>x</sub>를 함유한 In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 사용하는 n채널형 트랜지스터를 하나의 화소에 2개 사용하는 예를 제시한다.
- [0210] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)는 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속되고, 그 접속 부분을 공통 접속부로 하면 좋다.
- [0211] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정된다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위<고전원 전위를 충족시키는 전위이며, 저전원 전위로서는, 예를 들어, GND, 0V 등이 설정되어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가함으로써 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 위하여, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순 방향의 임계값 전압 이상이 되도록 각각의 전위를 설정한다.
- [0212] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용함으로써 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성되어도 좋다.
- [0213] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는 구동용 트랜지스터(6402)가 충분히 온 상태가 되거나 오프 상태가 되는 2개의 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)를 선형 영역에서 동작시키기 위하여 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 인가한다. 또한, 신호선(6405)에는 (전원선 전압 + 구동용 트랜지스터(6402)의 V<sub>th</sub>) 이상의 전압을 인가한다.
- [0214] 또한, 디지털 시간 계조 구동 대신에 아날로그 계조 구동을 행하는 경우, 신호의 입력을 상이하게 함으로써, 도 18과 같은 화소 구성을 사용할 수 있다.
- [0215] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 (발광 소자(6404)의 순 방향 전압 + 구동용 트랜지스터(6402)의 V<sub>th</sub>) 이상의 전압을 인가한다. 발광 소자(6404)의 순 방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순 방향의 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위하여, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘려, 아날로그 계조 구동을 행할 수 있다.
- [0216] 또한, 도 18에 도시한 화소 구성은 이것에 한정되지 않는다. 예를 들어, 도 18에 도시한 화소에 따로 스위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.
- [0217] 다음에, 발광 소자의 구성에 대하여 도 19(A) 내지 도 19(C)를 사용하여 설명한다. 여기에서는, 구동용 TFT가 n형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 19(A) 내지 도 19(C)의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는 실시형태 2에서 제시한 제 2 박막 트랜지스터(170)와 같은 방법으로 제작할 수 있고, SiO<sub>x</sub>를 함유한 산화물 반도체막을 반도체층으로서 포함하는, 박막 트랜지스터이다.
- [0218] 발광 소자는 발광을 추출하기 위하여 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기판과 반대 측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 화소 구성은 어느 사출 구조의 발광 소자에나 적용할 수 있다.
- [0219] 상면 사출 구조의 발광 소자에 대해서 도 19(A)를 사용하여 설명한다.

[0220] 도 19(A)에 구동용 TFT인 TFT(7001)가 n형이며, 발광 소자(7002)로부터 방출되는 광이 양극(7005) 측으로 사출되는 경우의 화소의 단면도를 도시한다. TFT(7001)는 반도체층으로서 산화실리콘을 함유한 In-Sn-Zn-O계 산화물 반도체를 사용한다. 산화실리콘 등의 불순물을 함유시킴으로써, 300℃ 내지 600℃의 열 처리를 행한 경우라도 상기 산화물 반도체의 결정화 또는 미결정립의 생성을 방지할 수 있다. 도 19(A)에서는 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차로 적층된다. 음극(7003)은 일 함수가 작고 또 광을 반사하는 도전막이면 각종 재료를 사용할 수 있다. 예를 들어, Ca, Al, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 정공 수송층, 정공 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어, 산화텅스텐을 함유한 인듐산화물, 산화텅스텐을 함유한 인듐아연산화물, 산화티타늄을 함유한 인듐산화물, 산화티타늄을 함유한 인듐주석산화물, 인듐주석산화물(이하, ITO라 기재함), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전막을 사용하여도 좋다.

[0221] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼운 영역이 발광 소자(7002)에 상당한다. 도 19(A)에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 광은 화살표로 도시한 바와 같이, 양극(7005) 측으로 사출된다.

[0222] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 19(B)를 사용하여 설명한다. 구동용 TFT(7011)가 n형이며, 발광 소자(7012)로부터 방출되는 광이 음극(7013) 측으로 사출되는 경우의 화소의 단면도를 도시한다. TFT(7011)는 반도체층으로서 산화실리콘을 함유한 In-Al-Zn-O계 산화물 반도체를 사용한다. 산화실리콘 등의 불순물을 함유시킴으로써, 300℃ 내지 600℃의 열 처리를 행한 경우라도 상기 산화물 반도체의 결정화 또는 미결정립의 생성을 방지할 수 있다. 도 19(B)에서는 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 형성되어도 좋다. 음극(7013)은 도 19(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 각종 재료를 사용할 수 있다. 다만, 그 막 두께는 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20nm의 막 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다. 그리고 발광층(7014)은 도 19(A)와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 19(A)와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막(7016)은, 예를 들어, 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어, 흑색의 안료를 첨가한 수지 등을 사용할 수도 있다.

[0223] 음극(7013) 및 양극(7015)으로 발광층(7014)을 끼운 영역이 발광 소자(7012)에 상당한다. 도 19(B)에 도시한 화소의 경우, 발광 소자(7012)로부터 방출되는 광은 화살표로 도시한 바와 같이 음극(7013) 측으로 사출된다.

[0224] 다음에, 양면 사출 구조의 발광 소자에 대하여 도 19(C)를 사용하여 설명한다. 도 19(C)에서는, 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. TFT(7021)는 반도체층으로서 산화실리콘을 함유한 Sn-Al-Zn-O계 산화물 반도체를 사용한다. 산화실리콘 등의 불순물을 함유시킴으로써, 300℃ 내지 600℃의 열 처리를 행한 경우라도 상기 산화물 반도체의 결정화 또는 미결정립의 생성을 방지할 수 있다. 음극(7023)은 도 19(A)의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 각종 재료를 사용할 수 있다. 다만, 그 막 두께는 광을 투과하는 정도로 한다. 예를 들어, 20nm의 막 두께를 갖는 Al을 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은 도 19(A)와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7025)은 도 19(A)와 마찬가지로, 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.

[0225] 음극(7023)과 발광층(7024)과 양극(7025)이 중첩된 부분이 발광 소자(7022)에 상당한다. 도 19(C)에 도시한 화소의 경우, 발광 소자(7022)로부터 방출되는 광은 화살표로 도시한 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출된다.

[0226] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 기술하지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.

- [0227] 또한, 본 실시형태에서는 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 제시하지만, 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되는 구성이어도 좋다.
- [0228] 상술한 공정에 의하여, 반도체 장치로서 신뢰성이 높은 발광 표시 장치(표시 패널)를 제작할 수 있다.
- [0229] 본 실시형태는 다른 실시형태에 기재하는 구성과 적절히 조합하여 실시할 수 있다.
- [0230] (실시형태 9)
- [0231] 본 실시형태에서는 반도체 장치로서 전자 페이퍼의 일례를 제시한다.
- [0232] 도 20(A)는 액티브 매트릭스형의 전자 페이퍼를 도시한 단면도이다. 반도체 장치에 사용되는 표시부에 배치되는 박막 트랜지스터(581)로서는 실시형태 2에 제시한 박막 트랜지스터(170)와 같은 방법으로 형성할 수 있고, 산화물 반도체막을 반도체층으로서 포함하는 전기 특성이 높은 박막 트랜지스터이다. 본 실시형태에서는 산화실리콘을 함유한 Zn-O계 산화물 반도체를 반도체층으로서 포함하고 전기 특성이 높은 박막 트랜지스터를 사용한다.
- [0233] 도 20(A)의 전자 페이퍼는 트위스트 볼 표시 방식을 사용한 표시 장치의 예이다. 트위스트 볼 표시 방식이란, 백색과 흑색으로 나누어 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시하는 방법이다.
- [0234] 기관(580)과 기관(596) 사이에 밀봉되는 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 소스 전극층 또는 드레인 전극층이 제 1 전극층(587)과 절연층(583, 584, 585)에 형성된 개구에서 접하고 전기적으로 접속된다. 제 1 전극층(587)과 제 2 전극층(588) 사이에는 흑색 영역(590a) 및 백색 영역(590b)을 갖고, 주위에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)가 형성되고, 구형 입자(589)의 주위는 수지 등의 충전재(595)로 충전된다(도 20(A) 참조).
- [0235] 본 실시형태에 있어서는, 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 제 2 전극층(588)은 박막 트랜지스터(581)와 동일 기관 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부에 있어서, 한 쌍의 기관 사이에 배치되는 도전성 입자를 통하여 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.
- [0236] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수도 있다. 투명한 액체와, 양으로 대전한 흰 미립자와 음으로 대전한 검은 미립자를 밀봉한 직경 10 $\mu$ m 내지 200 $\mu$ m 정도의 마이크로 캡슐을 사용한다. 제 1 전극층과 제 2 전극층 사이에 형성되는 마이크로 캡슐은 제 1 전극층과 제 2 전극층에 의하여 전장(電場)이 주어지면, 흰 미립자와 검은 미립자가 반대 방향으로 이동함으로써 백색 또는 흑색을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 일반적으로 전자 페이퍼라 불린다. 전기 영동 표시 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에 보조 라이트가 불필요하고, 또한 소비 전력이 작고, 어두컴컴한 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전원이 공급되지 않은 경우라도, 한번 표시한 상(像)을 유지할 수 있기 때문에, 전과 발신원으로부터 표시 기능이 딸린 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 멀리한 경우라도 표시된 상을 보존해 둘 수 있다.
- [0237] 실시형태 2에 제시한 공정으로 박막 트랜지스터를 제작함으로써, 반도체 장치로서 제조 비용이 저감된 전자 페이퍼를 제작할 수 있다. 전자 페이퍼는 정보를 표시하는 것이라면 모든 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전자 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 20(B)에 도시한다.
- [0238] 도 20(B)는 전자 서적(2700)의 일례를 도시한 것이다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체가 되고, 상기 축부(2711)를 축으로 하여 개폐 동작할 수 있다. 이러한 구성을 가짐으로써, 종이로 이루어진 서적과 같이 동작시킬 수 있다.
- [0239] 케이스(2701)에는 표시부(2705)가 내장되고, 케이스(2703)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하

여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른 쪽의 표시부(도 20(B)에서는 표시부(2705))에 문장을 표시하고, 왼 쪽의 표시부(도 20(B)에서는 표시부(2707))에 화상을 표시할 수 있다.

[0240] 또한, 도 20(B)에는 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 케이스(2701)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 측면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 갖는 구성으로 하여도 좋다.

[0241] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 할 수도 있다.

[0242] 본 실시형태는 다른 실시형태에 기재하는 구성과 적절히 조합하여 사용할 수 있다.

[0243] (실시형태 10)

[0244] 산화물 반도체층을 사용한 박막 트랜지스터를 포함하는 반도체 장치는 다양한 전자기기(유기기(遊技機)도 포함함)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.

[0245] 도 21(A)는 텔레비전 장치(9601)의 일례를 도시한 것이다. 텔레비전 장치(9601)는 케이스에 표시부(9603)가 내장된다. 표시부(9603)에 영상을 표시할 수 있다. 또한, 여기서는 벽(9600)에 고정하여 케이스의 뒤쪽을 지지한 구성을 도시한다.

[0246] 텔레비전 장치(9601)는 케이스가 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(9610)를 사용하여 조작할 수 있다. 리모트 컨트롤러(9610)가 구비하는 조작 키(9609)로 채널이나 음량을 조작할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤러(9610)에 상기 리모트 컨트롤러(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

[0247] 또한, 텔레비전 장치(9601)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기로 일반의 텔레비전 방송을 수신할 수 있고, 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 할 수도 있다.

[0248] 도 21(B)는 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되고, 연결부(9893)에 의하여 개폐 가능하도록 연결된다. 케이스(9881)에는 표시부(9882)가 내장되고, 케이스(9891)에는 표시부(9883)가 내장된다. 또한, 도 21(B)에 도시한 휴대형 유기기는, 그 외에 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함한 것), 마이크로폰(9889)) 등을 포함한다. 물론, 휴대형 유기기의 구성은 상술한 것에 한정되지 않고, 적어도 반도체 장치를 구비한 구성이라면 좋고, 그 외에 부속 설비가 적절히 형성된 구성으로 할 수 있다. 도 21(B)에 도시한 휴대형 유기기는 기록 매체에 기록되는 프로그램 또는 데이터를 관독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신하여 정보를 공유하는 기능을 갖는다. 또한, 도 21(B)에 도시한 휴대형 유기기가 갖는 기능은 이것에 한정되지 않고, 각종 기능을 가질 수 있다.

[0249] 도 22(A)는 휴대 전화기(1000)의 일례를 도시한 것이다. 휴대 전화기(1000)는 케이스(1001)에 내장된 표시부(1002) 외, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.

[0250] 도 22(A)에 도시한 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 메일을 작성하는 조작은 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.

[0251] 표시부(1002)의 화면에는 주로 3가지 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이고,

제 2 모드는 문자 등의 정보 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2가지 모드가 혼합된 표시 + 입력 모드이다.

[0252] 예를 들어, 전화를 걸거나 또는 메일을 작성하는 경우는, 표시부(1002)를 문자 입력이 주된 문자 입력 모드로 하여 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시하게 하는 것이 바람직하다.

[0253] 또한, 휴대 전화기(1000) 내부에 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 형성함으로써, 휴대 전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환할 수 있다.

[0254] 또한, 화면 모드의 전환은 표시부(1002)를 터치함으로써, 또는 케이스(1001)의 조작 버튼(1003)을 조작함으로써 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상 데이터인 경우는 표시 모드, 텍스트 데이터인 경우는 입력 모드로 전환한다.

[0255] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서에 의하여 검출되는 신호를 검지하고, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0256] 표시부(1002)를 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락으로 터치하여 장문(掌紋)이나 지문(指紋) 등을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광(近赤外光)을 발광하는 백 라이트 또는 근적외광을 발광하는 검출용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.

[0257] 도 22b도 휴대 전화기의 일례이다. 도 22b의 휴대 전화기는 케이스(9411)에 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와, 케이스(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 갖고, 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9400)와 화살표로 표시된 2방향으로 탈착할 수 있다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축들을 장착할 수도 있고, 표시 장치(9410)와 통신 장치(9400)의 장축들을 장착할 수도 있다. 또한, 표시 기능만이 필요한 경우, 통신 장치(9400)로부터 표시 장치(9410)를 분리하고, 표시 장치(9410)를 단독으로 사용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의하여 화상 또는 입력 정보를 수수(授受)할 수 있고, 각각 충전할 수 있는 배터리를 갖는다.

[0258] 본 실시형태는 다른 실시형태에 기재하는 구성과 적절히 조합하여 실시할 수 있다.

**도면의 간단한 설명**

[0259] 도 1(A) 내지 도 1(C)는 본 발명의 일 형태를 도시한 단면도 및 상면도.

[0260] 도 2(A) 내지 도 2(C)는 본 발명의 일 형태를 도시한 단면도 및 상면도.

[0261] 도 3은 본 발명의 일 형태를 도시한 단면도.

[0262] 도 4는 본 발명의 일 형태를 도시한 상면도.

[0263] 도 5(A) 및 도 5(B)는 본 발명의 일 형태를 도시한 단면도 및 상면도.

[0264] 도 6은 본 발명의 일 형태를 도시한 상면도.

[0265] 도 7은 InGaZnO<sub>4</sub>의 단결정 구조를 도시한 모델도.

[0266] 도 8은 Si 치환 모델을 도시한 도면.

[0267] 도 9는 단결정 모델의 최종 구조를 도시한 도면.

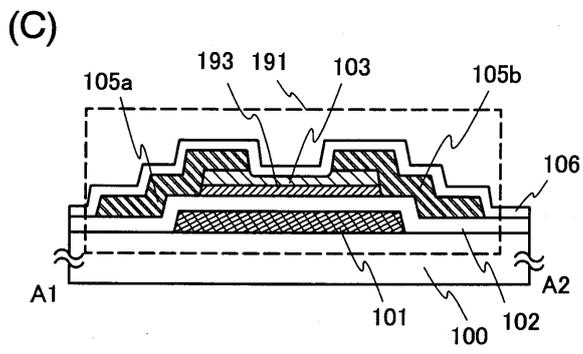
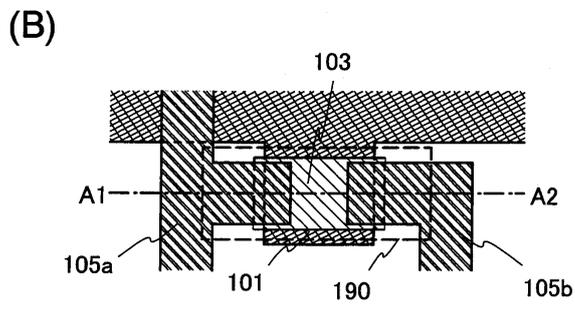
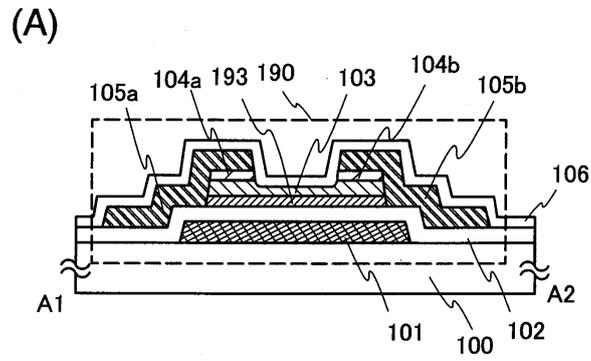
[0268] 도 10은 Si 치환 모델의 최종 구조를 도시한 도면.

[0269] 도 11은 각 모델의 동경 분포 함수g(r)를 도시한 그래프.

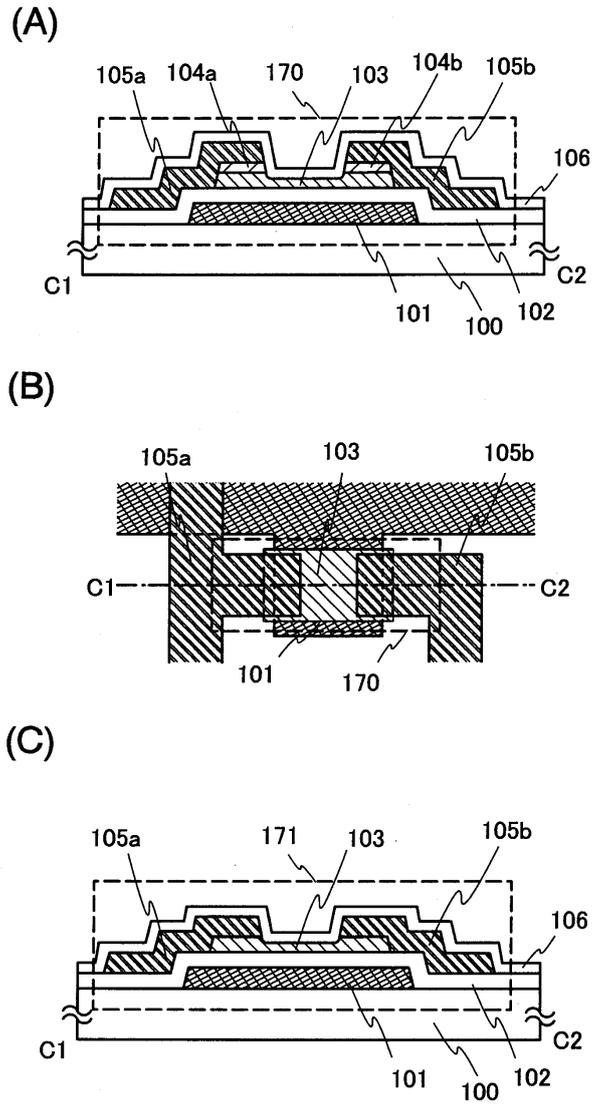


도면

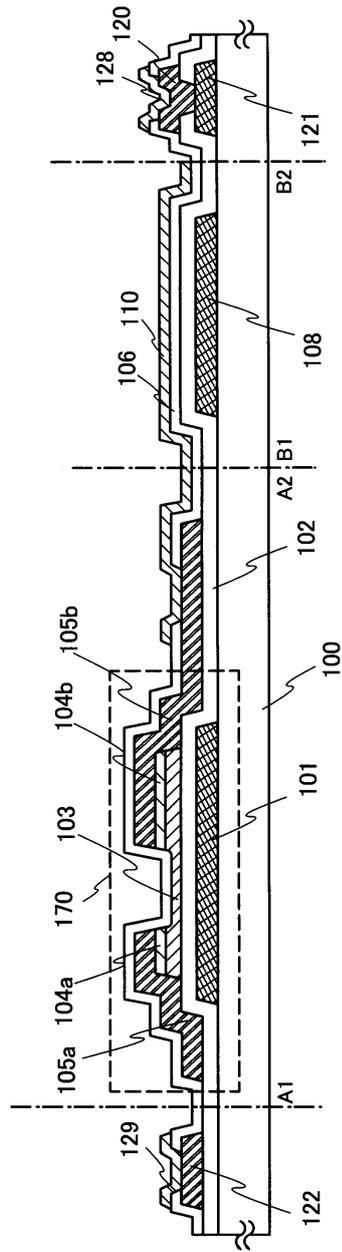
도면1



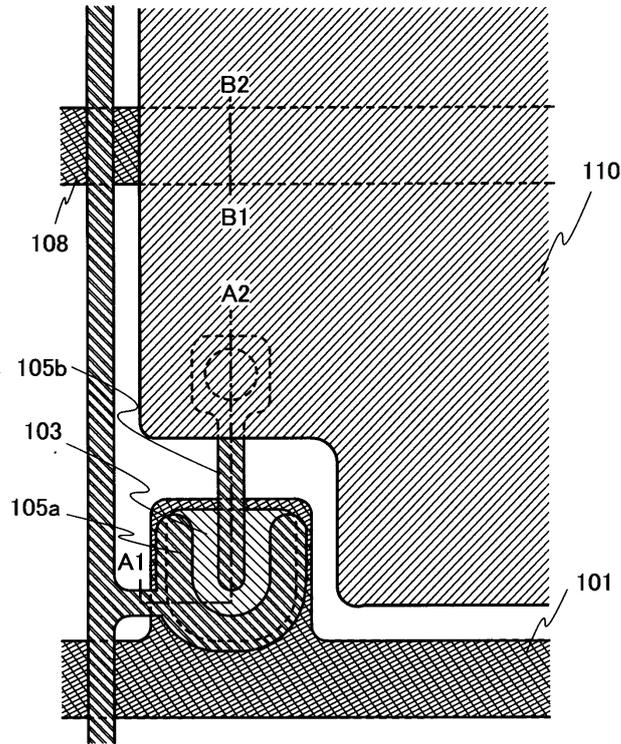
도면2



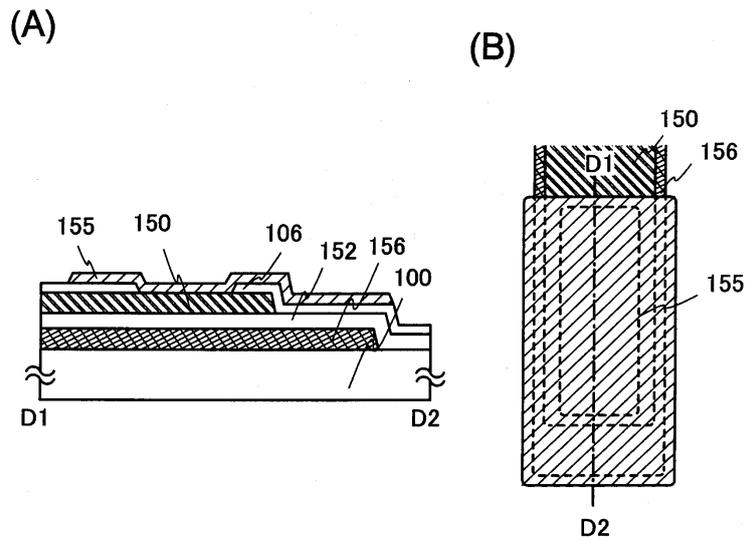
도면3



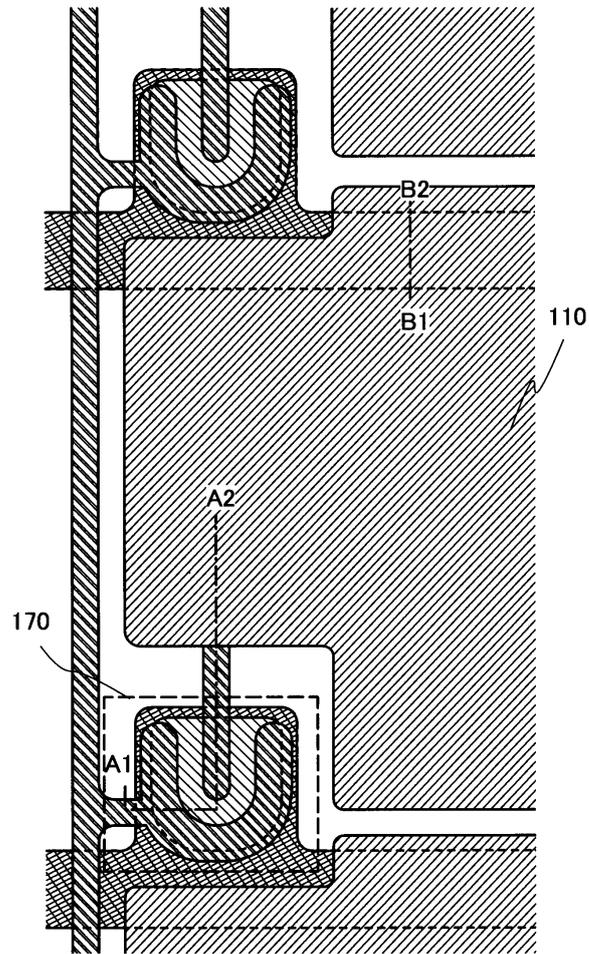
도면4



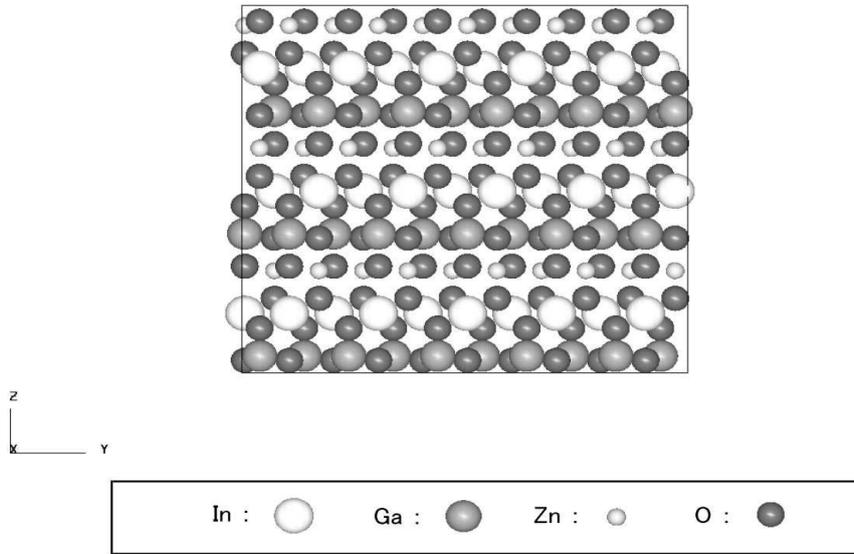
도면5



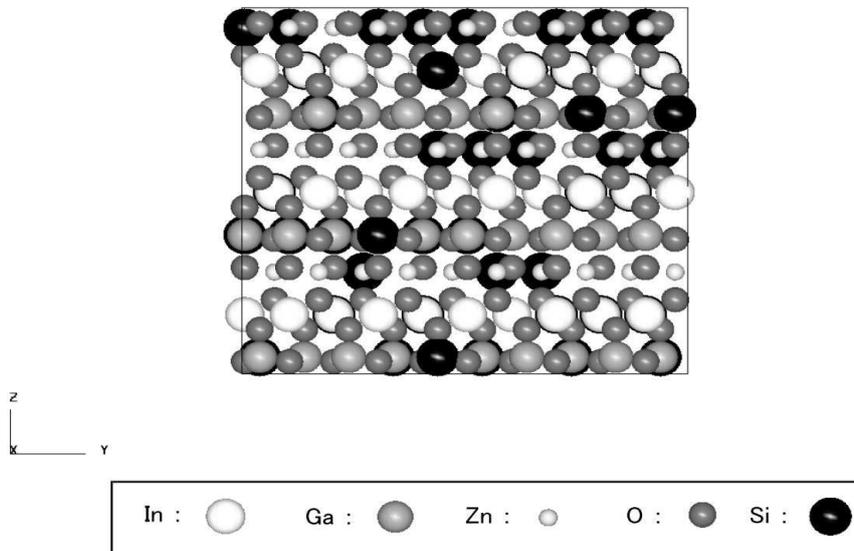
도면6



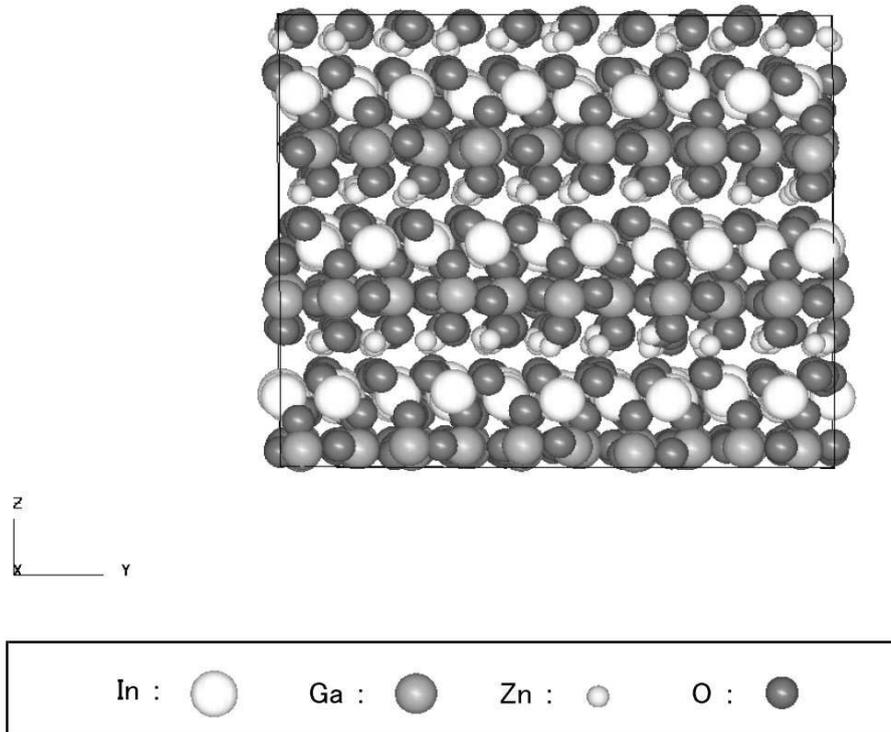
도면7



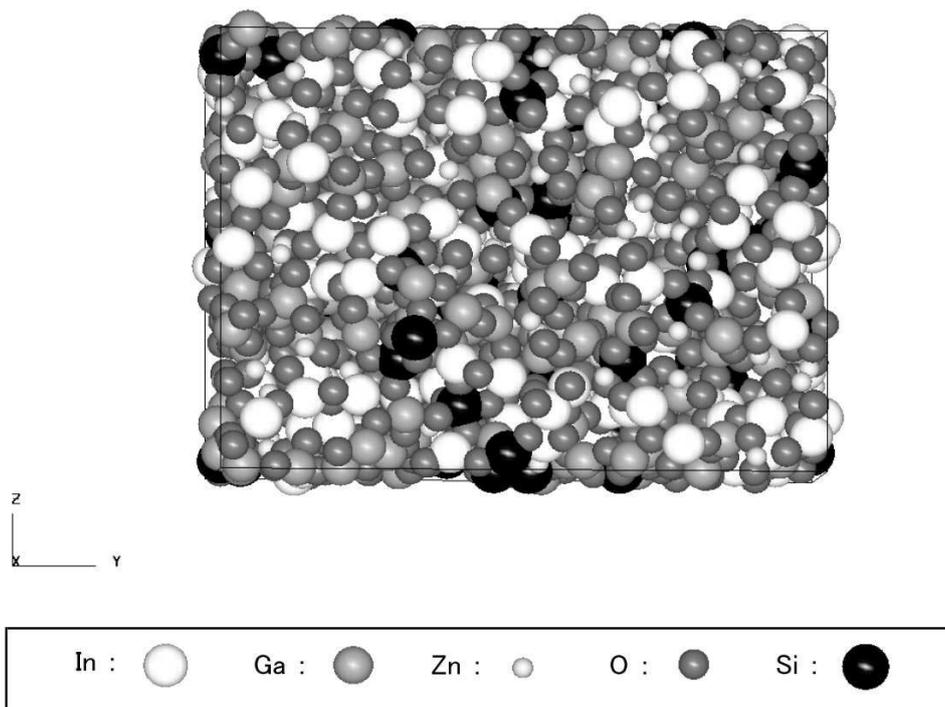
도면8



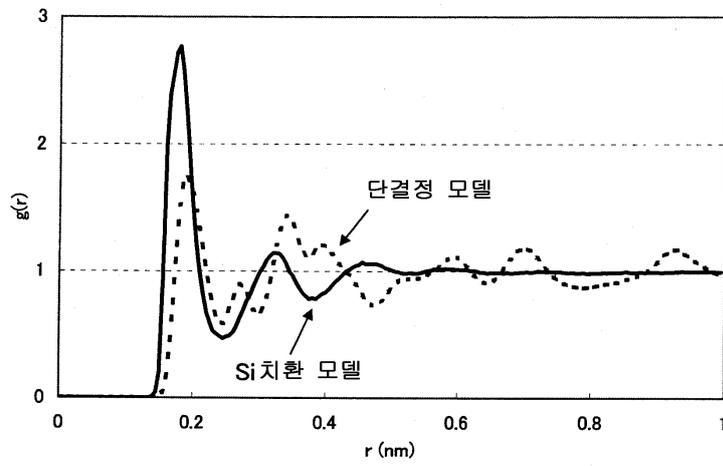
도면9



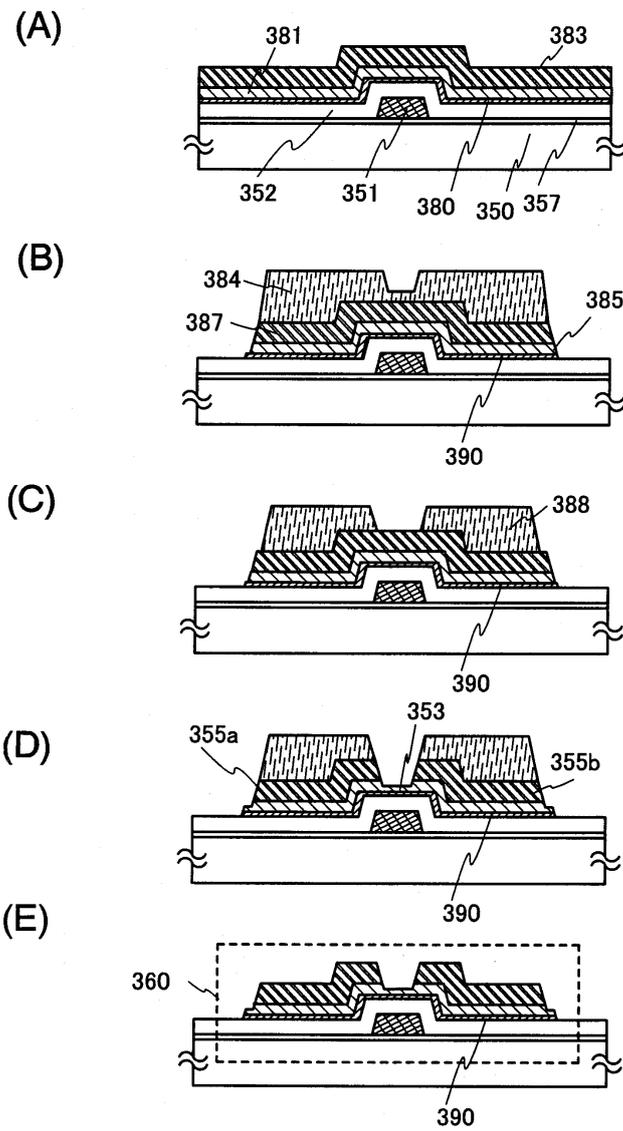
도면10



도면11

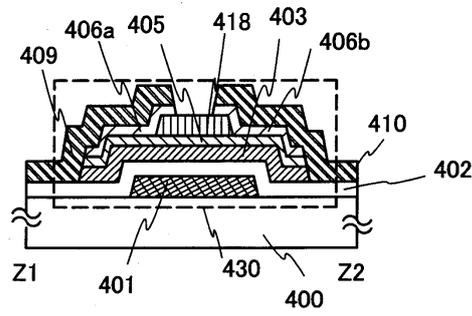


도면12

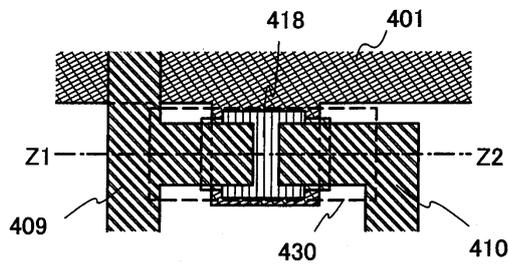


도면13

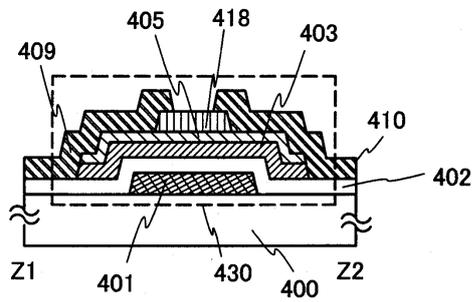
(A)



(B)

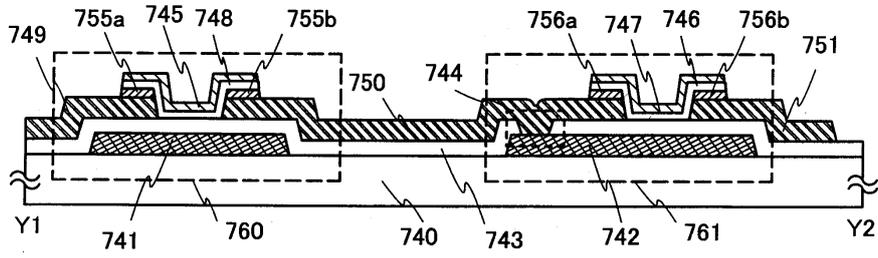


(C)

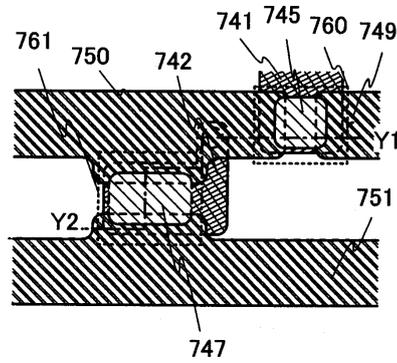


도면14

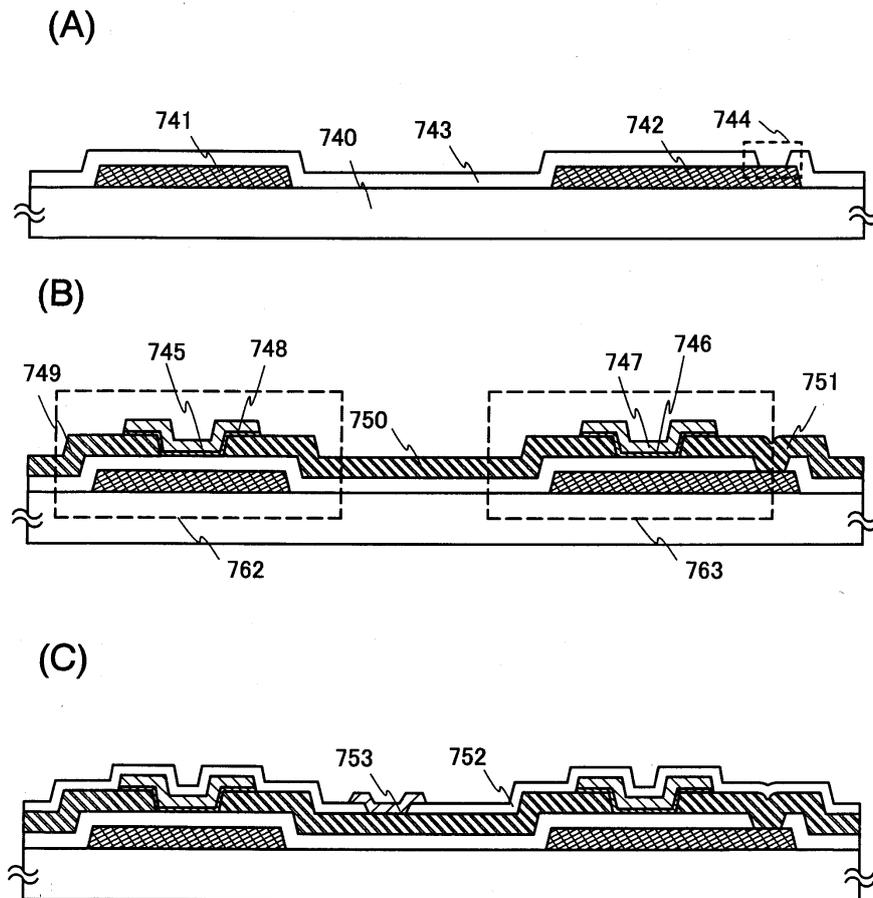
(A)



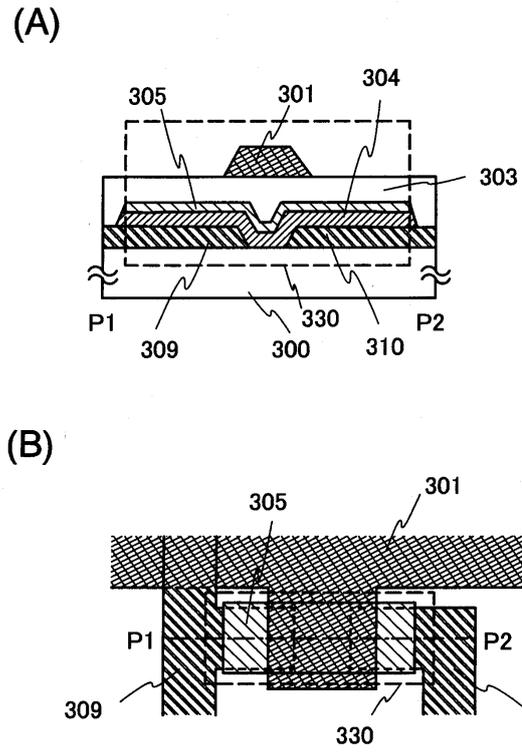
(B)



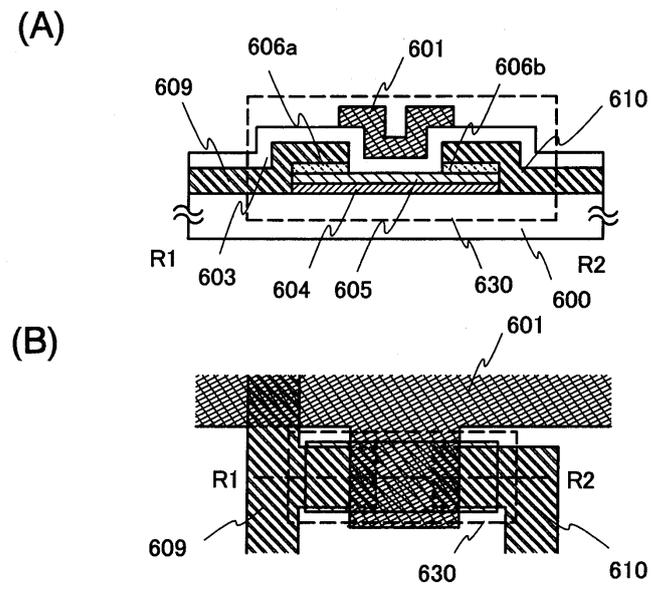
도면15



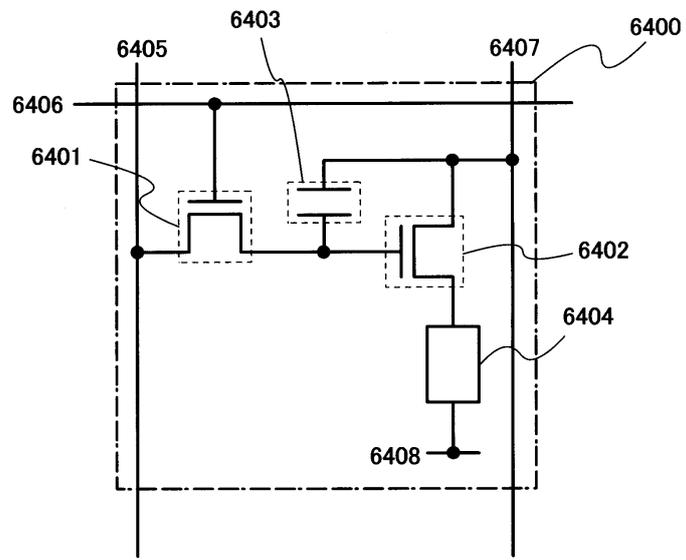
도면16



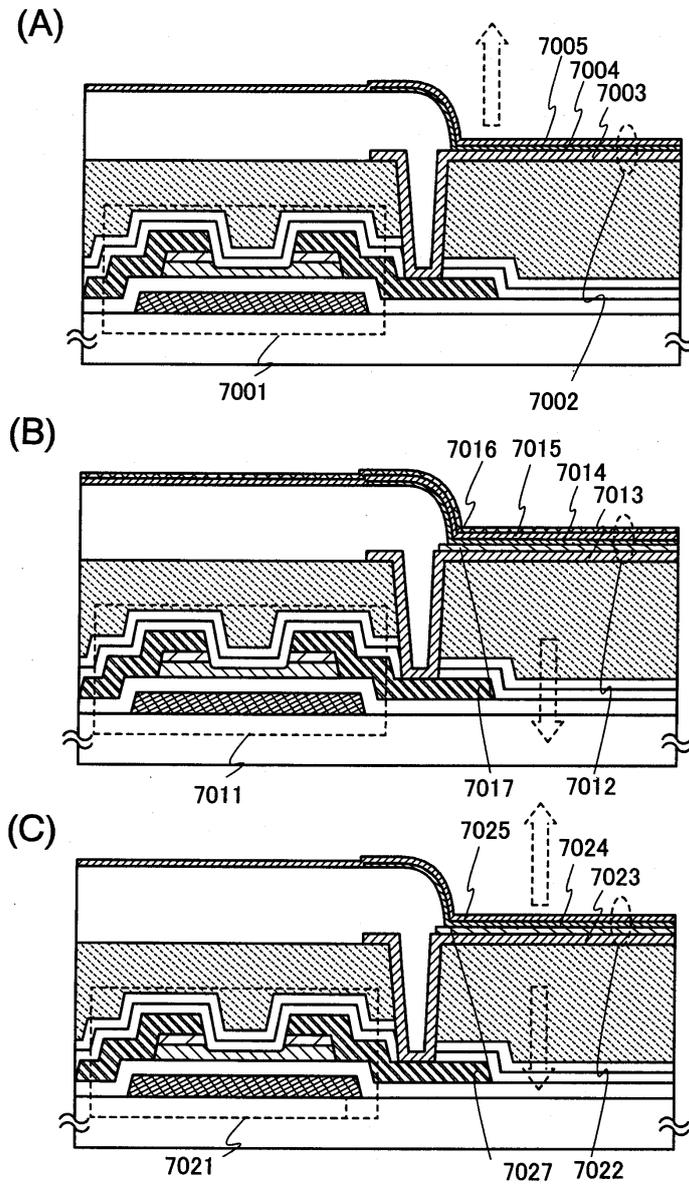
도면17



도면18

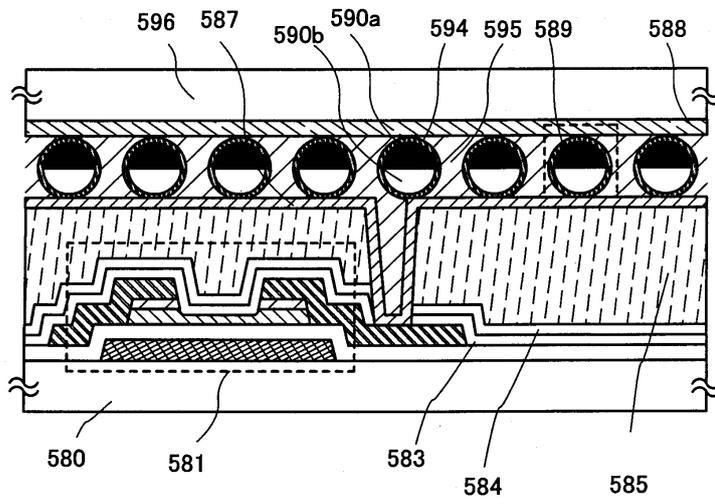


도면19

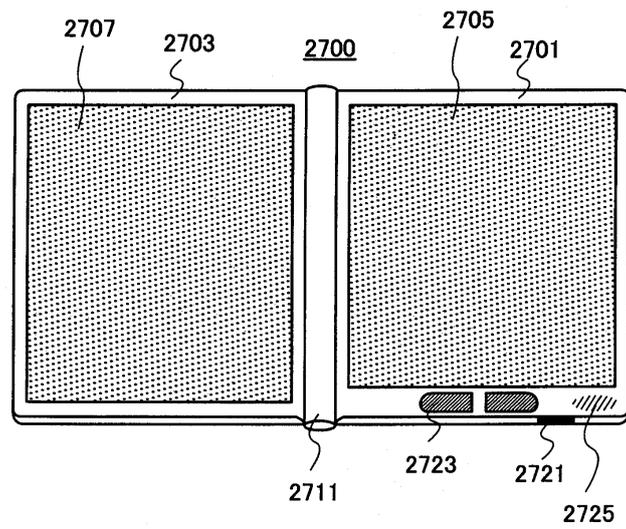


도면20

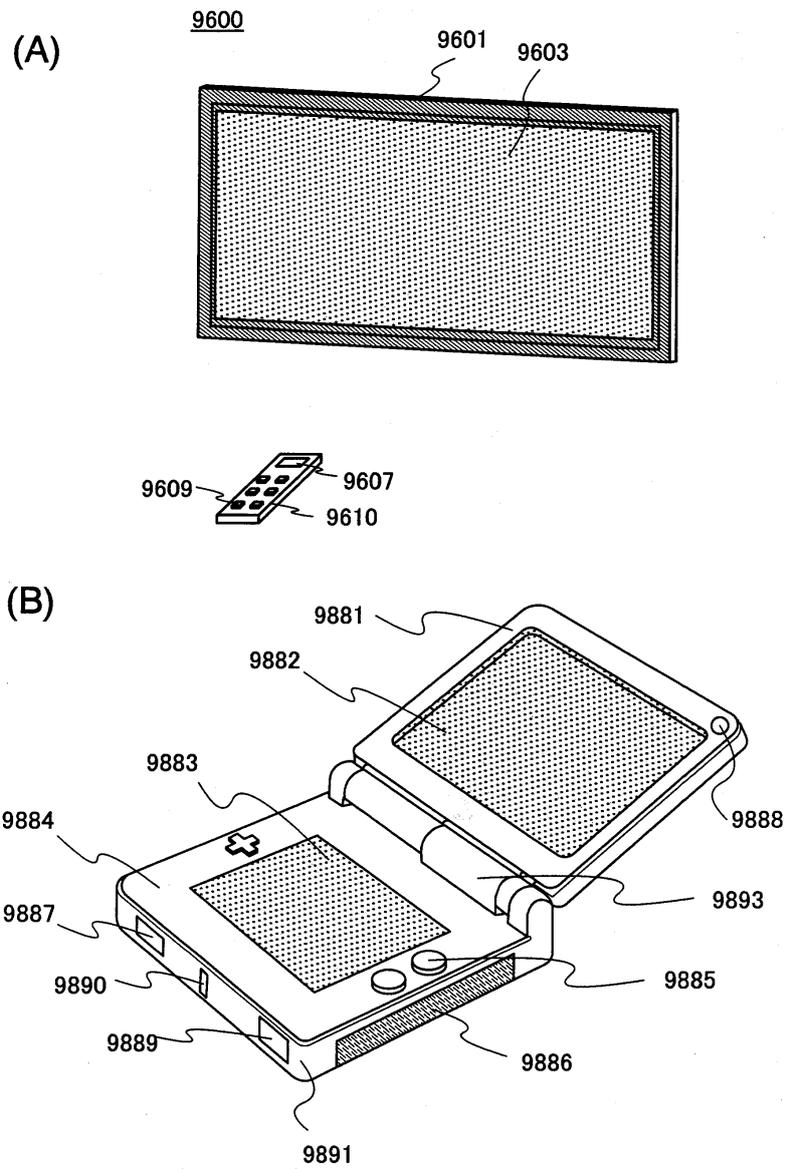
(A)



(B)

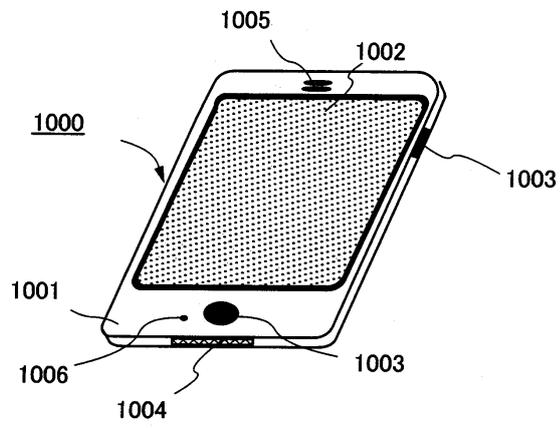


도면21



도면22

(A)



(B)

