

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6345304号
(P6345304)

(45) 発行日 平成30年6月20日(2018.6.20)

(24) 登録日 平成30年6月1日(2018.6.1)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 A
HO 1 L 29/861 (2006.01)	HO 1 L 29/78 6 1 8 B
HO 1 L 29/868 (2006.01)	HO 1 L 29/78 6 1 8 F
HO 1 L 21/329 (2006.01)	HO 1 L 29/78 6 2 3 A
HO 1 L 21/28 (2006.01)	HO 1 L 29/91 F
請求項の数 5 (全 34 頁) 最終頁に続く	

(21) 出願番号	特願2017-85893 (P2017-85893)	(73) 特許権者	000153878
(22) 出願日	平成29年4月25日(2017.4.25)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2016-78583 (P2016-78583) の分割		神奈川県厚木市長谷398番地
原出願日	平成22年10月25日(2010.10.25)	(72) 発明者	山崎 舜平
(65) 公開番号	特開2017-175140 (P2017-175140A)		神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成29年9月28日(2017.9.28)	審査官	岩本 勉
審査請求日	平成29年5月9日(2017.5.9)		
(31) 優先権主張番号	特願2009-251186 (P2009-251186)		
(32) 優先日	平成21年10月30日(2009.10.30)		
(33) 優先権主張国	日本国(JP)		
最終頁に続く			

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の電極と、
前記第1の電極上方の酸化物半導体膜と、
前記酸化物半導体膜上方の第2の電極と、
前記第1の電極、前記酸化物半導体膜、及び前記第2の電極を覆う領域を有する第1の絶縁膜と、
前記第1の絶縁膜上方の第3の電極と、
前記第3の電極上方の第2の絶縁膜と、
前記第2の絶縁膜上方の、第1の配線及び第2の配線と、を有し、
前記第2の絶縁膜は、第1の開口部と、第2の開口部と、第3の開口部と、を有し、
前記第1の配線は、前記第1の開口部を介して、前記第1の電極と電気的に接続され、
前記第1の配線は、前記第2の開口部を介して、前記第3の電極と電気的に接続され、
前記第2の配線は、前記第3の開口部を介して、前記第2の電極と電気的に接続されていることを特徴とする半導体装置。

【請求項2】

第1の電極と、
前記第1の電極上方の酸化物半導体膜と、
前記酸化物半導体膜上方の第2の電極と、
前記第1の電極、前記酸化物半導体膜、及び前記第2の電極を覆う領域を有する第1の

絶縁膜と、

前記第 1 の絶縁膜上方の第 3 の電極と、
前記第 3 の電極上方の第 2 の絶縁膜と、
前記第 2 の絶縁膜上方の、第 1 の配線及び第 2 の配線と、を有し、
前記第 2 の絶縁膜は、第 1 の開口部と、第 2 の開口部と、第 3 の開口部と、を有し、
前記第 1 の配線は、前記第 1 の開口部を介して、前記第 1 の電極と電氣的に接続され、
前記第 2 の配線は、前記第 2 の開口部を介して、前記第 2 の電極と電氣的に接続され、
前記第 2 の配線は、前記第 3 の開口部を介して、前記第 3 の電極と電氣的に接続されて
いることを特徴とする半導体装置。

【請求項 3】

10

請求項 1 又は 2 において、
前記第 1 の絶縁膜は、前記酸化半導体膜と接する領域を有し、
前記酸化半導体膜と接する領域は、酸素を含むことを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、
前記酸化半導体膜は、前記第 1 の絶縁膜と接する領域を有し、
前記第 1 の絶縁膜と接する領域は、結晶粒を含むことを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項において、
前記酸化半導体膜は、二次イオン質量分析法で検出される水素濃度が $5 \times 10^{19} \text{ atoms/cm}^3$ 以下の領域を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化半導体を用いた非線形素子とこれを有する表示装置などの半導体装置に関する。更には、これらを有する電子機器に関する。

【背景技術】

【0002】

半導体デバイスの中でダイオードには耐圧が高いこと、逆方向飽和電流が低いことなどが要求されている。このような要求を満たすために、炭化シリコン(SiC)を用いたダイオードが検討されている。すなわち、半導体材料としての炭化シリコンは、禁制帯幅が 3 eV 以上であり高温での電気伝導度の制御性に優れ、シリコンより絶縁破壊しにくいいため、逆方向飽和電流が低く耐圧が高いダイオードへの適用が検討されている。例えば、逆方向のもれ電流を低減した、炭化シリコンを用いたショットキーバリアダイオードが知られている(特許文献 1 参照)。

【0003】

しかし、炭化シリコンは良質な結晶を得ることが困難であり、デバイスを作製するときのプロセス温度が高いといった問題を有している。例えば、炭化シリコンに不純物領域を形成するにはイオン注入法が用いられるが、ドーパントの活性化やイオン注入により誘起された結晶欠陥の回復には 1500 以上の熱処理が必要となる。

【0004】

また、炭素が成分として含まれていることにより、熱酸化により良質な絶縁膜を作製することができないという問題がある。さらに、炭化シリコンは化学的にも極めて安定であるため、通常のエッチングが困難であるという問題を抱えている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2000 - 133819 号公報

【発明の概要】

【発明が解決しようとする課題】

50

【0006】

このように、炭化シリコンを用いる非線形素子（例えば、ダイオード）は、高耐圧、低逆方向飽和電流を実現することが期待されているが、実際にこれを製造するには、非常に多くの問題が内在しており、実現は困難を極めている。

【0007】

そこで本発明の一態様は、逆方向飽和電流の低い非線形素子を提供することを目的とする。また、逆方向飽和電流の低い非線形素子を低いプロセス温度（例えば、800以下）で製造することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一態様は、低いプロセス温度で作製可能な、オン電流が大きく、オフ電流が小さい電界効果トランジスタ（例えば薄膜トランジスタ）によって構成される、微細化が可能な非線形素子（例えば、ダイオード）を提供する。基板上に設けられた第1の電極と、第1の電極上に接して設けられ、高純度化された酸化物半導体膜と、酸化物半導体膜上に接して設けられた第2の電極と、第1の電極、酸化物半導体膜、及び第2の電極を覆うゲート絶縁膜と、ゲート絶縁膜に接して設けられ、第1の電極、酸化物半導体膜、及び前記第2の電極を介して対向し、または前記第2の電極を囲う第3の電極と、を有し、第3の電極は、前記第1の電極または前記第2の電極と接続され、前記第1の電極と第2の電極の間に電流が流れることを特徴とする。

【発明の効果】

【0009】

微細化が可能でオン電流が大きく、オフ電流が小さい電界効果トランジスタ（例えば薄膜トランジスタ）によって、逆方向電流が非常に小さいダイオードを得ることができる。従って、降伏現象が起きにくい（すなわち、耐圧が高い）ダイオードを作製することができる。

【図面の簡単な説明】

【0010】

【図1】本発明の一態様であるダイオードを説明する上面図及び断面図である。

【図2】本発明の一態様であるダイオードを説明する上面図及び断面図である。

【図3】本発明の一態様であるダイオードを説明する上面図及び断面図である。

【図4】本発明の一態様であるダイオードを説明する上面図及び断面図である。

【図5】本発明の一態様であるダイオードを説明する上面図及び断面図である。

【図6】本発明の一態様であるダイオードを説明する上面図及び断面図である。

【図7】本発明の一態様であるダイオードの作製方法を説明する断面図である。

【図8】本発明の一態様であるダイオードの作製方法を説明する断面図である。

【図9】本発明の一態様である表示装置を説明する図である。

【図10】本発明の一態様である表示装置に設けられる保護回路を説明する図である。

【図11】本発明の一態様である電子機器を説明する図である。

【発明を実施するための形態】

【0011】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0012】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

10

20

30

40

50

【0013】

また、本明細書にて用いる第1、第2、第3などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。

【0014】

また、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電氣的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

10

【0015】

（実施の形態1）

本実施の形態では、本発明の一態様であるダイオードの構造の一例について、図1を用いて説明する。本実施の形態にて説明するダイオードは、電界効果トランジスタ、例えば薄膜トランジスタのソースまたはドレインにゲートが接続されたものである。

【0016】

図1に示すダイオードでは、配線125が第3の電極113および第3の電極115と接続され、更には第2の電極109と接続され、第2の電極109は酸化物半導体膜107を介して第1の電極105に接続されている。第1の電極105は配線131に接続されている。

20

【0017】

図1(A)はダイオード接続された薄膜トランジスタ133の上面図であり、図1(B)は図1(A)の一点鎖線A-Bの断面図に相当する。

【0018】

図1(B)に示すように、基板101上に形成された絶縁膜103上に、第1の電極105、酸化物半導体膜107、及び第2の電極109が積層される。また、第1の電極105、酸化物半導体膜107、及び第2の電極109を覆うように、ゲート絶縁膜111が設けられている。ゲート絶縁膜111上には、第3の電極113及び第3の電極115が設けられている。ゲート絶縁膜111及び第3の電極113及び第3の電極115上には層間絶縁膜として機能する絶縁膜117が設けられている。ゲート絶縁膜111及び絶縁膜117上には、開口部が形成されており、開口部において第1の電極105と接続する配線131（図1(A)参照）、第2の電極109および第3の電極113及び第3の電極115と接続する配線125が形成される。第1の電極105は、薄膜トランジスタのソース電極またはドレイン電極の一方として機能する。第2の電極109は、薄膜トランジスタのソース電極またはドレイン電極の他方として機能する。第3の電極113及び第3の電極115は、薄膜トランジスタのゲート電極として機能する。

30

【0019】

本実施の形態の薄膜トランジスタは、縦型薄膜トランジスタであり、ゲート電極として機能する第3の電極113と、第3の電極115とは分離しており、且つ第1の電極105、酸化物半導体膜107、及び第2の電極109を介して対向していることを特徴とする。

40

【0020】

なお、薄膜トランジスタは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル形成領域を有しており、ドレイン領域とチャネル形成領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件などによって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインとよばない場合がある。その場合、一例としては、それぞれを第1の端子、第2の端子と表記する場合がある。

50

あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。あるいは、第1の領域、第2の領域と表記する場合がある。

【0021】

基板101は、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。基板101としては、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0022】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いるとよい。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、一般に、酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 よりBaOを多く含むガラス基板を用いることが好ましい。

【0023】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いてもよい。他にも、結晶化ガラスなどを用いることができる。

【0024】

絶縁膜103は、酸化シリコン、酸化窒化シリコンなど酸化物絶縁膜、または窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウムなどの窒化物絶縁膜で形成する。また、絶縁膜103は積層構造でもよく、例えば、基板101側から上記した窒化物絶縁膜のいずれか一つ以上と、上記した酸化物絶縁膜のいずれか一つ以上との積層構造とすることができる。

【0025】

第1の電極105及び第2の電極109は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステン、イットリウムから選ばれた元素、または上述した元素を成分とする合金、上述した元素を組み合わせた合金などで形成する。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択された材料を用いることができる。また、第1の電極105は、単層構造、または二層以上の積層構造とすることができる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などが挙げられる。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた元素を単数、または複数組み合わせさせた膜、合金膜、もしくは窒化膜を用いてもよい。

【0026】

なお、酸化物半導体膜107は、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない)で表記される薄膜を用いることができる。ここで、 M は、Ga、Fe、Ni、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば M として、Ga、GaとNi、またはGaとFeなどが挙げられる。また、上記の酸化物半導体膜において、 M として含まれる金属元素の他に、不純物元素としてその他の遷移金属元素、または該遷移金属の酸化物が含まれていてもよい。 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない。)で表記される構造の酸化物半導体層のうち、 M としてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系膜とも呼ぶこととする。

【0027】

酸化物半導体膜107は、上記したIn-Ga-Zn-O系膜の他に、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いてもよい。また、上記酸化物半導体膜にSiを含んでもよい。

10

20

30

40

50

【0028】

本実施の形態で用いる酸化物半導体膜107は、酸化物半導体膜に含まれる水素が $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下であり、酸化物半導体膜に含まれる水素が除去されている。即ち、酸化物半導体膜の主成分以外の不純物が極力含まれないように高純度化されている。また、酸化物半導体膜107のキャリア濃度が $5 \times 10^{14} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{14} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{12} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{12} \text{ atoms/cm}^3$ 以下である。即ち、酸化物半導体膜のキャリア濃度は、ゼロに近い。また、エネルギーギャップは2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。なお、酸化物半導体膜中の水素濃度測定は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で行えばよい。また、キャリア密度は、ホール効果測定により測定することができる。

10

【0029】

酸化物半導体膜107の厚さは、30 nm以上3000 nm以下とするとよい。酸化物半導体膜107の厚さを薄くすることで、薄膜トランジスタのチャンネル長を小さくすることが可能であり、オン電流及び電界効果移動度の高い薄膜トランジスタを作製することができる。一方、酸化物半導体膜107の厚さを厚くすることで、代表的には100 nm以上3000 nm以下とすることで、大電力用の半導体装置を作製することができる。

【0030】

ゲート絶縁膜111は、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、または酸化アルミニウム膜を単層または積層して形成することができる。ゲート絶縁膜111は、酸化物半導体膜107と接する部分が酸素を含むことが好ましく、特に好ましくは酸化シリコン膜により形成する。酸化シリコン膜を用いることで、酸化物半導体膜107に酸素を供給することができ、特性を良好にすることができる。ゲート絶縁膜111の厚さは、50 nm以上500 nm以下とするとよい。ゲート絶縁膜111の厚さを薄くすることで、電界効果移動度の高い薄膜トランジスタを作製ことができ、駆動回路を同一基板に作製することができる。一方、ゲート絶縁膜111の厚さを厚くすることで、ゲートリーク電流を低減することができる。

20

【0031】

また、ゲート絶縁膜111として、ハフニウムシリケート($\text{HfSiO}_x (x > 0)$)、Nが添加された $\text{HfSiO}_x (x > 0)$ 、ハフニウムアルミネート($\text{HfAlO}_x (x > 0)$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることでゲートリークを低減できる。さらには、high-k材料と、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、または酸化アルミニウム膜のいずれか一以上との積層構造とすることができる。

30

【0032】

ゲート電極として機能する第3の電極113及び第3の電極115は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜などを用いて形成することができる。また、マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか一または複数から選択された材料を用いてもよい。また、第3の電極113及び第3の電極115は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジウム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

40

【0033】

本実施の形態に係る酸化物半導体膜は、n型不純物である水素を酸化物半導体膜から除

50

去し、酸化物半導体膜の主成分以外の不純物が極力含まれないように高純度化することにより真性(i型)とし、または真性型とせんとしたものである。すなわち、不純物を添加してi型化するのでなく、水素、水、水酸基または水素化物などの不純物を極力除去することにより、高純度化されたi型(真性半導体)またはそれに近づけることを特徴としている。そうすることにより、フェルミ準位(E_f)は真性フェルミ準位(E_i)と同じレベルにまですることができる。

【0034】

上記したように、不純物を極力除去することにより、例えば、薄膜トランジスタのチャネル幅 W が $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、オフ電流が 10^{-13}A 以下ときわめて低く、サブスレッショルドスイング値(S値)は $0.1 \text{V}/\text{dec}$ 。(ゲート絶縁膜厚 100nm)となる。

10

【0035】

このように、酸化物半導体膜の主成分以外の不純物、代表的には水素、水、水酸基または水素化物などが極力含まれないように高純度化することにより、薄膜トランジスタの動作を良好なものとするることができる。特に、オフ電流を低減することができる。

【0036】

ところで、チャネルが基板と概略平行に形成される横型薄膜トランジスタにおいては、チャネルのほかにソース及びドレインを横方向に設ける必要があり、基板における薄膜トランジスタの占有面積が大きくなってしまい、微細化の妨げとなる。しかしながら、縦型薄膜トランジスタにおいては、ソース、チャネル、及びドレインを積層するため、基板表面における占有面積を低減することができる。この結果、薄膜トランジスタの微細化が可能である。

20

【0037】

また、縦型薄膜トランジスタのチャネル長は、酸化物半導体膜の厚さで制御できるため、酸化物半導体膜107の厚さを薄くすることでチャネル長の小さい薄膜トランジスタとすることが可能である。チャネル長を小さくすることで、ソース、チャネル、及びドレインの直列抵抗を低減できるため、薄膜トランジスタのオン電流および電界効果移動度を上昇させることができる。また、水素濃度が低減され高純度化された酸化物半導体膜を有する薄膜トランジスタは、オフ電流が極めて低く、オフ時には電流がほとんど流れない絶縁状態となる。このため、酸化物半導体膜の厚さを薄くし、縦型薄膜トランジスタのチャネル長を小さくしても、非導通状態のオフ電流がほとんど無い薄膜トランジスタとすることができる。

30

【0038】

このように、水素濃度が低減され高純度化された酸化物半導体膜を用いることで、高精細化に適し、動作速度が速く、オン時には大電流を流すことができ、オフ時にはほとんど電流を流さない薄膜トランジスタを作製することができる。

【0039】

なお、本実施の形態のダイオードは、図1に示すものに限定されない。図1に示すダイオードでは、酸化物半導体膜107中を第2の電極109から第1の電極105に電流が流れるが、図2に示すように、酸化物半導体膜107中を第1の電極105から第2の電極109に電流が流れる構成としてもよい。

40

【0040】

図2に示すダイオードでは、配線125が第3の電極113および第3の電極115と接続され、更には第1の電極105と接続されている。第1の電極105は酸化物半導体膜107を介して第2の電極109と接続されている。第2の電極109は、配線131に接続されている。

【0041】

なお、図2に示すダイオードでは、配線125が他の電極との重なりを避けて設けられているため、配線125と、これらの電極との間に生じる寄生容量を抑えつつ動作させることができる。

50

【 0 0 4 2 】

このような薄膜トランジスタのソースまたはドレインをゲートと接続させることで、逆方向電流が非常に小さいダイオードを得ることができる。従って、降伏現象が起きにくい（すなわち、耐圧が高い）ダイオードを作製することができる。

【 0 0 4 3 】

（実施の形態 2）

本実施の形態では、本発明の一態様であるダイオードの一例であって、実施の形態 1 とは異なる構造のものについて、図 3 を用いて説明する。本実施の形態にて説明するダイオードは、電界効果トランジスタ、例えば薄膜トランジスタのソースまたはドレインにゲートが接続されたものである。

10

【 0 0 4 4 】

図 3 に示すダイオードでは、配線 1 3 1 が第 1 の電極 1 0 5 および第 3 の電極 1 1 3 と接続され、配線 1 3 2 が第 1 の電極 1 0 6 および第 3 の電極 1 1 5 と接続されている。第 1 の電極 1 0 5 および第 1 の電極 1 0 6 は酸化物半導体膜 1 0 7 を介して第 2 の電極 1 0 9 と接続されている。第 2 の電極 1 0 9 は、配線 1 2 9 に接続されている。

【 0 0 4 5 】

図 3 (A) はダイオード接続された薄膜トランジスタ 1 4 1、1 4 3 の上面図であり、図 3 (B) は図 3 (A) の一点鎖線 A - B の断面図に相当する。

【 0 0 4 6 】

図 3 (B) に示すように、基板 1 0 1 上に形成された絶縁膜 1 0 3 上に、第 1 の電極 1 0 5、第 1 の電極 1 0 6、酸化物半導体膜 1 0 7、及び第 2 の電極 1 0 9 が積層される。また、第 1 の電極 1 0 5、第 1 の電極 1 0 6、酸化物半導体膜 1 0 7、及び第 2 の電極 1 0 9 を覆うように、ゲート絶縁膜 1 1 1 が設けられている。ゲート絶縁膜 1 1 1 上には、第 3 の電極 1 1 3 及び第 3 の電極 1 1 5 が設けられている。ゲート絶縁膜 1 1 1 及び第 3 の電極 1 1 3 及び第 3 の電極 1 1 5 上には層間絶縁膜として機能する絶縁膜 1 1 7 が設けられている。絶縁膜 1 1 7 上には、開口部が形成されており、開口部において第 1 の電極 1 0 5 及び第 3 の電極 1 1 3 と接続する配線 1 3 1、第 1 の電極 1 0 6 及び第 3 の電極 1 1 5 と接続する配線 1 3 2（図 3 (A) 参照）、第 2 の電極 1 0 9 と接続する配線 1 2 9 が形成される。

20

【 0 0 4 7 】

第 1 の電極 1 0 5 は、薄膜トランジスタ 1 4 1 のソース電極またはドレイン電極の一方として機能する。第 1 の電極 1 0 6 は、薄膜トランジスタ 1 4 3 のソース電極またはドレイン電極の一方として機能する。第 2 の電極 1 0 9 は、薄膜トランジスタ 1 4 1、1 4 3 のソース電極またはドレイン電極の他方として機能する。第 3 の電極 1 1 3 は、薄膜トランジスタ 1 4 1 のゲート電極として機能する。第 3 の電極 1 1 5 は、薄膜トランジスタ 1 4 3 のゲート電極として機能する。

30

【 0 0 4 8 】

本実施の形態では、第 1 の電極 1 0 5 と、第 1 の電極 1 0 6 とが分離されていることを特徴とする（図 3 (A) 及び (B) を参照）。

【 0 0 4 9 】

更には、図 3 (A) 及び (B) では、薄膜トランジスタ 1 4 1 と、薄膜トランジスタ 1 4 3 とが、第 2 の電極 1 0 9 及び配線 1 2 9 で並列に接続していることを特徴とする。この場合、第 1 の電極 1 0 5 は、薄膜トランジスタ 1 4 1 のソース電極及びドレイン電極の一方（例えばソース）として機能する。第 2 の電極 1 0 9 は、薄膜トランジスタ 1 4 1 のソース電極及びドレイン電極の他方（例えばドレイン）として機能する。第 3 の電極 1 1 3 は、薄膜トランジスタ 1 4 1 のゲート電極として機能する。また、第 2 の電極 1 0 9 は、薄膜トランジスタ 1 4 3 のソース電極及びドレイン電極の一方（例えばドレイン）として機能する。第 1 の電極 1 0 6 は、薄膜トランジスタ 1 4 3 のソース電極及びドレイン電極の他方（例えばソース）として機能する。第 3 の電極 1 1 5 は、薄膜トランジスタ 1 4 3 のゲート電極として機能する。

40

50

【 0 0 5 0 】

または、薄膜トランジスタ 1 4 1 と薄膜トランジスタ 1 4 3 が直列に接続されていてもよい。即ち、薄膜トランジスタ 1 4 1 と薄膜トランジスタ 1 4 3 が第 2 の電極 1 0 9 で直列に接続されていてもよい。この場合、配線 1 2 9 を設けなくともよい。このとき、配線 1 3 2 から信号が出力される構成とすればよい。

【 0 0 5 1 】

薄膜トランジスタ 1 4 1 と薄膜トランジスタ 1 4 3 が第 2 の電極 1 0 9 で直列に接続されている場合にも、第 1 の電極 1 0 5 は、薄膜トランジスタ 1 4 1 のソース電極及びドレイン電極の一方（例えばソース）として機能する。第 2 の電極 1 0 9 は、薄膜トランジスタ 1 4 1 のソース電極及びドレイン電極の他方（例えばドレイン）として機能する。第 3 の電極 1 1 3 は、薄膜トランジスタ 1 4 1 のゲート電極として機能する。また、第 2 の電極 1 0 9 は、薄膜トランジスタ 1 4 3 のソース電極及びドレイン電極の一方（例えばソース）として機能する。第 1 の電極 1 0 6 は、薄膜トランジスタ 1 4 3 のソース電極及びドレイン電極の他方（例えばドレイン）として機能する。第 3 の電極 1 1 5 は、薄膜トランジスタ 1 4 3 のゲート電極として機能する。

10

【 0 0 5 2 】

本実施の形態の薄膜トランジスタ 1 4 1、1 4 3 は、実施の形態 1 と同様に、水素濃度が低減され高純度化された酸化物半導体膜を用いている。このため、薄膜トランジスタの動作を良好なものとすることができる。特に、オフ電流を低減することができる。この結果、高精細化に適し、動作速度が速く、オン時には大電流を流すことができ、オフ時にはほとんど電流を流さない薄膜トランジスタを作製することができる。

20

【 0 0 5 3 】

なお、本実施の形態のダイオードは、図 3 に示すものに限定されない。図 3 に示すダイオードでは、酸化物半導体膜 1 0 7 中を第 1 の電極 1 0 5 及び第 1 の電極 1 0 6 から第 2 の電極 1 0 9 に電流が流れるが、図 4 に示すように、酸化物半導体膜 1 0 7 中を第 2 の電極 1 0 9 から第 1 の電極 1 0 5 及び第 1 の電極 1 0 6 に電流が流れる構成としてもよい。

【 0 0 5 4 】

図 4 に示すダイオードでは、配線 1 2 5 が第 3 の電極 1 1 3 および第 3 の電極 1 1 5 と接続され、更には第 2 の電極 1 0 9 と接続され、第 2 の電極 1 0 9 は酸化物半導体膜 1 0 7 を介して第 1 の電極 1 0 5 及び第 1 の電極 1 0 6 に接続されている。第 1 の電極 1 0 5 は配線 1 3 1 に接続され、第 1 の電極 1 0 6 は配線 1 3 2 に接続されている。

30

【 0 0 5 5 】

なお、図 4 に示すダイオードでは、配線 1 2 5 が薄膜トランジスタ 1 4 1 および薄膜トランジスタ 1 4 3 と重畳して設けられているが、これに限定されず、図 2 と同様に、配線 1 2 5 が薄膜トランジスタ 1 4 1 および薄膜トランジスタ 1 4 3 と重畳しないように設けてもよく、配線 1 2 5 が薄膜トランジスタ 1 4 1 および薄膜トランジスタ 1 4 3 と重畳しない場合には、配線 1 2 5 と、これらの電極との間に生じる寄生容量を抑えつつ動作させることができる。

【 0 0 5 6 】

このような薄膜トランジスタのソースまたはドレインをゲートと接続させることで、逆方向電流が非常に小さいダイオードを得ることができる。従って、降伏現象が起きにくい（すなわち、耐圧が高い）ダイオードを作製することができる。

40

【 0 0 5 7 】

（実施の形態 3）

本実施の形態では、本発明の一態様であるダイオードの一例であって、実施の形態 1 及び実施の形態 2 とは異なる構造のものについて、図 5 を用いて説明する。本実施の形態にて説明するダイオードは、電界効果トランジスタ、例えば薄膜トランジスタのソースまたはドレインにゲートが接続されたものである。

【 0 0 5 8 】

図 5 に示すダイオードでは、配線 1 3 1 が第 1 の電極 1 0 5 および第 3 の電極 1 1 3 と

50

接続されている。第1の電極105は酸化物半導体膜107を介して第2の電極109と接続されている。第2の電極109は、配線129に接続されている。

【0059】

図5(A)はダイオード接続された薄膜トランジスタ145の上面図であり、図5(B)は図5(A)の一点鎖線A-Bの断面図に相当する。

【0060】

図5(B)に示すように、基板101上に形成された絶縁膜103上に、第1の電極105、酸化物半導体膜107、及び第2の電極109が積層される。また、第1の電極105、酸化物半導体膜107、及び第2の電極109を覆うように、ゲート絶縁膜111が設けられている。ゲート絶縁膜111上には、第3の電極113が設けられている。ゲート絶縁膜111及び第3の電極113上には層間絶縁膜として機能する絶縁膜117が設けられている。絶縁膜117上には、開口部が形成されており、開口部において第1の電極105及び第3の電極113と接続する配線131(図5(A)参照)、第2の電極109と接続する配線129が形成される。

10

【0061】

第1の電極105は、薄膜トランジスタ145のソース電極またはドレイン電極の一方として機能する。第2の電極109は、薄膜トランジスタ145のソース電極またはドレイン電極の他方として機能する。第3の電極113は、薄膜トランジスタ145のゲート電極として機能する。

【0062】

本実施の形態では、ゲート電極として機能する第3の電極113が環状であることを特徴とする。ゲート電極として機能する第3の電極113を環状とすることで、薄膜トランジスタのチャネル幅を大きくすることができる。このため、薄膜トランジスタのオン電流を高めることができる。

20

【0063】

本実施の形態の薄膜トランジスタ145は、実施の形態1と同様に、水素濃度が低減され高純度化された酸化物半導体膜を用いている。このため、薄膜トランジスタの動作を良好なものとすることができる。特に、オフ電流を低減することができる。この結果、高精細化に適し、動作速度が速く、オン時には大電流を流すことができ、オフ時にはほとんど電流を流さない薄膜トランジスタを作製することができる。

30

【0064】

なお、本実施の形態のダイオードは、図5に示すものに限定されない。図5に示すダイオードでは、酸化物半導体膜107中を第1の電極105から第2の電極109に電流が流れるが、図6に示すように、酸化物半導体膜107中を第2の電極109から第1の電極105に電流が流れる構成としてもよい。

【0065】

図6に示すダイオードでは、配線129が第2の電極109および第3の電極113と接続されている。第2の電極109は酸化物半導体膜107を介して第1の電極105と接続されている。第1の電極105は配線131と接続されている。

【0066】

このような薄膜トランジスタのソースまたはドレインをゲートと接続させることで、逆方向電流が非常に小さいダイオードを得ることができる。従って、降伏現象が起きにくい(すなわち、耐圧が高い)ダイオードを作製することができる。

40

【0067】

(実施の形態4)

本実施の形態では、図1に示すダイオード接続された薄膜トランジスタの作製工程について、図7を用いて説明する。

【0068】

図7(A)に示すように、基板101上に絶縁膜103を形成し、絶縁膜103上に第1の電極105を形成する。第1の電極105は、薄膜トランジスタのソース電極または

50

ドレイン電極の一方として機能する。

【0069】

絶縁膜103は、スパッタリング法、CVD法、塗布法などで形成することができる。

【0070】

なお、スパッタリング法で絶縁膜103を形成する場合、処理室内に残留する水素、水、水酸基または水素化物などを除去しつつ絶縁膜103を形成することが好ましい。これは、絶縁膜103に水素、水、水酸基または水素化物などが含まれないようにするためである。処理室内に残留する水素、水、水酸基または水素化物などを除去するためには、吸着型の真空ポンプを用いることが好ましい。吸着型の真空ポンプとしては、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室では、水素、水、水酸基または水素化物などが排気されるため、当該処理室で絶縁膜103を形成すると、絶縁膜103に含まれる不純物の濃度を低減できる。

10

【0071】

また、絶縁膜103を形成する際に用いるスパッタガスは、水素、水、水酸基または水素化物などの不純物が濃度1ppm以下（好ましくは濃度10ppb以下）まで除去された、高純度ガスであることが好ましい。なお、スパッタガスとは、スパッタリングを行う処理室内に導入するガスをいう。

【0072】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるスパッタリング法、さらにパルス的にバイアスを与えるパルスDCスパッタリング法がある。RFスパッタリング法は主に絶縁膜を形成する場合に用いられ、DCスパッタリング法は主に金属膜を形成する場合に用いられる。

20

【0073】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料の膜を積層形成することも、同一チャンバーで複数種類の材料を同時に放電させて形成することもできる。

【0074】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタ装置がある。

30

【0075】

また、スパッタリング法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法を用いることもできる。

【0076】

本明細書のスパッタリングにおいては、上記したスパッタリング装置及びスパッタリング方法を適宜用いることができる。

【0077】

本実施の形態では、基板101を処理室へ搬送し、水素、水、水酸基または水素化物などが除去された高純度酸素を含むスパッタガスを導入し、シリコンターゲットを用いて、基板101に絶縁膜103として、酸化シリコン膜を形成する。なお、絶縁膜103を形成する際は、基板101は加熱されていてもよい。

40

【0078】

例えば、石英（好ましくは合成石英）を用い、基板温度108℃、基板とターゲットの間との距離（T-S間距離）を60mm、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm=1：1）雰囲気下でRFスパッタリング法により酸化シリコン膜を形成する。膜厚は、例えば100nmとするとよい。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを用いること

50

ができる。なお、スパッタガスとして、酸素、または酸素及びアルゴンの混合ガスを用いて行う。

【0079】

また、絶縁膜103を積層構造で形成する場合、例えば、酸化シリコン膜と基板との間に水素、水、水酸基または水素化物などが除去された高純度窒素を含むスパッタガス及びシリコンターゲットを用いて窒化シリコン膜を形成する。この場合においても、酸化シリコン膜と同様に、処理室内に残留する水素、水、水酸基または水素化物などを除去しつつ窒化シリコン膜を形成することが好ましい。なお、当該工程において、基板101は加熱されていてもよい。

【0080】

絶縁膜103として窒化シリコン膜と酸化シリコン膜とを積層する場合、窒化シリコン膜と酸化シリコン膜を同じ処理室において、共通のシリコンターゲットを用いて形成することができる。先に窒素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン膜を形成し、次に酸素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて酸化シリコン膜を形成する。窒化シリコン膜及び酸化シリコン膜を大気に曝露せずに連続して形成することができるため、窒化シリコン膜表面に水素、水、水酸基または水素化物などの不純物が吸着することを防止することができる。

【0081】

第1の電極105は、基板101上に導電膜をスパッタリング法、CVD法、または真空蒸着法で形成し、当該導電膜上にフォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電膜をエッチングして、形成することができる。または、フォトリソグラフィ工程を用いず、印刷法、インクジェット法で第1の電極105を形成することで、工程数を削減することができる。なお、第1の電極105の端部をテーパ形状とすると、後に形成されるゲート絶縁膜の被覆性が向上するため好ましい。第1の電極105の端部と絶縁膜103のなす角の角度を30°以上60°以下（好ましくは40°以上50°以下）とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができる。

【0082】

本実施の形態では、第1の電極105となる導電膜として、スパッタリング法により膜厚50nmのチタン膜を形成し、厚さ100nmのアルミニウム膜を形成し、厚さ50nmのチタン膜を形成する。次に、フォトリソグラフィ工程により形成したレジストマスクを用いてエッチングして、島状の第1の電極105を形成する。

【0083】

次に、図7(B)に示すように、第1の電極105上に酸化物半導体膜107及び第2の電極109を形成する。酸化物半導体膜107は薄膜トランジスタのチャネル形成領域として機能し、第2の電極109は薄膜トランジスタのソース電極またはドレイン電極の他方として機能する。

【0084】

ここで、酸化物半導体膜107及び第2の電極109の作製方法について、説明する。

【0085】

基板101及び第1の電極105上にスパッタリング法により酸化物半導体膜を形成する。次に、酸化物半導体膜上に導電膜を形成する。

【0086】

酸化物半導体膜107に水素がなるべく含まれないようにするために、前処理として、スパッタリング装置の予備加熱室で第1の電極105が形成された基板101を予備加熱し、基板101に吸着した水素、水、水酸基または水素化物などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、後に形成するゲート絶縁膜111の形成前の基板101に行ってもよいし、後に形成する第3の電極113及び第3の電極115形成前の基板101に行ってもよい。

10

20

30

40

50

【0087】

なお、酸化物半導体膜をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第1の電極105の表面に付着しているゴミや酸化膜を除去することで、第1の電極105及び酸化物半導体膜の界面における抵抗を低減することができるため好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。

【0088】

本実施の形態では、In-Ga-Zn-O系金属酸化物ターゲットを用いたスパッタリング法により酸化物半導体膜を形成する。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。また、スパッタリング法を用いる場合、SiO₂を2重量%以上10重量%以下含むターゲットを用いて形成してもよい。

10

【0089】

酸化物半導体膜を形成する際に用いるスパッタガスは水素、水、水酸基または水素化物などの不純物が濃度1ppm以下（好ましくは濃度10ppb以下）まで除去された、高純度ガスであることが好ましい。なお、スパッタガスとは、スパッタリングを行う処理室内に導入するガスをいう。

20

【0090】

酸化物半導体膜をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む金属酸化物ターゲット（組成比として、In₂O₃：Ga₂O₃：ZnO=1：1：1[mol数比]、In：Ga：Zn=1：1：0.5[mol数比]）を用いることができる。また、In、Ga、及びZnを含む金属酸化物ターゲットとして、In：Ga：Zn=1：1：1[mol数比]、またはIn：Ga：Zn=1：1：2[mol数比]の組成比を有するターゲットを用いることもできる。金属酸化物ターゲットにおいて充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。このように、充填率の高い金属酸化物ターゲットを用いて形成した酸化物半導体膜は緻密な膜となる。

30

【0091】

酸化物半導体膜は、減圧状態の処理室内に基板を保持し、処理室内に残留する水分を除去しつつ、水素、水、水酸基または水素化物などが除去されたスパッタリングガスを導入し、金属酸化物をターゲットとして基板101上に酸化物半導体膜を形成する。処理室内に残留する水素、水、水酸基または水素化物などを除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素、水、水酸基または水素化物など（より好ましくは炭素原子を含む化合物も）が排気されるため、酸化物半導体膜に含まれる不純物の濃度を低減できる。また、基板を加熱しながら酸化物半導体膜を形成してもよい。

40

【0092】

本実施の形態では、酸化物半導体膜の成膜条件の一例として、基板温度室温、基板とターゲットの間との距離を110mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン（酸素流量15sccm：アルゴン流量30sccm）雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは30nm以上3000nm以下とする。なお、適用する酸化物半導体膜材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

50

【0093】

なお、酸化物半導体膜を形成する際のスパッタリング法及びスパッタリング装置は、絶縁膜103に示したスパッタリング法及びスパッタリング装置を適宜用いることができる。

【0094】

第2の電極109となる導電膜は、第1の電極105の材料及び手法を適宜用いることができる。ここでは、第2の電極109となる導電膜として、厚さ50nmのチタン膜、厚さ100nmのアルミニウム膜、及び厚さ50nmのチタン膜を順に積層する。

【0095】

次に、フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、当該レジストマスクを用いて第2の電極109となる導電膜及び酸化物半導体膜107となる酸化物半導体膜をエッチングして、島状の第2の電極109及び酸化物半導体膜107を形成する。なお、フォトリソグラフィ工程により形成したレジストマスクの代わりに、インクジェット法を用いてレジストマスクを作製することで、工程数を削減することができる。当該エッチングにより、第2の電極109及び酸化物半導体膜107の端部と、第1の電極105のなす角の角度を30°以上60°以下（好ましくは40°以上50°以下）とすることで、後に形成されるゲート絶縁膜の被覆性を向上させることができるため好ましい。

10

【0096】

なお、ここでの導電膜及び酸化物半導体膜のエッチングは、ドライエッチングでもウエットエッチングでもよく、両方を用いてもよい。所望の形状の酸化物半導体膜107及び第2の電極109を形成するために、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度など）を適宜調節する。

20

【0097】

なお、第2の電極109となる導電膜及び酸化物半導体膜と、第1の電極105とのエッチングレートが異なる場合は、第1の電極105のエッチングレートが低く、第2の電極109となる導電膜及び酸化物半導体膜のエッチングレートの高い条件を選択する。または、酸化物半導体膜のエッチングレートが低く、第2の電極109となる導電膜のエッチングレートの高い条件を選択して、第2の電極109となる導電膜をエッチングした後、第1の電極105のエッチングレートが低く、酸化物半導体膜のエッチングレートの高い条件を選択する。

30

【0098】

酸化物半導体膜をウエットエッチングするエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0099】

また、ウエットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体膜に含まれるインジウムなどの材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

40

【0100】

また、酸化物半導体膜のドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化シリコン（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。

【0101】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希

50

ガスを添加したガス、などを用いることができる。

【0102】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度など)を適宜調節する。

【0103】

本実施の形態では、エッチャントとしてアンモニア過水(アンモニア、水、過酸化水素水の混合液)を用いて、第2の電極109となる導電膜をエッチングした後、燐酸と酢酸と硝酸を混ぜた溶液で酸化物半導体膜をエッチングして、島状の酸化物半導体膜107を形成する。

10

【0104】

次に、本実施の形態では、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素、希ガスなどの不活性ガス雰囲気下において450において1時間の加熱処理を行った後、大気に触れさせずに、酸化物半導体膜への水素、水、水酸基または水素化物などの再侵入を防ぐことで、水素濃度が低減され高純度化され、i型化または実質的にi型化された酸化物半導体膜を得ることができる。即ち、この第1の加熱処理によって酸化物半導体膜107の脱水化及び脱水素化の少なくとも一方を行うことができる。

20

【0105】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水素、水、水酸基または水素化物などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N(99.999%)以上、好ましくは7N(99.9999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0106】

また、第1の加熱処理の条件、または酸化物半導体膜の材料によっては、酸化物半導体膜が結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件、または酸化物半導体膜の材料によっては、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体膜の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体膜となる場合もある。

30

【0107】

また、酸化物半導体膜の第1の加熱処理は、島状の酸化物半導体膜を形成する前の酸化物半導体膜に行ってもよい。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0108】

なお、酸化物半導体膜に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体膜を形成した後、酸化物半導体膜上に第2の電極となる導電膜を積層した後、第1の電極、酸化物半導体膜及び第2の電極上にゲート絶縁膜を形成した後、またはゲート電極を形成した後のいずれで行ってもよい。

40

【0109】

次に、図7(C)に示すように、第1の電極105、酸化物半導体膜107、第2の電極109上にゲート絶縁膜111を形成する。

【0110】

不純物を除去することによりi型化または実質的にi型化された酸化物半導体膜(水素濃度が低減され高純度化された酸化物半導体膜)は界面準位、界面電荷に対して極めて敏

50

感であるため、ゲート絶縁膜 1 1 1 との界面は重要である。そのため高純度化された酸化物半導体膜に接するゲート絶縁膜 1 1 1 は、高品質化が要求される。

【 0 1 1 1 】

例えば、 μ 波 (2 . 4 5 G H z) を用いた高密度プラズマ C V D により、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。水素濃度が低減され高純度化された酸化物半導体膜と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとするができるからである。

【 0 1 1 2 】

もちろん、ゲート絶縁膜として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマ C V D 法など他の成膜方法を適用することができる。また、ゲート絶縁膜の形成後の加熱処理によってゲート絶縁膜の膜質、酸化物半導体膜との界面特性が改質される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、酸化物半導体膜との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

10

【 0 1 1 3 】

さらに、 85 、 2×10^6 V / c m、12 時間のゲートバイアス・熱ストレス試験 (B T 試験) においては、不純物が酸化物半導体膜に添加されていると、不純物と酸化物半導体膜の主成分との結合が、強電界 (B : バイアス) と高温 (T : 温度) により切断され、生成された未結合手がしきい値電圧 (V_{th}) のドリフトを誘発することとなる。

【 0 1 1 4 】

これに対して、酸化物半導体膜の不純物、特に水素や水などを極力除去し、上記のようにゲート絶縁膜との界面特性を良好にすることにより、B T 試験に対しても安定な薄膜トランジスタを得ることを可能としている。

20

【 0 1 1 5 】

スパッタリング法でゲート絶縁膜 1 1 1 を形成することでゲート絶縁膜 1 1 1 中の水素濃度を低減することができる。スパッタリング法により酸化シリコン膜を形成する場合には、ターゲットとしてシリコンまたは石英を用い、スパッタガスとして酸素または、酸素及びアルゴンの混合ガスを用いて行う。

【 0 1 1 6 】

ゲート絶縁膜 1 1 1 は、第 1 の電極 1 0 5、酸化物半導体膜 1 0 7、及び第 2 の電極 1 0 9 側から酸化シリコン膜と窒化シリコン膜を積層した構造とすることもできる。例えば、第 1 のゲート絶縁膜として膜厚 5 n m 以上 3 0 0 n m 以下の酸化シリコン膜 ($S i O_x$ ($x > 0$)) を形成し、第 1 のゲート絶縁膜上に第 2 のゲート絶縁膜としてスパッタリング法により膜厚 5 0 n m 以上 2 0 0 n m 以下の窒化シリコン膜 ($S i N_y$ ($y > 0$)) を積層して、膜厚 1 0 0 n m のゲート絶縁膜としてもよい。本実施の形態では、圧力 0 . 4 P a、高周波電源 1 . 5 k W、酸素及びアルゴン (酸素流量 2 5 s c c m : アルゴン流量 2 5 s c c m = 1 : 1) 雰囲気下で R F スパッタリング法により膜厚 1 0 0 n m の酸化シリコン膜を形成する。

30

【 0 1 1 7 】

次に、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の加熱処理 (好ましくは 2 0 0 以上 4 0 0 以下、例えば 2 5 0 以上 3 5 0 以下) を行ってもよい。なお、当該第 2 の加熱処理は、のちに形成される第 3 の電極 1 1 3 及び第 3 の電極 1 1 5、絶縁膜 1 1 7、または配線 1 2 5、1 3 1 のいずれかを形成した後に行ってもよい。当該加熱処理により、酸化物半導体膜中に含まれる水素若しくは水分をゲート絶縁膜に拡散させることができる。

40

【 0 1 1 8 】

次に、ゲート絶縁膜 1 1 1 上にゲート電極として機能する第 3 の電極 1 1 3 及び第 3 の電極 1 1 5 を形成する。

【 0 1 1 9 】

第 3 の電極 1 1 3 及び第 3 の電極 1 1 5 は、ゲート絶縁膜 1 1 1 上に第 3 の電極 1 1 3

50

及び第3の電極115となる導電膜をスパッタリング法、CVD法、または真空蒸着法で形成し、当該導電膜上にフォトリソグラフィ工程によりレジストマスクを形成し、当該レジストマスクを用いて導電膜をエッチングして、形成することができる。

【0120】

本実施の形態では、厚さ150nmのチタン膜をスパッタリング法により形成した後、フォトリソグラフィ工程により形成したレジストマスクを用いてエッチングして、第3の電極113及び第3の電極115を形成する。

【0121】

以上の工程で、水素濃度が低減され高純度化された酸化物半導体膜107を有する薄膜トランジスタ133を形成することができる。

【0122】

次に、図7(D)に示すように、ゲート絶縁膜111及び第3の電極113及び第3の電極115上に絶縁膜117を形成した後、コンタクトホール119、コンタクトホール121、及びコンタクトホール123を形成する。

【0123】

絶縁膜117は、酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの酸化物絶縁膜、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などの窒化物絶縁膜を用いる。または、酸化物絶縁膜及び窒化物絶縁膜の積層とすることもできる。

【0124】

絶縁膜117は、スパッタリング法、CVD法などで形成する。なお、スパッタリング法で絶縁膜117を形成する場合、基板101を100～400の温度に加熱し、水素、水、水酸基または水素化物などが除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて絶縁膜を形成してもよい。この場合においても、処理室内に残留する水素、水、水酸基または水素化物などを除去しつつ絶縁膜を形成することが好ましい。

【0125】

なお、絶縁膜117の形成後、さらに、大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

【0126】

コンタクトホール119、コンタクトホール121、及びコンタクトホール123は、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁膜111及び絶縁膜117の一部を除去して形成することができる。

【0127】

次に、ゲート絶縁膜111、コンタクトホール119、コンタクトホール121、及びコンタクトホール123上に導電膜を形成した後、フォトリソグラフィ工程により形成したレジストマスクを用いてエッチングして、配線125及び配線131を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを削減できる。

【0128】

配線125及び配線131は、第1の電極105と同様に形成することができる。

【0129】

なお、第3の電極113及び第3の電極115と、配線125及び配線131の間に平坦化のための平坦化絶縁膜を設けてもよい。平坦化絶縁膜の代表例としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシなどの、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(LOW-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)などがある。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

10

20

30

40

50

【0130】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成された Si - O - Si 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアール基）やフルオロ基を用いてもよい。また、有機基はフルオロ基を有していてもよい。

【0131】

平坦化絶縁膜の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷など）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーターなどを用いることができる。

10

【0132】

上記の工程を経て酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、少数キャリアの数が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。その結果、大面積基板を用いて薄膜トランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、高精細化に適し、動作速度が速く、オン時には大電流を流すことができ、オフ時にはほとんど電流を流さない薄膜トランジスタを作製することができる。

【0133】

このような薄膜トランジスタのソースまたはドレインをゲートと接続させることで、逆方向電流が非常に小さいダイオードを得ることができる。従って、本実施の形態によって、降伏現象が起きにくい（すなわち、耐圧が高い）ダイオードを作製することができる。

20

【0134】

なお、酸化物半導体膜、または該酸化物半導体膜に接して設けられる絶縁膜との界面に存在しうる、水素、水分、水酸基または水素化物（水素化合物ともいう）などの不純物を排除するため、酸化物半導体膜に接して設けられる絶縁膜にハロゲン元素（例えば、フッ素または塩素）を含ませ、または酸化物半導体膜を露出させた状態でハロゲン元素を含むガス雰囲気中でのプラズマ処理によって酸化物半導体膜にハロゲン元素を含ませてもよい。絶縁膜にハロゲン元素を含ませる場合には、該絶縁膜中におけるハロゲン元素濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3 \sim 1 \times 10^{20} \text{ atoms/cm}^3$ 程度とすればよい。

30

【0135】

なお、上記したように酸化物半導体膜中または酸化物半導体膜とこれに接する絶縁膜との界面にハロゲン元素を含ませ、酸化物半導体膜と接して設けられた絶縁膜が酸化物絶縁膜である場合には、酸化物半導体膜と接しない側の酸化物絶縁膜を、窒素系絶縁膜で覆うことが好ましい。すなわち、酸化物半導体膜に接する酸化物絶縁膜の上に接して窒化シリコン膜などを設ければよい。このような構造とすることで、水素、水分、水酸基または水素化物などの不純物が酸化物絶縁膜に侵入することを防止することができる。

【0136】

なお、図2乃至図6に示すダイオードも同様に形成することができる。

40

【0137】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0138】

（実施の形態5）

本実施の形態の形態では、実施の形態4とは異なる形態の酸化物半導体膜を有するダイオード接続された薄膜トランジスタとその作製方法について、図7及び図8を用いて説明する。

【0139】

実施の形態4と同様に、図7(A)に示すように、基板101上に絶縁膜103及び第

50

1の電極105を形成する。次に、図7(B)に示すように、第1の電極105上に酸化物半導体膜107及び第2の電極109を形成する。

【0140】

次に、第1の加熱処理を行う。本実施の形態における第1の加熱処理は、上記実施の形態における第1の加熱処理とは異なるものであり、当該加熱処理によって、図8(A)に示すように、表面に結晶粒が形成される酸化物半導体膜151を形成することができる。本実施の形態では、抵抗発熱体などの発熱体からの熱伝導及び熱輻射の少なくとも一方によって被処理物を加熱する装置を用いて第1の加熱処理を行う。ここで、加熱処理の温度は500以上700以下、好ましくは650以上700以下とすることが好適である。なお、加熱処理温度の上限に関し、発明の本質的な部分からの要求はないが、加熱処理温度の上限は基板101の耐熱温度の範囲内とする必要がある。また、加熱処理の時間は、1分以上10分以下とすることが好適である。RTA処理を適用することで、短時間に加熱処理を行うことができるため、基板101に対する熱の影響を小さくすることができる。つまり、加熱処理を長時間行う場合と比較して、加熱処理温度の上限を引き上げることが可能である。また、酸化物半導体膜の表面近傍に、所定の構造の結晶粒を選択的に形成することが可能である。

10

【0141】

本実施の形態で用いることができる加熱装置としては、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置などのRTA(Rapid Thermal Anneal)装置などがある。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。

20

【0142】

例えば、第1の加熱処理として、650~700の高温に加熱した窒素または希ガスなどの不活性ガス雰囲気中に基板を移動し、数分間加熱した後、高温に加熱した不活性ガス中から基板を出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

30

【0143】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水素、水、水酸基または水素化物などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N(99.999%)以上、好ましくは7N(99.9999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0144】

なお、上記の加熱処理は、酸化物半導体膜107を形成した後であればいずれのタイミングで行ってもよいが、脱水化または脱水素化を促進させるためには、酸化物半導体膜107の表面に他の構成要素を設ける前に行うのが好適である。また、上記の加熱処理は、一回に限らず、複数回行っても良い。

40

【0145】

ここで、図8(A)の破線部153の拡大図を図8(B)に示す。

【0146】

酸化物半導体膜151は、非晶質を主たる構成とする非晶質領域155と、酸化物半導体膜151の表面に形成される結晶粒157とを有する。また、結晶粒157は、表面からの距離(深さ)が20nm以下の領域(表面近傍)に形成される。ただし、酸化物半導体膜151の厚さが大きくなる場合にはこの限りではない。例えば、酸化物半導体膜151の厚さが200nm以上となる場合には、「表面の近傍(表面近傍)」とは、表面からの距離(深さ)が酸化物半導体膜の厚さの10%以下である領域をいう。

50

【 0 1 4 7 】

ここで、非晶質領域 1 5 5 は、非晶質酸化物半導体膜を主たる構成としている。なお、「主たる」とは、例えば、5 0 % 以上を占める状態をいい、この場合には、非晶質酸化物半導体膜が体積 % (または重量 %) で 5 0 % 以上を占める状態をいうものとする。つまり、非晶質酸化物半導体膜以外にも、酸化物半導体膜の結晶などを含むことがあるが、その含有率は体積 % (または重量 %) で 5 0 % 未満であることが望ましいがこれらの範囲に限定される必要はない。

【 0 1 4 8 】

酸化物半導体膜の材料として In - Ga - Zn - O 系の酸化物半導体膜を用いる場合には、上記の非晶質領域 1 5 5 の組成は、Zn の含有量 (原子 %) が、In または Ga の含有量 (原子 %) 未満となるようにするのが好適である。このような組成とすることにより、所定の組成の結晶粒 1 5 7 を形成することが容易になるためである。

10

【 0 1 4 9 】

この後、実施の形態 4 と同様に、ゲート絶縁膜と、ゲート電極として機能する第 3 の電極を形成して薄膜トランジスタを作製する。

【 0 1 5 0 】

酸化物半導体膜 1 5 1 の表面はゲート絶縁膜と接するため、チャネルとなる。チャネルとなる領域に結晶粒を有することで、ソース、チャネル、及びドレイン間の抵抗が低減すると共に、キャリア移動度が上昇する。このため、当該酸化物半導体膜 1 5 1 を有する薄膜トランジスタの電界効果移動度が上昇し、良好な電気特性を実現できる。

20

【 0 1 5 1 】

また、結晶粒 1 5 7 は、非晶質領域 1 5 5 と比較して安定であるため、これを酸化物半導体膜 1 5 1 の表面近傍に有することで、非晶質領域 1 5 5 に不純物 (例えば水素、水、水酸基または水素化合物など) が取り込まれることを低減することが可能である。このため、酸化物半導体膜 1 5 1 の信頼性を向上させることができる。

【 0 1 5 2 】

以上の工程により酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、少数キャリアの数が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いて薄膜トランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、高精細化に適し、動作速度が速く、オン時には大電流を流すことができ、オフ時にはほとんど電流を流さない薄膜トランジスタを作製することができる。

30

【 0 1 5 3 】

このような薄膜トランジスタのソースまたはドレインをゲートと接続させることで、逆方向電流が非常に小さいダイオードを得ることができる。従って、本実施の形態によって、降伏現象が起きにくい (すなわち、耐圧が高い) ダイオードを作製することができる。

【 0 1 5 4 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

40

【 0 1 5 5 】

(実施の形態 6)

本実施の形態では、図 1 に示すダイオード接続された薄膜トランジスタの作製工程であって、実施の形態 4 及び実施の形態 5 とは異なるものについて、図 7 を用いて説明する。

【 0 1 5 6 】

実施の形態 4 と同様に、図 7 (A) に示すように、基板 1 0 1 上に第 1 の電極 1 0 5 を形成する。

【 0 1 5 7 】

次に、図 7 (B) に示すように、第 1 の電極 1 0 5 上に酸化物半導体膜 1 0 7 及び第 2

50

の電極 109 を形成する。

【0158】

なお、酸化物半導体膜をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、第1の電極105の表面に付着しているゴミや酸化膜を除去することで、第1の電極105及び酸化物半導体膜の界面における抵抗を低減することができるため好ましい。なお、アルゴン雰囲気にて窒素、ヘリウムなどを用いてもよい。

【0159】

基板101及び第1の電極105上にスパッタリング法により酸化物半導体膜を形成する。次に、酸化物半導体膜上に導電膜を形成する。

10

【0160】

本実施の形態では、酸化物半導体膜をIn-Ga-Zn-O系金属酸化物ターゲットを用いたスパッタリング法により形成する。本実施の形態では、減圧状態の処理室内に基板を保持し、基板を室温または400未満の温度に加熱する。そして、処理室内に残留する水素、水、水酸基または水素化物などを除去しつつ、水素、水、水酸基または水素化物などが除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板101及び第1の電極105上に酸化物半導体膜を形成する。処理室内に残留する水素、水、水酸基または水素化物などを除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した処理室は、例えば、水素、水、水酸基または水素化物（より好ましくは炭素原子を含む化合物も）などが排気されるため、当該処理室で形成した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、クライオポンプにより処理室内に残留する水素、水、水酸基または水素化物などを除去しながらスパッタ形成を行うことで、基板温度が室温から400未満でも水素原子、水などの不純物を低減した酸化物半導体膜を形成することができる。

20

【0161】

本実施の形態では、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下での成膜条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は、好ましくは30nm以上3000nm以下とする。なお、適用する酸化物半導体膜材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

30

【0162】

なお、酸化物半導体膜を形成する際のスパッタリング法及びスパッタリング装置は、絶縁膜103に示したスパッタリング法を適宜用いることができる。

【0163】

次に、第2の電極109となる導電膜を、第1の電極105の材料及び手法を用いて形成する。

【0164】

次に、実施の形態4と同様に、第2の電極109となる導電膜及び酸化物半導体膜107となる酸化物半導体膜をエッチングして、島状の第2の電極109及び酸化物半導体膜107を形成する。所望の形状の酸化物半導体膜107及び第2の電極109を形成するために、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度など)を適宜調節する。

40

【0165】

次に、図7(C)に示すように、実施の形態4と同様に、第1の電極105、酸化物半導体膜107、第2の電極109上にゲート絶縁膜111を形成する。ゲート絶縁膜111は、酸化物半導体膜107との界面特性が良好なものとすることが好ましく、 μ 波(2.45GHz)を用いた高密度プラズマCVD法でゲート絶縁膜111を形成することで

50

、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。また、ゲート絶縁膜として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマCVD法など他の形成方法を適用することができる。

【0166】

なお、ゲート絶縁膜111を形成する前に逆スパッタを行い、少なくとも酸化半導体膜107の表面に付着しているレジスト残渣などを除去することが好ましい。

【0167】

また、ゲート絶縁膜111を形成する前に N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理によって露出している酸化半導体膜の表面に付着した水素、水、水酸基または水素化物などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。プラズマ処理を行った場合、大気に触れることなく、酸化半導体膜の一部に接するゲート絶縁膜111を形成することが好ましい。

【0168】

また、ゲート絶縁膜111に、水素、水、水酸基または水素化物などがなるべく含まれないようにするために、前処理として、スパッタリング装置の予備加熱室で第1の電極105から第2の電極109まで形成された基板101を予備加熱し、基板101に吸着した水素、水、水酸基または水素化物などの不純物を脱離し排気することが好ましい。または、ゲート絶縁膜111を形成した後、基板101を、スパッタリング装置の予備加熱室で予備加熱して、基板101に吸着した水素、水、水酸基または水素化物などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100 以上400 以下好ましくは150 以上300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0169】

ゲート絶縁膜111は、第1の電極105、酸化半導体膜107、及び第2の電極109側から酸化シリコン膜と窒化シリコン膜とを積層した構造とすることもできる。例えば、第1のゲート絶縁膜としてスパッタリング法により膜厚5nm以上300nm以下の酸化シリコン膜(SiO_x ($x > 0$))を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜として膜厚50nm以上200nm以下の窒化シリコン膜(SiN_y ($y > 0$))を積層して、ゲート絶縁膜とする。

【0170】

次に、図7(C)に示すように、実施の形態4と同様に、ゲート絶縁膜111上にゲート電極として機能する第3の電極113及び第3の電極115を形成する。

【0171】

以上の工程で、水素濃度が低減された酸化半導体膜107を有する薄膜トランジスタ133を形成することができる。

【0172】

上記のように酸化半導体膜を形成する際に、反応雰囲気中に残留する水素、水、水酸基または水素化物などを除去することで、該酸化半導体膜中の水素濃度を低減することができる。それにより酸化半導体膜の安定化を図ることができる。

【0173】

次に、図7(D)に示すように、実施の形態4と同様に、ゲート絶縁膜111及び第3の電極113及び第3の電極115上に絶縁膜117を形成した後、コンタクトホール119、コンタクトホール121、及びコンタクトホール123を形成する。

【0174】

次に、図7(E)に示すように、実施の形態4と同様に、配線125及び配線131を形成する。

【0175】

絶縁膜117の形成後、さらに、実施の形態4と同様に、大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理によって、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって半導体装置の信頼性

10

20

30

40

50

を向上できる。

【0176】

なお、第3の電極113及び第3の電極115及び配線125及び配線131の間に平坦化のための平坦化絶縁膜を設けてもよい。

【0177】

上記のように酸化物半導体膜を形成するに際し、反応雰囲気中に残留する水素、水、水酸基または水素化物などを除去することで、該酸化物半導体膜中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、少数キャリアの数が極端に少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いて薄膜トランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体膜を用いることで、高精細化に適し、動作速度が速く、オン時には大電流を流すことができ、オフ時にはほとんど電流を流さない薄膜トランジスタを作製することができる。

10

【0178】

このような薄膜トランジスタのソースまたはドレインをゲートと接続させることで、逆方向電流が非常に小さいダイオードを得ることができる。従って、本実施の形態によって、降伏現象が起きにくい(すなわち、耐圧が高い)ダイオードを作製することができる。

【0179】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

20

【0180】

(実施の形態7)

上記実施の形態にて説明したダイオードは、半導体装置に適用することができる。半導体装置として、例えば表示装置を挙げることができる。

【0181】

本発明の一態様である表示装置の構成について、図9を参照して説明する。図9は、表示装置が形成された基板200の上面図を示す。基板200上には、画素部201が形成されている。また、入力端子202及び入力端子203は、基板200上に形成された画素回路に対して画像を表示するための信号及び電源電力を供給する。

30

【0182】

なお、本発明の一態様である表示装置は、図9に示す形態に限定されない。すなわち、基板200上には、走査線駆動回路及び信号線駆動回路の一方または双方が形成されていてもよい。

【0183】

そして、基板200上に形成された走査線側の入力端子202及び信号線側の入力端子203と、画素部201とは、縦横に延びた配線によって接続されており、該配線は保護回路204~207に接続されている。

【0184】

画素部201と、入力端子202とは、配線209によって接続されている。保護回路204は、画素部201と、入力端子202との間に配設され、配線209に接続されている。保護回路204を設けることによって、画素部201が有する薄膜トランジスタ等の各種半導体素子を保護することができ、これらが劣化し、または破壊することを防止できる。なお、配線209は、図中では一の配線を指し示しているが、配線209と平行に設けられている複数の配線のすべてが配線209と同様の接続関係を有する。なお、配線209は、走査線として機能するものである。

40

【0185】

なお、走査線側には、入力端子202と画素部201との間に設けられている保護回路204のみならず、画素部201を挟んで入力端子202の反対側にも保護回路が設けられていてもよい(図9の保護回路205を参照)。

50

【 0 1 8 6 】

一方で、画素部 2 0 1 と、入力端子 2 0 3 とは配線 2 0 8 によって接続されている。保護回路 2 0 6 は、画素部 2 0 1 と、入力端子 2 0 3 との間に配設され、配線 2 0 8 に接続されている。保護回路 2 0 6 を設けることによって、画素部 2 0 1 が有する薄膜トランジスタ等の各種半導体素子を保護することができ、これらが劣化し、または破壊されることを防止できる。なお、配線 2 0 8 は、図中では一の配線を指し示しているが、配線 2 0 8 と平行に設けられている複数の配線のすべてが配線 2 0 8 と同様の接続関係を有する。なお、配線 2 0 8 は、信号線として機能するものである。

【 0 1 8 7 】

なお、信号線側には、入力端子 2 0 3 と画素部 2 0 1 との間に設けられている保護回路 2 0 6 のみならず、画素部 2 0 1 を挟んで入力端子 2 0 3 の反対側にも設けられていても良い（図 9 の保護回路 2 0 7 を参照）。

10

【 0 1 8 8 】

なお、保護回路 2 0 4 ~ 2 0 7 は全て設ける必要はない。しかし、少なくとも保護回路 2 0 4 は設ける必要がある。走査線に過大な電流が生じることで、画素部 2 0 1 が有する薄膜トランジスタのゲート絶縁層が破壊され、多数の点欠陥を生じうるからである。

【 0 1 8 9 】

また、保護回路 2 0 4 のみならず保護回路 2 0 6 を設けることで信号線に過大な電流が生じることを防止できる。そのため、保護回路 2 0 4 のみを設ける場合と比較して信頼性が向上し、歩留まりが向上する。保護回路 2 0 6 を有することで、薄膜トランジスタ形成後のラビング工程等にて生じうる、静電気による破壊を防止することもできる。

20

【 0 1 9 0 】

更には、保護回路 2 0 5 及び保護回路 2 0 7 を有することで、信頼性を更に向上させることができる。また、歩留まりを高くすることができる。保護回路 2 0 5 及び保護回路 2 0 7 は、入力端子 2 0 2 及び入力端子 2 0 3 とは反対側に設けられている。そのため、これらは表示装置の作製工程（例えば、液晶表示装置の作製工程におけるラビング工程）中において生じる、各種半導体素子の劣化及び破壊を防止することに寄与する。

【 0 1 9 1 】

なお、図 9 では、基板 2 0 0 とは別に形成した信号線駆動回路及び走査線駆動回路を C O G 方式や T A B 方式等の公知の方式により基板 2 0 0 に実装する。しかし、これに限定されず、走査線駆動回路と画素部とを基板 2 0 0 上に形成し、信号線駆動回路は別に形成したものを実装してもよい。または、走査線駆動回路の一部或いは信号線駆動回路の一部を、画素部 2 0 1 と共に基板 2 0 0 上に形成し、走査線駆動回路の他の部分或いは信号線駆動回路の他の部分を実装するようにしても良い。走査線駆動回路の一部が画素部 2 0 1 と走査線側の入力端子 2 0 2 との間に設けられている場合には、走査線側の入力端子 2 0 2 と基板 2 0 0 上の走査線駆動回路の一部との間に保護回路を設けても良いし、走査線駆動回路の一部と画素部 2 0 1 との間に保護回路を設けても良いし、これらの双方に保護回路を設けても良い。また、信号線駆動回路の一部が画素部 2 0 1 と信号線側の入力端子 2 0 3 との間に設けられている場合には、信号線側の入力端子 2 0 3 と基板 2 0 0 上の信号線駆動回路の一部との間に保護回路を設けても良いし、信号線駆動回路の一部と画素部 2 0 1 との間に保護回路を設けても良いし、これらの双方に保護回路を設けても良い。つまり、駆動回路の形態は様々であるため、保護回路はその形態に合わせて設ける数と場所を定める。

30

40

【 0 1 9 2 】

次に、図 9 における保護回路 2 0 4 ~ 2 0 7 に用いられる保護回路の具体的な回路構成の例について、図 1 0 を参照して説明する。以下の説明では n 型トランジスタを設ける場合についてのみ説明する。

【 0 1 9 3 】

図 1 0 (A) に示す保護回路は、複数の薄膜トランジスタを用いた保護ダイオード 2 1 1 ~ 2 1 4 を有する。保護ダイオード 2 1 1 は、直列に接続された n 型薄膜トランジスタ

50

211a及びn型薄膜トランジスタ211bを有している。そして、n型薄膜トランジスタ211aのソース電極及びドレイン電極の一方は、n型薄膜トランジスタ211a及びn型薄膜トランジスタ211bのゲート電極と接続され、且つ電位 V_{ss} に保たれている。n型薄膜トランジスタ211aのソース電極及びドレイン電極の他方は、n型薄膜トランジスタ211bのソース電極及びドレイン電極の一方に接続されている。n型薄膜トランジスタ211bのソース電極及びドレイン電極の他方は保護ダイオード212に接続されている。そして、他の保護ダイオード212～214も保護ダイオード211と同様に、それぞれ直列に接続された複数の薄膜トランジスタを有し、且つ直列に接続された複数の薄膜トランジスタの一端は、複数の薄膜トランジスタのゲート電極と接続されている。

【0194】

なお、保護ダイオード211～214のそれぞれが有する薄膜トランジスタの数及び極性は、図10(A)に示す構成に限定されない。例えば、保護ダイオード211は、直列に接続された三つの薄膜トランジスタにより構成されていてもよい。

【0195】

そして、保護ダイオード211～214は順に直列に接続されており、且つ保護ダイオード212と保護ダイオード213の間は、配線215に接続されている。なお、配線215は、保護対象となる半導体素子に電氣的に接続されているものである。なお、配線215と接続する配線は、保護ダイオード212と保護ダイオード213との間の配線に限定されない。即ち、配線215は、保護ダイオード211と保護ダイオード212との間に接続されていても良いし、保護ダイオード213と保護ダイオード214との間に接続されていても良い。

【0196】

そして、保護ダイオード214の一端は電源電位 V_{dd} に保たれている。また、保護ダイオード211～214のそれぞれは、逆方向バイアスの電圧がかかるように接続されている。

【0197】

図10(B)に示す保護回路は、保護ダイオード220、保護ダイオード221、容量素子222、容量素子223及び抵抗素子224を有する。抵抗素子224は2端子の抵抗であり、その一端には配線225から電位 V_{in} が供給され、他端には電位 V_{ss} が供給される。抵抗素子224は、電位 V_{in} が供給されなくなったときに配線225の電位を V_{ss} にするために設けられており、その抵抗値は配線225の配線抵抗よりも十分に大きくなるように設定する。保護ダイオード220及び保護ダイオード221は、ダイオード接続されたn型薄膜トランジスタを用いている。

【0198】

なお、図10に示す保護ダイオードは、更に複数の薄膜トランジスタを直列に接続したものであっても良い。

【0199】

ここで、図10に示す保護回路が動作する場合について考える。このとき、保護ダイオード211、212、221、230、231、234、235のソース電極及びドレイン電極において、電位 V_{ss} に保持される側がドレイン電極である。また他方はソース電極となる。保護ダイオード213、214、220、232、233、236、237のソース電極及びドレイン電極において、電位 V_{dd} に保持される側をソース電極とし、他方がドレイン電極となる。また、保護ダイオードを構成する薄膜トランジスタのしきい値電圧を V_{th} と示す。

【0200】

また、保護ダイオード211、212、221、230、231、234、235は電位 V_{in} が電位 V_{ss} より高いときに逆方向バイアスの電圧がかかり、電流が流れにくい。一方、保護ダイオード213、214、220、232、233、236、237は、電位 V_{in} が電位 V_{dd} より低いときに逆方向バイアスの電圧がかかり、電流が流れにくい。

10

20

30

40

50

【0201】

ここでは、電位 V_{out} が概ね電位 V_{ss} と電位 V_{dd} の間となるように設けられた保護回路の動作について説明する。

【0202】

まず、電位 V_{in} が電位 V_{dd} よりも高い場合を考える。電位 V_{in} が電位 V_{dd} よりも高い場合、保護ダイオード 213、214、220、232、233、236、237 のゲート電極とソース電極間の電位差 $V_{gs} = V_{in} - V_{dd} > V_{th}$ のときに、当該 n 型薄膜トランジスタはオンする。ここでは、 V_{in} が異常に高い場合を想定しているため、当該 n 型薄膜トランジスタはオンする。このとき、保護ダイオード 211、212、221、230、231、234、235 が有する n 型薄膜トランジスタは、オフする。10
そうすると、保護ダイオード 213、214、220、232、233、236、237 を介して、 V_{out} の電位が V_{dd} となる。従って、ノイズ等により電位 V_{in} が電位 V_{dd} よりも異常に高くなったとしても、 V_{out} の電位は、電位 V_{dd} よりも高くなることはない。

【0203】

一方で、電位 V_{in} が電位 V_{ss} よりも低い場合には、保護ダイオード 211、212、221、230、231、234、235 のゲート電極とソース電極間の電位差 $V_{gs} = V_{ss} - V_{in} > V_{th}$ のときに、当該 n 型薄膜トランジスタはオンする。ここでは、 V_{in} が異常に低い場合を想定しているため、n 型薄膜トランジスタはオンする。このとき、保護ダイオード 213、214、220、232、233、236、237 が有する 20
n 型薄膜トランジスタはオフする。そうすると、保護ダイオード 211、212、221、230、231、234、235 を介して、 V_{out} の電位が V_{ss} となる。従って、ノイズ等により、電位 V_{in} が電位 V_{ss} より異常に低くなったとしても、 V_{out} の電位は、電位 V_{ss} よりも低くなることはない。さらに、容量素子 222、223 は、入力電位 V_{in} が有するパルス状のノイズを鈍らせ、ノイズによる電位の急峻な変化を緩和する働きをする。

【0204】

なお、電位 V_{in} が、 $V_{ss} - V_{th}$ から $V_{dd} + V_{th}$ の間の場合には、すべての保護ダイオードが有する n 型薄膜トランジスタがオフとなり、電位 V_{in} が電位 V_{out} へ 30
入力される。

【0205】

以上説明したように保護回路を配置することで、 V_{out} の電位は、概ね電位 V_{ss} と電位 V_{dd} の間に保たれることになる。従って、 V_{out} がこの範囲から大きく外れる電位となることを防止することができる。つまり、 V_{out} が異常に高い電位または異常に低い電位となることを防止し、当該保護回路の後段の回路が破壊されまたは劣化することを防止し、後段の回路を保護することができる。

【0206】

さらに、図 10 (B) に示すように、入力端子に抵抗素子 224 を有する保護回路を設けることで、信号が入力されていないときに、信号が与えられる全ての配線の電位を、一定(ここでは電位 V_{ss}) とすることができる。つまり信号が入力されていないときは、40
配線同士をショートさせることができるショートリングとしての機能も有する。そのため、配線間に生じる電位差に起因する静電破壊を防止することができる。また、抵抗素子 224 の抵抗値が配線抵抗に対して十分に大きいので、信号の入力時に、配線に与えられる信号が電位 V_{ss} まで降下することを防止することができる。

【0207】

ここで、一例として、図 10 (B) の保護ダイオード 220 及び保護ダイオード 221 に閾値電圧 $V_{th} = 0$ の n 型薄膜トランジスタを用いた場合について説明する。

【0208】

まず、 $V_{in} > V_{dd}$ の場合には、保護ダイオード 220 は $V_{gs} = V_{in} - V_{dd} > 0$ となり、オンする。保護ダイオード 221 はオフする。従って、配線 225 の電位は V 50

V_{dd} となり、 $V_{out} = V_{dd}$ となる。

【0209】

一方で、 $V_{in} < V_{ss}$ の場合には、保護ダイオード220はオフする。保護ダイオード221は $V_{gs} = V_{ss} - V_{in} > 0$ となり、オンする。従って、配線225の電位は V_{ss} となり、 $V_{out} = V_{ss}$ となる。

【0210】

このように、 $V_{in} < V_{ss}$ または $V_{dd} < V_{in}$ となる場合であっても、 $V_{ss} < V_{out} < V_{dd}$ の範囲で動作させることができる。従って、 V_{in} が過大な場合または過小な場合であっても、 V_{out} が過大になりまたは過小となることを防止することができる。従って、例えばノイズ等により、電位 V_{in} が電位 V_{ss} より低くなる場合であっても、配線225の電位は、電位 V_{ss} よりも遙かに低くなることはない。さらに、容量素子222及び容量素子223は、入力電位 V_{in} が有するパルス状のノイズを鈍らせ、電位の急峻な変化を緩和する働きをする。

10

【0211】

以上説明したように保護回路を配置することで、配線225の電位は、電位 V_{ss} と電位 V_{dd} の間に概ね保たれることになる。従って、配線225がこの範囲から大きくはずれた電位となることを防止することができ、当該保護回路の後段の回路（入力部が V_{out} に電氣的に接続された回路）を破壊または劣化から保護することができる。さらに、入力端子に保護回路を設けることで、信号が入力されていないときに、信号が与えられる全ての配線の電位を、一定（ここでは電位 V_{ss} ）に保つことができる。つまり、信号が入力されていないときは、配線同士をショートさせることができるショートリングとしての機能も有する。そのため、配線間に生じる電位差に起因する静電破壊を防止することができる。また、抵抗素子224の抵抗値が十分に大きいので、信号の入力時には、配線225に与えられる信号の電位の低下を防止できる。

20

【0212】

図10(C)に示す保護回路は、保護ダイオード220及び保護ダイオード221を、それぞれ2つのn型薄膜トランジスタで代用したものである。

【0213】

なお、図10(B)及び図10(C)に示す保護回路は、保護ダイオードとしてダイオード接続されたn型薄膜トランジスタを用いているが、これに限定されない。

30

【0214】

また、図10(D)に示す保護回路は、保護ダイオード230～237と、抵抗素子238と、を有する。抵抗素子238は配線239Aと配線239Bの間に直列に接続されている。保護ダイオード230～233のそれぞれは、ダイオード接続されたn型薄膜トランジスタを用いており、保護ダイオード234～237のそれぞれは、ダイオード接続されたn型薄膜トランジスタを用いている。

【0215】

保護ダイオード230と保護ダイオード231は直列に接続されており、一端は電位 V_{ss} に保持され、他端は電位 V_{in} の配線239Aに接続されている。保護ダイオード232と保護ダイオード233は直列に接続されており、一端は電位 V_{dd} に保持され、他端は電位 V_{in} の配線239Aに接続されている。保護ダイオード234と保護ダイオード235は直列に接続されており、一端は電位 V_{ss} に保持され、他端は電位 V_{out} の配線239Bに接続されている。保護ダイオード236と保護ダイオード237は直列に接続されており、一端は電位 V_{dd} に保持され、他端は電位 V_{out} の配線239Bに接続されている。

40

【0216】

また、図10(E)に示す保護回路は、抵抗素子240と、抵抗素子241と、保護ダイオード242と、を有する。図10(E)では、保護ダイオード242としてダイオード接続されたn型薄膜トランジスタを用いているが、これに限定されない。ダイオード接続された複数の薄膜トランジスタを用いても良い。抵抗素子240と、抵抗素子241と

50

、保護ダイオード242は、配線243に直列に接続されている。

【0217】

抵抗素子240及び抵抗素子241によって、配線243の電位の急激な変動を緩和し、半導体素子の劣化または破壊を防止することができる。また、保護ダイオード242によって、電位の変動により配線243に逆方向バイアスの電流が流れることを防止することができる。

【0218】

なお、図10(A)に示す保護回路は、図10(F)に示す構成に置き換えることも可能である。図10(F)は、図10(A)に示した保護ダイオード211及び保護ダイオード212を保護ダイオード216に、保護ダイオード213及び保護ダイオード214を保護ダイオード217に置き換えた構成を示している。特に、上記実施の形態で説明したダイオードは、耐圧が高いため、図10(F)のような構成を用いることができる。

10

【0219】

なお、抵抗素子のみを配線に直列に接続する場合には、配線の電位の急激な変動を緩和し、半導体素子の劣化または破壊を防止することができる。また、保護ダイオードのみを配線に直列に接続する場合、電位の変動により配線に逆方向の電流が流れるのを防ぐことができる。

【0220】

なお、本発明の一態様である表示装置に設けられる保護回路は図10に示す構成に限定されるものではなく、同様の働きをする回路構成であれば、適宜設計変更が可能である。

20

【0221】

(実施の形態8)

実施の形態7で説明した保護回路を有する表示装置は、電子機器に適用することができる。

【0222】

実施の形態7の表示装置を表示部に適用した電子機器として、例えば、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポなど)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)などの記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

30

【0223】

図11(A)に示すディスプレイは、筐体300、支持台301および表示部302を含み、入力された様々な情報(静止画、動画、テキスト画像など)を表示部302に表示する機能を有する。なお、図11(A)に示すディスプレイが有する機能はこれに限定されず、例えばスピーカーを具備していてもよいし、情報の表示のみならず入力も可能なタッチパネルであってもよい。

【0224】

図11(B)に示すテレビジョン装置は、筐体に表示部312が組み込まれている。表示部312により、映像を表示することが可能である。また、ここでは、壁310に固定して筐体の裏側を支持した構成を示している。

40

【0225】

図11(B)に示すテレビジョン装置の操作は、筐体311が備える操作スイッチや、リモコン操作機315により行うことができる。リモコン操作機315が備える操作キー314により、チャンネルや音量の操作を行うことができ、表示部312に表示される映像を操作することができる。また、リモコン操作機315に、当該リモコン操作機315から出力する情報を表示する表示部313を設ける構成としてもよい。

【0226】

なお、図11(B)に示すテレビジョン装置は、受信機やモデムなどを備えた構成とす

50

るとよい。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0227】

図11(C)に示すコンピュータは、本体320、筐体321、表示部322、キーボード323、外部接続ポート324およびポインティングデバイス325を含み、様々な情報（静止画、動画、テキスト画像など）を表示部322に表示する機能を有する。なお、図11(C)に示すコンピュータが有する機能はこれに限定されず、例えば、情報の表示のみならず入力も可能なタッチパネルであってもよい。

10

【0228】

本実施の形態で説明したように、本発明の一態様であるダイオードを表示装置に適用することができる。

【符号の説明】

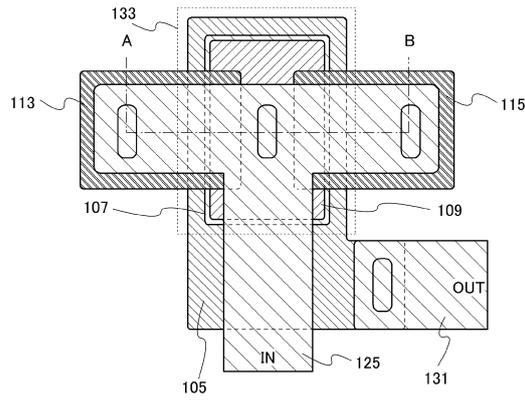
【0229】

101	基板	
103	絶縁膜	
105	第1の電極	
106	第1の電極	
107	酸化物半導体膜	20
109	第2の電極	
111	ゲート絶縁膜	
113	第3の電極	
115	第3の電極	
117	絶縁膜	
119	コンタクトホール	
121	コンタクトホール	
123	コンタクトホール	
125	配線	
129	配線	30
131	配線	
132	配線	
133	薄膜トランジスタ	
141	薄膜トランジスタ	
143	薄膜トランジスタ	
145	薄膜トランジスタ	
151	酸化物半導体膜	
153	破線部	
155	非晶質領域	
157	結晶粒	40
200	基板	
201	画素部	
202	入力端子	
203	入力端子	
204	保護回路	
205	保護回路	
206	保護回路	
207	保護回路	
208	配線	
209	配線	50

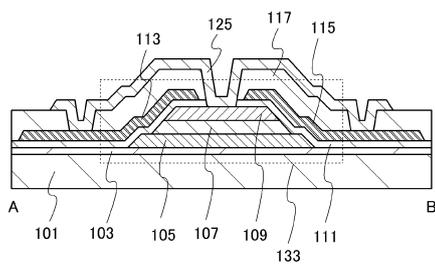
2 1 1	保護ダイオード	
2 1 1 a	n型薄膜トランジスタ	
2 1 1 b	n型薄膜トランジスタ	
2 1 2	保護ダイオード	
2 1 3	保護ダイオード	
2 1 4	保護ダイオード	
2 1 5	配線	
2 1 6	保護ダイオード	
2 1 7	保護ダイオード	
2 2 0	保護ダイオード	10
2 2 1	保護ダイオード	
2 2 2	容量素子	
2 2 3	容量素子	
2 2 4	抵抗素子	
2 2 5	配線	
2 3 0	保護ダイオード	
2 3 1	保護ダイオード	
2 3 2	保護ダイオード	
2 3 3	保護ダイオード	
2 3 4	保護ダイオード	20
2 3 5	保護ダイオード	
2 3 6	保護ダイオード	
2 3 7	保護ダイオード	
2 3 8	抵抗素子	
2 3 9 A	配線	
2 3 9 B	配線	
2 4 0	抵抗素子	
2 4 1	抵抗素子	
2 4 2	保護ダイオード	
2 4 3	配線	30
3 0 0	筐体	
3 0 1	支持台	
3 0 2	表示部	
3 1 0	壁	
3 1 1	筐体	
3 1 2	表示部	
3 1 3	表示部	
3 1 4	操作キー	
3 1 5	リモコン操作機	
3 2 0	本体	40
3 2 1	筐体	
3 2 2	表示部	
3 2 3	キーボード	
3 2 4	外部接続ポート	
3 2 5	ポインティングデバイス	

【図1】

(A)

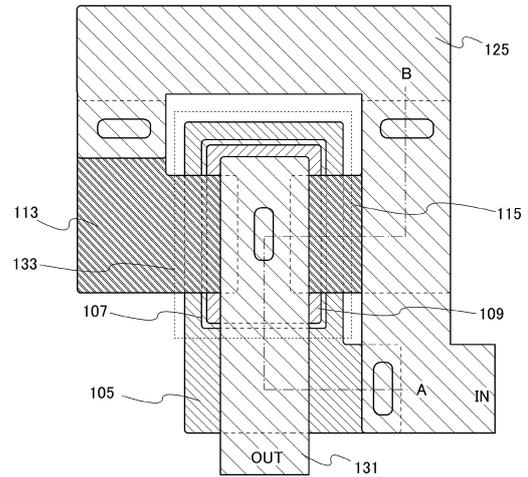


(B)

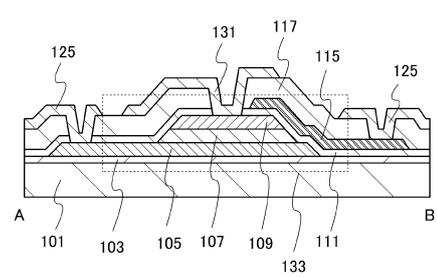


【図2】

(A)

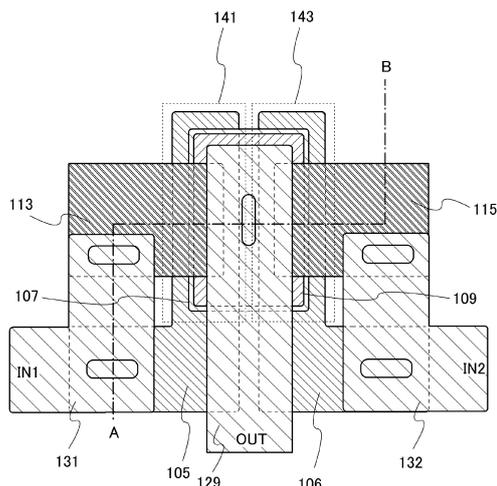


(B)

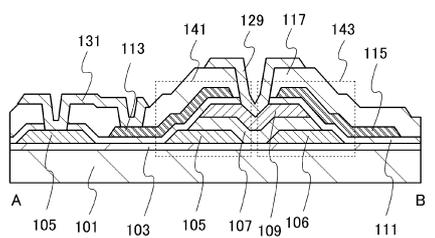


【図3】

(A)

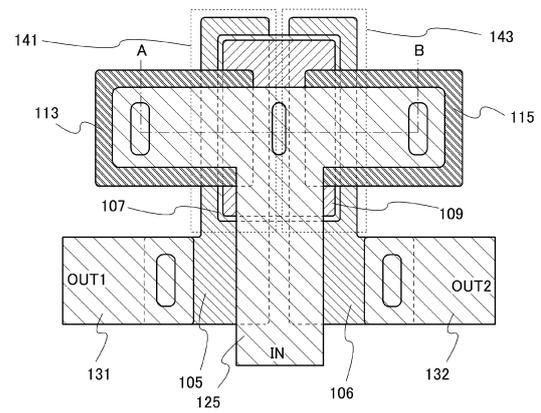


(B)

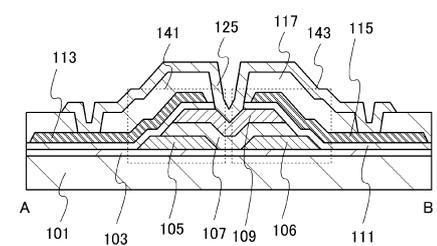


【図4】

(A)

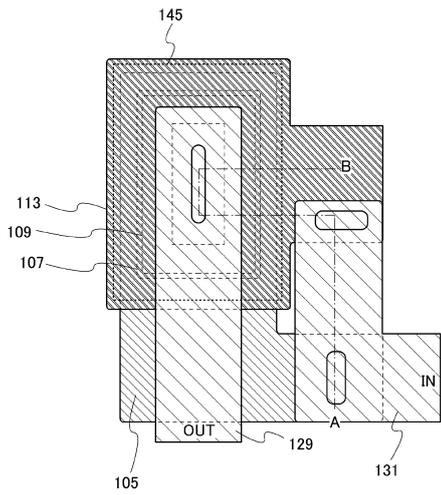


(B)

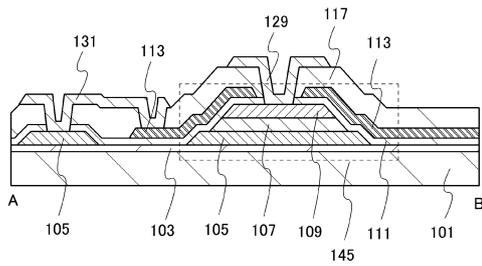


【図5】

(A)

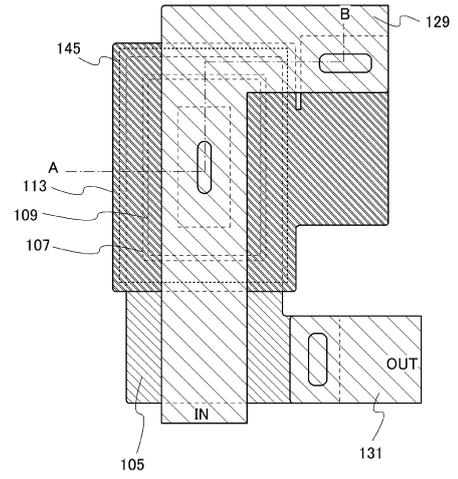


(B)

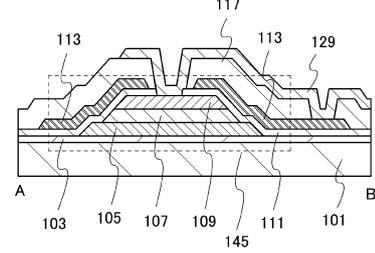


【図6】

(A)

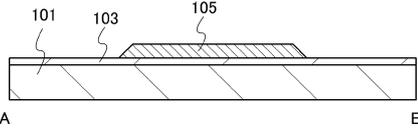


(B)

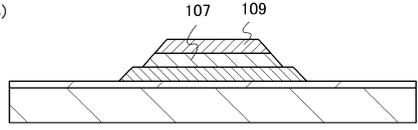


【図7】

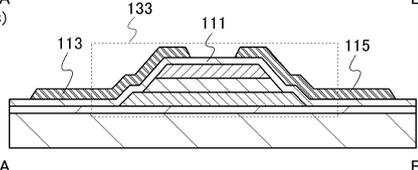
(A)



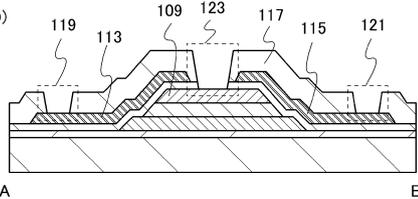
(B)



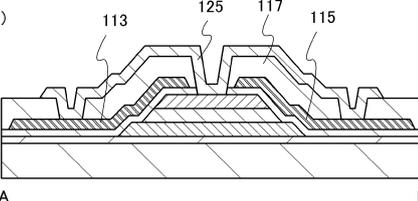
(C)



(D)

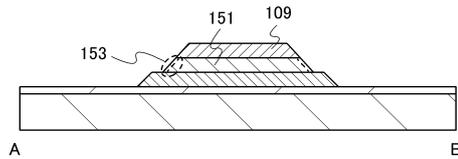


(E)

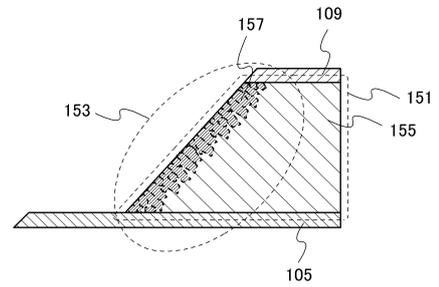


【図8】

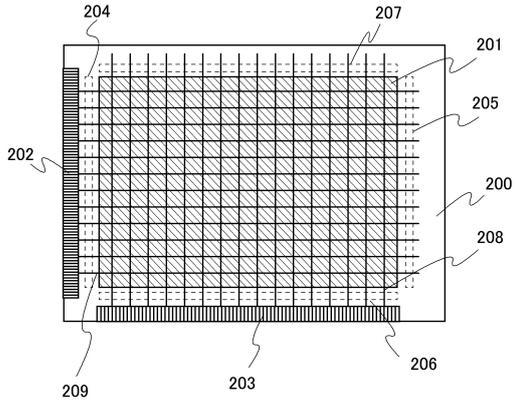
(A)



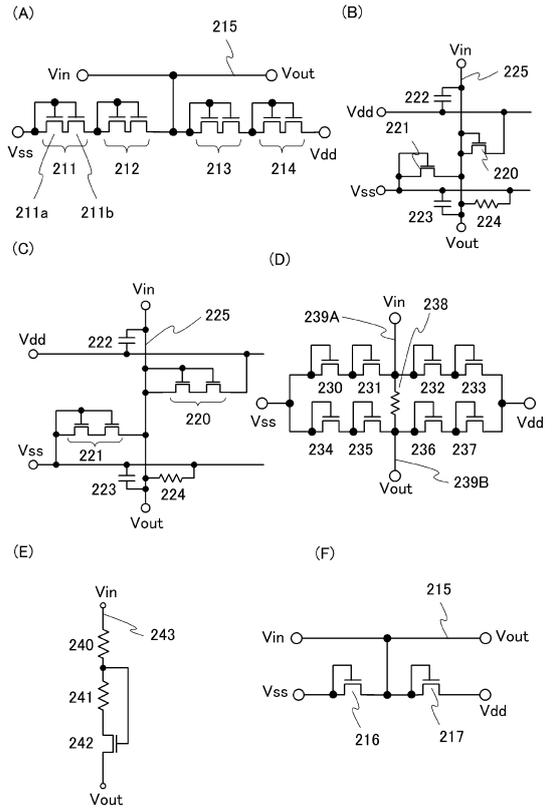
(B)



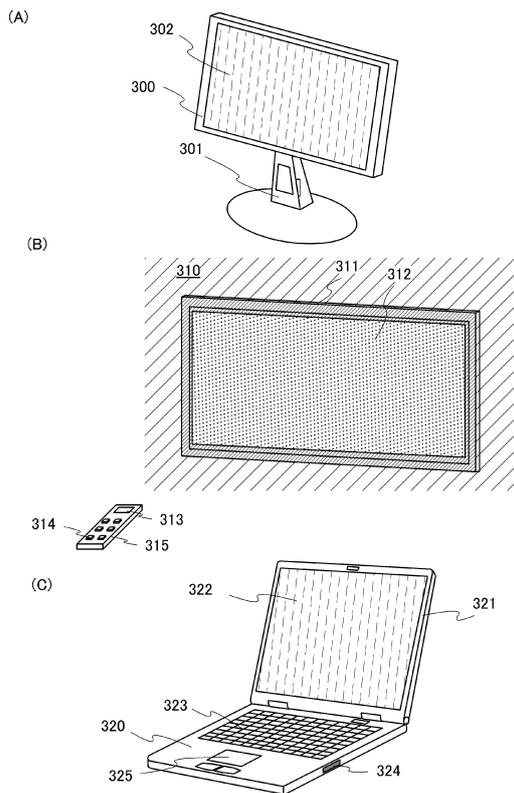
【図9】



【図10】



【図11】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/41 (2006.01) H 0 1 L 29/91 L
H 0 1 L 29/91 A
H 0 1 L 21/28 3 0 1 B
H 0 1 L 29/44 L

(56)参考文献 特開2003-110110(JP,A)
特開2004-111872(JP,A)
特開2007-103918(JP,A)
特開平11-284191(JP,A)
特開平07-297406(JP,A)
特開2001-007324(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8 6