

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-244956
(P2005-244956A)

(43) 公開日 平成17年9月8日(2005.9.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H03K 3/356	H03K 3/356 D	2H093
G02F 1/133	G02F 1/133 550	5B015
G09G 3/20	G09G 3/20 611J	5C006
G09G 3/36	G09G 3/20 621F	5C080
G11C 11/412	G09G 3/20 621M	5J034

審査請求 有 請求項の数 12 O L (全 29 頁) 最終頁に続く

(21) 出願番号	特願2005-17432 (P2005-17432)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成17年1月25日 (2005.1.25)	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2004-20342 (P2004-20342)	(72) 発明者	鷲尾 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(32) 優先日	平成16年1月28日 (2004.1.28)	(72) 発明者	村上 祐一郎 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	マイケル ジェームズ ブラウンロー イギリス, エル361ティージー, リヴァ プール, ヒュイトン レイン ヒュイトン 130 最終頁に続く

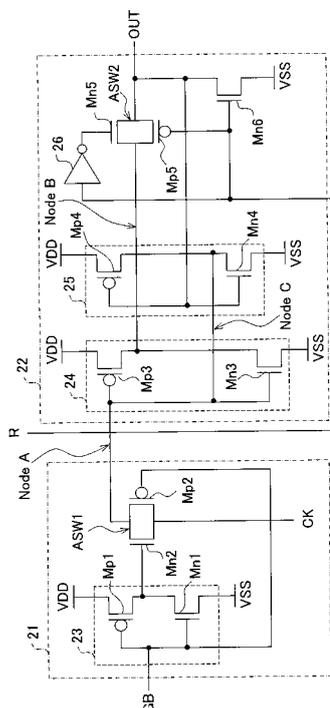
(54) 【発明の名称】 フリップフロップ、シフトレジスタ、およびアクティブマトリクス型表示装置

(57) 【要約】

【課題】 フリップフロップにおける出力信号の立ち上がりおよび立ち下がり特性の両方を向上させる。また上記フリップフロップにより構成されるシフトレジスタの信号遅延を抑制する。

【解決手段】 ラッチ部22は、インバータ24とインバータ25とから構成されゲーティング部21から入力される信号をラッチするラッチ回路を有し、該ラッチ回路のインバータ24と出力端子OUTとの間にリセット信号RのHigh/Lowに応じてON/OFFが切り替わるアナログスイッチASW2が配置されている。また、フリップフロップの動作電源におけるLow電位VSSの入力と出力端子OUTとの間にリセット信号のHigh/Lowに応じてON/OFFが切り替わるスイッチング素子Mn6が配置されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入力信号を、制御信号に応じて後段に供給するゲーティング部と、
上記ゲーティング部から供給された入力信号をラッチするラッチ回路を備えたラッチ部
とを備えたフリップフロップにおいて、

上記ラッチ部は、

該ラッチ部に対してリセット信号によって上記ラッチ回路のラッチ状態を解除するラッ
チ解除手段と、

H i g h 電位または L o w 電位の何れかを外部に出力する出力制御手段とを備えている
ことを特徴とするフリップフロップ。

10

【請求項 2】

入力信号をラッチするラッチ回路を備えたラッチ部を備えたフリップフロップにおいて

、
上記ラッチ部は、

該ラッチ部に対してリセット信号によって上記ラッチ回路のラッチ状態を解除するラッ
チ解除手段と、

H i g h 電位または L o w 電位の何れかを外部に出力する出力制御手段とを備えている
ことを特徴とするフリップフロップ。

【請求項 3】

外部から入力される入力信号を、該入力信号とは別途入力される制御信号に応じて後段
のラッチ部に供給するゲーティング部と、

上記ゲーティング部から供給された入力信号をラッチするラッチ回路を備えたラッチ部
とを備えたフリップフロップにおいて、

上記ラッチ部は、

該ラッチ部に対して外部から入力されるリセット信号によって上記ラッチ回路のラッチ
状態を解除するラッチ解除手段と、

上記リセット信号によって上記ラッチ回路のラッチ状態が解除されたときに、該フリッ
プフロップの動作電源として供給されている H i g h 電位または L o w 電位の何れかを外
部に出力する出力制御手段とを備えていることを特徴とするフリップフロップ。

20

【請求項 4】

上記ラッチ回路は、2つのインバータ回路をその入力側と出力側とを互いに接続して組
み合わされた構成であり、

上記ラッチ解除手段は、その出力側がフリップフロップの出力端子と接続されているイ
ンバータ回路の出力側と該フリップフロップの出力端子との間に配置され、上記リセット
信号によって O N / O F F が切り替えられるスイッチであり、

上記出力制御手段は、該フリップフロップの動作電源として供給される H i g h 電位ま
たは L o w 電位の入力端子と該フリップフロップの出力端子との間に配置され、上記リセ
ット信号によって O N / O F F が切り替えられるスイッチング素子であることを特徴とす
る請求項 1 ないし 3 の何れかに記載のフリップフロップ。

30

【請求項 5】

上記スイッチは、p 型トランジスタと n 型トランジスタとのソースおよびドレイン同士
を接続した C M O S 型アナログスイッチであり、上記 p 型トランジスタおよび n 型トラン
ジスタの両方における O N / O F F が上記リセット信号によって直接切り替えられること
を特徴とする請求項 4 に記載のフリップフロップ。

40

【請求項 6】

上記スイッチは、p 型トランジスタと n 型トランジスタとのソースおよびドレイン同士
を接続した C M O S 型アナログスイッチであり、上記 p 型トランジスタおよび n 型トラン
ジスタの一方における O N / O F F が上記リセット信号によって直接切り替えられ、他方
のトランジスタは一定のゲート電位が与えられてゲート - ソース間電位の変動によって O
N / O F F が切り替わることを特徴とする請求項 4 に記載のフリップフロップ。

50

【請求項 7】

上記ラッチ回路は、2つのインバータ回路をその入力側と出力側とを互いに接続して組み合わされた構成であり、

その出力側がフリップフロップの出力端子と接続されているインバータ回路にクロックドインバータを用いることによって、上記ラッチ回路にラッチ解除手段を兼用させた構成となっていることを特徴とする請求項 1 ないし 3 の何れかに記載のフリップフロップ。

【請求項 8】

上記ラッチ回路は、立ち下がり特性または立ち上がり特性の一方を優先した設計とされていることを特徴とする請求項 1 ないし 3 の何れかに記載のフリップフロップ。

【請求項 9】

上記出力制御手段は、その立ち下がり特性または立ち上がり特性の一方を優先した設計とされていることを特徴とする請求項 1 ないし 3 の何れかに記載のフリップフロップ。

【請求項 10】

上記ラッチ回路では、その立ち下がり特性または立ち上がり特性の一方を優先した設計とされ、

上記出力制御手段では、その立ち下がり特性または立ち上がり特性のうち、ラッチ回路とは異なる側の特性を優先した設計とされていることを特徴とする請求項 1 ないし 3 の何れかに記載のフリップフロップ。

【請求項 11】

上記請求項 1 ないし 10 の何れかに記載のフリップフロップを複数段接続してなることを特徴とするシフトレジスタ。

【請求項 12】

上記請求項 11 に記載のシフトレジスタを走査信号線駆動回路およびデータ信号線駆動回路の何れか一方または両方に用いることを特徴とするアクティブマトリクス型表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フリップフロップ、該フリップフロップを複数段接続してなるシフトレジスタ、及び該シフトレジスタを走査信号線駆動回路またはデータ信号線駆動回路に用いるアクティブマトリクス型表示装置に関するものである。

【背景技術】

【0002】

アクティブマトリクス型表示装置においては、マトリクス状に配置された各画素を駆動するために走査信号線駆動回路およびデータ信号線駆動回路が必要とされる。これらの走査信号線駆動回路およびデータ信号線駆動回路では、ゲート配線及びソース配線を所定の順序で駆動するためにシフトレジスタが使用されている。また、上記シフトレジスタは、フリップフロップを複数段接続することによって構成されている。

【0003】

ここで、上記シフトレジスタを構成する従来のフリップフロップ構成について、以下に説明する。尚、以下に説明するのは、図 17 に示すように、制御端子 GB、入力端子 CK、リセット端子 RB、および出力端子 OUT を有するセットリセットフリップフロップ（以下、RS フリップフロップと称す）である。

【0004】

上記 RS フリップフロップの一構成例を図 18 を参照して説明する。

【0005】

図 18 に示す RS フリップフロップでは、p 型トランジスタ Mp1、n 型トランジスタ Mn1（以降、p 型トランジスタは Mp、n 型トランジスタは Mn と称す）が電源 VDD（High 電位）- VSS（Low 電位）間に直列に接続され、インバータ回路 101 を構成している。上記インバータ回路 101 の入力側、すなわち Mp1 および Mn1 のゲー

10

20

30

40

50

トには、制御端子GBが接続されている。

【0006】

また、電源VDDと入力端子CKとの間には、Mn2およびMp2の並列接続で構成されているCMOS型のアナログスイッチASWとMp3とが直列に接続されている、上記アナログスイッチは、Mn2のゲートがインバータ回路101の出力（すなわちMp1のソースとMn1のドレインとを接続する接続点）と接続されており、Mp2のゲートが制御端子GBと接続されている。一方、Mp3のゲートにはリセット端子RBが接続されている。

【0007】

このASWのMn2のゲートにVDDが供給されると、Mn2のソース - ドレイン間が導通し、VSSが供給されるとソース - ドレイン間が非導通状態になる。一方、Mp2のゲートにVSSが供給されるとMp2のソース - ドレイン間が導通状態になり、VDDに接続されると非導通状態になる。このように、アナログスイッチASWはMn2とMp2の働きにより、入力信号CKの入力制御が行える。

【0008】

さらに、上記RSフリップフロップは、電源VDD - VSS間に、Mp4とMn4とで構成されているインバータ回路102、およびMp5とMn5とで構成されているインバータ回路103を備えている。インバータ回路102とインバータ回路103とは、その入力側と出力側とが互いに接続して組み合わせられたラッチ回路を構成している（インバータ回路102の入力とインバータ回路103の出力とが接続され、かつインバータ回路102の出力とインバータ回路103の入力とが接続されている）。また、インバータ回路102におけるMn4と電源VSSとの間にはMn6が配置されており、Mn6のゲートにはリセット端子RBが接続されている。

【0009】

また、Mp3およびアナログスイッチASWの接続点と、インバータ回路102の出力（すなわちMp4のソースとMn4のドレインとを接続する接続点）が互いに接続されている（Mp3およびアナログスイッチASWの接続点、およびインバータ回路102の出力における電位をNode Aの電位とする）。インバータ回路103の出力（すなわちMp5のソースとMn5のドレインとを接続する接続点）は、出力端子OUTに接続されている。

【0010】

上記RSフリップフロップは、インバータ回路101とMp3とアナログスイッチASWとによってゲーティング部が形成されており、インバータ回路101とインバータ回路101とMn6とによってラッチ部が形成されている。ゲーティング部は、外部から入力される入力信号を、該入力信号とは別途入力される制御信号に応じて後段のラッチ部に供給する機能部であり、ラッチ部は、上記ゲーティング部から供給された入力信号をラッチする機能部である。

【0011】

次に、図18に示す上記RSフリップフロップの動作について、図19を参照して説明する。

【0012】

いま、図19に示すタイミングチャートにあるように、制御信号GB、クロック信号CK、リセット信号RBが、上記RSフリップフロップの制御端子GB、入力端子CK、リセット端子RBのそれぞれに入力されているとする。

【0013】

まず、時間t1において制御信号GBがLow（VSS）に立ち下がると、インバータ回路101の出力はVDDとなり、アナログスイッチASWのMn2のゲートにVDDが供給される。一方、アナログスイッチASWのMp2のゲートにはVSS（制御信号GB）が供給される。

【0014】

10

20

30

40

50

これにより、アナログスイッチ A S W は導通し、node A には入力信号 C K が接続される。このとき、リセット信号 R B は High (V D D) であり、M p 3 は非導通であるため、node A は入力信号 C K と同電位となっている。

【 0 0 1 5 】

また、M n 6 のゲートにも High (V D D) であるリセット信号 R B が供給されているため、M n 6 は導通状態にあり、M n 4 と M p 4 とはインバータ回路 1 0 2 として動作可能になっている。一方、node A の電位は、インバータ 1 0 3 の入力となっているため、このときのインバータ 1 0 3 の出力、すなわち、R S フリップフロップの出力信号 O U T は、Low (V S S) となっている。インバータ回路 1 0 2 の入力とインバータ回路 1 0 3 の出力との接続点における電位を Node B の電位とすると、Node B の電位も Low である。このとき、上記出力信号 O U T の電位は、インバータ回路 1 0 2 とインバータ回路 1 0 3 によってラッチされた状態にある。

10

【 0 0 1 6 】

次に、時間 t 2 においては、クロック信号 C K が Low (V S S) に変化するため、これに伴って node A の電位も Low (V S S) に変化する。さらに、node B の電位および出力信号 O U T は、High (V D D) に変化する。

【 0 0 1 7 】

次に、時間 t 3 において制御信号 G B が High (V D D) に変化すると、アナログスイッチ A S W が非導通状態になり、node A はクロック信号 C K から切り離される。しかしながら、リセット信号 R B は以前 High (V D D) であるため、M n 6 は導通状態にあり、インバータ回路 1 0 2 とインバータ回路 1 0 3 とによってラッチ回路が動作している。このため、node A の電位は Low (V S S) のままに、Node B の電位および出力信号 O U T は High (V D D) のままに保持されている。

20

【 0 0 1 8 】

次に、時間 t 4 では、リセット信号 R B が Low (V S S) となり、M p 3 は導通、M n 6 は非導通となる。よって、M n 4 と M p 4 はインバータ回路 1 0 2 として動作しなくなり、上記ラッチ状態が解除される。一方、node A の電位は M p 3 が導通することによって High (V D D) となり、この電位は M n 5 と M p 5 とで構成されるインバータ回路 1 0 3 のそれぞれのゲートに供給されるため、node B の電位および出力信号 O U T は Low (V S S) となる。

30

【 0 0 1 9 】

最後に、時間 t 5 以降は、制御信号 G B が High (V D D) であるため、信号 C K は node A には作用できない。また、リセット信号 R B が High (V D D) となるため、M p 3 は非導通状態になり、M n 6 は導通状態になるため、インバータ回路 1 0 2 は動作が可能となり、node B の電位および出力信号 O U T は、インバータ回路 1 0 2 とインバータ回路 1 0 3 とによってラッチされ、Low (V S S) の状態で保持される。

【 0 0 2 0 】

また、R S フリップフロップの他の構成例を図 2 0 を参照して説明する。

【 0 0 2 1 】

図 2 0 に示す R S フリップフロップは、制御信号 G B 、クロック信号 C K 及びその反転信号 C K B 、リセット信号 R B を入力とし、クロック信号 C K および反転クロック信号 C K B が本回路の電源である電源 V D D よりも振幅が小さい場合の構成例である。

40

【 0 0 2 2 】

図 2 0 に示す R S フリップフロップは、図 1 8 に示す R S フリップフロップと同様に、ゲーティング部とラッチ部とから構成されている。また、ラッチ部については図 1 8 に示す R S フリップフロップと同一の構成となっており、ゲーティング部のみ異なる構成である。

【 0 0 2 3 】

図 2 0 に示す R S フリップフロップのゲーティング部では、M p 1 1 , M n 1 1 が電源 V D D と入力端子 C K B との間に直列に接続されており、M p 1 2 , M n 1 2 が電源 V D

50

Dと入力端子CKとの間に直列に接続されている。また、Mp11のソースとMn11のドレインとの間の接続点と電源VSSとの間にMn13が配置されている。

【0024】

Mp11およびMn13のゲートは、制御端子GBに接続されている。Mn11およびMn12のゲートは、Mp11のソースとMn11のドレインとの間の接続点に接続されている。Mp12のゲートは、リセット端子RBに接続されている。さらに、Mp12のソースとMn12のドレインとの間の接続点がNode Aと繋がっており、Mp11のソースとMn11のドレインとの間の接続点がNode Cとなっている。

【0025】

図20に示す構成のRSフリップフロップにおいて、一例として、クロック信号CKおよび反転クロック信号CKBの振幅が3.3V、回路の電圧VDDが8V、VSSが0Vとする。例えば、GB端子がLowになっていて、本回路のn型トランジスタの閾値電圧が3.5Vであった場合、信号CKBがLow(VSS=0V)、信号CKが3.3Vで入力されると、Mp11は導通状態であり、かつ、Mn11はダイオードのような働きを呈するため、node Cの電位はMn11の閾値電圧に近い3.5V付近の電位を保っている。

10

【0026】

このとき、Mn12のソースにはクロック信号CKが接続されており、Mn12のゲートにはnode Cが接続されているので、Mn12のゲート-ソース間電位は0.2V程度であり、Mn12の閾値電圧がMn11同様に3.5V程度だとすると、Mn12は

20

非導通状態にある。

【0027】

一方、反転クロック信号CKBが3.3Vに、クロック信号CKが0Vになった場合、node Cには、Mn11の閾値電圧 $3.5V + 3.3V = 6.8V$ 程度の電位が発生する。このとき、クロック信号CKが0Vであるため、先述したようにMn12の閾値電圧が3.5Vであっても、Mn12のソースゲート間の電圧は、約6.8Vあるので、Mn12は導通状態に入り、node Aが0Vになる。

【0028】

次に、図20に示す上記RSフリップフロップの動作について、図21を参照して説明する。

30

【0029】

いま、図21に示すタイミングチャートにあるように、制御信号GB、クロック信号CK、反転クロック信号CKB、リセット信号RBが、上記RSフリップフロップの制御端子GB、入力端子CKおよびCKB、リセット端子RBのそれぞれに入力されているとする。

【0030】

まず、時間t1において制御信号GBがLow(VSS)になることによって、Mp11が導通するとともに、Mn13が非導通になる。このとき、先述したように、反転クロック信号CKBが0Vであって、クロック信号CKが3.3Vであり、Mn11の閾値電圧が3.5Vの場合、Mn12のゲート電位(すなわち、Node Cの電位)が約3.5Vでソース電位が3.3Vであるので、Mn12は非導通状態である。このとき、リセット信号RBはHigh(VDD=8V)であるため、Mp12は非導通状態で、Mn6は導通状態にあり、Mp4とMn4とがインバータ回路102として作用する。また、インバータ回路102は、Mp15とMn15とによって構成されるインバータ回路103とラッチ回路を構成しているので、Node Aは状態を変えずにLowを保ち続ける。

40

【0031】

次に、時間t2において、反転クロック信号CKBが3.3V、クロック信号CKが0Vになると、node CはMn11の閾値電圧3.5Vに3.3Vを加えた約6.8Vになり、この電位はMn12のゲートに印加される。このとき、Mn12のソースは0Vであるので、Mn12は導通し、node AをLowにする。このとき、リセット信号

50

R Bは未だHigh ($V_{DD} = 8V$)であるので、M p 1 2は非導通状態で、M n 6は導通であり、M p 4とM n 4とはインバータ回路102として機能している。そして、Node AがLowになると、インバータ回路102とインバータ回路103とからなるラッチ回路が状態を変え、出力信号OUTがHigh ($V_{DD} = 8V$)と転じる。

【0032】

次に、時間t3になると、制御信号GBがHigh ($V_{DD} = 8V$)となり、M p 1 1を非導通にし、M n 1 3を導通するため、M n 1 1とM n 1 2のゲートにはLow ($V_{SS} = 0V$)が印加され、クロック信号CK、反転クロック信号CKBが切り離される。よって、制御信号GBがHigh ($V_{DD} = 8V$)である場合、クロック信号CK、反転クロック信号CKBがいかなる状態を持とうと、本回路には影響しなくなる。このとき、node Aは、M n 1 2の非導通によりクロック信号CKから切り離されるが、インバータ回路102およびインバータ回路103により構成されるラッチ回路によってLowに保持され、結果として出力信号OUTはHigh ($V_{DD} = 8V$)のまま保持される。

10

【0033】

次に、時間t4になると、リセット信号RBがLow ($V_{SS} = 0V$)になり、M p 1 2が導通状態になる。同時に、M n 6のゲートにもリセット信号RBが供給されるので、M n 6は非導通状態になり、M n 4とM p 4とで構成される回路はインバータ回路102としては機能しなくなる。よって、node AがHigh ($V_{DD} = 8V$)になるので、インバータ回路103を介して出力信号OUTはLowに転じる。

【0034】

最後に、時間t5になると、リセット信号RBがHighとなり、M p 1 2は非導通状態に、M n 6は導通状態になる。このとき、M n 4とM p 4とで構成される回路は再びインバータ回路102としての機能するため、インバータ回路102とインバータ103とが、再びラッチ回路として機能する。これにより、node AをHighの状態に保持し、結果として出力信号OUTをLowのまま保持する。

20

【0035】

上述した構成のRSフリップフロップを用いたシフトレジスタの構成例を図22に示す。尚、図22は、図18に示すRSフリップフロップを用いたシフトレジスタの構成例である。

【0036】

上記シフトレジスタは、複数のRSフリップフロップFF1, FF2, ...がシリアルに接続されており、FFa ($a = 2n - 1, n = 1, 2, \dots$)の入力端子CKにはクロック信号CKが、FFa ($a = 2n, n = 1, 2, \dots$)の入力端子CKには反転クロック信号CKBが接続されている。

30

【0037】

最初の段のRSフリップフロップFF1のGB端子には、スタートパルス信号SPBが入力されており、各段のRSフリップフロップFFaの出力OUTは、Q1, Q2, Q3, ...と、シフトレジスタの出力として出力される。また、各段のRSフリップフロップFF1, ...における出力Q1, ...のそれぞれは、インバータを介してGB2, ...として、次段のRSフリップフロップFFのGB端子に接続されている。

40

【0038】

また、2段目以降のRSフリップフロップFF2, FF3, ...においては、その出力Q2, Q3, ...の反転信号が、次段のGB端子に入力されると共に、前段のRSフリップフロップのRB端子にも接続されリセット信号として用いられている。例えば、2段目のRSフリップフロップFF2の出力Q2の反転信号である信号GB3は、3段目のRSフリップフロップFF3のGB端子と1段目のRSフリップフロップFF1のRB端子とに接続されている。

【0039】

次に、上記シフトレジスタの動作について、図23のタイミングチャートを用いて説明する。

50

【0040】

先ず、時間 t_1 においてスタートパルス信号 SPB が $FF1$ の GB 端子に入力された後、時間 t_2 においてクロック信号 CK が Low に変わると $FF1$ の OUT 信号、すなわち信号 Q_1 が $High$ に転じる。また、この信号 Q_1 は、インバータを介して $FF2$ の GB 端子に信号 GB_2 として入力されるため、 $FF2$ の GB 端子には Low の信号が入力されることとなる。

【0041】

続いて、 $FF2$ の GB 端子に Low の信号 GB_2 が入力されている状態で、時間 t_3 において反転クロック信号 CKB が Low に変わると $FF2$ の OUT 信号、すなわち信号 Q_2 が $High$ に転じる。また、信号 Q_2 の反転信号である信号 GB_3 が Low に転じる。この信号 GB_3 は、 $FF3$ の GB 端子に入力されると共に、 $FF1$ の RB 端子にも入力され、 $FF1$ はリセットされて Q_1 が Low へ転じる。

10

【0042】

このように、シリアルに接続されたセットリセットフリップフロップは信号 CK 、信号 CKB に同期して、シフトレジスタとして機能する。本シフトレジスタは前述の信号 CK 、信号 CKB が回路の電源電圧 VDD よりも低い振幅を持った場合でも同様に動作する。

【0043】

尚、特許文献1においては、D型フリップフロップとゲーティング回路とを含む複数の段を含むスタティッククロックパルス発生器が開示されている。

【特許文献1】特開2001-356728（公開日平成13年12月26日）

20

【発明の開示】

【発明が解決しようとする課題】

【0044】

上述のようなシフトレジスタをアクティブマトリクス装置の走査信号線駆動回路またはデータ信号線駆動回路に用いる場合、該シフトレジスタは、走査信号線駆動回路では各走査配線に供給される走査信号を所定のタイミングで順次生成するために用いられ、データ信号線駆動回路ではデータ供給線から供給されるデータ信号を各ソース配線に所定のタイミングで取り込むためのサンプリング信号を生成するために用いられる。

【0045】

上記図19，図21，図23に示したタイミングチャートでは、信号遅延を考慮しないものとなっており、各段のフリップフロップにおいては、制御信号 CK の立ち下がりに伴ってほぼ同時に出力信号 OUT （または出力 Q ）が立ち上がっており、リセット信号 RB の立ち下がりに伴ってほぼ同時に出力信号 OUT （または出力 Q ）が立ち下がっている。しかしながら、実際のフリップフロップでは、制御信号 CK の立ち下がりやリセット信号 RB の立ち下がりに伴って、遅延無く出力信号 OUT の立ち上がりや立ち下がりが生じるものではない。

30

【0046】

ここで例えば、上記従来のシフトレジスタをデータ信号線駆動回路に用いた場合、シフトレジスタの出力における信号遅延によって以下のような問題が生じる。つまり、上記データ信号線駆動回路においては、シフトレジスタが生成するサンプリング信号は、データ供給線にて供給されるデータ信号とタイミングを合わせて生成される必要がある。しかしながら、上記サンプリング信号において遅延が生じ、サンプリング信号とデータ供給線にて供給されるデータ信号との間にタイミングのずれが生じると、各ソース配線に対して所望のデータが取り込まれないといった不具合を生じる可能性がある。

40

【0047】

また、上記従来のシフトレジスタを走査信号線駆動回路に用いた場合でも、シフトレジスタが生成する走査信号は、各ソース配線に対して供給されるデータ信号とタイミングを合わせる必要があるため、走査信号線駆動回路においてもシフトレジスタにおける信号遅延は問題となり得る。

【0048】

50

ここで、上記問題を解決するために、シフトレジスタにおいて生じる信号遅延を見越して、各種入力信号のタイミングを調整する手法をとることは可能である。しかしながら、この解決手法においては、そのようなタイミングを調整する手段を必要として回路規模が大きくなるといった問題がある。また、入力信号のタイミングを調整する余地を得るためには、マスタークロックの周波数をより高周波にする必要があり、このことは回路の消費電力の増加を招来するといった問題もある。

【0049】

一方、上記信号遅延を軽減するためには、シフトレジスタの立ち上がり特性および立ち下がり特性を向上させればよいが、その場合には以下のような問題がある。

【0050】

例えば今、出力信号Q2を得る場合について考えると、この出力信号Q2の立ち下がり遅延無く速やかに得るためには、FF2のリセット端子にリセット信号(すなわち信号GB4)が速やかに入力される必要があると共に、FF2自身の立ち下がり特性をも向上させる必要がある。

【0051】

ここで、信号GB4の元となる出力信号Q3を出力するFF3(FF3は図18の構成であっても、図20の構成であってもよい)内の動作で考えてみると、出力信号Q3の出力を速やかに行うには(出力信号Q3の立ち上がり特性を向上させるには)、Mp4の能力を高めればよく、設計上はMp4よりMn4のWサイズ(チャンネル幅)を小さくし、Mp4の方の電流を流す能力を高め、出力Qの信号の立ち上がりを早くすればよい。

【0052】

一方、FF2の出力信号Q2は、反転されて信号GB3となり前段のFF1のリセット信号となるため、出力信号Q1の立ち下がり遅延無く速やかに得るといった観点からは、上記説明と同様の理由により、FF2における出力信号Q2の立ち上がり特性を向上させることが必要となる(設計上は、Mn4よりMp4のWサイズ(チャンネル幅)を小さくし、Mn4の方の電流を流す能力を高める)。しかしながら、このことは、出力信号Q2の立ち下がり遅延無く速やかに得るといった観点から、FF2自身の立ち下がり特性を向上させるといった設計思想に反することになる。

【0053】

以上のように従来RSフリップフロップを用いたシフトレジスタの場合、前段へのリセットを重視するがために自身の出力信号OUTの立ち上がり特性を向上させると、今度は、自身が後段からリセット信号を受けて立ち下がるうとした場合、出力段の立下り特性が悪くなるといった問題を有している。

【0054】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、立ち上がり特性および立ち下がり特性の両方を向上させることのできるフリップフロップを提案し、該フリップフロップを複数段接続してなるシフトレジスタ、及び該シフトレジスタを走査信号線駆動回路またはデータ信号線駆動回路に用いるアクティブマトリクス型表示装置において信号遅延を軽減することにある。

【課題を解決するための手段】

【0055】

本発明に係るフリップフロップは、上記課題を解決するために、入力信号を、制御信号に応じて後段に供給するゲーティング部と、上記ゲーティング部から供給された入力信号をラッチするラッチ回路を備えたラッチ部とを備えたフリップフロップにおいて、上記ラッチ部は、該ラッチ部に対してリセット信号によって上記ラッチ回路のラッチ状態を解除するラッチ解除手段と、High電位またはLow電位の何れかを外部に出力する出力制御手段とを備えていることを特徴としている。

【0056】

あるいは、本発明に係るフリップフロップは、上記課題を解決するために、入力信号をラッチするラッチ回路を備えたラッチ部を備えたフリップフロップにおいて、上記ラッチ

10

20

30

40

50

部は、該ラッチ部に対してリセット信号によって上記ラッチ回路のラッチ状態を解除するラッチ解除手段と、上記リセット信号によって上記ラッチ回路のラッチ状態が解除されたときに、High電位またはLow電位の何れかを外部に出力する出力制御手段とを備えている

あるいは、本発明に係るフリップフロップは、上記課題を解決するために、外部から入力される入力信号を、該入力信号とは別途入力される制御信号に応じて後段のラッチ部に供給するゲーティング部と、上記ゲーティング部から供給された入力信号をラッチするラッチ回路を備えたラッチ部とを備えたフリップフロップにおいて、上記ラッチ部は、該ラッチ部に対して外部から入力されるリセット信号によって上記ラッチ回路のラッチ状態を解除するラッチ解除手段と、該フリップフロップの動作電源として供給されているHigh電位またはLow電位の何れかを外部に出力する出力制御手段とを備えていることを特徴としている。

10

【0057】

上記の構成によれば、フリップフロップの出力における立ち上がりおよび立ち下がり的一方は、上記ラッチ回路にてラッチされる信号（すなわち、ゲーティング部から供給された入力信号）の変化に伴って生じるものとし、他方はフリップフロップの動作電源として供給されているHigh電位またはLow電位の何れかを外部に出力することによって生じるものとする事ができる。

【0058】

例えば、上記ラッチ回路がラッチしている入力信号が立ち下がった時に、これに伴ってフリップフロップの出力信号が立ち下がり、リセット信号によって上記ラッチ回路のラッチ状態が解除されると同時に、上記出力制御手段によって該フリップフロップの動作電源として供給されているHigh電位が出力信号として外部に出力するような場合を考える。

20

【0059】

このような場合、出力信号の立ち下がり急峻なものとするには、上記ラッチ回路を立ち下がり特性を優先した設計とすればよく、出力信号の立ち上がりを急峻なものとするには、上記出力制御手段の駆動能力を高めればよい。

【0060】

すなわち、上記構成のフリップフロップでは、出力信号の立ち下がり特性と立ち上がり特性とがラッチ回路と出力制御手段とに分かれて依存し、完全に独立に調整可能なため、立ち上がり特性および立ち下がり特性の両方を向上させたフリップフロップを得ることができる。

30

【0061】

また、本発明に係るフリップフロップでは、上記ラッチ回路は、2つのインバータ回路をその入力側と出力側とを互いに接続して組み合わせられた構成であり、上記ラッチ解除手段は、その出力側がフリップフロップの出力端子と接続されているインバータ回路の出力側と該フリップフロップの出力端子との間に配置され、上記リセット信号によってON/OFFが切り替えられるアナログスイッチであり、上記出力制御手段は、該フリップフロップの動作電源として供給されるHigh電位またはLow電位の入力端子と該フリップフロップの出力端子との間に配置され、上記リセット信号によってON/OFFが切り替えられるスイッチング素子であることを特徴としている。

40

【0062】

上記の構成によれば、上記ラッチ回路を構成する2つのインバータ回路のうち、その出力がフリップフロップの出力端子と接続されている側のインバータ回路によって出力信号の立ち下がり特性および立ち上がり特性の一方を向上させることができ、上記スイッチング素子によって他方の特性を向上させることができる。

【0063】

また、本発明に係るフリップフロップでは、上記アナログスイッチは、p型トランジスタとn型トランジスタとのソースおよびドレイン同士を接続したCMOS型アナログスイ

50

ッチであり、上記p型トランジスタおよびn型トランジスタの両方におけるON/OFFが上記リセット信号によって直接切り替えられることを特徴としている。

【0064】

上記の構成によれば、上記アナログスイッチを構成するp型トランジスタおよびn型トランジスタの両方の動作が、上記リセット信号によって直接切り替えられるため、該アナログスイッチの動作を確実なものとすることができる。

【0065】

また、本発明に係るフリップフロップでは、上記アナログスイッチは、p型トランジスタとn型トランジスタとのソースおよびドレイン同士を接続したCMOS型アナログスイッチであり、上記p型トランジスタおよびn型トランジスタの一方におけるON/OFFが上記リセット信号によって直接切り替えられ、他方のトランジスタは一定のゲート電位が与えられてゲート-ソース間電位の変動によってON/OFFが切り替わることを特徴としている。

10

【0066】

上記の構成によれば、上記アナログスイッチを構成するp型トランジスタおよびn型トランジスタの一方の動作のみが上記リセット信号によって直接切り替えられるため、両方のトランジスタの動作をリセット信号によって直接切り替える構成に比べて、インバータ素子が削減できる。

【0067】

また、本発明に係るフリップフロップでは、上記ラッチ回路は、2つのインバータ回路をその入力側と出力側とを互いに接続して組み合わせられた構成であり、その出力側がフリップフロップの出力端子と接続されているインバータ回路にクロックドインバータを用いることによって、上記ラッチ回路にラッチ解除手段を兼用させた構成となっていることを特徴としている。

20

【0068】

上記の構成によれば、上記ラッチ回路を構成する2つのインバータ回路のうち、一方のインバータ回路をクロックドインバータとすることで、上記ラッチ回路にラッチ解除手段を兼用させた構成とすることができ、回路面積の削減を図ることができる。

【0069】

また、本発明に係るフリップフロップでは、上記ラッチ回路は、立ち下がり特性または立ち上がり特性の一方を優先した設計とされていることを特徴としている。

30

【0070】

また、本発明に係るフリップフロップでは、その立ち下がり特性または立ち上がり特性の一方を優先した設計とされていることを特徴としている。

【0071】

また、本発明に係るフリップフロップでは、上記ラッチ回路では、その立ち下がり特性または立ち上がり特性の一方を優先した設計とされ、上記出力制御手段では、その立ち下がり特性または立ち上がり特性のうち、ラッチ回路とは異なる側の特性を優先した設計とされていることを特徴としている。

【0072】

本発明に係るシフトレジスタは、上記課題を解決するために、上記記載の何れかのフリップフロップを複数段接続してなることを特徴としている。

40

【0073】

上記の構成によれば、上記シフトレジスタに使用されるフリップフロップにおいて、立ち上がり特性および立ち下がり特性の両方を向上させることができ、該シフトレジスタにおいては信号遅延を軽減することができる。

【0074】

本発明に係るアクティブマトリクス型表示装置は、上記課題を解決するために、上記記載のシフトレジスタを走査信号線駆動回路およびデータ信号線駆動回路の何れか一方または両方に用いることを特徴としている。

50

【 0 0 7 5 】

上記の構成によれば、上記シフトレジスタをデータ信号線駆動回路に用いた場合、シフトレジスタが生成するサンプリング信号において遅延が軽減でき、サンプリング信号とデータ供給線にて供給されるデータ信号との間にタイミングのずれが生じないため、各ソース配線に対して所望のデータが安定して取り込むことができる。また、上記シフトレジスタを走査信号線駆動回路に用いた場合、シフトレジスタが生成する走査信号を、各ソース配線に対して供給されるデータ信号とタイミングを合わせやすくなり、安定した動作を行える。

【 発明の効果 】

【 0 0 7 6 】

本発明のフリップフロップは、出力信号の立ち下がり特性と立ち上がり特性とがラッチ回路と出力制御手段とに分かれて依存し、完全に独立に調整可能なため、立ち上がり特性および立ち下がり特性の両方を向上させたフリップフロップを得ることができるといった効果を奏する。

【 0 0 7 7 】

また、本発明のシフトレジスタは、使用するフリップフロップにおいて、立ち上がり特性および立ち下がり特性の両方を向上させることができ、該シフトレジスタにおいては信号遅延を軽減することができるといった効果を奏する。

【 0 0 7 8 】

また、本発明のアクティブマトリクス型表示装置は、データ信号線駆動回路において生成されるサンプリング信号、または走査信号線駆動回路において生成される走査信号を遅延なく生成することができ、簡易な構成で安定した動作のアクティブマトリクス型表示装置を提供することができる。

【 発明を実施するための最良の形態 】

【 0 0 7 9 】

本発明の一実施形態について図 1 ないし図 1 6 に基づいて説明すると以下の通りである。

【 0 0 8 0 】

先ず、本発明に係る画像表示装置の構成例を図 2 に示す。図 2 に示す画像表示装置 1 1 は、表示部 1 2、走査信号線駆動回路 1 3、データ信号線駆動回路 1 4、および制御回路 1 5 を備えている。

【 0 0 8 1 】

表示部 1 2 は、互いに平行する n 本の走査信号線 $GL \dots (GL1, GL2, \dots GLn)$ および互いに平行する n 本のデータ信号線 $SL \dots (SL1, SL2, \dots SLn)$ と、マトリクス状に配置された画素 (図中、 PIX) 1 6 \dots とを有している。画素 1 6 は、隣接する 2 本の走査信号線 $GL \cdot GL$ と隣接する 2 本のデータ信号線 $SL \cdot SL$ とで包囲された領域に形成される。なお、説明の便宜上、走査信号線 GL およびデータ信号線 SL の数は同じく n 本としたが、両線の数が異なってもよいことは勿論である。

【 0 0 8 2 】

走査信号線駆動回路 1 3 は、シフトレジスタ 1 7 を備えており、該シフトレジスタ 1 7 は、制御回路 1 5 から入力される二種類のクロック信号 $GCK1 \cdot GCK2$ 、およびスタートパルス GSP に基づいて各行の画素 1 6 に接続された走査信号線 $GL1, GL2, \dots$ に与える走査信号を順次発生するようになっている。なお、シフトレジスタ 1 7 の回路構成については後述する。

【 0 0 8 3 】

データ信号線駆動回路 1 4 は、シフトレジスタ 1 およびサンプリング部 1 8 を備えている。制御回路 1 5 からシフトレジスタ 1 へは、互いに位相が異なる二種類のクロック信号 $SCK \cdot SCKB$ 、およびスタートパルス SSP が入力される一方、制御回路 1 5 からサンプリング部 1 8 へは、映像信号 DAT が入力される。データ信号線駆動回路 1 4 は、シフトレジスタ 1 の各段から出力される信号 $S1 \sim Sn$ に基づいて、サンプリング部 1 8 に

10

20

30

40

50

て映像信号 D A T をサンプリングし、得られた映像データを各列の画素 1 6 に接続されたデータ信号線 S L 1、S L 2、... に出力するようになっている。

【 0 0 8 4 】

制御回路 1 5 は、走査信号線駆動回路 1 3 およびデータ信号線駆動回路 1 4 の動作を制御するための各種の制御信号を生成する回路である。制御信号としては、上述のように、クロック信号 G C K 1・G C K 2・S C K・S C K B、スタート信号 G S P・S S P、および映像信号 D A T 等が用意されている。

【 0 0 8 5 】

なお、本画像表示装置 1 1 の走査信号線駆動回路 1 3、データ信号線駆動回路 1 4、および表示部 1 2 の各画素 1 6 では、それぞれスイッチ素子が設けられている。

10

【 0 0 8 6 】

本画像表示装置 1 1 がアクティブマトリクス型液晶表示装置である場合、上記の画素 1 6 は、図 3 に示すように、電界効果トランジスタからなる画素トランジスタ S W と、液晶容量 C_L を含む画素容量 C_P (必要に応じて補助容量 C_S が付加される) とによって構成される。このような画素 1 6 において、画素トランジスタ S W のドレインおよびソースを介してデータ信号線 S L と画素容量 C_P の一方の電極とが接続され、画素トランジスタ S W のゲートが走査信号線 G L に接続され、画素容量 C_P の他方の電極が全画素に共通の共通電極線 (図示せず) に接続されている。

【 0 0 8 7 】

ここで、i 本目のデータ信号線 S L i と j 本目の走査信号線 G L j とに接続された画素 1 6 を P I X (i , j) と表すと (i , j は、1 i , j n の範囲の任意の整数)、当該 P I X (i , j) において、走査信号線 G L j が選択されると、画素トランジスタ S W が導通し、データ信号線 S L i に印加された映像データとしての電圧が画素容量 C_P へ印加される。このように画素容量 C_P における液晶容量 C_L に電圧が印加されると、液晶の透過率または反射率が変調される。したがって、走査信号線 G L j を選択し、データ信号線 S L i へ映像データに応じた信号電圧を印加すれば、当該 P I X (i , j) の表示状態を、映像データに合わせて変化させることができる。

20

【 0 0 8 8 】

画像表示装置 1 1 では、走査信号線駆動回路 1 3 が走査信号線 G L を選択し、選択中の走査信号線 G L とデータ信号線 S L との組み合わせに対応する画素 1 6 への映像データが、データ信号線駆動回路 1 4 によってそれぞれのデータ信号線 S L へ出力される。これによって、当該走査信号線 G L に接続された画素 1 6 へ、それぞれの映像データが書き込まれる。さらに、走査信号線駆動回路 1 3 が走査信号線 G L を順次選択し、データ信号線駆動回路 1 4 がデータ信号線 S L へ映像データを出力する。この結果、表示部 1 2 の全画素 1 6 にそれぞれの映像データが書き込まれることになり、表示部 1 2 に映像信号 D A T に応じた画像が表示される。

30

【 0 0 8 9 】

ここで、上記制御回路 1 5 からデータ信号線駆動回路 1 4 までの間、各画素 1 6 への映像データは、映像信号 D A T として、時分割で伝送されており、データ信号線駆動回路 1 4 は、タイミング信号となる、所定の周期でデューティ比が 5 0 % 以下 (本実施形態では、L o w 期間が H i g h 期間より短い) のクロック信号 S C K と、該クロック信号 S C K と位相が 1 8 0 ° 異なるクロック信号 S C K B と、スタートパルス S S P とに基づいたタイミングで、映像信号 D A T から各映像データを抽出している。

40

【 0 0 9 0 】

具体的には、データ信号線駆動回路 1 4 のシフトレジスタ 1 は、クロック信号 S C K・S C K B に同期して、スタートパルス S S P が入力されることによって、順次、クロックの半周期に相当するパルスをシフトさせながら出力し、これにより、1 クロックずつタイミングが異なる出力信号 S 1 ~ S n を生成する。また、データ信号線駆動回路 1 4 のサンプリング部 1 8 は、各出力信号 S 1 ~ S n のタイミングで、映像信号 D A T から映像データを抽出する。

50

【0091】

一方、走査信号線駆動回路13のシフトレジスタ17は、クロック信号GCK1・GCK2に同期して、スタートパルスGSPが入力されることによって、順次、クロックの半周期に相当するパルスをシフトさせながら出力し、これにより、1クロックずつタイミングが異なる走査信号を、各走査信号線GL1~GLnへ出力する。

【0092】

上記データ信号線駆動回路14のシフトレジスタ1、および走査信号線駆動回路13のシフトレジスタ17の大略的な構成は、何れも図22に示す構成と同様のものとすることができる。但し、本実施の形態に係るシフトレジスタ1または17においては、用いられるRSフリップフロップの構成が従来と異なるものであるため、本発明に係るフリップフロップの具体例を、以下の実施の形態1ないし5において詳細に説明する。

10

【0093】

〔実施の形態1〕

本実施の形態1に係るRSフリップフロップの構成例を図1を参照して説明する。

【0094】

図1に示すRSフリップフロップは、大別して、ゲーティング部21とラッチ部22とで構成されている。

【0095】

ゲーティング部21は、p型トランジスタMp1、n型トランジスタMn1（以降、p型トランジスタはMp、n型トランジスタはMnと称す）が電源VDD（High電位）-VSS（Low電位）間に直列に接続され、インバータ回路23を構成している。上記インバータ回路23の入力側、すなわちMp1およびMn1のゲートには、制御端子GBが接続されている。

20

【0096】

また、入力端子CKとNode Aとの間には、Mn2およびMp2の並列接続で構成されているCMOS型のアナログスイッチASW1が接続されている。上記アナログスイッチASW1は、Mn2のゲートがインバータ回路23の出力（すなわちMp1のソースとMn1のドレインとを接続する接続点）と接続されており、Mp2のゲートが制御端子GBと接続されている。

【0097】

このASW1のMn2のゲートにVDDが供給されると、Mn2のソース-ドレイン間が導通し、VSSが供給されるとソース-ドレイン間が非導通状態になる。一方、Mp2のゲートにVSSが供給されるとMp2のソース-ドレイン間が導通状態になり、VDDに接続されると非導通状態になる。このように、アナログスイッチASW1はMn2とMp2の働きにより、入力信号CKの入力制御が行える。また、上記Node Aは、ゲーティング部21の出力となる。

30

【0098】

ラッチ部22は、電源VDD-VSS間に、Mp3とMn3とで構成されているインバータ回路24、およびMp4とMn4とで構成されているインバータ回路25を備えている。インバータ回路24の入力とインバータ回路25の出力とは、互いに接続されている。上記ゲーティング部21の出力、すなわちNode Aは、インバータ回路24の入力と接続されている。また、インバータ回路24の出力をNode B、インバータ回路25の出力をNode Cとする。

40

【0099】

また、インバータ回路24の出力と本RSフリップフロップの出力端子OUTとの間には、Mn5およびMp5の並列接続で構成されているCMOS型のアナログスイッチASW2が接続されている。上記アナログスイッチASW2は、Mn5のゲートがインバータ回路26を介して制御端子Rと接続されており、Mp5のゲートが制御端子Rと接続されている。

【0100】

50

また、上記アナログスイッチ A S W 2 と出力端子 O U T との間の接続点は、インバータ回路 2 5 の出力と接続されている。このため、上記アナログスイッチ A S W 2 が導通となっている間は、インバータ回路 2 4 の出力とインバータ回路 2 5 の入力とが接続され、インバータ回路 2 4 および 2 5 は、その入力側と出力側とが互いに接続して組み合わされたラッチ回路を構成する。

【 0 1 0 1 】

また、電源 V S S と出力端子 O U T との間には、そのゲートが制御端子 R と接続された M n 6 が配置されている。

【 0 1 0 2 】

次に、図 1 に示す上記 R S フリップフロップの動作について、図 4 を参照して説明する 10

【 0 1 0 3 】

いま、図 4 に示すタイミングチャートにあるように、制御信号 G B 、クロック信号 C K 、リセット信号 R が、上記 R S フリップフロップの制御端子 G B 、入力端子 C K 、リセット端子 R のそれぞれに入力されているとする。

【 0 1 0 4 】

まず、時間 t 1 において制御信号 G B が L o w (V S S) に立ち下がると、インバータ回路 2 3 の出力は V D D となり、アナログスイッチ A S W 1 の M n 2 のゲートに V D D が供給される。一方、アナログスイッチ A S W の M p 2 のゲートには V S S (制御信号 G B) が供給される。これにより、アナログスイッチ A S W 1 が導通し、クロック信号 C K が N o d e A に供給される。 20

【 0 1 0 5 】

次に、時間 t 2 でクロック信号 C K が L o w に転じると、N o d e A の電位が L o w となり、M n 3 と M p 3 とで構成されるインバータ回路 2 4 のゲートに入力され、インバータ回路 2 4 の出力である N o d e B が H i g h となる。このとき、リセット信号 R が L o w のままなので、M p 5 と M n 5 とで構成されるアナログスイッチ A S W 2 の M p 5 のゲートには L o w が印加され、M n 5 にはインバータ回路 2 6 によりリセット信号 R が反転し、H i g h が印加される。よって、アナログスイッチ A S W 2 は導通した状態であり、n o d e B の信号は、アナログスイッチ A S W 2 を介してそのまま該 R S フリップフロップの出力 O U T となる。 30

【 0 1 0 6 】

さらに、n o d e B の信号は、M n 4 と M p 4 とで構成されるインバータ回路 2 5 のそれぞれのゲートに印加され、インバータ回路 2 5 の出力である N o d e C は L o w となる。これにより、インバータ回路 2 4 とインバータ回路 2 5 とによるラッチ回路が機能した状態となる。

【 0 1 0 7 】

次に、時間 t 3 において制御信号 G B が H i g h になると、アナログスイッチ A S W 1 が非導通となり、N o d e A へのクロック C K の供給が停止される。このとき、リセット信号 R は L o w の状態であるので、依然としてアナログスイッチ A S W 2 は導通したままであり、インバータ回路 2 4 および 2 5 からなるラッチ回路にて出力 O U T は H i g h に保持されたままである。 40

【 0 1 0 8 】

次に、時間 t 4 においてリセット信号 R が H i g h となると、アナログスイッチ A S W 2 が非導通となると同時に、M n 6 が導通する。これにより、出力端子 O U T は N o d e B と切り離されると共に、M n 6 を介して電源 V S S と接続されるため、出力 O U T は L o w となる。また、アナログスイッチ A S W 2 が非導通となることで、インバータ回路 2 4 の出力とインバータ回路 2 5 の入力との接続が遮断され、インバータ回路 2 4 および 2 5 によるラッチ状態が解除される。このとき、インバータ回路 2 5 の入力には L o w が供給されるため N o d e C は H i g h となり、インバータ回路 2 4 の出力 n o d e B は L o w となる。 50

【 0 1 0 9 】

次に、時間 t_5 以降では、リセット信号 R は Low となる。このとき、 Mn_6 が非導通になり出力端子 OUT は電源 VSS と切り離されるが、アナログスイッチ ASW_2 が導通することでインバータ回路 24 および 25 によるラッチ状態が回復し、出力 OUT が Low まま保持される。

【 0 1 1 0 】

本実施の形態 1 に係る上記構成の RS フリップフロップにおいて、出力 OUT の立ち上がり特性について考えると、該 RS フリップフロップに Low の制御信号 GB が入力され、クロック信号 CK が立ち下がると、 $node A$ が Low になる。このとき、出力 OUT の立ち上がりを速やかに行うためには、 Mp_3 のチャンネル幅を Mn_3 より大きくすることで Mn_3 より Mp_3 の駆動能力を高め、立ち上がり特性を向上させることができる。

10

【 0 1 1 1 】

ここで、インバータを構成する Pch トランジスタ (Mp) と Nch トランジスタ (Mn) の能力 (電流量) を変えた場合の入出力特性を図 24 に、トランジェント特性 (出力波形) を図 25 に示す。図 24 および図 25 の中では、パラメータとして、

- (1) Mp の能力が Mn の能力よりも高い場合 ($P > N$)
- (2) Mp の能力と Mn の能力とがほぼ等しい場合 ($P = N$)
- (3) Mn の能力が Mp の能力よりも高い場合 ($P < N$)

をそれぞれ示している。

【 0 1 1 2 】

図 26 および図 27 は、図 25 に示したインバータの出力波形における立ち上がり波形および立ち下がり波形のそれぞれを示したグラフである。これらのグラフより、

- ($P > N$) の場合：立ち上がり特性は良いが、立ち下がり特性は悪い
 - ($P = N$) の場合：立ち上がりおよび立ち下がり特性がほぼ同特性 (標準的なインバータ)
 - ($P < N$) の場合：立ち下がり特性は良いが、立ち上がり特性は悪い
- とがわかる。

20

【 0 1 1 3 】

以上のように、同一のインバータにおいて、立ち上がり及び立ち下がり特性の両方をよくすることは困難であるが、本実施の形態に係る RS フリップフロップでは、 Mn_3 と Mp_3 とで構成されるインバータ回路 24 は出力 OUT の立ち上がり特性のみに影響を与える、 Mp_3 のチャンネル幅を Mn_3 より大きくすることで Mn_3 より Mp_3 の駆動能力を高め、立ち上がり特性を向上させたインバータとして具備すれば良い。

30

【 0 1 1 4 】

次に、出力 OUT の立ち下がり特性を考えると、立ち下がりには、リセット信号 R によって出力 OUT を Low に転じさせている Mn_6 の駆動能力を高めればよく、該 Mn_6 のチャンネル幅を大きくすることによって可能である。

【 0 1 1 5 】

また、リセット信号 R が立ち上がることによって Mn_6 は導通を開始するが、このとき、アナログスイッチ ASW_2 の作用によって、出力 OUT は Mn_6 以外の回路から完全に切り離すことができるため、電氣的に出力 OUT は Mn_6 の作用しか受けないため、立下り特性は Mn_6 の駆動能力にのみ依存する。

40

【 0 1 1 6 】

よって、上記構成の RS フリップフロップにおいては、出力 OUT の立下り特性と立ち上がり特性が完全に独立に調整可能なため、従来構成に比べて、シフトレジスタを構成した場合の出力信号 Q の遅延時間を大幅に削減することが可能となる。

【 0 1 1 7 】

〔実施の形態 2〕

本実施の形態 2 に係る RS フリップフロップの構成例を図 5 を参照して説明する。

【 0 1 1 8 】

50

図5に示すRSフリップフロップは、大別して、ゲーティング部21とラッチ部27とで構成されている。ゲーティング部21の構成及び動作は、上記実施の形態1における図1に示したRSフリップフロップと同様であるので、ここでは詳細な説明を省略する。

【0119】

ラッチ部27は、図1に示したラッチ部22とほぼ類似した構成であるが、アナログスイッチASW2に代えて、アナログスイッチASW3を用いている点が異なる。ラッチ部27において、ラッチ部22と同様の構成については、図1と同一の部材番号を付し、その詳細な説明は省略する。

【0120】

上記アナログスイッチASW3は、インバータ回路24の出力と本RSフリップフロップの出力端子OUTとの間に、Mn7およびMp7の並列接続で構成されているCMOS型のアナログスイッチとして接続されている。また、上記アナログスイッチASW3は、Mn7のゲートが電源VDDと接続されており、Mp7のゲートが制御端子Rと接続されている。

10

【0121】

次に、図5に示す上記RSフリップフロップの動作について、図6を参照して説明する。

【0122】

いま、図6に示すタイミングチャートにあるように、制御信号GB、クロック信号CK、リセット信号Rが、上記RSフリップフロップの制御端子GB、入力端子CK、リセット端子Rのそれぞれに入力されているとする。

20

【0123】

まず、時間t1において制御信号GBがLow(VSS)に立ち下がると、インバータ回路23の出力はVDDとなり、アナログスイッチASW1のMn2のゲートにVDDが供給される。一方、アナログスイッチASWのMp2のゲートにはVSS(制御信号GB)が供給される。これにより、アナログスイッチASW1が導通し、クロック信号CKがNode Aに供給される。

【0124】

次に、時間t2でクロック信号CKがLowに転じると、Node Aの電位がLowとなり、Mn3とMp3とで構成されるインバータ回路24のゲートに入力され、インバータ回路24の出力であるNode BがHighとなる。このとき、リセット信号RがLowのままなので、Mp7とMn7とで構成されるアナログスイッチASW3のMp7のゲートにはLowが印加され、Mn7にはHigh(電源VDD)が印加される。よって、アナログスイッチASW3は導通した状態となり、node Bの信号は、アナログスイッチASW3を介してそのまま該RSフリップフロップの出力OUTとなる。

30

【0125】

さらに、node Bの信号は、Mn4とMp4とで構成されるインバータ回路25のそれぞれのゲートに印加され、インバータ回路25の出力であるNode CはLowとなる。これにより、インバータ回路24とインバータ回路25とによるラッチ回路が機能した状態となる。

40

【0126】

次に、時間t3において制御信号GBがHighになると、アナログスイッチASW1が非導通となり、Node AへのクロックCKの供給が停止される。このとき、リセット信号RはLowの状態であるので、依然としてアナログスイッチASW3は導通したままであり、インバータ回路24および25からなるラッチ回路にて出力OUTはHighに保持されたままである。

【0127】

上記t1からt3までの動作は、図1に示すRSフリップフロップの動作と同じである。

【0128】

50

次に、時間 t_4' においてリセット信号 R が $High$ となると、アナログスイッチ $ASW3$ においては、 $Mp7$ が非導通となり、また $Mn7$ においてもリセット信号 R が $High$ となった直後はゲート及びソースの入力が何れも $High$ であるため、 $Mn7$ も非導通となり、アナログスイッチ $ASW3$ は非導通とされて出力端子 OUT は $Node B$ と切り離される。また、アナログスイッチ $ASW3$ が非導通となることで、インバータ回路 24 の出力とインバータ回路 25 の入力との接続が遮断され、インバータ回路 24 および 25 によるラッチ状態が解除される。

【0129】

一方で、リセット信号 R が $High$ となることで $Mn6$ が導通し、出力 OUT は、 $Mn6$ を介して電源 VSS と接続されるために Low となる。また、 $Mn6$ が導通すると、インバータ回路 25 の入力が Low となるため、これに伴い、 $Node C$ が $High$ 、 $Node B$ が Low となる。 $Node B$ が Low となると、アナログスイッチ $ASW3$ の $Mn7$ において、ゲート入力が $High$ 、ソース入力が Low となるため、 $Mn7$ が導通して出力端子 OUT は、 $Node B$ (この時点で Low) と接続されるが、この時点で何れも出力端子 OUT は、 $Mn6$ の作用によって既に Low となっている。

10

【0130】

次に、時間 t_5 以降では、リセット信号 R は Low となる。このとき、 $Mn6$ が非導通になり出力端子 OUT は電源 VSS と切り離されるが、アナログスイッチ $ASW3$ が導通することでインバータ回路 24 および 25 によるラッチ状態が回復し、出力 OUT が Low まま保持される。

20

【0131】

本実施の形態 2 に係る上記構成の RS フリップフロップにおいて、出力 OUT の立ち上がり特性について考えると、該 RS フリップフロップに Low の制御信号 GB が入力され、クロック信号 CK が立ち下がると、 $node A$ が Low になる。このとき、出力 OUT の立ち上がりを速やかに行うためには、 $Mp3$ のチャネル幅を $Mn3$ より大きくすることで $Mn3$ より $Mp3$ の駆動能力を高め、立ち上がり特性を向上させることができる。

【0132】

次に、出力 OUT の立ち下がり特性を考えると、立ち下がりには、リセット信号 R によって出力 OUT を Low に転じさせている $Mn6$ の駆動能力を高めればよく、該 $Mn6$ のチャネル幅を大きくすることによって可能である。

30

【0133】

また、リセット信号 R が立ち上がることによって $Mn6$ は導通を開始するが、リセット信号 R が立ち上がった直後では、アナログスイッチ $ASW3$ の作用によって、出力 OUT は $Mn6$ 以外の回路から完全に切り離すことができるため、電氣的に出力 OUT は $Mn6$ の作用しか受けないため、立下り特性は $Mn6$ の駆動能力にのみ依存する。

【0134】

よって、上記構成の RS フリップフロップにおいては、出力 OUT の立下り特性と立ち上がり特性が完全に独立に調整可能なため、従来構成に比べて、シフトレジスタを構成した場合の出力信号 Q の遅延時間を大幅に削減することが可能となる。

【0135】

また、上記図 6 に示す構成の RS フリップフロップでは、図 1 に示す構成の RS フリップフロップに比べ、 $ASW2$ を作動させるためのインバータ 26 が不要となり、素子数を削減できるといったメリットを有する。

40

【0136】

〔実施の形態 3 〕

本実施の形態 3 に係る RS フリップフロップの構成例を図 7 を参照して説明する。

【0137】

図 7 に示す RS フリップフロップは、大別して、ゲーティング部 28 とラッチ部 22 とで構成されている。ラッチ部 22 の構成及び動作は、上記実施の形態 1 における図 1 に示した RS フリップフロップと同様であるので、ここでは詳細な説明を省略する。

50

【0138】

また、ゲーティング部28は、制御信号GB、クロック信号CK及びその反転信号CKBを入力とし、クロック信号CKおよび反転クロック信号CKBが本回路の電源である電源VDDよりも振幅が小さい場合の構成例である。

【0139】

ゲーティング部28では、Mp8, Mn8が電源VDDと入力端子CKBとの間に直列に接続されており、Mn9が入力端子CKとNode A(ゲーティング部28の出力)との間に接続されている。また、Mp8のソースとMn8のドレインとの間の接続点(Node Dとする)と電源VSSとの間にMn10が配置されている。Mp8およびMn10のゲートは、制御端子GBに接続されている。Mn8およびMn8のゲートは、Node Dに接続されている。 10

【0140】

次に、図7に示す上記RSフリップフロップの動作について、図8を参照して説明する。

【0141】

いま、図8に示すタイミングチャートにあるように、制御信号GB、クロック信号CK、反転クロック信号CKB、リセット信号Rが、上記RSフリップフロップの制御端子GB、入力端子CKおよびCKB、リセット端子Rのそれぞれに入力されているとする。ここでは、一例として、クロック信号CKおよび反転クロック信号CKBの振幅が3.3V、回路の電圧VDDが12V、VSSが0Vとする。さらに、Mn8およびMn9の閾値を3Vとする。 20

【0142】

まず、時間t1において制御信号GBがLow(VSS)になることによって、Mp8が導通するとともに、Mn10が非導通になる。このとき、先述したように、反転クロック信号CKBが0Vであって、クロック信号CKが3.3Vであり、Mn8の閾値電圧が3Vの場合、Node Dの電位は、Mn8の閾値電圧と近い約3Vとなる。Node Dの電位はMn9のゲート電位でもあるため、Mn9においてはゲート電位が約3Vでソース電位が3.3Vである。このため、Mn9ではゲート-ソース間電圧が約0.3Vとなるため非導通状態となり、Node Aはその前の状態を変えずにHighを保ち続ける。また、ラッチ部22では、実施の形態1にて説明した動作によって、Node Aの電位をHighに保ち、その出力OUTはLowである。 30

【0143】

次に、時間t2において、反転クロック信号CKBが3.3V、クロック信号CKが0Vになると、node DはMn8の閾値電圧3Vに3.3Vを加えた約6.3Vになり、この電位はMn9のゲートに印加される。このとき、Mn9のソースは0Vであるので、Mn9は導通し、Node AをLowにする。

【0144】

次に、時間t3になると、制御信号GBがHigh(VDD=12V)となり、Mp8を非導通にし、Mn10を導通するため、Mn8とMn9のゲートにはLow(VSS=0V)が印加され、クロック信号CK、反転クロック信号CKBが切り離される。よって、制御信号GBがHigh(VDD=12V)である場合、クロック信号CK、反転クロック信号CKBがいかなる状態を持とうと、本回路には影響しなくなる。このとき、node Aは、Mn9の非導通によりクロック信号CKから切り離されるが、ラッチ部22によってLowに保持され、ラッチ部22における出力OUTもHighのままである。 40

【0145】

次に、時間t4以降は、Mn9が非導通であることから、ゲーティング部28の出力はラッチ部22の動作に影響を与えず、実施の形態1にて説明した動作と同様の動作となる。

【0146】

尚、上記図7に示した構成のRSフリップフロップは、ゲーティング部28と図1に示 50

したラッチ部 2 2 とを組み合わせた構成としたが、図 9 に示すように、ゲーティング部 2 8 と図 5 に示したラッチ部 2 7 とを組み合わせた構成とすることも可能である。図 9 に示す R S フリップフロップにおける各種入力信号と出力信号との関係も、図 7 に示した R S フリップフロップと同様となる。

【 0 1 4 7 】

〔実施の形態 4〕

本実施の形態 4 に係る R S フリップフロップの構成例を図 1 0 を参照して説明する。

【 0 1 4 8 】

図 1 0 に示す R S フリップフロップは、大別して、ゲーティング部 2 1 とラッチ部 2 9 とで構成されている。ゲーティング部 2 1 の構成及び動作は、上記実施の形態 1 における図 1 に示した R S フリップフロップと同様であるので、ここでは詳細な説明を省略する。 10

【 0 1 4 9 】

ラッチ部 2 9 は、実施の形態 1 におけるラッチ部 2 2 とほぼ類似した構成であるが、インバータ回路 2 4 の代わりにクロックドインバータ回路 2 4 ' を用い、かつ、アナログスイッチ A S W 2 を省略した点でラッチ部 2 2 とは異なっている。

【 0 1 5 0 】

クロックドインバータ回路 2 4 ' は、インバータ回路 2 4 を構成する M p 3 および M n 3 の両側にさらに M p 1 1 および M n 1 1 を配置した構成である。すなわち、M p 3 と電源 V D D との間に M p 1 1 が配置され、M n 3 と電源 V S S との間に M n 1 1 が配置されている。また、M p 1 1 のゲートにはリセット信号 R が直接入力され、M n 1 1 のゲートにはリセット信号 R がインバータ 3 0 によって反転されて入力されるようになっている。 20

【 0 1 5 1 】

図 1 0 に示す R S フリップフロップでは、リセット信号 R が H i g h の時、M p 1 1 および M n 1 1 が非導通となり、M p 3 および M n 3 を電源 V D D および V S S から切り離してフロート状態とする。これは、図 1 のラッチ部 2 2 において、A S W 2 が非導通となった場合と同様の状態である。リセット信号 R が L o w の時、M p 1 1 および M n 1 1 が導通となり、M p 3 および M n 3 を電源 V D D および V S S に接続する。これは、図 1 のラッチ部 2 2 において、A S W 2 が導通となった場合と同様の状態である。

【 0 1 5 2 】

これにより、本実施の形態 4 に係る R S フリップフロップは、図 1 に示した R S フリップフロップと同様の動作を行うことができる。また、アナログスイッチ A S W 2 を省略して、クロックドインバータ回路 2 4 ' を用いることにより、R S フリップフロップの回路構成において回路面積の削減を図ることが可能となる。 30

【 0 1 5 3 】

また、本実施の形態 4 に係る R S フリップフロップの変形例として、図 1 1 , 1 2 に示すような構成が挙げられる。これらは、図 1 に示す構成のインバータ回路 2 5 に代えてクロックドインバータ回路 2 5 ' (図 1 1 の構成) または図 2 5 " (図 1 2 の構成) を用いた構成である。

【 0 1 5 4 】

クロックドインバータ回路 (N O R 回路) 2 5 ' では、M p 1 2 が出力端子 O U T と M p 4 との間に接続されており、M n 1 2 が電源 V S S と出力端子 O U T との間で M n 4 と並列に接続されている。M p 1 2 および M n 1 2 のゲートにはリセット信号 R が入力される。 40

【 0 1 5 5 】

また、クロックドインバータ回路 (N A N D 回路) 2 5 " では、M p 1 3 が電源 V D D と出力端子 O U T との間で M p 4 と並列に接続されており、M n 1 3 が電源 V S S と M n 4 との間に接続されている。M p 1 3 および M n 1 3 のゲートにはリセット信号 R が入力される。

【 0 1 5 6 】

図 1 1 および図 1 2 に示す R S フリップフロップでは、具体的な動作は省略するが、入 50

出力信号の波形は図 1 3 および図 1 4 に示すようなものとなる。

【 0 1 5 7 】

〔 実施の形態 5 〕

上述の実施の形態 1 ないし 3 に係る R S フリップフロップは、何れもインバータ（すなわち、インバータ回路 2 4 ）において出力の立ち上がり特性を向上させ、立ち下がり特性を向上させるためには出力端子 O U T とロー電位 V S S とを n 型トランジスタ M n 6 を介して接続した構成となっている。

【 0 1 5 8 】

しかしながら、これとは逆に、インバータにおいて出力の立ち下がり特性を向上させ、立ち上がり特性を向上させるためには出力端子 O U T とハイ電位 V D D とをトランジスタを介して接続した構成とすることも可能である。このような R S フリップフロップの構成例を図 1 5 に示す。

【 0 1 5 9 】

図 1 5 に示す R S フリップフロップは、大別して、ゲーティング部 2 1（図 7 に示すゲーティング部 2 8 を用いることも可能）とラッチ部 3 1 とで構成されている。ゲーティング部 2 1 の構成及び動作は、上記実施の形態 1 における図 1 に示した R S フリップフロップと同様であるので、ここでは詳細な説明を省略する。

【 0 1 6 0 】

ラッチ部 3 1 は、実施の形態 1 におけるラッチ部 2 2 とほぼ類似した構成であるが、M n 6 が省略されており、代わりに、電源 V D D と出力端子 O U T との間には、そのゲートが制御端子 R とインバータ 2 6 を介して接続された M p 1 4 が配置されている。

【 0 1 6 1 】

図 1 5 に示す R S フリップフロップでは、具体的な動作は省略するが、入出力信号の波形は図 1 6 に示すようなものとなる。上記 R S フリップフロップでは、出力 O U T が立ち下がる時には、A S W 2 が導通となり、インバータ回路 2 4 において立ち下がり特性を優先する設計としておけば、該 R S フリップフロップの立ち下がり特性を向上させることができる。また、出力 O U T が立ち上がる時には、A S W 2 が非導通となり、M p 1 4 の駆動能力を高めれば、該 R S フリップフロップの立ち上がり特性を向上させることができる。

【 0 1 6 2 】

尚、上記各実施の形態における R S フリップフロップは何れも、該フリップフロップにおける出力の立ち上がり特性および立ち下がり特性の両方を向上させているが、本発明はこれに限定されるものではなく、立ち上がり特性および立ち下がり特性の一方のみを向上させるものであっても良い。すなわち、従来の構成では、立ち上がり特性および立ち下がり特性の一方の特性を向上させれば他方の特性の低下を招いていたが、本発明の構成においては、立ち上がり特性および立ち下がり特性の一方を向上させる場合であっても、他方の特性の低下を招かないといったメリットがある。

【 産業上の利用可能性 】

【 0 1 6 3 】

シフトレジスタにおける信号遅延を抑制でき、駆動回路にシフトレジスタを用いるアクティブマトリクス型表示装置等の用途に適用できる。

【 図面の簡単な説明 】

【 0 1 6 4 】

【 図 1 】 本発明の実施形態を示すものであり、実施の形態 1 に係る R S フリップフロップの構成を示す回路図である。

【 図 2 】 駆動回路にシフトレジスタを用いた画像表示装置の概略的構成を示す図である。

【 図 3 】 上記画像表示装置における画素の構成を示す図である。

【 図 4 】 図 1 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。

【 図 5 】 実施の形態 2 に係る R S フリップフロップの構成を示す回路図である。

10

20

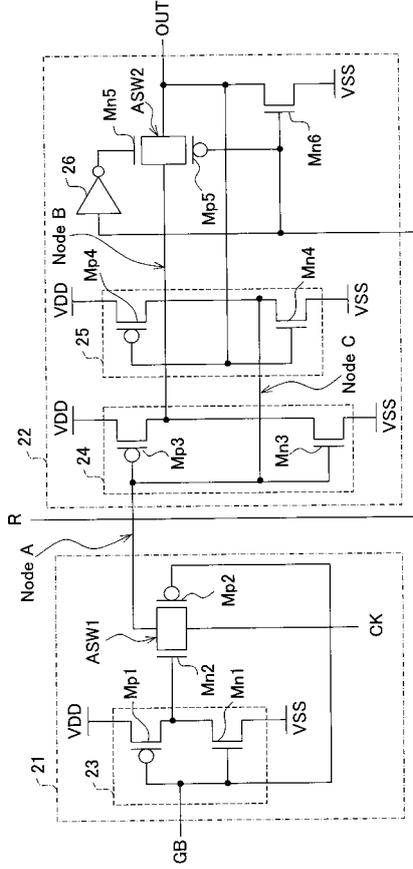
30

40

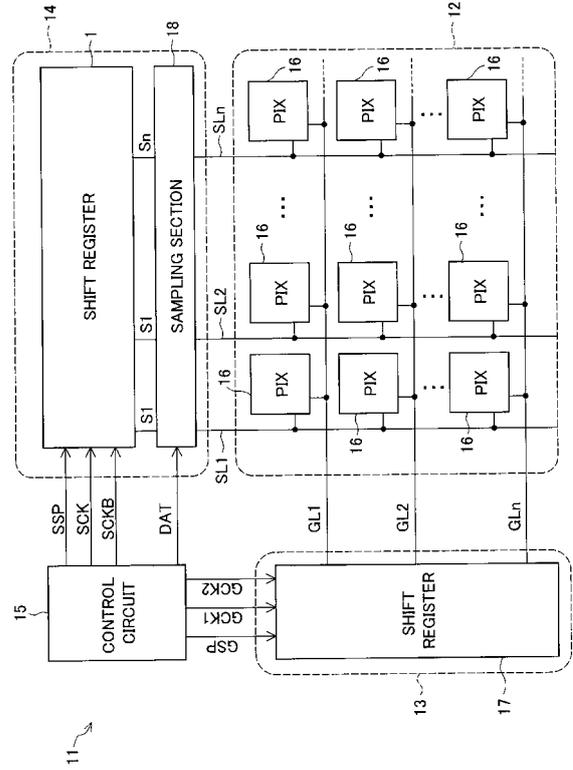
50

- 【図 6】図 5 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。
- 【図 7】実施の形態 3 に係る RS フリップフロップの構成を示す回路図である。
- 【図 8】図 7 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。
- 【図 9】実施の形態 3 に係る RS フリップフロップの他の構成を示す回路図である。
- 【図 10】実施の形態 4 に係る RS フリップフロップの構成を示す回路図である。
- 【図 11】実施の形態 4 に係る RS フリップフロップの他の構成を示す回路図である。
- 【図 12】実施の形態 4 に係る RS フリップフロップの他の構成を示す回路図である。
- 【図 13】図 13 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。 10
- 【図 14】図 12 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。
- 【図 15】実施の形態 5 に係る RS フリップフロップの構成を示す回路図である。
- 【図 16】図 15 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。
- 【図 17】リセットセットフリップフロップの基本構造を示す図である。
- 【図 18】従来の RS フリップフロップの構成例を示す回路図である。
- 【図 19】図 18 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。 20
- 【図 20】従来の RS フリップフロップの他の構成例を示す回路図である。
- 【図 21】図 20 に示すフリップフロップの入出力信号の波形を示すタイミングチャートである。
- 【図 22】RS フリップフロップを用いたシフトレジスタの構成例を示すブロック図である。
- 【図 23】図 22 に示すシフトレジスタの入出力信号の波形を示すタイミングチャートである。
- 【図 24】インバータの入出力特性を示すグラフである。
- 【図 25】インバータのトランジェント特性（出力波形）を示すグラフである。
- 【図 26】図 25 に示したインバータの出力波形における立ち上がり波形を示したグラフ 30
- 【図 27】図 25 に示したインバータの出力波形における立ち下がり波形を示したグラフである。
- 【符号の説明】
- 【0165】
- | | |
|----------------|----------------------|
| 1, 17 | シフトレジスタ |
| 13 | 走査信号線駆動回路 |
| 14 | データ信号線駆動回路 |
| 21, 28 | ゲーティング部 |
| 22・27, 29, 31 | ラッチ部 |
| 24, 25 | インバータ回路 |
| 24', 25', 25'' | クロックインバータ回路（ラッチ解除手段） |
| ASW2 | アナログスイッチ（ラッチ解除手段） |
| Mn6 | n型トランジスタ（出力制御手段） |
| GB | 制御信号 |
| CK | クロック信号（入力信号） |
| CKB | 反転クロック信号 |
| R | リセット信号 |
| OUT | 出力信号 |
- 40

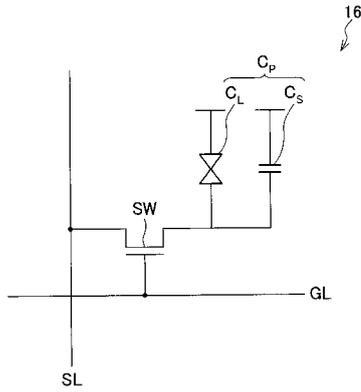
【 図 1 】



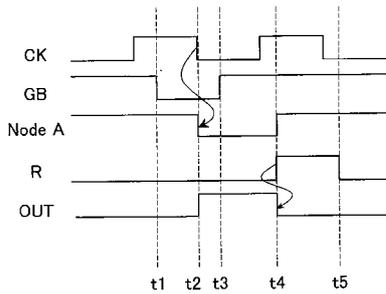
【 図 2 】



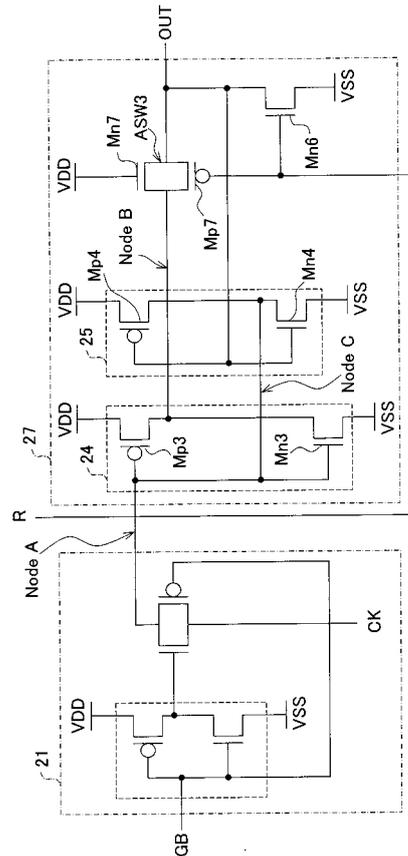
【 図 3 】



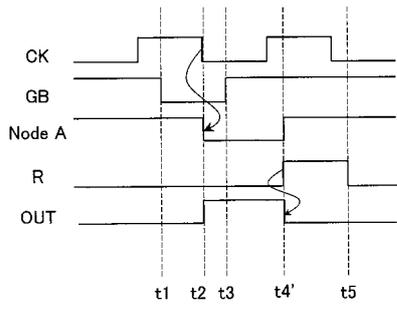
【 図 4 】



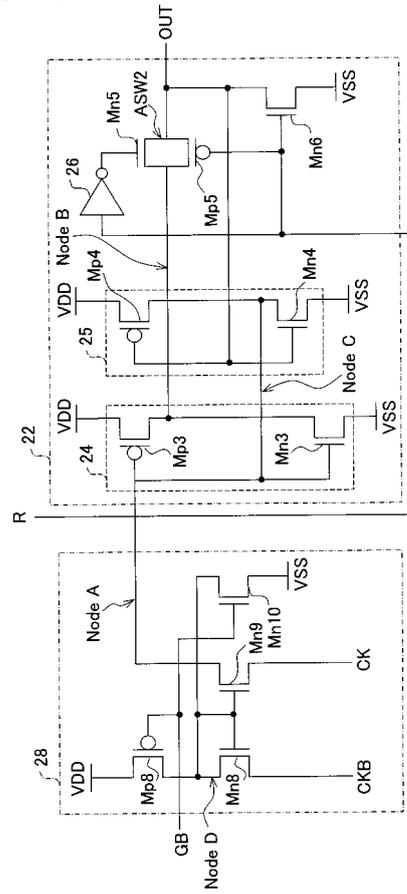
【 図 5 】



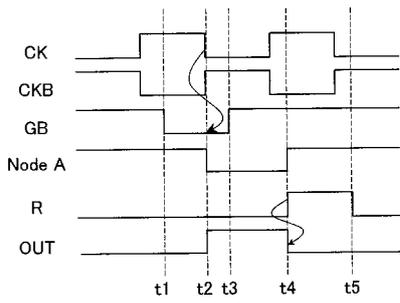
【 図 6 】



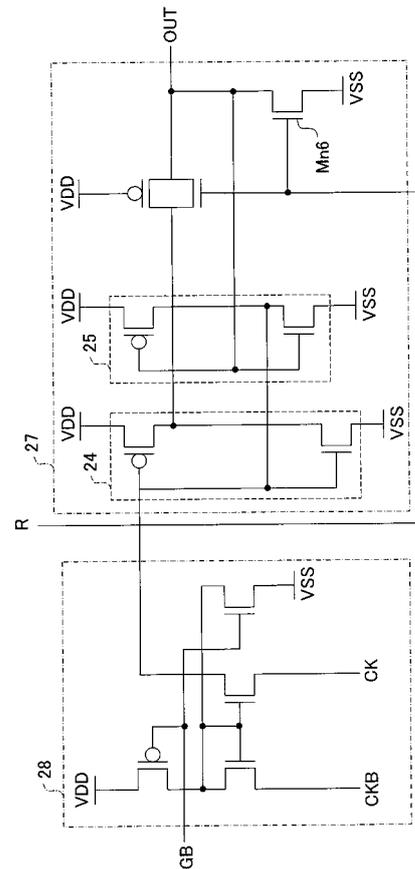
【 図 7 】



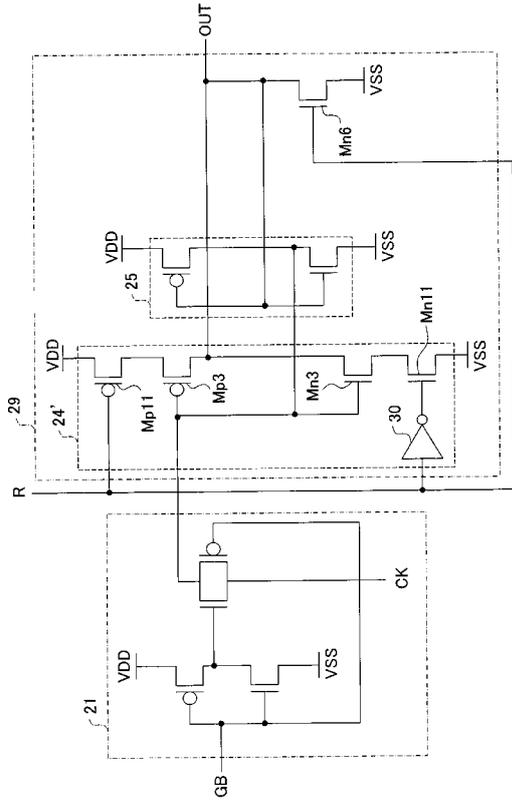
【 図 8 】



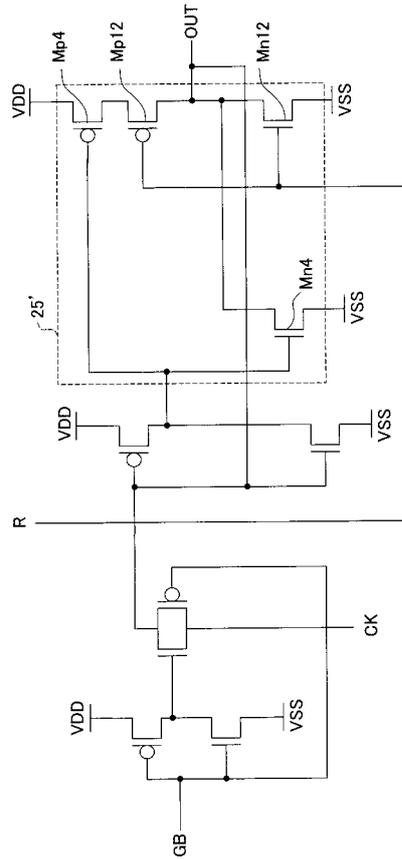
【 図 9 】



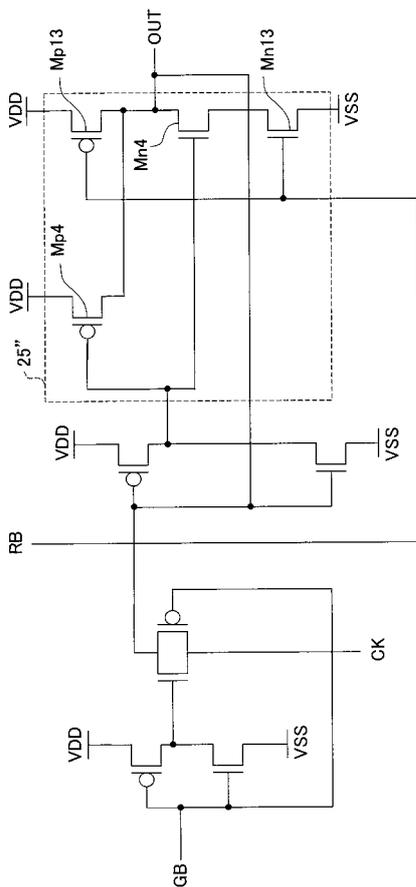
【 図 1 0 】



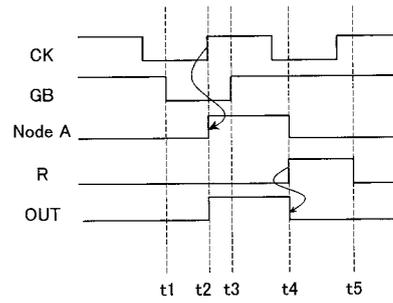
【 図 1 1 】



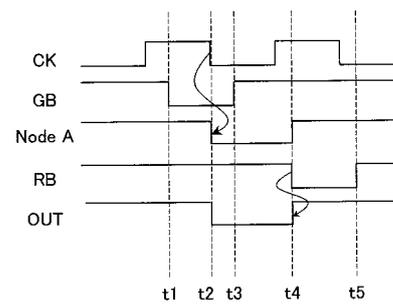
【 図 1 2 】



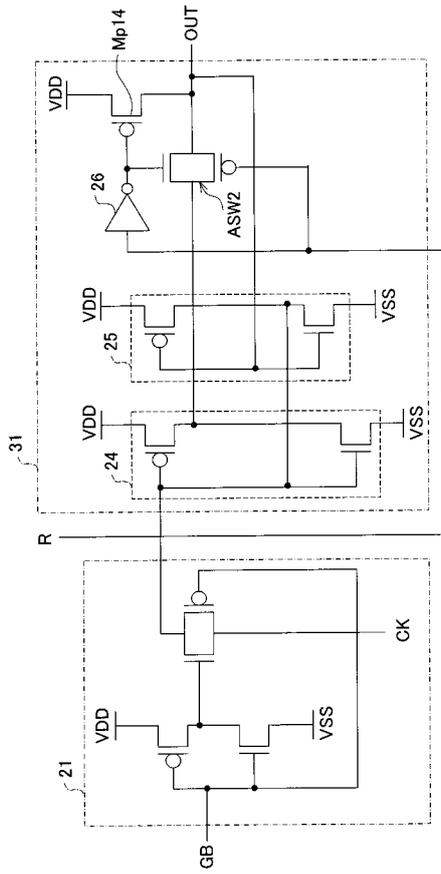
【 図 1 3 】



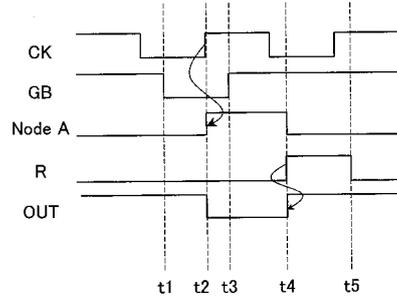
【 図 1 4 】



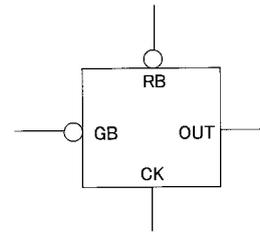
【 図 1 5 】



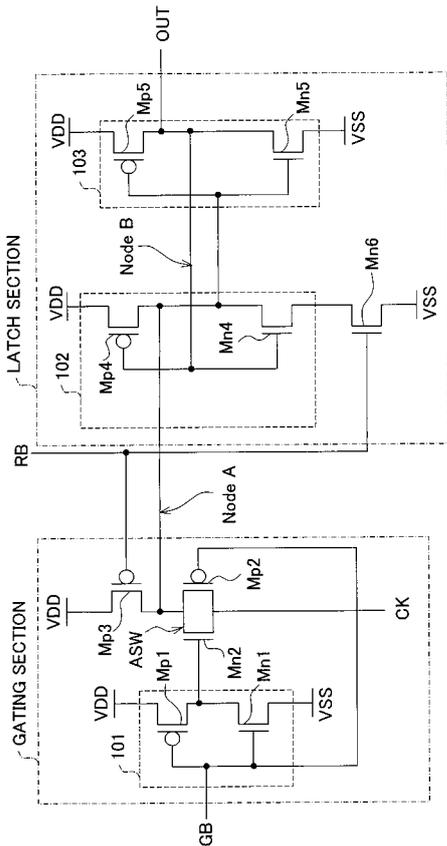
【 図 1 6 】



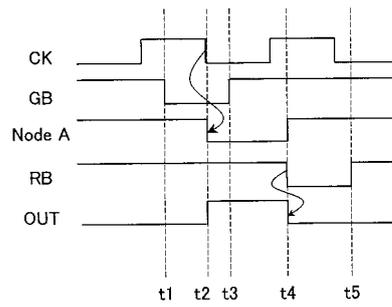
【 図 1 7 】



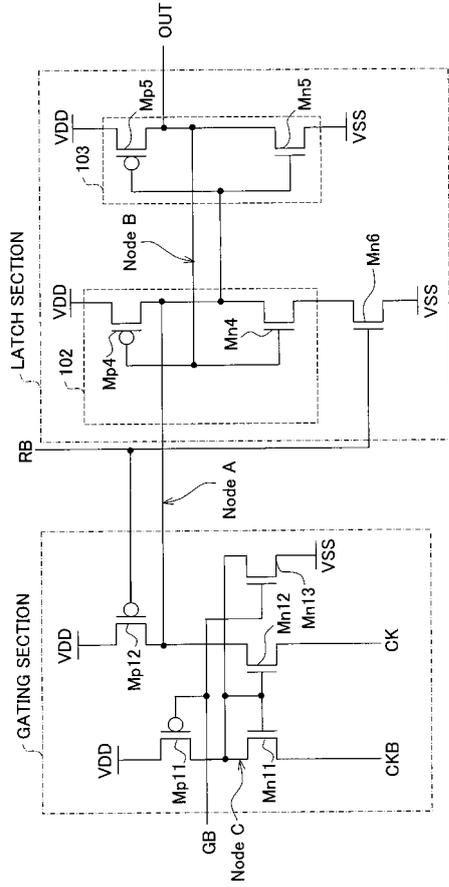
【 図 1 8 】



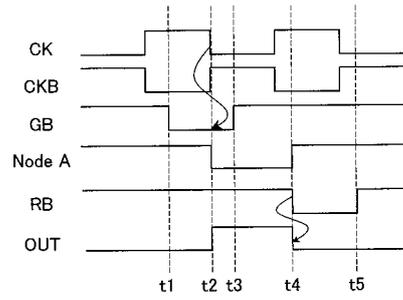
【 図 1 9 】



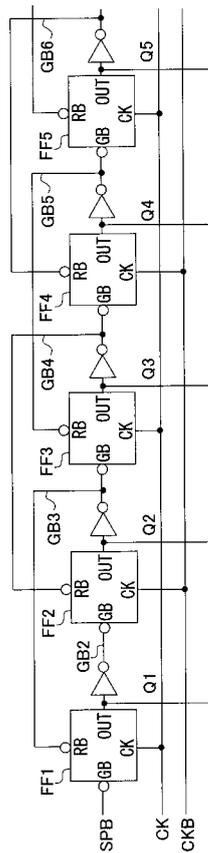
【 図 2 0 】



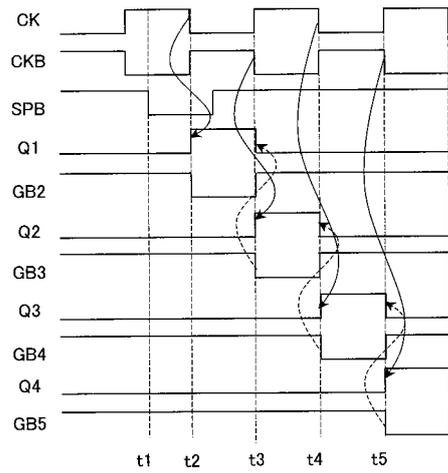
【 図 2 1 】



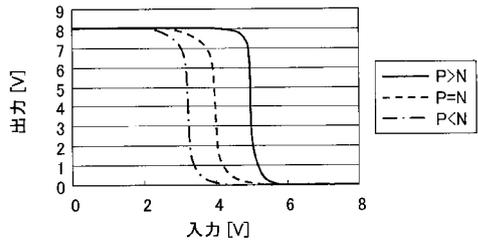
【 図 2 2 】



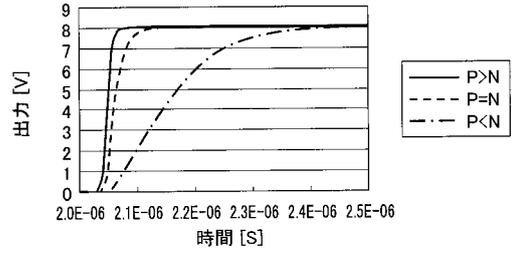
【 図 2 3 】



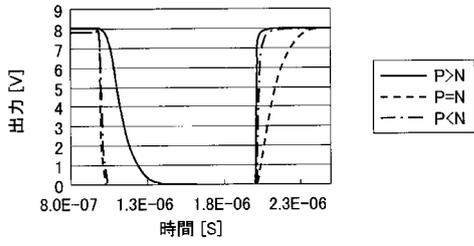
【 図 2 4 】



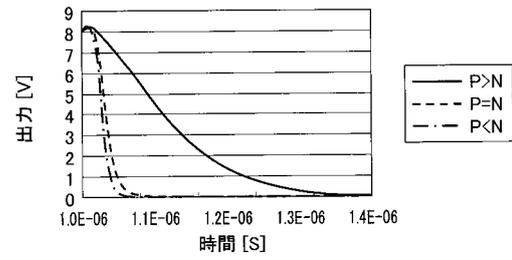
【 図 2 6 】



【 図 2 5 】



【 図 2 7 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
G 1 1 C 19/00	G 0 9 G 3/20	5 J 0 4 3
H 0 3 K 3/037	G 0 9 G 3/20	
H 0 3 K 23/00	G 0 9 G 3/20	
	G 0 9 G 3/20	
	G 0 9 G 3/20	
	G 0 9 G 3/36	
	G 1 1 C 19/00	J
	H 0 3 K 3/037	Z
	H 0 3 K 23/00	B
	G 1 1 C 11/40	3 0 1

F ターム(参考) 2H093 NA16 NC22 NC34 NC35 NC49 ND31 ND60
 5B015 JJ21 KA13
 5C006 AF50 AF51 AF71 BB16 BC02 BC03 BC12 BC20 BC24 BF03
 BF04 BF11 FA14 FA37
 5C080 BB05 DD07 DD08 DD28 FF11 JJ02 JJ03 JJ04 JJ05
 5J034 AB04 CB01 DB08
 5J043 AA04 HH01 JJ10