



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2021-0116266  
(43) 공개일자 2021년09월27일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/>H01J 37/305 (2006.01) G01N 23/2251 (2018.01)<br/>H01J 37/22 (2006.01) H01J 37/28 (2006.01)<br/>H01L 21/3065 (2006.01)</p> <p>(52) CPC특허분류<br/>H01J 37/3053 (2013.01)<br/>G01N 23/2251 (2013.01)</p> <p>(21) 출원번호 10-2021-0029635<br/>(22) 출원일자 2021년03월05일<br/>심사청구일자 없음</p> <p>(30) 우선권주장<br/>16/819,945 2020년03월16일 미국(US)</p> | <p>(71) 출원인<br/>에프이아이 컴파니<br/>미국 오리건 97124 힐스보로 엔이 도슨 크릭 드라이브 5350</p> <p>(72) 발명자<br/>클라크 제임스<br/>미국 오리건 97124 - 5793 힐스보로 엔이 도슨 크릭 드라이브 5350<br/>루스 브라이언<br/>미국 오리건 97124 - 5793 힐스보로 엔이 도슨 크릭 드라이브 5350<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>리엔목특허법인</p> |
|---|---|

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **후면 평면도 라멜라 제조를 위한 방법 및 시스템**

**(57) 요약**

평면도 라멜라의 후면은 피가공물로부터 추출된 샘플에서 준비된다. 샘플은 다수의 디바이스 층과 기판 층을 포함한다. 샘플 표면을 얻기 위해 최종 디바이스 층을 덮는 기판 층의 적어도 일 부분을 제거한 후, 관심 영역(ROI) 내의 최종 디바이스 층이 노출될 때까지, 샘플 표면에 대한 ROI는 번갈아 전자 빔으로 스캔되고 자발적으로 에칭된다. 하나 이상의 디바이스 층은 평면도 라멜라의 후면을 얻기 위해서 최종 디바이스 층이 노출된 후 샘플 후면으로부터 제거될 수 있다.

(52) CPC특허분류

*H01J 37/222* (2013.01)

*H01J 37/28* (2020.05)

*H01L 21/3065* (2013.01)

*H01J 2237/31745* (2013.01)

(72) 발명자

**르두 미카**

미국 오리건 97124 - 5793 힐스보로 엔이 도슨 크

릭 드라이브 5350

**부계 클리프**

미국 오리건 97124 - 5793 힐스보로 엔이 도슨 크

릭 드라이브 5350

## 명세서

### 청구범위

#### 청구항 1

하전 입자 빔을 사용하여 적어도 기관 층 및 디바이스 층을 포함하는 샘플을 처리하기 위한 방법에 있어서, 샘플 표면을 얻기 위해 상기 기관 층의 적어도 일 부분을 제거하는 단계; 전자 빔으로 상기 샘플 표면에 대한 관심 영역(ROI: region of interest)을 스캔하는 단계; 상기 스캔된 ROI를 자발적으로 에칭하기 위해 상기 ROI를 향해 제1 가스를 유동시키는 단계; 및 상기 ROI에서 노출되지 않은 상기 디바이스 층에 반응하여 상기 전자 빔으로 상기 에칭된 ROI를 스캔하는 단계를 포함하는, 방법.

#### 청구항 2

제1항에 있어서, 상기 에칭된 ROI를 포함하는 샘플 이미지를 획득하는 단계, 및 상기 샘플 이미지에 기반하여 상기 디바이스 층이 상기 ROI에서 노출되지 않았다고 결정하는 단계를 더 포함하는, 방법.

#### 청구항 3

제2항에 있어서, 상기 샘플 이미지는 주사 전자 현미경(SEM: scanning electron microscopy) 이미지이고, 상기 ROI를 스캔하기 위한 상기 전자 빔의 빔 전류는 상기 샘플 이미지를 획득하기 위한 빔 전류보다 더 높은, 방법.

#### 청구항 4

제2항에 있어서, 상기 샘플 이미지는 SEM 이미지이고, 상기 ROI를 스캔하기 위한 상기 전자 빔의 빔 에너지는 상기 샘플 이미지를 획득하기 위한 빔 에너지보다 더 높은, 방법.

#### 청구항 5

제2항에 있어서, 상기 ROI를 스캔하기 위한 지속 시간은 상기 샘플 이미지를 획득하기 위한 지속 시간보다 더 긴, 방법.

#### 청구항 6

제2항 내지 제5항 중 어느 한 항에 있어서, 상기 샘플 이미지에 기반하여 상기 디바이스 층이 상기 ROI에서 노출되지 않았다고 결정하는 단계는 상기 샘플 이미지에 기반하여 상기 에칭된 ROI가 편평하지 않다고 결정하는 단계를 포함하는, 방법.

#### 청구항 7

제2항 내지 제5항 중 어느 한 항에 있어서, 상기 샘플 이미지에 기반하여 상기 디바이스 층이 상기 ROI에서 노출되지 않았다고 결정하는 단계는 상기 ROI에서 노출된 상기 디바이스 층의 면적과 상기 ROI의 면적 간의 비율이 임계 비율보다 크지 않다고 결정하는 단계를 포함하는, 방법.

#### 청구항 8

제1항에 있어서, 상기 전자 빔으로 상기 ROI를 스캔하는 단계는 상기 ROI를 탄소로 증착하거나 도핑하기 위해 상기 전자 빔으로

상기 ROI를 스캔하는 단계를 포함하는, 방법.

**청구항 9**

제1항 또는 제8항에 있어서,

상기 샘플 표면을 향해 상기 제1 가스를 유동시키는 단계는 미리 결정된 제1, 미리 결정된, 지속 시간 동안 상기 제1 가스를 유동시키는 단계를 포함하는, 방법.

**청구항 10**

제9항에 있어서,

상기 기관 층의 적어도 일 부분을 제거하는 단계는 상기 샘플 표면을 에칭하기 위해 제2 지속 시간 동안 상기 샘플 표면을 향해 제2 가스를 유동시키는 단계를 포함하며, 상기 제2 지속 시간은 상기 제1 지속 시간보다 더 긴, 방법.

**청구항 11**

제1항에 있어서,

상기 기관 층의 적어도 일 부분을 제거하는 단계는 집속 이온 빔으로 상기 기관 층을 밀링(milling)하는 단계를 포함하는, 방법.

**청구항 12**

사전 입자 빔을 사용하여 평면도 라멜라(planar view lamella)를 제조하기 위한 방법에 있어서,

집속 이온 빔을 사용하여 피가공물로부터 샘플을 추출하는 단계로서, 상기 샘플은 적어도 디바이스 층과 기관 층을 포함하는, 상기 샘플을 추출하는 단계;

샘플 표면을 얻기 위해 상기 샘플의 후면으로부터 상기 기관 층의 적어도 일 부분을 제거하는 단계; 및

상기 디바이스 층이 관심 영역(ROI) 내에서 노출될 때까지 번갈아 전자 빔으로 상기 샘플 표면에 대한 상기 ROI를 스캔하고 상기 스캔된 ROI를 향해 가스를 유동시키는 단계를 포함하며, 상기 스캔된 ROI가 상기 가스에 의해서 자발적으로 에칭되는, 방법.

**청구항 13**

제12항에 있어서,

상기 ROI에서 노출된 디바이스 층의 면적과 상기 ROI의 면적 사이의 비율이 임계 비율보다 큰 경우에 반응하여 상기 디바이스 층이 상기 ROI 내에서 노출된다고 결정하는 단계를 더 포함하는, 방법.

**청구항 14**

제12항 또는 제13항에 있어서,

상기 샘플은 다수의 디바이스 층을 포함하고, 상기 노출된 디바이스 층은 상기 다수의 디바이스 층의 최종 디바이스 층이고; 상기 방법은 상기 최종 디바이스 층이 상기 ROI 내에서 노출된 후 상기 샘플의 후면으로부터 상기 다수의 디바이스 층 중 적어도 하나의 디바이스 층을 제거하는 단계를 더 포함하는, 방법.

**청구항 15**

제12항에 있어서,

상기 디바이스 층이 노출된 상기 샘플에 기반하여 상기 평면도 라멜라를 형성하는 단계; 및 투과 전자 현미경으로 상기 평면도 라멜라를 이미징하는 단계를 더 포함하는, 방법.

**청구항 16**

제12항 또는 제15항에 있어서,

상기 후면과 반대쪽인 상기 샘플의 전면으로부터 다수의 디바이스 층 중 적어도 하나의 디바이스 층을 제거하는

단계를 더 포함하는, 방법.

**청구항 17**

적어도 기관 층 및 디바이스 층을 포함하는 샘플을 처리하기 위한 시스템에 있어서,  
 집속 이온 빔을 형성하기 위한 제1 컬럼(column);  
 전자 빔을 형성하기 위한 제2 컬럼;  
 상기 제1 컬럼 및 상기 제2 컬럼 모두와 결합된 하부 챔버;  
 상기 하부 챔버에 결합된 가스 공급 시스템; 및  
 비일시적 메모리에 저장된 명령어를 구비하는 제어기로서, 상기 제어기는,  
 샘플 표면을 얻기 위해 상기 기관 층의 적어도 일 부분을 제거하고;  
 상기 전자 빔으로 상기 샘플 표면에 대한 관심 영역(ROI)을 스캔하고;  
 상기 스캔된 ROI를 자발적으로 에칭하기 위해 상기 가스 공급 시스템을 통해 상기 ROI를 향해 가스를 유동시키고;  
 상기 ROI에서 노출되지 않은 상기 디바이스에 반응하여 상기 전자 빔으로 상기 에칭된 ROI를 스캔하도록 구성되는, 시스템.

**청구항 18**

제17항에 있어서,  
 상기 제어기는, 상기 샘플 표면을 얻기 위해 상기 기관 층의 적어도 일 부분을 제거하기 전에 상기 집속 이온 빔을 사용하여 피가공물로부터 샘플을 추가로 밀링하라는 명령어를 포함하는, 시스템.

**청구항 19**

제17항에 있어서,  
 상기 샘플은 다수의 디바이스 층을 포함하고, 상기 디바이스 층은 상기 기관 층에 인접된 최종 디바이스 층이고, 상기 제어기는 상기 ROI에서 상기 최종 디바이스 층이 노출된 후 에칭 보조 가스의 존재 하에 상기 집속 이온 빔으로 하나 이상의 디바이스 층을 제거하도록 추가로 구성되는, 시스템.

**청구항 20**

제17항 내지 제19항 중 어느 한 항에 있어서,  
 상기 제어기는 상기 에칭된 ROI를 상기 전자 빔으로 스캔한 후 상기 스캔된 ROI를 향해 가스를 유동시키도록 추가로 구성되는, 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 설명은 일반적으로 라멜라를 제조하기 위한 방법 및 시스템에 관한 것으로, 특히 평면도 라멜라의 후면을 처리하는 것에 관한 것이다.

**배경 기술**

[0002] 투과 전자 현미경(TEM)은 시편을 통해 투과된 전자가 이미지를 형성하기 위해서 사용될 수 있도록 시편이 충분히 얇을 것을 요구한다. TEM 샘플을 준비하는 한 가지 방법은 집속 이온 빔(FIB: focused ion beam)을 사용하여 피가공물을 밀링하여 샘플을 추출하는 것이다. 추출된 샘플은 다음으로 얇은 TEM 샘플, 즉 라멜라를 형성하기 위해 전면과 후면으로부터 얇게 된다. 3D-NAND 구조체를 갖는 마이크로전자 디바이스와 같은 마이크로전자 디바이스에 대한 고장 분석을 수행하기 위해 평면도 라멜라가 제조될 수 있다. 평면도 라멜라는 디바이스 층에 평행하게 확장되는 전면 표면 및 후면 표면을 가지며, 3D-NAND 구조체의 특정 층을 관찰하기 위해서 사용될 수

있다.

[0003] 평면도 라멜라를 제조하는 한 가지 방법은 미국 특허출원공개 제2018/0350558A1호에서 Franco 등에 의해서 개시된다. 여기서, 리프트 아웃(lift-out) 샘플의 후면은 에칭 보조 가스의 존재 유무에 관계 없이 FIB를 사용하여 박형화된다. 그러나 출원인은 라멜라 후면이 디바이스 층과 평행하도록 하기 위해서 FIB로 얇게 하기 전에 형성된 샘플 후면 표면이 디바이스 층과 평행해야 한다는 것을 인식한다. 샘플 후면 표면이 디바이스 층과 평행하도록 하는 한 가지 방법은  $XeF_2$ 와 같은 에칭 가스로 샘플 후면을 자발적으로 에칭하는 것이다.  $XeF_2$ 는 디바이스 층을 보존하면서 실리콘 기판을 선택적으로 에칭할 수 있다. 그러나, 출원인은 3D-NAND 구조체로 샘플을 준비할 때,  $XeF_2$ 가 디바이스 층에서 다결정 실리콘을 오버 에칭할 수 있음을 인식한다. 결과적으로, 에칭된 표면은 고르지 않을 수 있다. 또한, 기판 층에 인접한 디바이스 층은 에칭 과정 중에 손상될 수 있다.

**발명의 내용**

[0004] 일 실시형태에서, 하전 입자 빔을 사용하여 적어도 기판 층 및 디바이스 층을 포함하는 샘플을 처리하기 위한 방법은 샘플 표면을 얻기 위해 기판 층의 적어도 일 부분을 제거하는 단계; 전자 빔으로 샘플 표면에 대한 관심 영역(ROI)을 스캔하는 단계; 스캔된 ROI를 자발적으로 에칭하기 위해 ROI를 향해 제1 가스를 유동시키는 단계; 및 디바이스 층이 ROI에 노출되지 않은 점에 반응하여 전자 빔으로, 에칭된 ROI를 스캔하는 단계를 포함한다. 이러한 방식으로, 평편한 후면 표면을 구비하는 평면도 라멜라가 처리된 샘플로부터 형성될 수 있다.

[0005] 상기 요약은 상세한 설명에서 추가로 설명되는 개념의 선택을 단순화된 형태로 도입하기 위해 제공되는 것으로 이해되어야 한다. 이는, 범위가 상세한 설명을 따르는 청구범위에 의해 고유하게 정의되는 청구된 주제의 핵심 또는 필수 특징부를 식별하는 것이 의도되지 않는다. 또한, 청구된 주제는 상기 또는 본 개시내용의 일부에서 언급된 임의의 단점을 해결하는 구현에 한정되지 않는다.

**도면의 간단한 설명**

- [0006] 도 1은 본 발명의 일부 실시형태에 따른 듀얼 빔 시스템을 도시한다.
  - 도 2는 라멜라를 형성하는 방법을 도시한다.
  - 도 3a는 다수의 디바이스 층을 갖는 피가공물을 도시한다.
  - 도 3b는 피가공물로부터 추출된 샘플을 도해한다.
  - 도 3c는 추출된 샘플을 도해한다.
  - 도 4는 3D-NAND 구조체의 디바이스 층의 일 부분을 도시한다.
  - 도 5는 피가공물로부터 추출된 샘플의 후면을 처리하기 위한 순서도이다.
  - 도 6은 노출된 최종 디바이스 층을 구비하는 샘플 후면의 이미지이다.
  - 도 7은 디레이어링(delaying) 공정 동안 수신된 신호를 나타낸다.
- 같은 참조 번호는 여러 도면들에 걸쳐 대응되는 부분을 가리킨다.

**발명을 실시하기 위한 구체적인 내용**

[0007] 다음 설명은 투과 전자 현미경(TEM)에서 이미징하기 위한 평면도 라멜라의 후면을 준비하기 위한 시스템 및 방법에 관한 것이다. 준비는 도 1에 도시된 듀얼 빔 시스템에서 수행될 수 있다. 듀얼 빔 시스템은 이온 빔을 형성하기 위한 제1 컬럼과 전자 빔을 형성하기 위한 제2 컬럼을 갖는다.

[0008] 피가공물로부터 준비된 평면도 라멜라의 고해상도 TEM 이미지를 기반으로 피가공물의 특정 디바이스 층이 검사될 수 있다. 일 실시예에서, 3D-NAND 구조체를 갖는 피가공물은 실리콘 기판 상에 제조된 수십 층의 집적 회로(IC) 칩을 포함할 수 있다. 도 4는 3D-NAND 구조체의 디바이스 층의 일 부분을 도시하는 TEM 이미지이다. 다수의 수직 구조체의 x-y 단면은 TEM 이미지로 관찰될 수 있다. 각각의 메모리 셀(400)은, 이산화규소, 폴리실리콘, 및 질화 규소를 포함하는 재료의 동심 층들을 포함한다. 수직 구조체는 z 방향으로 확장된다. 3D-NAND 구조체의 디바이스 층은, 이산화규소와 같은 간격 물질에 의해 서로 분리될 수 있다. 특정 디바이스 층에서 디바이스 구조체(예를 들어, 메모리 셀)의 계층은 TEM 이미지로부터 결정될 수 있다.

- [0009] 평면도 라멜라는 도 2에 도시된 방법에 따라 형성될 수 있다. 샘플은 피가공물로부터 밀링되고 추출된다. 추출된 샘플의 다수의 디바이스 층은 도 3a 내지 도 3b에 도시된 바와 같이, 피가공물의 표면에 평행하게 연장된다. 추출된 샘플의 전면은 도 3c에 도시된 바와 같이, 피가공물의 상부 표면의 일 부분이다. 추출된 샘플의 후면 상에 있는, 최종 또는 하부 디바이스 층은 실리콘 기판과 같은 적어도 하나의 기판 층 아래에 매립된다. 일부 실시예에서, 이산화규소 층과 같은 간격 층은 기판 층과 최종 디바이스 층 사이에 위치될 수 있다. 최종 디바이스 층과 기판 층 사이에 다른 디바이스 층은 없다. 추출된 샘플의 후면과 전면 상에 있는 재료는, 관심 영역(ROI) 내의 후면과 전면 모두로부터 특정 디바이스 층이 노출된 평면도 라멜라를 얻기 위해서 제거된다. 예를 들어, 평면도 라멜라 후면을 얻기 위해, 최종 디바이스 층을 덮는 재료(예를 들어, 기판 층 및 간격 층)가 제거되어 최종 디바이스 층을 노출시킨다. 그런 다음, 샘플 후면으로부터 하나 이상의 디바이스 층이 디레이어링 공정을 통해 제거될 수 있다.
- [0010] 평편하고 큰 ROI를 갖는 평면도 라멜라를 형성하기 위해서, 노출된 최종 디바이스 층은 평편하고, 디바이스 층과 평행해야 한다. 기판을 제거하는 한 가지 방법은  $XeF_2$ 로 샘플 후면을 자발적으로 에칭하는 것이다.  $XeF_2$ 는 실리콘을 선택적으로 에칭하기 때문에, 에칭 후 최종 디바이스 층의 일 부분이 보존될 수 있다. 그러나  $XeF_2$  에칭의 노출 시간을 제어하는 것은 어렵다: 짧은 노출 시간은 실리콘 기판을 언더 에칭할 수 있고, 긴 노출 시간은 디바이스 층에서 폴리실리콘과 같은 일부 재료를 오버 에칭할 수 있다. 언더 에칭은 노출된 최종 디바이스 층의 면적을 감소시켜, ROI를 감소시킬 수 있다. 반면에, 오버 에칭은 평편하지 않은 그리고 손상된 디바이스 층으로 귀결될 수 있다. 예를 들어, 실리콘 기판으로부터 멀리 있는 0 내지 5 디바이스 층과 같은, 실리콘 기판에 가까운 디바이스 층은 관찰될 수 없다.
- [0011] 평면도 라멜라의 후면을 준비하기 위한 방법은 도 5에 도시된다. 샘플 후면은 집속 이온 빔(FIB)으로 벌크-박형화(bulk-thinned)되고, 그리고/또는 에칭 가스로 자발적으로 에칭될 수 있다. 노출된 후면 샘플 표면이 최종 디바이스 층에 접근하면, 샘플 후면에 대한 ROI가 교대로 고전류 전자 빔으로 스캔되고  $XeF_2$ 로 자발적으로 에칭된다. 전자 빔 스캐닝은  $XeF_2$ 가 하부 챔버로부터 제거될 때 수행되고,  $XeF_2$  에칭은 전자 빔 조사 없이 수행된다. 스캔 에칭 시퀀스는, ROI 내의 최종 디바이스 층의 대부분이 노출될 때까지 여러번 반복될 수 있다. 여기서, 최종 디바이스 층의 디바이스 또는 디바이스 구조체(예: 3D-NAND 구조체의 메모리 셀)가 노출될 때, 최종 디바이스 층이 노출된다. 일 실시예에서, ROI에 노출된 최종 디바이스 층의 면적과 ROI의 전체 면적 사이의 비율이 임계 비율보다 클 때, 반복이 종료될 수 있다. 다른 실시예에서, 노출된 최종 디바이스 층이 평탄하고 평편할 때 반복이 종료될 수 있다. 각각의 반복 내에서 자발적 에칭의 기간은 일정하고, 미리 결정될 수 있다. 스캐닝-에칭 반복은 샘플 후면 상의 최종 디바이스 층을 덮고 있는 재료를 제거한다. 기판 층과 최종 디바이스 층 사이에 간격 층이 있는 경우, 이 반복 중에 기판 층과 간격 층이 모두 제거된다. 최종 디바이스 층을 노출시킨 후, 평면도 라멜라 후면을 얻기 위해서 샘플 후면으로부터 하나 이상의 디바이스 층이 디레이어링 공정을 통해 제거될 수 있다.
- [0012] 후면 평면도 라멜라 준비 중에, 준비 과정을 모니터링하기 위해서 샘플 후면의 SEM 이미지가 촬영될 수 있다. SEM 이미징을 위한 빔 전류는 스캐닝 에칭 시퀀스에서 ROI를 스캔하기 위한 빔 전류보다 더 낮다. SEM 이미징을 위한 빔 전류는 1 nA보다 더 낮을 수 있는 한편, ROI 스캔을 위한 빔 전류는 1 nA보다 높을 수 있다. 일 실시예에서, SEM 이미징을 위한 빔 전류는 100 pA 내지 1 nA이고, ROI 스캔을 위한 빔 전류는 2 내지 4 nA이다. 또한, 샘플 표면을 관찰하기 위해, SEM 이미징을 위한 빔 에너지는 스캐닝 에칭 시퀀스에서 ROI를 스캔하기 위한 빔 에너지보다 더 낮을 수 있다. 예를 들어, SEM 이미징을 위한 빔 에너지는 10 kV(예: 2 내지 10 kV)보다 낮은 한편, ROI 스캔을 위한 빔 전류는 10 kV(예: 10 내지 20 kV)보다 높다.
- [0013] 고전류 전자 빔으로 ROI를 스캔함으로써, ROI는 탄소로 증착되고, 그리고/또는 도핑된다. 일부 실시예에서, 탄소원은 하부 챔버에 제공될 수 있다. 전자 빔을 사용하여 ROI를 증착/도핑함으로써, 스캐닝 직후 에칭 공정에서, 디바이스 층의 디바이스 구조체와 다른 층(예: 기판 층 및 간격 층)의 재료 사이의 우선적인 에칭 속도가 달성된다. 예를 들어, 실리콘 기판은  $XeF_2$  에칭 동안 디바이스 구조체보다 더 빠른 속도로 에칭된다. 우선적인 에칭 속도는, 전자 빔 스캔 동안 비교적 균질한 기판 층과 비교하여 디바이스 구조체의 비균질 디바이스 재료 위에 우선적으로 증착된 탄소의 얇은 층에 의해 유발될 수 있다. 또한, 전자 빔 스캔은 디바이스 층에 대한 탄소 종의 향상된 흡착으로 이어질 수 있다. 이러한 향상을 위한 고유한 메커니즘은 재료 차이, 토폴로지(topological) 고려 사항, 또는 이들의 조합 때문일 수 있다. 우선적인 에칭 속도로 인해, 최종 디바이스 층을 덮는 재료(예: 기판 층 및 간격 층)는 스캐닝-에칭 반복 동안 선택적으로 제거될 수 있는 반면 기판 층 근처의

디바이스 구조체는 보존된다. 결과적으로, 크고 평편한 최종 디바이스 층이 ROI에 노출된다.

- [0014] 도 6은 노출된 최종 디바이스 층을 구비하는 샘플 후면의 SEM 이미지이다. 노출된 최종 디바이스 층을 구비하는 샘플은 평면도 라벨라 후면을 얻기 위해 에칭 보조 가스가 있거나 또는 없는 FIB를 사용하여 디레이어(delayer)될 수 있다. 도 2의 방법을 사용하여 형성된 샘플 후면 표면은 평편하고, 디바이스 층에 평행하며, 이는 도 7에 도시된 다음의 후면 디레이어링 공정 동안 수신된 신호가 반사된다.
- [0015] 도 1을 다시 참조하면, 도 1은 듀얼 빔 시스템(110)을 도시한다. 듀얼 빔 시스템은 피가공물의 평면에 대해 수직이거나 몇도만큼 기울어진 이온 빔, 및 또한, 이온 빔의 축으로부터, 예를 들어, 52도 기울어진 축선을 가진 전자 빔을 포함한다. 일부 구현에서, 이온 빔 및 전자 빔은 정렬되어, 두 빔의 시야(field of view)가 수 마이크론 이내로 일치된다. 이온 빔 및 전자 빔은 모두 샘플을 이미징하고 그리고/또는 처리하기 위해서 사용될 수 있다.
- [0016] 듀얼 빔 시스템(110)은 이온 빔을 생성하기 위한 이온 컬럼(111)을 포함한다. 이온 컬럼(111)은 이온 소스(114), 추출기 전극(115), 정전기 광학 시스템(117), 및 정전기 편향 판(120)을 포함한다. 이온 소스(114)에 의해 생성된 이온 빔(118)은 피가공물(122)을 조사하기 전에 정전기 편향기(120)에 의해 편향된다. 피가공물(122)은 하부 챔버(126) 내의 이동 가능한 X-Y-Z 스테이지(124) 상에 위치된다. 하부 챔버(126)는 펌핑 제어기(130)의 제어 하에 터보 분자 및 기계식 펌핑 시스템(168)으로 비워질 수 있다. 진공 시스템은 하부 챔버(126) 내에, 예를 들어 대략  $5 \times 10^{-8}$  Torr 내지  $5 \times 10^{-4}$  Torr의 진공을 제공한다. 에칭 보조 가스, 에칭 지연 가스 또는 증착 전구체 가스가 사용되는 경우, 챔버 배경 압력(background pressure)은, 예를 들어, 약  $1 \times 10^{-5}$  Torr로 상승될 수 있다.
- [0017] 고전압 전원(134)은, 이온 빔(118)을 형성하고 이를 아래로 향하게 하기 위해 이온 컬럼(111) 내의 적절한 전극 뿐만 아니라 이온 소스(114)에 연결된다. 패턴 생성기(138)에 의해 제공되는 미리 정해진 패턴에 따라 작동되는 편향 제어기 및 증폭기(136)는 편향 플레이트(120)에 결합되고, 이에 의해 이온 빔(118)은 피가공물(122) 상의 대응되는 패턴을 추적하도록 제어될 수 있다. 일부 시스템에서는, 최종 렌즈 앞에 편향 판이 배치된다.
- [0018] 이온 소스(114)는 일반적으로 갈륨의 금속 이온 빔을 제공하지만, 다수의 커스프(cusp) 또는 다른 플라즈마 이온 소스와 같은 다른 이온 소스가 사용될 수 있다. 이온 소스(114)는 일반적으로, 이온 밀링, 강화된 에칭, 재료 증착에 의해 피가공물(122)을 수정하기 위해, 또는 피가공물(122)을 이미징하기 위한 목적으로 피가공물(122)에서 1/10 마이크론 미만 폭의 빔으로 초점을 맞출 수 있다. 이미징을 위한 2차 이온 방출을 검출하기 위해 사용되는 하전 입자 증배기(multiplier)(140)(예를 들어, 2차 전자를 검출하기 위한 2차 전자 검출기(140)로서)는 신호 처리기(142)에 연결되며, 여기서 하전 입자 증배기(140)로부터의 신호는 증폭되고, 디지털 신호로 변환되고, 신호 처리를 겪는다. 결과적인 디지털 신호는 모니터(144) 상에 피가공물(122)의 이미지를 디스플레이하는 것이다.
- [0019] 전력 공급 및 제어 유닛(145)과 함께 전자 컬럼(141)은 또한, 듀얼 빔 시스템(110)에 제공된다. 전자 빔(143)은 캐소드(152)와 애노드(154) 사이에 전압을 인가함으로써 캐소드(152)로부터 방출된다. 전자 빔(143)은 집광 렌즈(156) 및 대물 렌즈(158)에 의해 미세한 지점에 집중된다. 전자 빔(143)은 편향 코일(160)에 의해 피가공물 상에 2 차원적으로 스캔된다. 집광 렌즈(156), 대물 렌즈(158) 및 편향 코일(160)의 작동은 전력 공급 및 제어 유닛(145)에 의해 제어된다. 전자 빔(143)의 전자가 피가공물(122)의 표면에 부딪힐 때, 2차 전자 및 후방 산란 전자가 방출된다. 이러한 전자들은 SE 검출기(1240) 또는 후방 산란 전자 검출기(162)에 의해 각각 검출된다. SE 검출기(140) 또는 후방 산란 전자 검출기(162)에 의해 생성된 아날로그 신호는 신호 프로세서 유닛(142)에 의해 증폭되고 디지털 밝기 값으로 변환된다. 결과적인 디지털 신호는 모니터(144) 상에 피가공물(122)의 이미지로서 디스플레이될 수 있다.
- [0020] 마이크로조작기(147)는 진공 챔버 내에 위치한 일 부분(149)의 X, Y, Z 및 세타 제어를 제공하는 정밀 전기 모터(148)를 포함할 수 있다. 마이크로조작기(147)는 피가공물(122)로부터 절단된 샘플을 들어올리는 것과 같이 작은 물체를 조작하기 위한 상이한 엔드 이펙터와 연결될 수 있다. 본원에 설명된 실시형태에서, 엔드 이펙터는 얇은 프로브(150)이다.
- [0021] 가열되거나 또는 냉각될 수 있는 스테이지(124)에 대해 피가공물(122)을 삽입하기 위한 도어(170)가 개방되고, 또한 내부 가스 공급 저장소(사용되는 경우)를 서비스하기 위해 개방된다. 도어는 연동되어 시스템이 진공 상태인 경우 열리지 않는다. 가스 전달 시스템(146)은 피가공물(122)을 향해 가스 증기를 도입하고 지향시키기 위해



하부 챔버(126) 안으로 연장된다.

- [0022] 시스템 제어기(119)는 듀얼 빔 시스템(110)의 다양한 부분의 작동을 제어한다. 시스템 제어기(119)를 통해, 사용자는 사용자 인터페이스(미도시)에 입력되는 명령을 통해 원하는 방식으로 이온 빔(118) 또는 전자 빔(143)이 스캔되도록 할 수 있다. 시스템 제어기(119)는 또한, 컴퓨터 관독 가능 메모리(121)를 포함할 수 있고, 본원에 설명된 방법을 구현하기 위해 메모리(121)에 저장된 데이터 또는 컴퓨터 관독 가능한 명령에 따라 듀얼 빔 시스템(110)을 제어할 수 있다.
- [0023] 위에서 설명된 장치 및 시스템은 로컬 영역 탐색을 위한 고정밀 빔 배치 방법을 활용할 수 있다. 또한, 요소, 양태 또는 실시형태가 컴퓨터 하드웨어 또는 소프트웨어, 또는 둘의 조합을 통해 구현될 수 있다는 점이 인식될 것이다. 방법은 컴퓨터 프로그램으로 구성된 컴퓨터 관독 가능 기억 매체를 포함하는 표준 프로그래밍 기술을 사용하여 컴퓨터 프로그램으로 구현될 수 있으며, 이렇게 구성된 기억 매체는 본 명세서에서 설명된 방법 및 도면에 따라 컴퓨터가 특정된 그리고 미리 정의된 방식으로 작동하게 한다. 각각의 프로그램은 컴퓨터 시스템과 통신하기 위해 높은 수준의 절차적 또는 객체 지향 프로그래밍 언어로 구현될 수 있다. 그러나, 프로그램은 원하는 경우, 어셈블리 또는 기계어로 구현될 수 있다. 어느 경우든, 언어는 컴파일되거나 해석된 언어일 수 있다. 또한, 프로그램은 해당 용도로 프로그래밍된 전용 집적 회로에서 실행될 수 있다.
- [0024] 또한, 방법론은 개인용 컴퓨터, 미니 컴퓨터, 메인 프레임, 워크 스테이션, 네트워크로 연결되거나 분산된 컴퓨팅 환경, 하전 입자 도구 또는 기타 이미징 디바이스 등에 분리되거나 통합되거나 이와 통신하는 컴퓨터 플랫폼 등을 포함하되 이에 한정되지 않는 모든 유형의 컴퓨팅 플랫폼에서 구현될 수 있다. 양태는, 하드 디스크, 광학 읽기 및/또는 쓰기 기억 매체, RAM, ROM 등과 같은 컴퓨팅 플랫폼에 제거 가능하거나 통합된 기억 매체 또는 디바이스 상에 저장된 기계 관독 가능한 코드로 구현될 수 있어, 본원에 설명된 절차를 수행하기 위해 컴퓨터가 기억 매체 또는 디바이스를 관독할 때 컴퓨터를 환경설정하고 작동시키기 위해, 프로그래밍 가능한 컴퓨터에 의해 관독 가능할 수 있다. 또한, 기계 관독 가능 코드, 또는 이의 일 부분은 유선 또는 무선 네트워크를 통해 전송될 수 있다. 본원에 설명된 구현은, 이러한 매체가 마이크로 프로세서 또는 다른 데이터 프로세서와 관련하여 위에서 설명된 단계를 구현하기 위한 명령 또는 프로그램을 포함할 때 이 유형 및 다른 다양한 유형의 컴퓨터 관독 가능 기억 매체를 포함할 수 있다. 구현은 또한, 본원에 설명된 방법 및 기술에 따라 프로그래밍 될 때 컴퓨터 자체를 포함할 수 있다.
- [0025] 컴퓨터 프로그램은 본원에 설명된 기능을 수행하기 위해 입력 데이터에 적용될 수 있으며, 이에 따라 입력 데이터를 변환하여 출력 데이터를 생성할 수 있다. 출력 정보는 디스플레이 모니터와 같은 하나 이상의 출력 디바이스에 적용된다. 일부 구현에서, 변환된 데이터는, 디스플레이 상에 물리적 그리고 유형적 객체의 특정 시각적 묘사를 생성하는 것을 포함하여, 물리적 그리고 유형적 객체를 나타낼 수 있다.
- [0026] 지시된 바와 같이, 일부 구현은 또한, 입자 빔을 사용하여 샘플을 이미지화하기 위해서 이온 빔 또는 전자 빔과 같은 하전 입자 빔을 사용할 수 있다. 샘플을 이미지화하기 위해서 사용되는 이러한 하전 입자는 본질적으로 샘플과 상호 작용하여 어느 정도의 물리적 변형을 일으킬 수 있다. 또한, 본 명세서 전반에 걸쳐, "계산", "결정", "측정", "생성", "검출", "형성" 등과 같은 용어를 사용하는 논의는 또한, 컴퓨터 시스템 내에서 물리량으로서 표현된 데이터를 컴퓨터 시스템 또는 기타 정보 저장, 전송 또는 디스플레이 디바이스 내에서 물리량으로서 유사하게 표현된 다른 데이터로 조작하고 변환하는 컴퓨터 시스템 또는 유사한 전자 디바이스의 작동 및 공정을 지칭한다.
- [0027] 이온 빔 및 전자 빔은 피가공물을 이미징하거나 처리하기 위한 하전 입자 빔의 예로서 본원에서 설명된다. 다른 하전 입자 빔, 예를 들어 레이저 빔, 또는 예를 들어 액체 금속 이온 소스로부터의 일부 다른 형상의 이온 빔이 사용될 수 있다.
- [0028] 도 2는 도 1의 듀얼 빔 시스템을 사용하여 평면도 라멜라를 준비하기 위한 방법(200)을 도시한다. 평면도 라멜라는 다수의 디바이스 층을 포함하는 피가공물의 디바이스 층을 검사하기 위해 준비된다. 디바이스 층은 3D-NAND 구조체를 가질 수 있다.
- [0029] 202에서, 샘플이 피가공물로부터 추출된다. 샘플은 먼저 FIB를 사용하여 피가공물로부터 밀링된 다음, 추가 처리를 위해 마이크로조작기(예: 도 1의 마이크로조작기(147))를 사용하여 피가공물로부터 들어올려지고/추출될 수 있다. 도 3a 내지 도 3c는 샘플 추출 절차를 예시한다.
- [0030] 도 3a 내지 도 3b에서, 피가공물(310)은 x-y 평면에서 연장되는 길이 및 폭으로 배향되고, 높이는 z-축을 따라 연장된다. 피가공물은 기판(307) 위에 제조된 하나 이상의 디바이스 층을 포함한다. 기판(307)은 실리콘일 수

있다. 디바이스 층은 x-y 평면에서 확장된다. 디바이스 층들은 간격 층에 의해서 서로 분리될 수 있다. 간격 층은 이산화규소로 형성될 수 있다. 도 3a에서, 3개의 디바이스 층(301 내지 303)이 예로서 도시된다. 3D-NAND 구조체의 경우, 디바이스 층의 개수는 수십 개 또는 100개 이상일 수 있다. 전면 상의 피가공물(310)의 상부 표면(308)은 디바이스 층에 평행하다. 일 실시예에서, 최종 또는 하부 디바이스 층(303)은 기판(307)과 직접 접촉된다. 다른 실시예에서, 최종 디바이스 층(303)은 간격 층을 사용하여 기판(307)으로부터 분리된다. 피가공물의 전면은 화살표(305)(z 방향)에 의해서 표시되고 피가공물의 후면은 화살표(306)(z 방향 반대)에 의해서 표시된다.

[0031] 도 3b는 피가공물(310)로부터 샘플(330)을 절단하기 위한 하나의 방법을 도해한다. 피가공물(310)은 반대 방향으로부터 2개의 교차하는 이온 빔 컷(321 및 322)에 의해 먼저 언더컷된다. 그런 다음, 이온 빔은 측부(323 및 324)를 절단한다. 샘플(330)은 추가 처리를 위해 프로브에 의해 피가공물(310)로부터 들어올려질 수 있다.

[0032] 도 3c는 추출되거나 들어올려진 샘플(330)을 도시한다. 샘플(330)은 전면(305) 상에 다수의 디바이스 층(331 내지 333)을 포함한다. 추출된 샘플의 전면 표면은 피가공물(310)의 상부 표면(308)의 일 부분이다. 샘플(330)은 후면(306) 상에 있는 적어도 하나의 기판 층(334)을 포함한다. 췌기형 기판 층(334)은 최종 디바이스 층을 노출시키기 위해 제거되어야 한다. 노출된 최종 디바이스 층을 구비하는 샘플은 평면도 라멜라를 얻도록 전면 및/또는 후면에서 하나 이상의 디바이스 층을 제거하기 위해서 더 디레이어될 수 있다.

[0033] 다시 도 2를 참조하면, 204에서, 추출된 샘플의 후면이 처리되어 평면도 라멜라의 후면을 형성한다. 후면 처리는 췌기형 기판 층(예: 도 3c의 기판 층(334))을 제거하고, 기판 층에 인접한 최종 디바이스 층(예: 도 3c의 최종 디바이스 층(333))을 노출시킨다. 라멜라 후면 준비는 에칭 보조 가스가 있거나 없는 FIB를 사용하여 샘플 후면으로부터 하나 이상의 디바이스 층을 디레이어링하는 단계를 더 포함할 수 있다. 후면 처리의 세부 사항은 도 5에서 설명된다.

[0034] 206에서, 추출된 샘플의 전면이 처리되어 평면도 라멜라의 전면을 형성한다. 전면 처리는 FIB를 사용하여 전면으로부터 미리 결정된 수의 디바이스 층을 디레이어하거나 제거하는 것을 포함할 수 있다. 에칭 보조 가스는 FIB와 함께 선택적으로 제공될 수 있다. 일 실시예에서, 미리 정해진 수의 디바이스 층은 페이스-온(face-on) FIB를 사용하여 제거되어 샘플에 내장된 특정 디바이스 층을 노출시킨다.

[0035] 일부 실시예들에서, 단계 206은 생략되고, 샘플 후면만이 상부 디바이스 층을 검사하기 위해 처리된다.

[0036] 208에서, 평면도 라멜라의 고해상도 TEM 이미지가 획득된다. 특정 디바이스 층의 계측은 TEM 이미지를 기반으로 결정될 수 있다. TEM 이미지는 도 1의 듀얼 빔 시스템에서 획득될 수 있거나, 대안적으로 다른 TEM 시스템에서 획득될 수 있다.

[0037] 이러한 방식으로, 평면도 라멜라의 디바이스 층은 라멜라의 후면 표면뿐만 아니라 라멜라의 전면 표면과 평행하다. 평면도 라멜라는 특정 디바이스 층이 이미지화될 수 있는 큰 ROI를 제공한다. 또한, 특정 디바이스 층은 기판 층에 가까운 디바이스 층일 수 있다.

[0038] 도 5는 평면도 라멜라의 후면을 형성하기 위해 리프트-아웃(lift-out) 샘플의 후면을 처리하는 방법(500)을 도시한다. 리프트 아웃 샘플은 먼저 밀링 및/또는 에칭에 의해서 벌크-박형화된다. 노출된 샘플 후면 표면이 최종 디바이스 층에 접근하면, ROI 내의 샘플 후면은, ROI 내의 최종 디바이스 층의 대부분이 노출될 때까지, 번갈아 고전류 전자 빔을 사용하여 스캔되고 자발적으로 에칭된다. 그런 다음, 하나 이상의 디바이스 층은 샘플 후면으로부터 선택적으로 제거될 수 있다.

[0039] 501에서, 샘플의 후면은 샘플 후면 표면을 얻기 위해서 벌크-박형화된다. 샘플은 FIB 밀링 및/또는 자발적 에칭으로 벌크-박형화될 수 있다. 벌크 박형화 공정은 샘플 후면의 췌기형 기판 층(예: 도 3c의 기판 층(334))의 대부분을 제거하고 추가 처리를 위한 평편한 표면을 제공할 수 있다. 502 내지 508 단계는 샘플 후면을 벌크 박형화하기 위한 예시적 작업 흐름을 도시한다.

[0040] 502에서, 추출된 샘플의 후면은 FIB를 사용하여 밀링된다. 밀링은 에지-온 FIB로 수행될 수 있으며, 입사 이온 빔은 샘플 표면으로부터 45도 미만의 각도에 있다. 샘플 후면은 에칭 보조 가스와 함께 또는 없이 FIB를 사용하여 밀링될 수 있다. 밀링 공정은 샘플 후면의 이미지에 기반하여 모니터링될 수 있다. 일 실시예에서, 이미지는 밀링 동안 수집된 2차 전자로 형성된다. 다른 실시예에서, 이미지는 샘플의 후면 표면을 가로 질러 이온 빔을 스캔한 후 촬영될 수 있다. FIB 밀링은 밀링된 표면이 최종 디바이스 층에 접근할 때 종료될 수 있다. 예를 들어, FIB 밀링은, 밀링된 표면이 최종 디바이스 층으로부터 제1 임계 거리 내에 있을 때 종료된다. 다른 실시예에서, FIB 밀링은 기판의 제1 두께를 제거한 후에 종료된다. 제1 기판 두께는 샘플의 총 두께 및 디바이스 층의

두께에 기반하여 결정될 수 있다.

- [0041] 504에서,  $\text{XeF}_2$ 는 하전 입자 빔의 도움 없이 실리콘 기판을 자발적으로 에칭하기 위해 샘플 후면으로 날아간다. 일 실시예에서,  $\text{XeF}_2$ 의 양 및/또는  $\text{XeF}_2$ 를 유동시키는 지속 시간은 제거될 기판의 제2 두께에 기반하여 결정될 수 있다. 제거될 기판의 제2 두께는 제거된 기판의 두께, 총 샘플 두께 및 디바이스 층의 두께에 기반하여 추정될 수 있다.
- [0042] 506에서,  $\text{XeF}_2$ 를 샘플로 유동시킨 후, 자발적 에칭 공정을 모니터링하기 위해 샘플 후면 표면의 SEM 이미지가 획득된다. SEM 이미지는 1 nA 미만의 빔 전류로 촬영될 수 있다. 예를 들어, SEM 이미징의 빔 전류는 100 pA이다. SEM 이미지는, 챔버 압력이 낮아지고  $\text{XeF}_2$ 가 하부 챔버에서 제거될 때 촬영된다.
- [0043] 508에서, 방법(500)은 노출된 샘플 후면이 506에서 획득된 이미지에 기반하여 최종 디바이스 층으로부터 제2 임계 거리 내에 있는지 여부를 결정한다. 제2 임계 거리는 502에서의 제1 임계 거리보다 작다. 일부 실시예에서, 제2 임계 거리는 0일 수 있다. 즉,  $\text{XeF}_2$  에칭으로 인해 최종 디바이스 층의 일 부분이 노출된다. 노출된 샘플 후면이 최종 디바이스 층으로부터 제2 임계 거리 내에 있는 경우, 자발적 에칭이 종료된다. 그렇지 않으면, 샘플 후면을 추가로 에칭하기 위해  $\text{XeF}_2$ 가 제공된다.
- [0044] 510에서, 방법(500)은 최종 디바이스 층이 샘플 후면 표면과 관련된 ROI에 노출되는지 여부를 확인한다. ROI의 면적은 샘플 후면의 면적보다 작을 수 있다. 예를 들어, 도 6에 도시된 바와 같이, ROI (601)의 면적은 x-y 평면에서 피가공물의 단면적보다 작다. 따라서, 평면도 라멜라는 라멜라의 얇은 디레이어된 영역을 지지하기 위해 적어도 하나의 두꺼운 엷지를 갖는다. 일 실시예에서, ROI는 샘플 후면 표면의 이미지에 기반하여 결정될 수 있다. ROI는 샘플 후면 표면이 불균일하거나 고르지 않은 영역일 수 있다.
- [0045] ROI 내의 최종 디바이스 층은 최종 디바이스 층의 디바이스 또는 디바이스 구조체가 기판 층 또는 간격 층에 의해 덮이지 않을 때 노출된다. 일 실시예에서, ROI에 노출된 최종 디바이스 층의 면적( $A_{\text{device layer}}$ )과 ROI의 전체 면적( $A_{\text{ROI}}$ ) 사이의 비율이 임계 비율보다 더 클 때 최종 디바이스 층이 노출된다. ROI에 노출된 최종 디바이스 층의 면적( $A_{\text{device layer}}$ )과 ROI의 전체 면적( $A_{\text{ROI}}$ ) 사이의 비율이 임계 비율보다 더 작을 때 최종 디바이스 층은 노출되지 않는다. ROI 내에서 노출된 최종 디바이스 층의 면적은 가장 최근에 획득된 샘플 후면의 이미지에 기반하여 추정될 수 있다. 이미지는 1 nA 미만의 빔 전류와 같이 낮은 빔 전류로 획득된 SEM 이미지일 수 있다. 이미지는 단계 506 또는 단계 516에서 촬영될 수 있다. 일 실시예에서, 임계 비율은 90%보다 더 크다. 다른 실시예에서, 임계 비율은 95%보다 더 크다. 최종 디바이스 층이 ROI에 노출되는 경우, 방법(500)은 샘플 후면으로부터 하나 이상의 디바이스 층을 더 디레이어시키기 위해 518로 이동된다. 최종 디바이스 층이 ROI에 노출되지 않은 경우, 방법(500)은 512로 이동된다. ROI는, 디바이스 최종 층이 대부분 노출될 때까지, 번갈아 고전류 전자 빔에 의해 스캔되고 자발적으로 에칭된다.
- [0046] 다른 실시예에서, ROI 내의 최종 디바이스 층이 평편할 때 최종 디바이스 층이 노출된다. 평탄도는 가장 최근에 획득된 SEM 이미지에 기반하여 결정될 수 있다. 예를 들어, SEM 이미지에서 관찰된 표면 균일성의 임의의 변화는 불균일성을 나타낼 수 있다.
- [0047] 512에서, 샘플 후면 표면과 관련된 ROI가 고전류 전자 빔으로 스캔된다. 전자 빔으로 ROI를 스캔함으로써, 탄소가 스캔된 영역에 증착되거나 도핑될 수 있다. ROI 스캔을 위한 빔 전류는 506 또는 516에서 SEM 이미징을 위한 전자 빔보다 더 높다. 예를 들어, ROI 스캐닝을 위한 빔 전류는 1 nA보다 크고, 이미징을 위한 빔 전류는 1 nA보다 더 낮다. 일 실시예로서, ROI를 스캔하기 위한 전자 빔 에너지는 10 kV이고, 빔 전류는 3.2 nA이다. ROI 스캔을 위한 빔 에너지는 506 또는 516에서 SEM 이미징을 위한 빔 에너지보다 더 높다. ROI를 스캔하기 위한 지속 시간은 506 및 516에서 SEM 이미지를 획득하기 위한 지속 시간보다 더 길다. 일 실시예에서, ROI는 산란된 전자를 검출하지 않고 스캔된다. 즉, 전자 빔으로 ROI를 스캔함으로써 SEM 이미지가 형성되지 않는다. 다른 실시예에서, ROI의 SEM 이미지는 ROI 스캔 동안 수신된 산란 전자에 기반하여 획득된다.
- [0048] 514에서, 스캔된 ROI가 자발적으로 에칭된다. 스캔된 ROI는 미리 결정된 지속 시간 동안  $\text{XeF}_2$ 로 자발적으로 에칭된다. 에칭 공정의 지속 시간은  $\text{XeF}_2$  분자와 기판 재료의 상호 작용 단면에 의해 결정될 수 있다. 일 실시예에서, ROI는 1분 동안 고전류 전자 빔으로 스캔된다. 스캔된 ROI는 이후 1분 동안 자발적으로 에칭된다. 단계 514에서  $\text{XeF}_2$  유동의 지속 시간은 504에서  $\text{XeF}_2$  유동의 지속 시간보다 더 짧을 수 있다.

- [0049] 516에서, 에칭된 ROI를 포함하는 이미지가 촬영된다. 이미지는 506에서 획득된 SEM 이미지와 유사한 파라미터로 획득된 SEM 이미지일 수 있다. 예를 들어, 전자 빔 전류 및 에너지는 512에서 ROI 스캔을 위한 빔 전류 및 에너지보다 더 낮다. 빔 에너지는 전자 침투 깊이를 감소시키기 위해 낮아져, 에칭된 표면의 더 양호한 관찰을 위해서 더 많은 표면 전자가 여겨진다.
- [0050] 518에서, ROI 내의 디바이스 층은 미리 결정된 수의 층을 제거하기 위해 FIB로 선택적으로 디레이어된다. 디레이어링 공정은 에칭 보조 가스를 사용하거나 사용하지 않고 페이스-온 FIB로 ROI를 스캔함으로써 수행될 수 있다. 페이스-온 FIB는 ROI 내의 노출된 샘플 표면으로부터 45 도보다 더 큰 각도를 갖는다. 에칭 보조 가스는 메틸 니트로아세테이트(MNA) 또는 MNA-유사 가스일 수 있다. 일 실시예에서, 에칭-보조 가스는 메틸 니트로아세테이트를 포함한다. 다른 실시예에서, 에칭-보조 가스는 메틸 아세테이트, 에틸 아세테이트, 에틸 니트로아세테이트, 프로필 아세테이트, 프로필 니트로아세테이트, 니트로 에틸 아세테이트, 메틸 메톡시 아세테이트, 또는 메톡시 아세틸클로라이드 중 하나 이상의 조합이다. 디레이어링 공정은 ROI의 각각의 FIB 스캔 동안 기록된 2차 전자 또는 스테이지 전류에 기반하여 모니터링될 수 있다.
- [0051] 이러한 방식으로, 최종 디바이스 층의 넓은 영역이 노출될 수 있다. 노출된 최종 디바이스 층은 탄소 증착/도핑 표면의 선택적 에칭으로 인해 평편하다. 또한, 기관 층에 가까운 디바이스 층의 손상이 방지된다.
- [0052] 도 6은 다수의 스캐닝-에칭 반복(도 5의 단계 510 내지 단계 514) 후에 ROI(601)에 노출된 3D-NAND 구조체의 최종 디바이스 층을 갖는 샘플 후면의 SEM 이미지를 도시한다. 최종 디바이스 층의 패턴은 ROI의 넓은 영역에서 높은 콘트라스트로 보여질 수 있다. 화살표(602)는 실리콘 기관으로 덮인 ROI(601)의 엣지에 가까운 영역을 가리킨다. 하나 이상의 디바이스 층을 제거하기 위해 ROI(601) 내에서 디레이어링이 추가로 수행될 수 있다.
- [0053] 도 7은 샘플 후면에서 디레이어링 과정 중 수집된 2차 전자와 스테이지 전류에 기반하여 생성된 그래프를 도시한다. 샘플은 3D-NAND 구조체의 다수의 디바이스 계층을 포함한다. 디바이스 층은 최종 디바이스 층으로부터 FIB를 사용하여 제거된다. 그레이스케일 플롯(701)은 2차 전자로 형성된 이미지의 전체 그레이스케일 레벨이다. 더 높은 그레이스케일 레벨은 더 적은 수의 수집된 2차 전자에 대응된다. 스테이지 전류 플롯(702)은 ROI를 통한 FIB의 각각의 스캔 동안 감지된 전체 스테이지 전류이다.
- [0054] 그레이스케일 플롯(701)과 스테이지 전류 플롯(702)은 모두 4 초 시점으로부터 제1 피크로부터 감소한 다음 약 60 초 시점으로부터 다시 증가된다. 4 초 시점 주변의 제1 피크는 최종 디바이스 층을 디레이어링시키는 것에 대응된다. 약 80 초 시점의 제2 피크는 최종 디바이스 층 다음 층의 디레이어링에 대응된다. 디레이어링 공정은 최종 디바이스 층을 통해 진행됨에 따라, 플롯(701 및 702)이 4 초로부터 23 초로 감소된다. 23 초로부터 65 초까지의 낮은 그레이스케일 레벨과 스테이지 전류는 3D-NAND 구조체의 간격 층이 제거되고 있음을 나타낸다. 60 초로부터 80 초까지의 제2 피크까지 두 플롯의 부드러운 상승은 샘플 표면이 평편하고 디바이스 층과 평행하다는 점을 나타낸다.
- [0055] 샘플을 자발적으로 에칭하기 전에 전자 빔으로 ROI를 스캔하는 기술적 효과는 디바이스 층의 적어도 일 부분의 에칭 속도가 감소되고, 최종 디바이스 층의 오버 에칭이 방지된다는 것이다. 고전류 전자 빔으로 ROI를 스캔하는 기술적 효과는 ROI를 탄소로 증착/도핑하는 것이다. 라벨라 후면 처리 중에 저에너지 전자 빔으로 샘플 표면을 이미징하는 기술적 효과는 낮은 침투 깊이로 이미지를 획득하는 것이다. 스캐닝 에칭 공정을 반복하는 기술적 효과는 디바이스 층에 디바이스를 보존하면서 기관 층이 선택적으로 에칭된다는 것이다.
- [0056] 일 실시형태에서, 하전 입자 빔을 사용하여 적어도 기관 층 및 디바이스 층을 포함하는 샘플을 처리하기 위한 방법은 샘플 표면을 연기 위해 기관 층의 일 부분을 제거하는 단계; 전자 빔으로 샘플 표면에 대한 관심 영역(ROI)을 스캔하는 단계; 스캔된 ROI를 자발적으로 에칭하기 위해 ROI를 향해 제1 가스를 유동시키는 단계; 및 디바이스 층이 ROI에 노출되지 않은 점에 반응하여 전자 빔으로, 에칭된 ROI를 스캔하는 단계를 포함한다. 방법의 제1 실시예에서, 방법은 에칭된 ROI를 포함하는 샘플 이미지를 획득하는 단계, 및 샘플 이미지를 기반으로 디바이스 층이 ROI에 노출되지 않음을 결정하는 단계를 더 포함한다. 방법의 제2 실시예는 선택적으로 제1 실시예를 포함하고, 추가로 포함하며, 샘플 이미지는 주사 전자 현미경(SEM) 이미지이고, ROI를 스캔하기 위한 전자 빔의 빔 전류는 샘플 이미지를 획득하기 위한 빔 전류보다 더 높다. 방법의 제3 실시예는 선택적으로 제1 및 제2 실시예 중 하나 이상을 포함하고, 추가로 포함하며, 샘플 이미지는 SEM 이미지이고, ROI를 스캔하기 위한 전자 빔의 빔 에너지는 샘플 이미지를 획득하기 위한 빔 에너지보다 높다. 방법의 제4 실시예는 선택적으로 제1 내지 제3 실시예 중 하나 이상을 포함하고, 더 포함하며, ROI를 스캔하는 동안의 지속 시간이 샘플 이미지를 획득하는 동안의 지속 시간보다 더 길다. 방법의 제5 실시예는 제1 내지 제4 실시예 중 하나 이상을 선택적으로 포함하고, 더 포함하며, 샘플 이미지에 기반하여 디바이스 층이 ROI에 노출되지 않음을 결정하는 것은 샘플 이

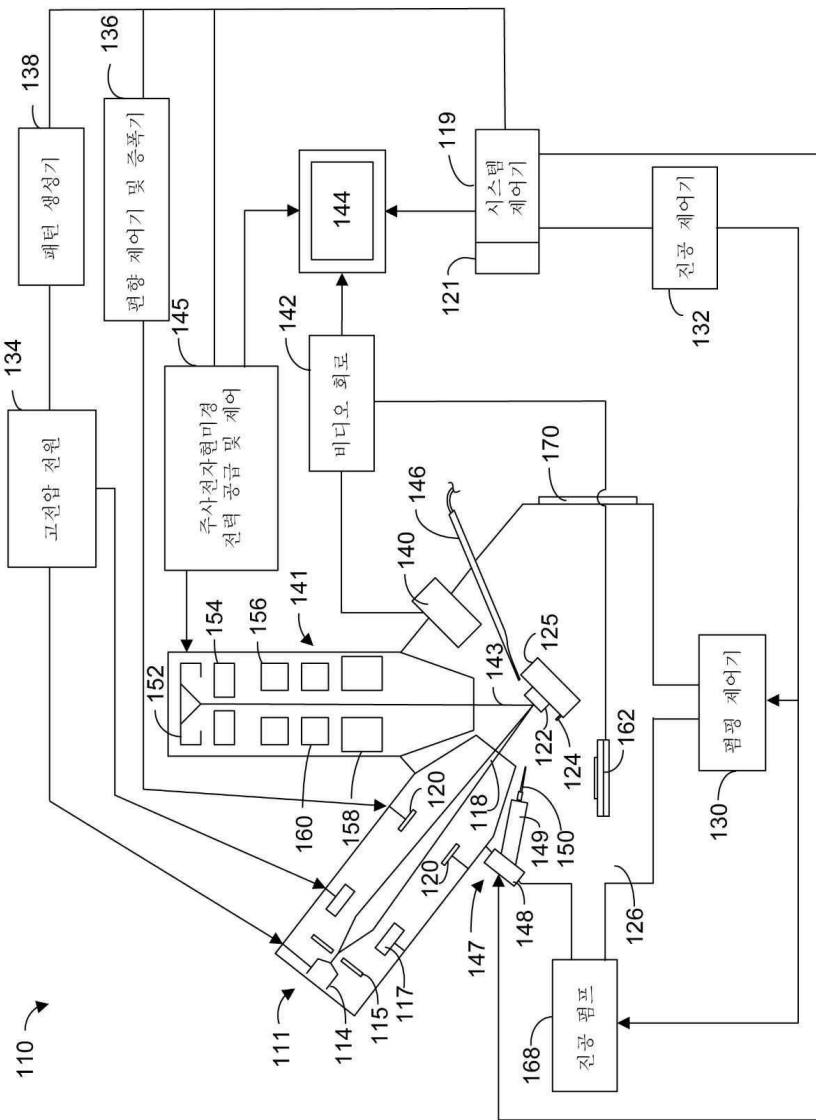
미지에 기반하여 예칭된 ROI가 평편하지 않다고 결정하는 단계를 포함한다. 방법의 제6 실시예는 제1 내지 제5 실시예 중 하나 이상을 선택적으로 포함하고, 더 포함하며, 샘플 이미지에 기반하여 디바이스 층이 ROI에 노출되지 않음을 결정하는 단계는 ROI에 노출된 디바이스 층의 면적과 ROI 면적 간의 비율이 임계 비율보다 크지 않다고 결정하는 단계를 포함한다. 방법의 제7 실시예는 선택적으로 제1 내지 제6 실시예 중 하나 이상을 포함하고, 더 포함하며, 전자 빔으로 ROI를 스캔하는 단계는 ROI를 탄소로 증착하거나 도핑하기 위해 전자 빔으로 ROI를 스캔하는 단계를 포함한다. 방법의 제8 실시예는 선택적으로 제1 내지 제7 실시예 중 하나 이상을 포함하고, 더 포함하며, 샘플 표면을 향해 제1 가스를 유동시키는 단계는 미리 결정된 제1, 미리 결정된, 지속 시간 동안 제1 가스를 유동시키는 단계를 포함한다. 방법의 제9 실시예는 선택적으로 제1 내지 제8 실시예 중 하나 이상을 포함하고, 더 포함하며, 기관 층의 일 부분을 제거하는 단계는 샘플 표면을 예칭하기 위해 제2 지속 시간 동안 샘플 표면을 향해 제2 가스를 유동시키는 단계를 포함하며, 제2 지속 시간은 제1 지속 시간보다 더 길다. 방법의 제10 실시예는 선택적으로 제1 내지 제9 실시예 중 하나 이상을 포함하고, 더 포함하며, 기관 층의 일 부분을 제거하는 단계는 집속 이온 빔으로 기관 층을 밀링하는 단계를 포함한다.

[0057] 일 실시형태에서, 하전 입자 빔을 사용하여 평면도 라멜라를 준비하기 위한 방법은 집속 이온 빔을 사용하여 피 가공물로부터 샘플을 추출하는 단계로서, 샘플은 적어도 디바이스 층과 기관 층을 포함하는, 상기 샘플을 추출하는 단계; 샘플 표면을 얻기 위해 샘플의 후면으로부터 기관 층의 일 부분을 제거하는 단계; 및 디바이스 층이 ROI 내에 노출될 때까지 번갈아 전자 빔으로 샘플 표면에 대한 관심 영역 (ROI)을 스캔하고 스캔된 ROI를 향해 가스를 유동시키는 단계를 포함하며, 스캔된 ROI가 가스에 의해서 자발적으로 예칭된다. 방법의 제1 실시예에서, 상기 방법은, ROI에 노출된 디바이스 층의 면적과 ROI의 면적 사이의 비율이 임계 비율보다 큰 경우, 디바이스 층이 ROI 내에 노출된다고 결정하는 단계를 더 포함한다. 방법의 제2 실시예는 선택적으로 제1 실시예를 포함하고, 추가로 포함하며, 샘플은 다수의 디바이스 층을 포함하고, 노출된 디바이스 층은 다수의 디바이스 층의 최종 디바이스 층이고; 방법은 최종 디바이스 층이 ROI 내에 노출된 후 샘플의 후면으로부터 다수의 디바이스 층 중 적어도 하나의 디바이스 층을 제거하는 단계를 더 포함한다. 방법의 제3 실시예는 선택적으로 제1 및 제2 실시예 중 하나 이상을 포함하고, 디바이스 층이 노출된 샘플에 기반하여 평면도 라멜라를 형성하는 단계; 및 투과 전자 현미경으로 평면도 라멜라를 이미징하는 단계를 더 포함한다. 방법의 제4 실시예는 선택적으로 제1 내지 제3 실시예 중 하나 이상을 포함하고, 샘플의 전면(후면과 반대쪽)으로부터 다수의 디바이스 층 중 적어도 하나의 디바이스 층을 제거하는 단계를 더 포함한다.

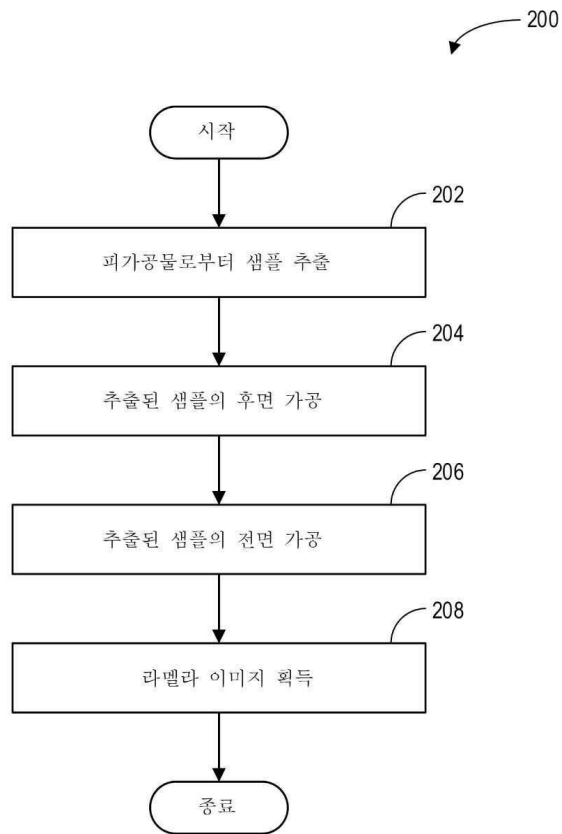
[0058] 일 실시형태에서, 적어도 기관 층 및 디바이스 층을 포함하는 샘플을 처리하기 위한 시스템은 집속 이온 빔을 형성하기 위한 제1 컬럼; 전자 빔을 형성하기 위한 제2 컬럼; 제1 컬럼 및 제2 컬럼 모두와 결합된 하부 챔버; 하부 챔버에 결합된 가스 공급 시스템; 및 제어기를 포함하며, 비일시적 메모리에 저장된 명령어를 사용하여, 제어기는 샘플 표면을 얻기 위해 기관 층의 일 부분을 제거하고; 전자 빔으로 샘플 표면에 대한 관심 영역 (ROI)을 스캔하고; 스캔된 ROI를 자발적으로 예칭하기 위해 가스 공급 시스템을 통해 ROI를 향해 가스를 유동시키고; 디바이스 층이 ROI에 노출되지 않은 점에 반응하여 전자 빔으로, 예칭된 ROI를 스캔하도록 구성된다. 시스템의 제1 실시예에서, 시스템은 샘플 표면을 얻기 위해 기관 층의 일 부분을 제거하기 전에 집속 이온 빔을 사용하여 워크 피스로부터 샘플을 추가로 절단하라는 명령어를 더 포함한다. 시스템의 제2 실시예는 선택적으로 제1 실시예를 포함하고, 추가로 포함하며, 샘플은 다수의 디바이스 층을 포함하고, 디바이스 층은 기관 층에 인접된 최종 디바이스 층이고, 제어기는 ROI의 최종 디바이스 층이 노출된 후 예칭 보조 가스의 존재 하에 집속 이온 빔으로 하나 이상의 디바이스 층을 제거하도록 추가로 구성된다. 시스템의 제3 실시예는 선택적으로 제1 및 제2 실시예 중 하나 이상을 포함하고, 추가로 포함하며, 제어기는 예칭된 ROI를 전자 빔으로 스캔한 후 스캔된 ROI를 향해 가스를 유동시키도록 추가로 구성된다.

도면

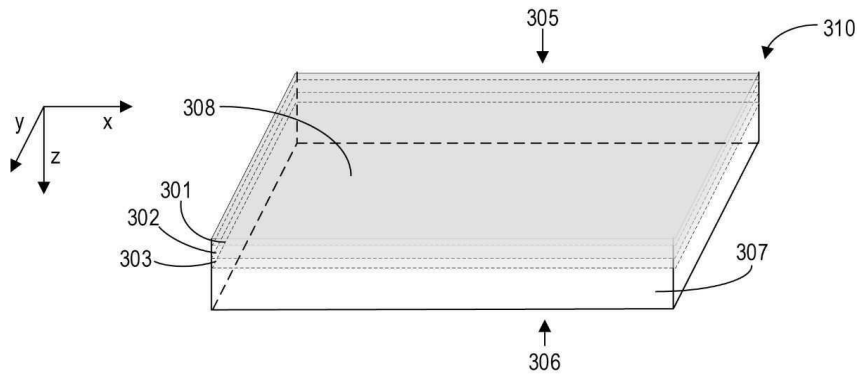
도면1



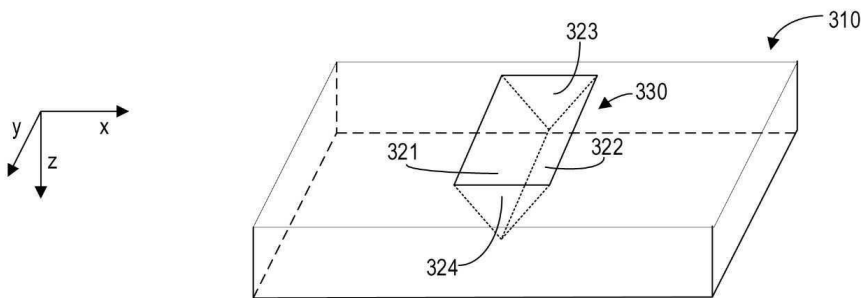
도면2



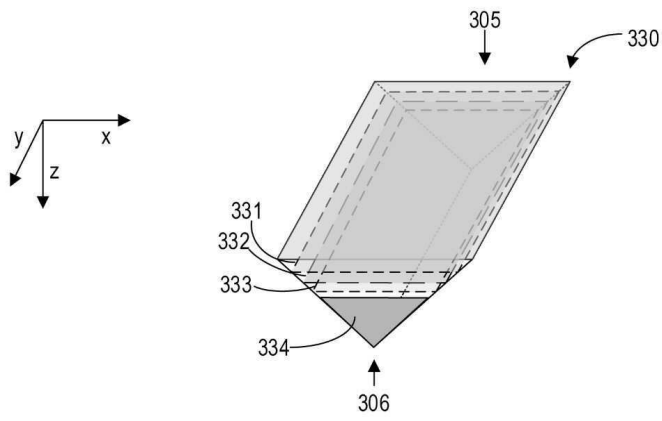
도면3a



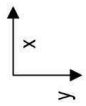
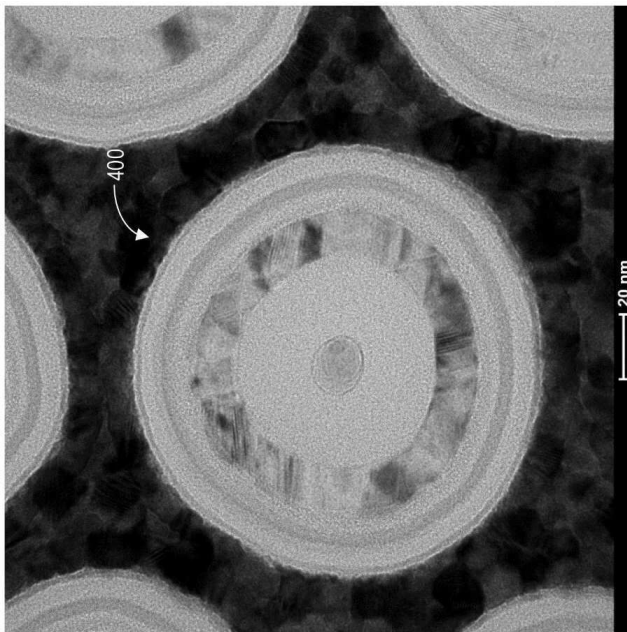
도면3b



도면3c

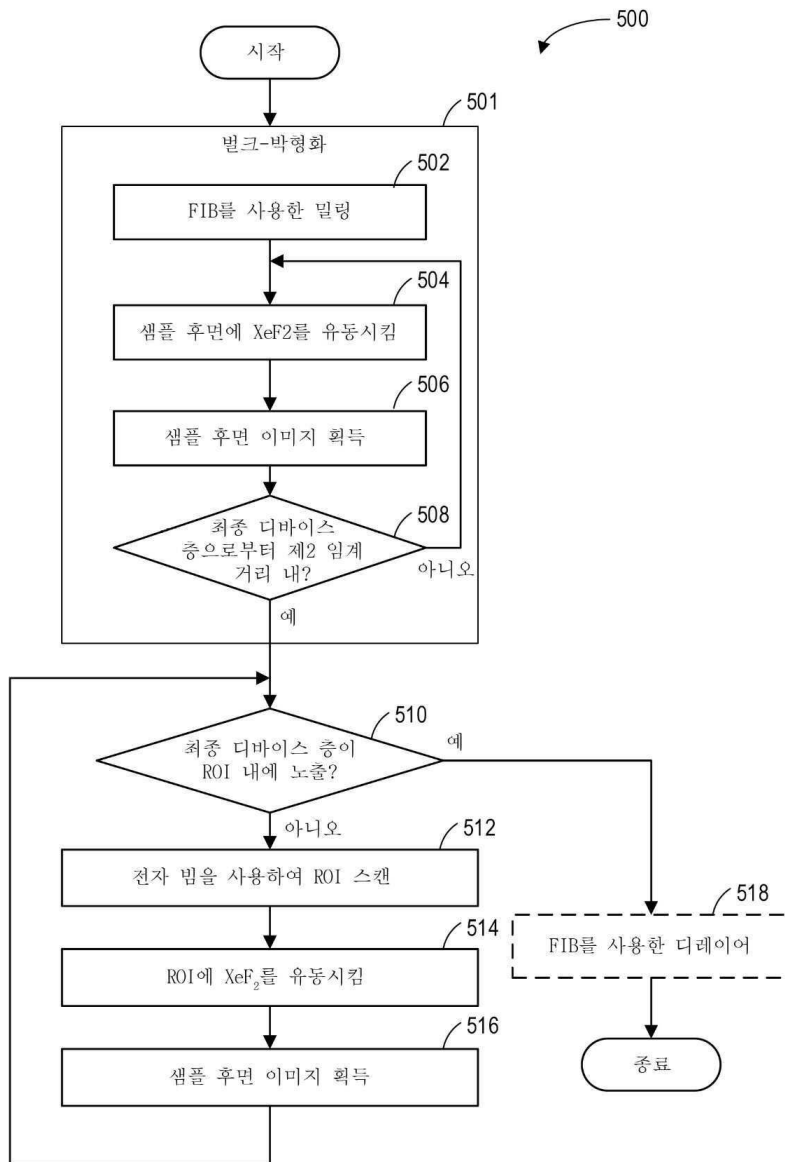


도면4

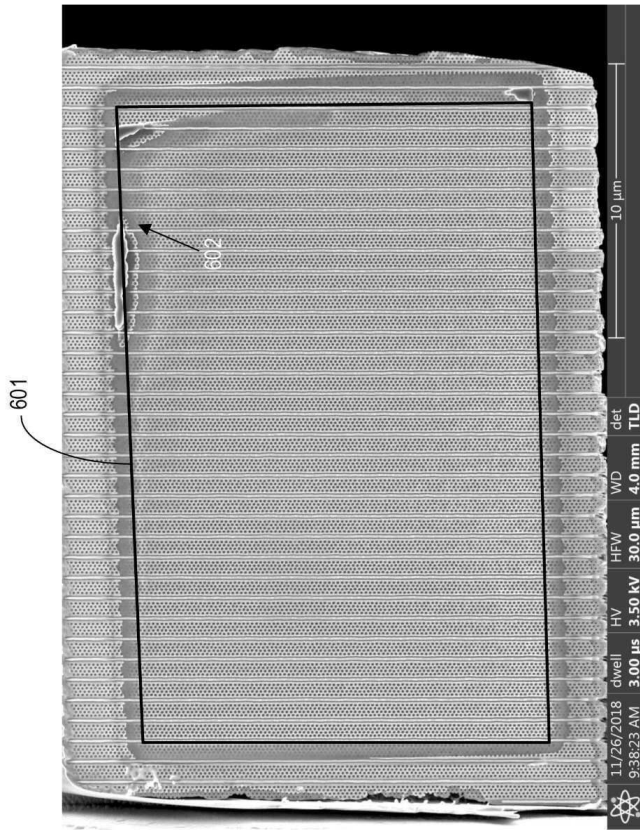




도면5



도면6



도면7

