



(12) 发明专利申请

(10) 申请公布号 CN 103369441 A

(43) 申请公布日 2013. 10. 23

(21) 申请号 201310099965. 6

(22) 申请日 2013. 03. 26

(30) 优先权数据

13/439, 729 2012. 04. 04 US

(71) 申请人 英飞凌科技股份有限公司

地址 德国瑙伊比贝尔格市

(72) 发明人 阿尔方斯·德赫

克里斯蒂安·赫聚姆 马丁·乌策

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 李静 张云肖

(51) Int. Cl.

H04R 19/04 (2006. 01)

B81B 7/00 (2006. 01)

B81C 1/00 (2006. 01)

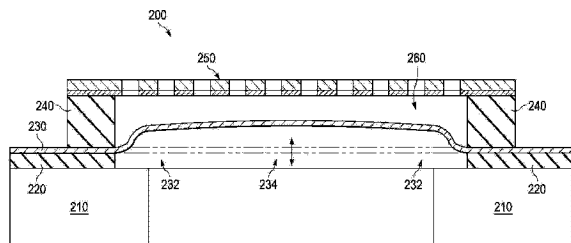
权利要求书2页 说明书9页 附图16页

(54) 发明名称

半导体装置、MEMS 结构和制作 MEMS 装置的电极的方法

(57) 摘要

本发明公开了半导体装置、MEMS 结构和制作 MEMS 装置的电极的方法。在一个实施例中，半导体装置包括衬底、可动电极和反电极，其中，可动电极和反电极机械连接至衬底。可动电极被配置为使可动薄膜的内区刚性。



1. 一种半导体装置,包括:
衬底;
可动电极,所述可动电极包括波纹线,所述波纹线被配置为使所述可动电极的内区刚性;以及
第一反电极,其中,所述可动电极和所述第一反电极机械连接至所述衬底。
2. 根据权利要求1所述的半导体装置,其中,所述波纹线包括多条径向波纹线。
3. 根据权利要求1所述的半导体装置,其中,所述可动电极进一步包括至少一条周向波纹线。
4. 根据权利要求3所述的半导体装置,其中,所述径向波纹线位于所述可动电极的内区中,并且其中,所述周向波纹线位于所述可动电极的外区中。
5. 根据权利要求1所述的半导体装置,其中,所述可动电极和所述第一反电极中的至少一个包括多个电极。
6. 根据权利要求1所述的半导体装置,进一步包括第二反电极,所述第二反电极布置为使得所述可动电极位于所述第一反电极和所述第二反电极之间。
7. 根据权利要求6所述的半导体装置,其中,所述第一反电极包括第一波纹线,并且其中,所述第二反电极包括第二波纹线。
8. 一种 MEMS 结构,包括:
衬底;
可动电极,所述可动电极包括位于内区中的径向波纹线和位于外区中的圆形波纹线;
以及
第一穿孔反电极,所述第一穿孔反电极包括第一背脊,其中,所述可动电极和所述第一穿孔反电极机械连接至所述衬底。
9. 根据权利要求8所述的 MEMS 结构,其中,所述可动电极布置在所述第一穿孔反电极下面且更靠近所述衬底。
10. 根据权利要求8所述的 MEMS 结构,其中,所述第一穿孔反电极布置在所述可动电极下面且更靠近所述衬底。
11. 根据权利要求8所述的 MEMS 结构,进一步包括第二穿孔反电极,所述第二穿孔反电极包括第二背脊,其中,所述可动电极布置在所述第一穿孔反电极和所述第二穿孔反电极之间。
12. 根据权利要求8所述的 MEMS 结构,其中,所述第一穿孔反电极包括第一反电极和第二反电极,其中,所述第一反电极与所述可动电极的内区互相对准,并且其中,所述第二反电极与所述可动电极的外区互相对准。
13. 根据权利要求12所述的 MEMS 结构,其中,所述可动电极包括第一可动电极和第二可动电极,其中,所述内区包括所述第一电极,并且其中,所述外区包括所述第二电极。
14. 根据权利要求8所述的 MEMS 结构,其中,所述可动电极具有一半径,其中,所述内区的内部面积由所述半径的约 80% 限定,并且其中,所述外区的外部面积由所述半径的约 20% 限定。
15. 一种制作 MEMS 装置的电极的方法,所述方法包括:
在掩模层中形成径向开口,所述掩模层布置在第一牺牲层上方,所述径向开口暴露所

述第一牺牲层的表面部分,所述径向开口远离所述第一牺牲层的中心点;

在暴露的表面部分处形成绝缘区;

在所述第一牺牲层上方形成第二牺牲层;

在所述第二牺牲层上方形成导电层;

移除所述第一牺牲层的第一部分而形成第一间隔件;以及

移除所述第二牺牲层的第二部分而形成第二间隔件。

16. 根据权利要求 15 所述的方法,其中,形成绝缘区包括将暴露的表面部分氧化或氮化。

17. 根据权利要求 15 所述的方法,进一步包括在形成所述第二牺牲层之前移除所述掩模层和所述绝缘区。

18. 根据权利要求 17 所述的方法,其中,所述开口位于所述第一牺牲层的内区中。

19. 根据权利要求 15 所述的方法,其中,所述开口位于所述第一牺牲层的外区中和所述第一牺牲层的内区中,并且其中,所述开口都具有基本相同的宽度。

20. 一种制作 MEMS 装置的电极的方法,所述方法包括:

在第一牺牲层中形成沟槽,每个沟槽都具有基本相同的深度;

形成衬在所述第一牺牲层的顶面、所述沟槽的侧壁和底面上的第二牺牲层;

在所述第二牺牲层的顶面上方形成导电材料层并填充所述沟槽;

移除所述第一牺牲层的第一部分而形成第一间隔件;以及

移除所述第二牺牲层的第二部分而形成第二间隔件,由此暴露所述导电材料层。

21. 根据权利要求 20 所述的方法,其中,形成所述导电材料层包括形成鳍线,并且其中,两条平行鳍线经由连接鳍线连接。

22. 根据权利要求 20 所述的方法,其中,形成所述导电材料层包括形成鳍线,并且其中,所述鳍线形成蜂窝构造。

23. 一种制作 MEMS 装置的电极的方法,所述方法包括:

在衬底上方形成的第一牺牲层;

在所述第一牺牲层中形成台面;

在所述台面上方形成第二牺牲层;

在所述第二牺牲层和所述台面上方形成导电层;

移除所述衬底的第一部分而形成第一间隔件;

移除所述第二牺牲层的第二部分而形成第二间隔件;以及

移除所述台面。

24. 根据权利要求 23 所述的方法,其中,所述台面是远离所述衬底的中心点的径向台面。

25. 根据权利要求 24 所述的方法,进一步包括周向台面,其中,所述径向台面位于所述衬底的内区上,并且其中,所述周向台面位于所述衬底的外区上。

半导体装置、MEMS 结构和制作 MEMS 装置的电极的方法

技术领域

[0001] 本发明一般涉及 MEMS 装置和制作 MEMS 装置的方法。

背景技术

[0002] MEMS (微机电系统) 话筒包括布置在硅芯片中的压敏隔膜。MEMS 话筒有时与前置放大器一起集成在单个芯片上。MEMS 话筒还可包括使其成为数字 MEMS 话筒的模数转换器 (ADC) 电路。

发明内容

[0003] 根据本发明的实施例, 半导体装置包括衬底、可动电极和反电极, 其中, 可动电极和反电极机械连接至衬底。可动电极被配置为使可动薄膜的内区为刚性。

[0004] 根据本发明的实施例, MEMS 结构包括衬底、可动电极和第一多孔反电极, 其中, 可动电极和第一多孔反电极机械连接至衬底。可动电极包括位于内区中的径向波纹线 (corrugation line) 和位于外区中的周向波纹线。第一多孔反电极包括第一背脊。

[0005] 根据本发明的实施例, 制作 MEMS 装置的电极的方法包括: 在掩模层中形成径向开口, 该掩模层布置在第一牺牲层上方, 径向开口暴露第一牺牲层的表面部分, 径向开口远离第一牺牲层的中心点; 在暴露的表面部分形成绝缘区; 以及第一牺牲层上方形成第二牺牲层。该方法进一步包括: 在第二牺牲层上方形成导电层、移除第一牺牲层的第一部分而形成第一间隔件、以及移除第二牺牲层的第二部分而形成第二间隔件。

[0006] 根据本发明的实施例, 制作 MEMS 装置的电极的方法包括: 在第一牺牲层中形成沟槽, 每个沟槽具有基本相同的深度; 形成衬在第一牺牲层的顶面、沟槽的侧壁和底面的第二牺牲层; 以及在第二牺牲层的顶面上方形成导电材料层并填充沟槽。该方法进一步包括: 移除第一牺牲层的第一部分而形成第一间隔件; 以及移除第二牺牲层的第二部分而形成第二间隔件, 由此暴露导电材料层。

附图说明

[0007] 为更完整地理解本发明及其优点, 现在参考结合附图进行的以下描述, 附图中:

[0008] 图 1 示出传统 MEMS 装置的剖面图;

[0009] 图 2 示出 MEMS 装置的实施例的剖面图;

[0010] 图 3a 示出薄膜的实施例的顶视图;

[0011] 图 3b 示出薄膜的剖面图;

[0012] 图 3c 示出具有第一和第二电极的薄膜的实施例的顶视图;

[0013] 图 4a 示出背板的实施例的顶视图;

[0014] 图 4b 示出背板的剖面图;

[0015] 图 4c 示出具有第一和第二电极的背板的实施例的顶视图;

[0016] 图 5a-5g 示出在薄膜中制造平滑凹槽线的方法的实施例;

- [0017] 图 6a-6g 示出在薄膜中制造尖锐凹槽线的方法的实施例；
- [0018] 图 7a-7g 示出在薄膜中制造尖锐凹槽线的方法的实施例；
- [0019] 图 8a-8e 示出在背板中制作背脊线的方法的实施例；
- [0020] 图 9 示出 MEMS 结构的实施例的透视图；
- [0021] 图 10a-10f 示出具有带背脊的背板的 MEMS 结构的实施例的剖面图；以及
- [0022] 图 11a-11b 示出薄膜的另一实施例的顶视图和剖面图。

具体实施方式

[0023] 在下面详细讨论本优选实施例的制作和使用。然而，应认识到，本发明提供可以在广泛的各种具体背景下实施的多种可应用的发明概念。讨论的具体实施例仅是制作和使用本发明的具体方式的说明，而不限制本发明的保护范围。

[0024] 参考实施例在具体背景(即，传感器或话筒)下描述本发明。然而，本发明也可以应用于其他 MEMS 结构，诸如 RF MEMS、加速计和致动器。

[0025] 图 1 示出传统的 MEMS 装置。薄膜 130 和背板 150 之间的距离并因此机械灵敏度由机械约束给出，并且在 MEMS 结构的制造工艺结束之后不能改变。薄膜 130 和背板 150 沿支撑结构(薄膜 130 和背板 150 沿间隔件的重叠)形成静态电容。为减小静态电容，薄膜 130 和背板 150 可以仅部分重叠。由于薄膜 130 在剖面上均匀地弯曲，因此薄膜 130 的不同部段对于待测量的总电容改变提供了不同的电容改变影响(图 1 中的电容的不同大小)。

[0026] 传统话筒的问题是带有最大电容改变影响(最大灵敏度影响量)的部段相对较小，而带有最小电容改变影响(最小灵敏度影响量)的部段相对较大。

[0027] 因此，在本领域中需要这样的 MEMS 结构，其中带有最大电容改变影响的部段很大，而带有最小电容改变影响的部段很小。

[0028] 本发明的实施例提供包括刚性内区和柔性外区的可动电极。本发明的实施例提供带有至少一条波纹线的可动电极，该至少一条波纹线被配置为在可动电极的内区中提供刚性。本发明的进一步实施例提供带有至少一条波纹线的可动电极，该至少一条波纹线被配置为在可动电极的外区中提供柔性。在一个实施例中，可动电极包括位于内区中的径向波纹线和位于外区中的周向波纹线。

[0029] 本发明的实施例提供在偏斜(deflect)时基本平行于反电极的可动电极的内区。进一步实施例在 MEMS 装置中提供薄膜的活塞型运动。

[0030] 优点是内区中的波纹线使可动电极为刚性而抵抗弯曲，而外区中的波纹线使可动电极为柔性。这样的布置的另一优点是刚性的内区相对于柔性的外区较大。刚性的内区提供大的电容改变分量。

[0031] 另一优点是可动电极的径向波纹线和周向波纹线可以在单个工艺中形成。再一优点是 MEMS 装置的电容改变/灵敏度可以增加。

[0032] 图 2 示出 MEMS 结构或装置 200 的剖面图。MEMS 装置 200 包括隔膜、薄膜或可动电极 230，背板或反电极 250，以及介于薄膜 230 和背板 250 之间的气隙 260。薄膜或可动电极 230 被配置为相对于背板或固定的反电极 250 移动或偏斜。这种偏斜导致薄膜 230 和背板 260 之间的可以测量的电容改变。

[0033] 薄膜 230 和背板 260 沿它们的周边机械连接至衬底 210。薄膜 230 经由第一间隔

件 220 连接到衬底。可替换地,在没有第一间隔件 220 的情况下,薄膜 230 可以布置在衬底 210 的主平面上。第二间隔件 240 在薄膜 230 和背板 260 之间沿它们的周边布置。薄膜 230 和背板 260 可以是圆形的或方形的。可替换地,薄膜 230 和背板 260 可以包括任何几何上合适的形式。可以在 MEMS 结构 200 和板衬底之间布置后部体积,其中,板衬底可以包括印刷电路板(PCB)。

[0034] 衬底 210 可以包括块状单晶硅衬底(或在其上生长或以其他形式在其中形成的层)、在 {100} 硅晶圆上的一层 {110} 硅、一层绝缘体上硅(SOI)晶圆或一层绝缘体上锗(GeOI)晶圆。在各种实施例中,衬底 210 可以包括覆盖式外延层(blanket epitaxial layers)。衬底 210 可以是硅晶圆、锗晶圆或化合物半导体衬底(包括铋化铟、砷化铟、磷化铟、氮化镓、砷化镓、铋化镓、碲化铅、硅锗、碳化硅或它们的组合、或者甚至玻璃)。

[0035] 半导体衬底 210 可以包括有源部件,诸如晶体管、二极管、电容器、放大器、滤波器或其他电气装置,或者集成电路(IC)。MEMS 结构 200 可以是独立装置或可以与 IC 一起集成到单个芯片中。

[0036] 第一间隔件 220 和第二间隔件 240 可以包括介电或绝缘材料(诸如二氧化硅、氮化硅)、高 k 电介质(诸如氮氧化硅)或其组合。

[0037] 薄膜 230 和背板 260 可以包含导电材料,诸如多晶硅、掺杂多晶硅、金属或其组合,或者与介电层(诸如氮化硅、氮氧化硅、氧化物)或聚合物层的组合。背板 250 可以穿透,从而减小阻尼效应。

[0038] 本发明的实施例提供在外区 232 中更柔性且在内区 234 中更刚性的薄膜 230。薄膜 230 可以包括位于内区 234 中的波纹线和 / 或位于外区 232 中的波纹线。例如,薄膜 230 在内区 234 中包括径向波纹线,并且在外区 232 中包括周向波纹线。内部波纹线使得薄膜 230 在内区 234 中更刚性,而外部波纹线使得薄膜 230 在外区 232 中柔刚性。

[0039] 现在参考图 3a,其示出圆形薄膜 230 的实施例的顶视图。波纹线可以在与薄膜 230 的主平面不同的水平面中具有顶部或底部。波纹线 236、238 可以是凹槽线、凹痕线、通道或凹进线。波纹线 236 可以是单条波纹线。

[0040] 薄膜 230 可以包括单条内部波纹线 236 或多条内部波纹线 236。内部波纹线 236 可以是径向波纹线。在一个例子中,多条内部波纹线 236 可以包括星状构造。可替换地,多条内部波纹线 236 可以具有任何构造。

[0041] 薄膜 230 可以进一步包括位于外区 232 中的外部波纹线或多条外部波纹线 238。外区 232 中的外部波纹线 238 对于内区 234 可以是周向的。例如,外部波纹线可以是多边形的、矩形的或圆形的。外部波纹线 238 可以包括与内部波纹线 236 相同的材料和相同的宽度,但包括不同的长度。内区 234 可以包括从薄膜 230 的中心到薄膜 230 的边缘的约 80% 的径向距离的区域,并且外区 232 可以包括从薄膜 230 的中心到薄膜 230 的边缘的约 20% 的径向距离的区域。

[0042] 图 3b 示出沿线 A-A 的薄膜的剖面图。波纹线 236、238 用于不同的目的。内部波纹线 236 被配置为使得薄膜 230 刚性,而外部波纹线 238 被配置为使得薄膜 230 柔性。在一个实施例中,内部波纹线 236 布置在与外部波纹线 238 不同的方向上。例如,内部波纹线 236 包括与外部波纹线 238 基本正交的方向。

[0043] 图 3c 示出薄膜 230 的另一实施例的顶视图。薄膜 230 可以包括多个电极。例如,

薄膜 230 包括经绝缘区 237 相互电绝缘的第一电极 231 和第二电极 233。薄膜 230 的内区 234 可以包括第二电极 233, 并且薄膜 230 的外区 232 可以包括第一电极 231。包括第二电极 233 的内区 234 可以因波纹线 236 而刚性。

[0044] 图 4a 示出圆形背板 250 的实施例的顶视图。可替换地, 背板 250 可以包括矩形背板或具有任何其他合适的几何形式的背板。背板 250 可以包括单条波纹线或多条波纹线 256。波纹线 256 可以在与背板 250 的主平面不同的水平面中具有顶部或底部。波纹线 256 可以是凹槽、凹痕线、通道或凹进线。波纹线 256 可以是单条波纹线。可替换地, 波纹线 256 可以是背脊或鳍片。

[0045] 背板 250 可以包括单条径向波纹线或多条径向波纹线 256。波纹线 256 可以包括径向构造或平行构造。例如, 多条径向波纹线可以包括星状构造。波纹线 256 可以相互连接。例如, 两条邻近的波纹线 256 可以经由交叉波纹线 256 而连接。在一个实施例中, 波纹线 256 形成蜂窝构造。

[0046] 图 4b 示出沿线 B-B 的背板的剖面图。背板 250 布置成使得波纹线 256 背向衬底 210。可替换地, 背板 250 布置成使得波纹线 256 面向衬底 210。根据实施例, 薄膜 230 (未示出) 可以布置在衬底 210 和背板 250 之间, 或者背板 250 可以布置在薄膜和衬底 210 之间。

[0047] 图 4c 示出背板 250 的实施例的顶视图。背板 250 可以包括多个电极。例如, 背板 250 包括由绝缘区 257 相互电绝缘的第一电极 251 和第二电极 253。第一电极 251 可以包括波纹线和 / 或第二电极 253 可以包括波纹线。

[0048] 薄膜 230 的多个电极和背板 250 的多个电极可以面对面地 (vis-à-vis) 相互对齐。例如, 薄膜 230 的第一电极 231 和背板 250 的第一电极 251 基本对齐, 并且薄膜 230 的第二电极 232 和背板 250 的第二电极 252 基本对齐。

[0049] 图 5a-5g 示出在薄膜或可动电极中制作平滑波纹线的实施例。通过在第一牺牲层 500 中形成绝缘区 520 来形成平滑波纹线。绝缘区 520 可以具有任何图案。例如, 绝缘区 520 可以在内区中远离薄膜的中心点径向延伸。此外, 绝缘区 520 在薄膜的外区中可以是周向的。

[0050] 图 5a 示出在第一牺牲层 500 上方形成的掩模层 510。第一牺牲层 500 可以是关于图 2 所描述的衬底, 或者绝缘材料 (诸如氧化物或氮化物)。在各种实施例中, 掩模层 510 包括绝缘层。掩模层 510 可以是氮化物 (诸如氮化硅)、氧化物 (诸如氧化硅) 或其组合。掩模层 510 可以通过热氧化或氮化来形成, 或通过使用气相沉积工艺 (诸如化学气相沉积或等离子气相沉积) 来形成。掩模层 510 可以具有与第一牺牲层 500 不同的蚀刻性质。

[0051] 在可替换实施例中, 掩模层 510 包括衬垫氧化层、在衬垫氧化层上方的多晶硅层或非晶硅层、以及在多晶硅层上方的氮化硅层。

[0052] 将掩模层 510 图案化, 以便形成局部绝缘区的区域, 如在下面进一步描述的, 这些区域形成用于薄膜的波纹线的图案 (530)。例如通过在掩模层 510 上方沉积一层光敏材料 (未示出) (诸如光抗蚀剂) 来将掩模层 510 图案化。局部绝缘区可以是氧化物区或氮化物区。

[0053] 如接下来在图 5b 中所示出的, 执行局部绝缘, 从而形成绝缘区 520。如在下面进一步描述的, 绝缘区 520 限定用于薄膜中的波纹线的结构。例如, 利用热氧化工艺使第一牺牲

层 500 的暴露的顶面部分氧化,从而形成氧化区 520。掩模层 510 阻止下面的牺牲层 500 的氧化。因此,氧化局部地进行。在一个或多个实施例中,掩模层 510 保护牺牲层 500 的其他区域(例如其他装置区)不受氧化,同时在牺牲层 500 的暴露部分中形成厚的局部氧化物。

[0054] 在可替换实施例中,可以在形成掩模层 510 之前在牺牲层 500 上方沉积平滑层。平滑层可以形成为牺牲层 500 上方的覆盖层,或可替换地,仅形成在正在制造的 MEMS 装置的区域中。在一个实施例中,平滑层可以是多晶硅层,并且由于氧化工艺期间改善的应力松弛,因此可以导致更平滑的拐角。

[0055] 类似地,在可替换实施例中,在暴露于氧化工艺之前可以利用各向异性或各向同性蚀刻来蚀刻牺牲层 500。这可以允许形成在掩模层 510 下面的氧化区 520 的横向轮廓的裁制。

[0056] 然后移除掩模层 510,如图 5c 中所示。因为氧化工艺的性质,所以氧化区 520 的一部分突出于牺牲层 500 的顶面之上。进一步地,因为氧化工艺,所以氧化区 520 具有平滑的分界面(硅/氧化物边界)。不同于沉积工艺,氧化是涉及高温和相对较慢的氧化速率的扩散-反应工艺,这在牺牲层 500 和氧化区 520 之间导致没有尖锐边缘的分界面。在一些实施例中,可以执行进一步的平滑化,例如通过利用另外的退火(诸如在氢气环境中)来执行。氢气退火可以使氧化区 520 特别是在拐角周围进一步平滑化,并且导致如图 5c 中所示的平滑轮廓。

[0057] 可选地,在一个实施例中,可以移除绝缘区 520 中的绝缘材料。绝缘区 520 中的绝缘材料可以与掩模层 510 一起移除,或者可以在单独的蚀刻工艺 530 中移除。

[0058] 接下来参考图 5d,在第一牺牲层 500 上方沉积第二牺牲层 540。在一个实施例中,第二牺牲层 540 是氧化物(诸如氧化硅)或者氮化物(诸如氮化硅)。可替换地,第二牺牲层 540 是 TEOS 或氮氧化硅。在各种实施例中,可以利用气相沉积工艺(诸如化学气相沉积或等离子气相沉积)来沉积第二牺牲层 540。

[0059] 接下来,如图 5e 中所示,可以在第二牺牲层 540 上方沉积导电层。导电层可以是多晶硅、掺杂多晶硅或金属。

[0060] 在下个步骤中,部分地移除第一牺牲层 500,从而形成第一间隔件 505 和开口 560。在部分地移除第一牺牲层 500 之前,可以在导电层 550 上形成保护层。保护层可以包含氮化硅或氧化硅。第一牺牲层 500 的部分移除可以用背面蚀刻工艺来执行。蚀刻第一牺牲层 500,直到暴露第二牺牲层 540 和绝缘区 520。

[0061] 在实施例中,可以利用 Bosch 工艺蚀刻第一牺牲层 500,或者通过沉积硬质掩模层并利用垂直反应离子蚀刻来蚀刻第一牺牲层 500。在一个实施例中,仅使用抗蚀剂掩模。如果抗蚀剂预算不足,那么可以使用硬质掩模和垂直反应离子蚀刻来实现平滑的侧壁。然而,这种综合方案需要移除剩余的硬质掩模残留物。因此,在一些实施例中,在没有另外的硬质掩模的情况下,可以使用 Bosch 工艺。

[0062] 在 Bosch 工艺中,各向同性等离子蚀刻步骤和钝化层沉积步骤交替。蚀刻/沉积步骤在 Bosch 工艺期间重复多次。等离子蚀刻被配置为垂直地蚀刻,例如在等离子中使用六氟化硫 [SF₆]。利用例如八氟环丁烷作为源气体来沉积钝化层。每个单独步骤可以启动几秒或更少的时间。钝化层保护牺牲层 500 并防止进一步的蚀刻。然而,在等离子蚀刻阶段期间,轰击衬底的方向性离子在沟槽的底部(但不沿着侧面)移除钝化层并且蚀刻继续。

Bosch 工艺在第二牺牲层 540 和可选的绝缘区 520 暴露时停止。Bosch 工艺可以产生圆齿状 (scalloped) 侧壁。

[0063] 最终,在图 5g 中,部分地移除第二牺牲层 540(570),从而形成第二间隔件 545。在图 5g 中,可以利用例如湿蚀刻化学工艺将第二牺牲层 540 与可选的保护层一起移除。在导电层 550 暴露之后停止湿蚀刻。

[0064] 该工艺的优点是可以同时在薄膜的外区和内区中制造波纹线。第一牺牲层 500 可以利用掩模层 510 被图案化,使得薄膜的内区包括径向波纹线,并且薄膜的外区包括周向波纹线。

[0065] 该工艺还可以用来形成背板或反电极。在该实施例中,径向波纹线可以形成在整个背板上,并且可以不形成周向波纹线。

[0066] 图 6a-6g 示出在薄膜或可动电极中制作尖锐波纹线的实施例。尖锐波纹线通过在第一牺牲层 600 中蚀刻凹部 620 来形成。凹部 620 可以具有任何图案。例如,凹部可以径向远离薄膜的中心点延伸,从而形成在内区中。进一步地,凹部在薄膜的外区中可以是周向的。图 6a 示出形成在第一牺牲层 600 上方的掩模层 610。该工艺中涉及的材料可以类似于在图 5a-5e 中示出的实施例中使用的材料。掩模层 610 可以具有不同于第一牺牲层 600 的蚀刻性质。

[0067] 如接下来图 6b 中所示,在第一牺牲层 610 中蚀刻凹部或沟槽 620。凹部 620 可以被构造为限定薄膜的波纹线。可替换地,凹部 620 之外的区域可以被构造为形成波纹线。通过应用各向异性蚀刻(诸如用 SF₆ 气体的 RIE)和连续聚合来蚀刻凹部。

[0068] 然后移除掩模层 610(630),如图 6c 中所示,并且在第一牺牲层 600 上方沉积第二牺牲层 640,如图 6d 中所示。第二牺牲层 640 覆盖第一牺牲层 600 的顶面、凹部 620 的侧壁以及凹部 620 的底面。接下来,如图 6e 中所示,可以沉积导电层 650。导电层 650 覆盖第二牺牲层 640 的顶面并完全填充凹部 620。

[0069] 在下个步骤中,部分地移除第一牺牲层 600,从而形成第一间隔件 605 和开口 660。如关于图 5f 所讨论的,利用 Bosch 工艺部分地移除第一牺牲层 600。最终,部分地移除第二牺牲层 640,从而形成第二间隔件 645。第二牺牲层 640 的部分移除暴露导电层或薄膜以及其中的波纹线 655。

[0070] 该工艺的优点是可以同时在薄膜的外区和内区中制造波纹线。第一牺牲材料 600 可以利用掩模层 610 被图案化,从而薄膜的内区包括径向波纹线,并且薄膜的外区包括周向波纹线。

[0071] 该工艺还可以用来形成背板或反电极。在该实施例中,径向波纹线可以形成在整个背板上,并且可以不形成周向波纹线。

[0072] 图 7a-7g 示出在薄膜或可动电极 740 中制作尖锐波纹线的另一实施例。尖锐波纹线通过在第一牺牲层 700 中形成台面或鳍片 720 来形成。图 7a 示出形成在衬底 700 上方的第一牺牲层 710。第一牺牲层 710 可以是氧化物或氮化物,诸如氧化硅或氮化硅,第一牺牲层 710 是 TEOS。

[0073] 掩蔽第一牺牲层 710 (715)。在掩蔽工艺中涉及的材料可以类似于在图 5a-5e 中示出的实施例中使用的材料。掩模层 715 的掩模材料可以包括不同于第一牺牲层 710 的蚀刻选择性。掩模 715 用来形成台面或鳍片 720。台面 720 可以具有任何图案。例如,台面

720 可以在内区中径向远离薄膜的中心点延伸。此外,台面 720 在薄膜的外区中可以是周向的。

[0074] 如接下来在图 7c 中所示,在第一牺牲层 710 中蚀刻台面 720,几乎完全移除第一牺牲层 710。台面 720 可以被构造为限定薄膜 740 的波纹线。通过应用各向异性蚀刻(诸如用 SF_6 气体的 RIE)和连续聚合来形成台面 720。当衬底 700 暴露时,蚀刻停止。

[0075] 可选地,然后在台面 720 的顶面上方移除掩模层 715,并且在衬底 700 和台面 720 上方沉积第二牺牲层 730,如图 7d 中所示。第二牺牲层 730 可以包含与台面 720 相同的材料。第二牺牲层 730 覆盖台面 720 的顶面和侧壁。接下来,如图 7e 中所示,可以沉积导电层 740。导电层 740 覆盖第二牺牲层 730 的顶面和台面 720。

[0076] 在下个步骤中,部分地移除衬底 700,从而形成第一间隔件 705 和开口 750。如关于图 5f 所讨论的,利用 Bosch 工艺部分地移除衬底 700。最终,第二牺牲层 730 被部分地移除,并且台面 720 被完全移除,从而形成第二间隔件 745。第二牺牲层 730 和台面 720 的部分移除暴露出其中具有波纹线的导电层 740。

[0077] 该工艺的优点是可以同时在薄膜的外区和内区中制造波纹线。可以利用掩模层 710 图案化衬底 700,从而薄膜的内区包括径向波纹线,并且薄膜的外区包括周向波纹线。

[0078] 该工艺还可以用来形成背板或反电极。在该实施例中,径向波纹线可以形成在整个背板上,并且可以不形成周向波纹线。

[0079] 图 8a-8e 示出制作背板的方法。图 8a 示出形成在第一牺牲层 800 上方的掩模层 810。图 8a-8e 中的材料可以包括与关于图 5a-5g 所描述的材料类似的材料。

[0080] 对掩模层 810 图案化,并且在第一牺牲层 800 形成沟槽或凹部 820。利用各向异性蚀刻工艺形成凹部 820。沟槽 820 可以包括平行线,或其中邻近沟槽与至少一条连接沟槽相互连接的平行线。连接沟槽可以相互等距离设置,并可以沿单条沟槽 820 交错。在一个实施例中,沟槽 820 可以布置在十字形构造中、多边形构造(诸如六边形构造或蜂窝构造)中。在再一实施例中,沟槽 820 可以径向远离中心点布置。径向沟槽 820 可以或可以不经由连接沟槽来连接。沟槽 820 可以布置在星状构造中。

[0081] 在移除掩模层 810 之后,用第二牺牲层 830 部分地填充沟槽 820,如图 8c 中所示。第二牺牲层 830 可以共形地覆盖第一牺牲层 800 和沟槽 820。第二牺牲层 830 可以是绝缘材料、导电材料、或相对于第一牺牲层和沉积在第二牺牲层 830 上的导电层 840 具有蚀刻选择性的材料。

[0082] 在下个步骤中,如图 8d 中所示,在第二牺牲层 830 上方沉积导电材料。部分填充的沟槽 820 被完全填充以导电材料层 840。导电材料层 840 可以是金属、多晶硅、掺杂多晶硅或其组合。导电材料层 840 形成在沟槽中和衬底 800 的顶面上方。

[0083] 最终,部分地移除第一牺牲层 800 和第二牺牲层 830,从而暴露由沟槽图案 820 形成的鳍线、波纹线或背脊线 845。第一牺牲层 800 和第二牺牲层 830 通过适当的蚀刻工艺移除,从而形成空腔 850,如图 8e 中所示。第一牺牲层 800 和第二牺牲层 830 可以利用单个蚀刻工艺或利用两个不同的蚀刻工艺移除。第一牺牲层 800 和第二牺牲层 830 被移除,使得第一牺牲层 800 的一部分形成第一间隔件 805,并且第二牺牲层的一部分形成第二间隔件 835。

[0084] 得到的结构可以包括具有鳍线、波纹线或背脊线 845 的背板或反电极。该背板可

以包括平行线或与连接线连接在一起的平行线。用于单条线 845 的连接线可以交错并且可以以等距离设置。在一个实施例中,背板的线 845 可以包括十字形构造、多边形构造(诸如六边形构造或蜂窝构造)。在再一实施例中,背板的线 845 具有远离背板的中心点的星状构造。结果,这些线可以包括使背板稳定的任何几何构造。

[0085] 图 9 示出 MEMS 装置 900 的实施例的透视图。图 9 仅示出了 MEMS 装置 900 的 1/4。在这种特定构造中,薄膜 930 布置在背板 950 上方。薄膜 930 通过第一绝缘间隔件 920 与衬底 910 隔开,并且背板 950 通过第二绝缘间隔件 940 与薄膜 930 隔开。在该实施例中,薄膜 930 的内区中的波纹线 936 提高薄膜 930 的刚性,并且薄膜 930 的外区中的波纹线 938 提高薄膜 930 的柔性。波纹线 936、938 可以面向背板 950 或者可以背向背板 950。波纹线 936、938 可以根据图 5-7 中示出的实施例而形成。

[0086] 背板 950 中的鳍片或背脊 956 的蜂窝构造提高背板 950 的刚性。如图 9 中所示,背板 950 被穿孔并包括背脊 956。该蜂窝结构布置在穿孔 953 周围,从而每个蜂窝围绕一个穿孔 953。可替换地,蜂窝结构可以具有不同的构造,例如围绕两个或多于两个的穿孔。背脊 956 可以根据图 8 的实施例形成。MEMS 装置 900 可以包括与关于图 2 所描述的相同的材料。

[0087] 图 10a-10d 示出 MEMS 装置 1000 的不同实施例。图 10a 示出与图 9 中示出的实施例相似的实施例的剖面图。在该实施例中,薄膜 1030 布置在背板 1050 上方。薄膜 1030 通过第二间隔件 1040 与背板 1050 隔开,并且背板 1050 通过第一间隔件 1020 与衬底 1010 隔开。背板 1050 包括背脊线 1055,诸如鳍线或波纹线,并且薄膜 1030 包括背向背板 1050 的波纹线 1035。可替换地,薄膜 1030 的波纹线 1035 面向背板 1050。薄膜 1030 在内区和外区中包括波纹线 1035。可替换地,薄膜 1030 仅在内区中包括波纹线 1035,而在外区中不包括波纹线。背板 1050 可以包括关于图 2 所描述的任何背脊图案。

[0088] 图 10b 示出实施例的剖面图,其中薄膜 1030 布置在背板 1050 上方,并且薄膜 1030 不包括任何波纹线 1035。

[0089] 在实施例中,背板 1050 可以包括多个第一背板电极。例如,第一背板 1050 包括对应于薄膜的内区的第一背板电极和对应于薄膜的外区的第二背板电极,如关于图 4c 所讨论的。第一和第二背板电极可以相互绝缘。在一个例子中,背脊线在整个第一背板 1050 上方延伸。在一个实施例中,第二背板是单个背板电极。可替换地,第二背板电极包括多个第二背板电极。第二背板电极可以包括与第一背板电极类似的背脊线构造或不同的波纹线构造。

[0090] 图 10c 示出具有两个背板 1050、1070 的实施例的剖面图。薄膜 1030 布置在第一背板 1050 和第二背板 1070 之间。第二背板 1070 通过第三间隔件 1060 与薄膜 1030 隔开。两个背板 1050、1070 中的每个都包括背脊线或波纹线 1055、1075。对于第一和第二背板 1050、1070,背脊线或波纹线构造 1055、1075 可以是相同的。可替换地,对于第一和第二背板 1050、1070 的背脊线或波纹线构造 1055、1075 可以是不同的。例如,第一背板 1050 的背脊线构造 1055 可以是蜂窝构造,而第二背板 1070 的背脊线或波纹线构造 1075 可以是星状构造。两个背板 1050、1070 之间的薄膜 1030 没有波纹线。图 10d 示出薄膜 1030 包括波纹线 1035 的替换实施例。薄膜 1030 可以在内区中包括波纹线 1035 但在外区中不包括波纹线,或者可以在内区和外区中都包括波纹线。例如,薄膜 1030 可以在内区中包括径向波纹

线 1035,并在外区中包括周向波纹线 1035。

[0091] 在实施例中,第一背板 1050 可以包括多个第一背板电极。例如,第一背板 1050 包括与薄膜 1030 的内区对齐的第一背板电极以及与薄膜 1030 的外区对齐的第二背板电极。第一和第二背板电极可以相互绝缘。第一背板 1050 的背脊线或波纹线可以在整个背板 1050 上延伸。在一个实施例中,第二背板 1070 是单个背板电极。可替换地,第二背板电极 1070 可以包括多个第二背板电极。第二背板电极 1070 可以包括与第一背板 1050 类似的背脊线或波纹线构造,或者不同的背脊线或波纹线构造。

[0092] 图 10e 示出布置在薄膜 1050 上方的背板 1050 的剖面图。背板 1050 通过第二间隔件 1040 与薄膜 1030 隔开,并且薄膜 1030 通过第一间隔件 1020 与衬底 1010 隔开。背板 1050 包括背脊线,并且薄膜 1030 包括背向背板 1050 的波纹线。可替换地,薄膜 1030 的波纹线面向背板 1050。薄膜 1030 在内区和外区中都包括波纹线。可替换地,薄膜 1030 仅在内区中包括波纹线但在外区中不包括波纹线。背板 1050 可以包括先前在此描述的任何背脊线构造。例如,背板 1050 可以包括星状构造。

[0093] 图 10f 示出实施例的剖面图,其中背板 1050 布置在薄膜 1030 上方,并且薄膜 1030 不包括任何波纹线。图 10e 和 10f 中的 MEMS 装置的实施例可以包括多个薄膜电极和 / 或多个背板电极。

[0094] 图 11a 和 11b 示出薄膜 1130 的另一实施例。薄膜 1130 在内区中包括径向波纹线 1135,如图 11a 中可见。

[0095] 在该实施例中,薄膜 1130 可以包括位于薄膜 1130 的外区中的横向弹簧支架 1139。弹簧支架 1139 可以是位于薄膜 1130 的外缘中的狭槽或孔隙。孔隙或狭槽 1139 可以包括曲折设计或弯曲设计,诸如圆形线的四分之一。可替换地,孔隙或狭槽 1139 可以包括任何设计。在一个实施例中,孔隙或狭槽 1139 有助于 MEMS 装置的传输特性的低频截止,并因此应是很小的。例如,狭槽 1139 的累积面积应小于薄膜 1130 面积的 5%,或者应小于薄膜面积的 2%。图 11b 示出沿线 C-C 的薄膜 1130 的剖面图,示出了波纹线 1135 和弹簧支架 1139。

[0096] 尽管已详细描述了本发明及其优点,但应理解,在不背离由所附权利要求限定的本发明的精神和保护范围的情况下,可以在此作出各种改变、代替和更改。

[0097] 此外,本申请的保护范围不旨在限于本说明书中描述的工艺、机器、制造、物质成分、工具、方法和步骤的具体实施例。本领域技术人员从本发明的披露容易认识到,可以根据本发明利用目前存在的或以后发展的,执行与在此描述的对应实施例基本相同的功能或实现与在此描述的实施例基本相同的结果的工艺、机器、制造、物质成分、工具、方法和步骤。因此,所附权利要求旨在将这样的工艺、机器、制造、物质成分、工具、方法和步骤包括在其保护范围内。

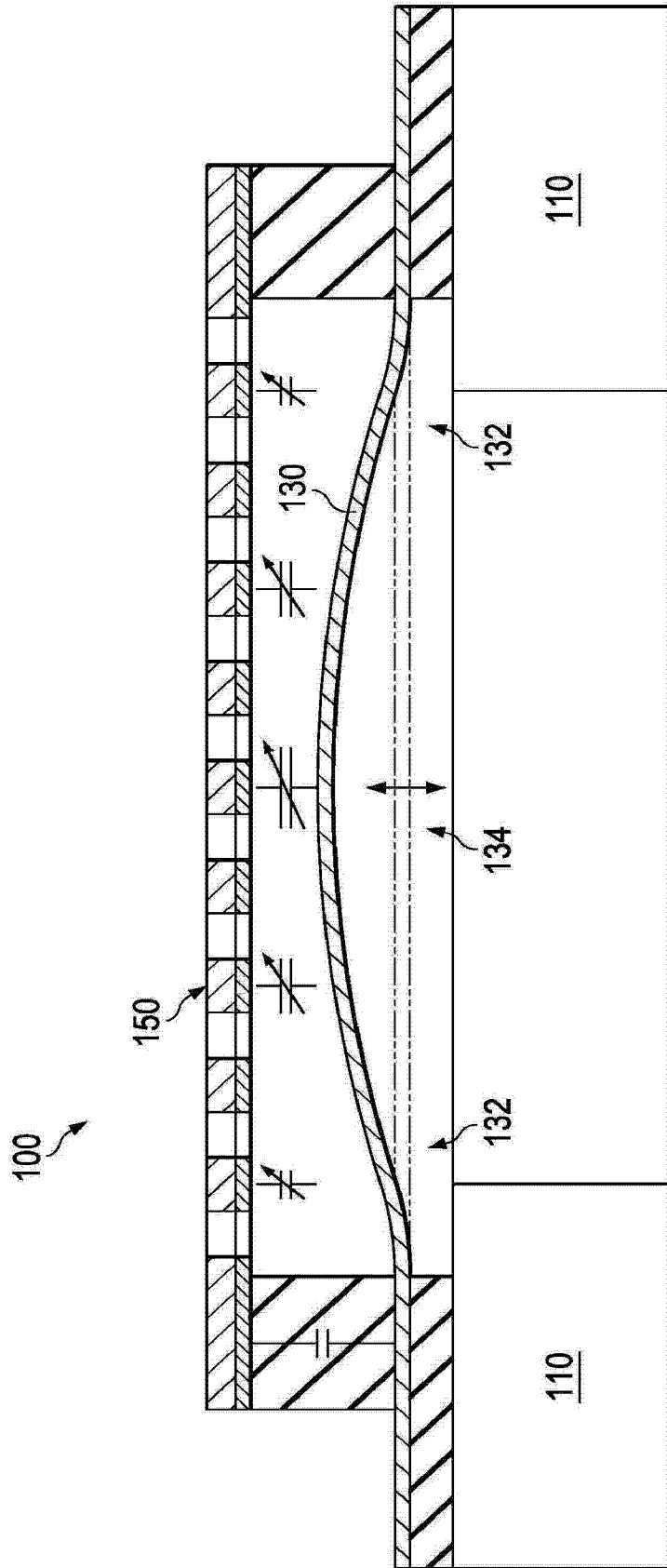


图 1

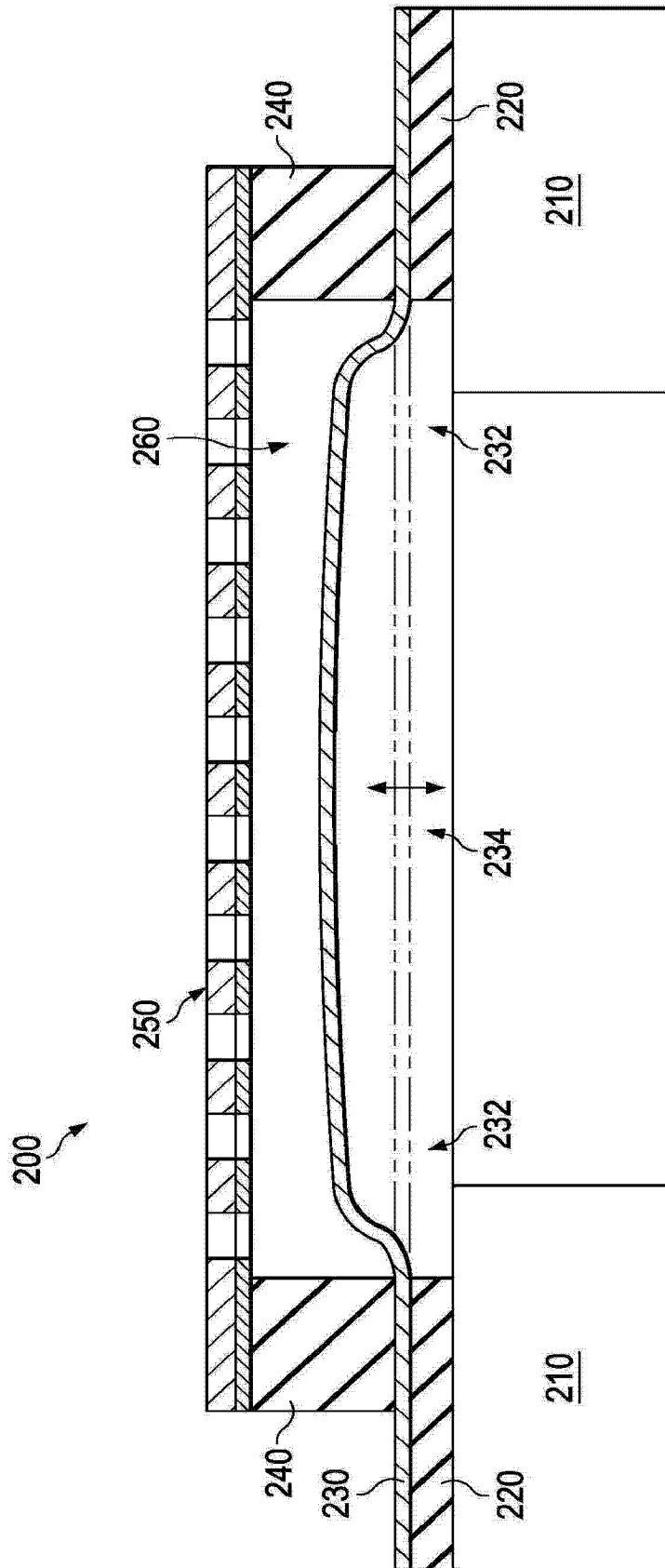


图 2

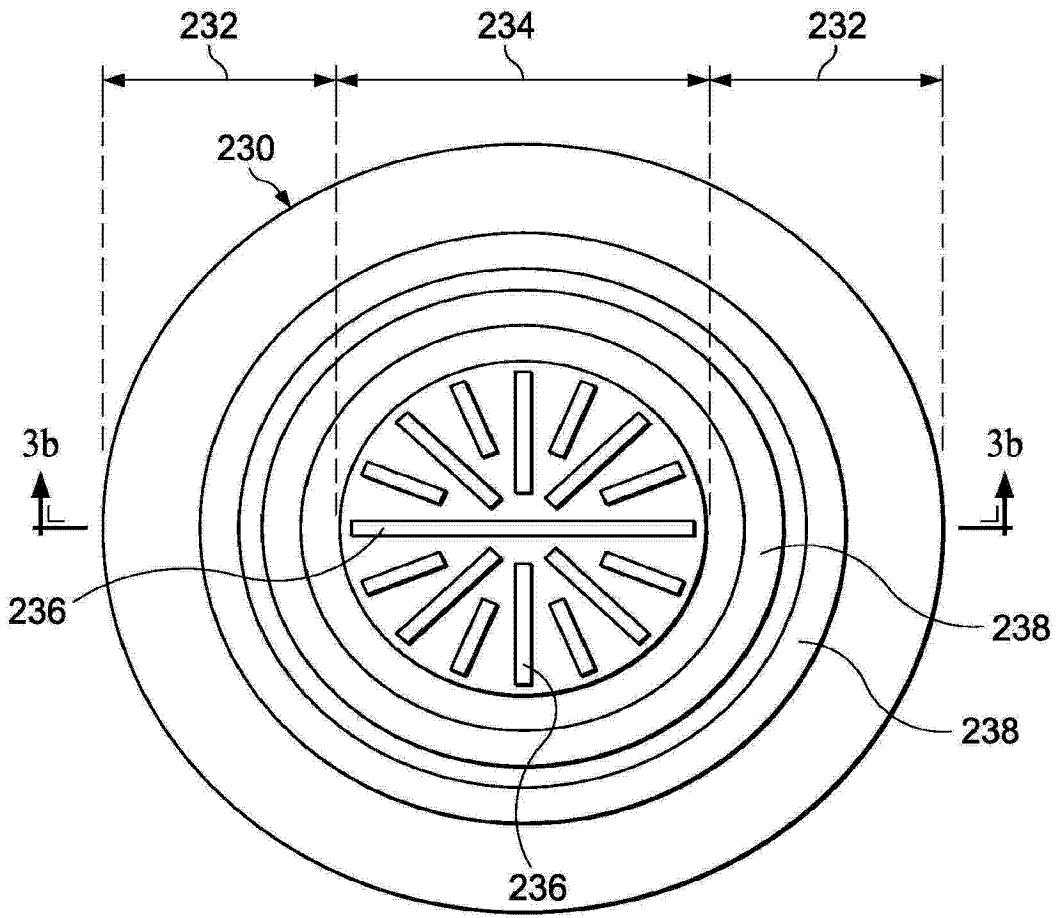


图 3a

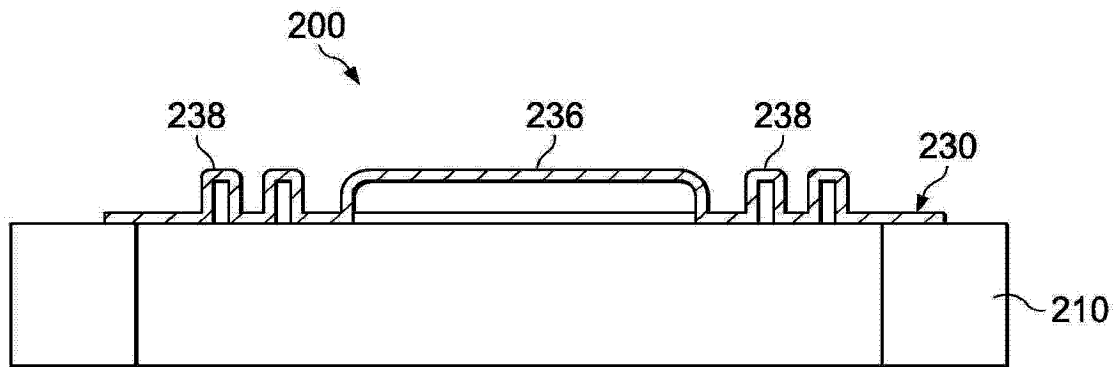


图 3b

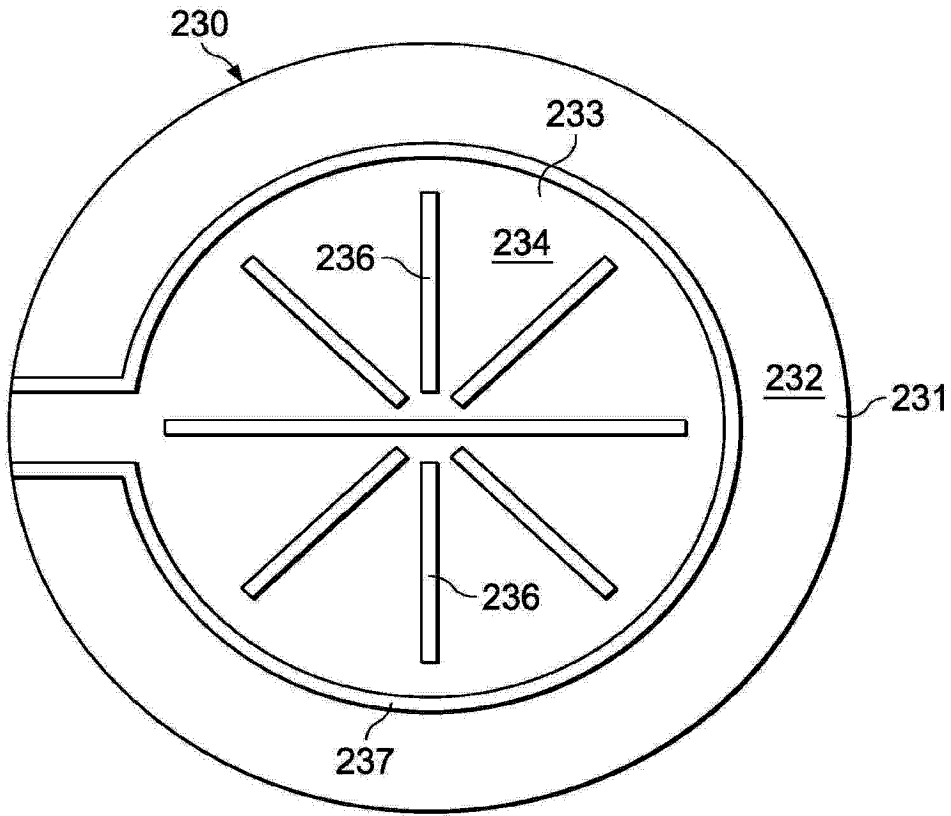


图 3c

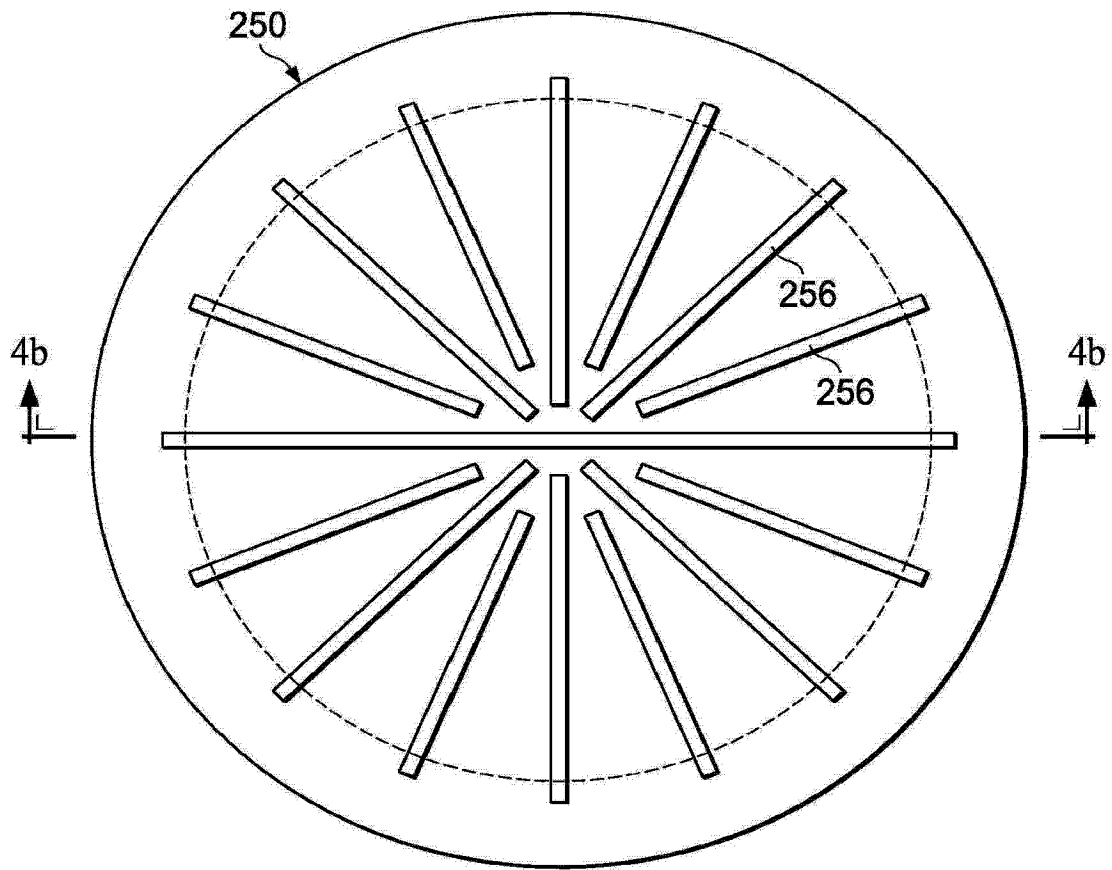


图 4a

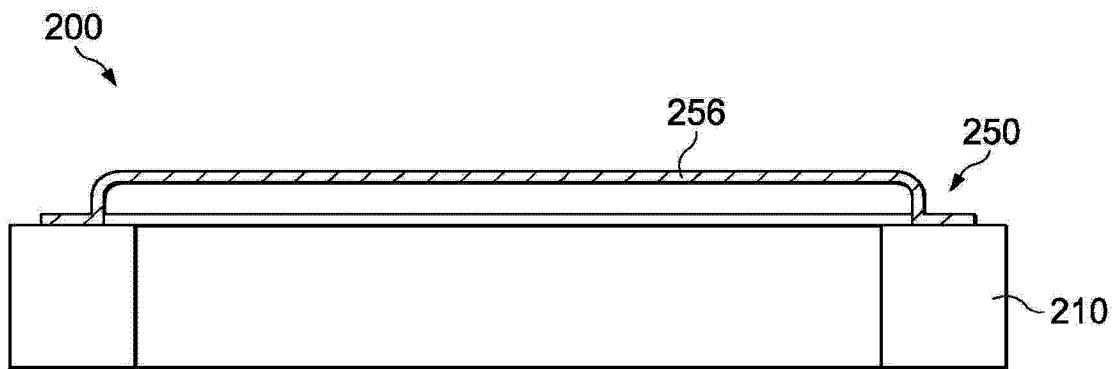


图 4b

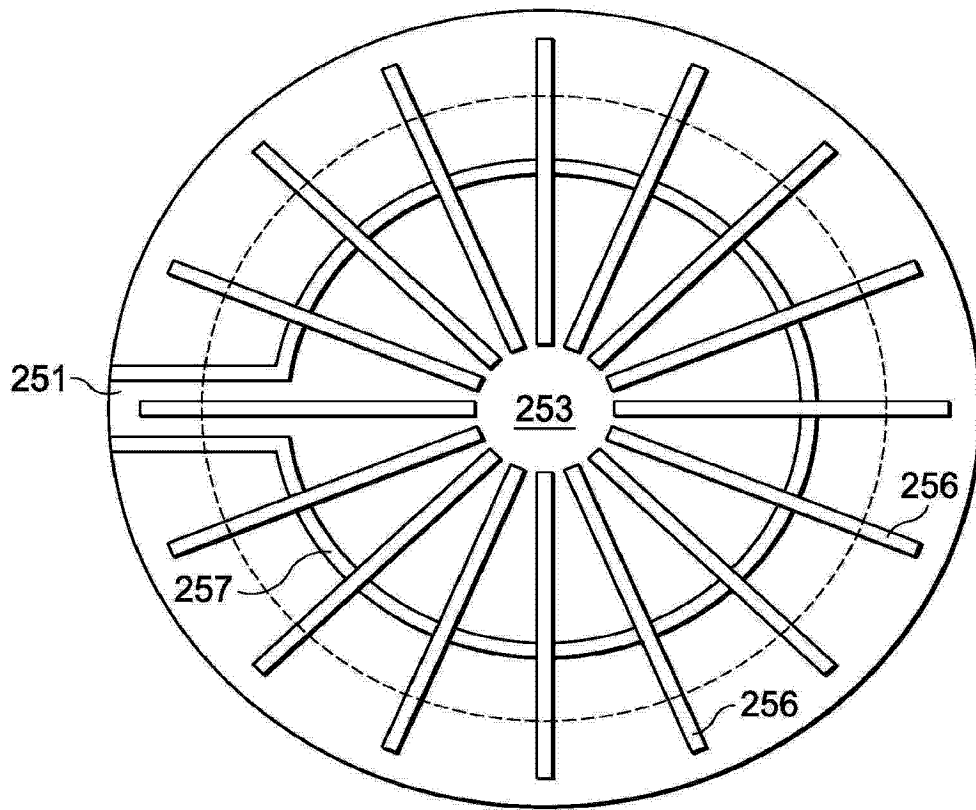


图 4c

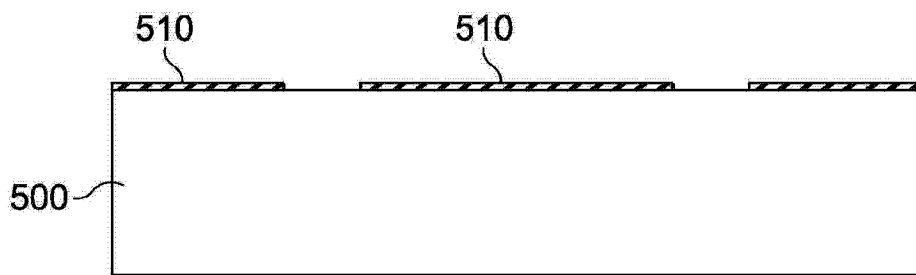


图 5a

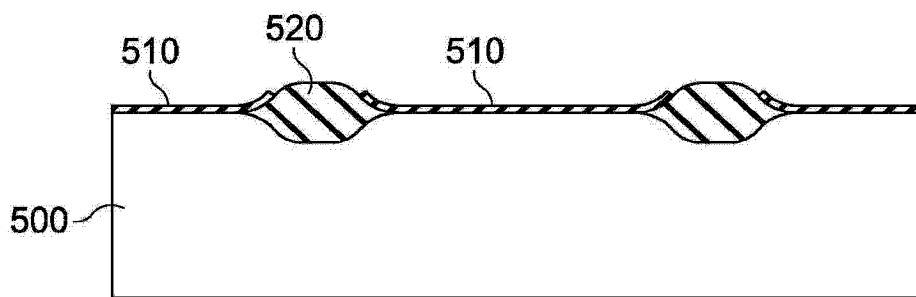


图 5b

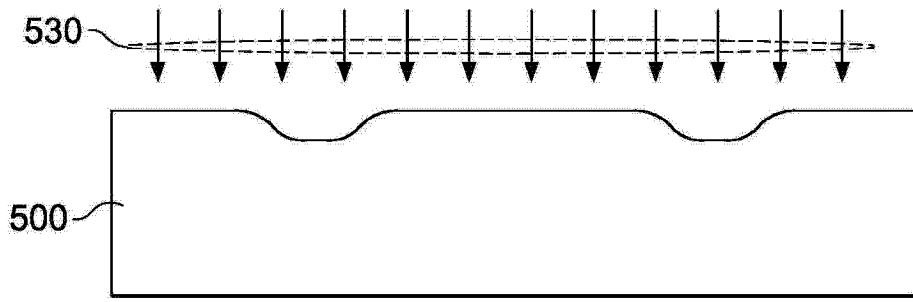


图 5c

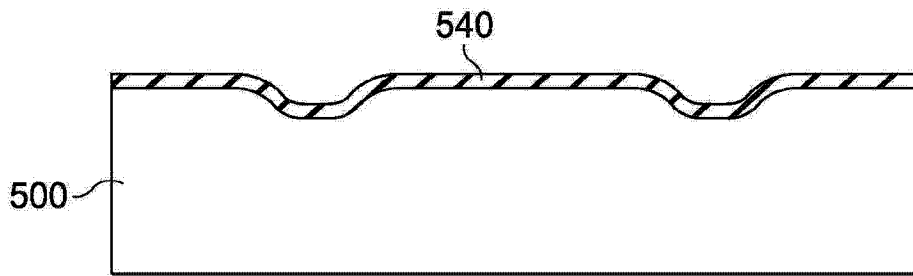


图 5d

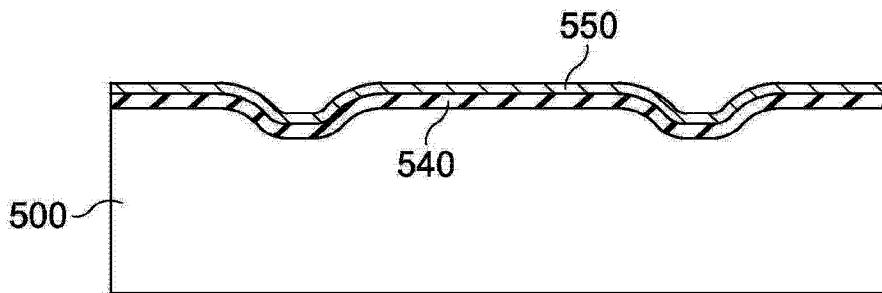


图 5e

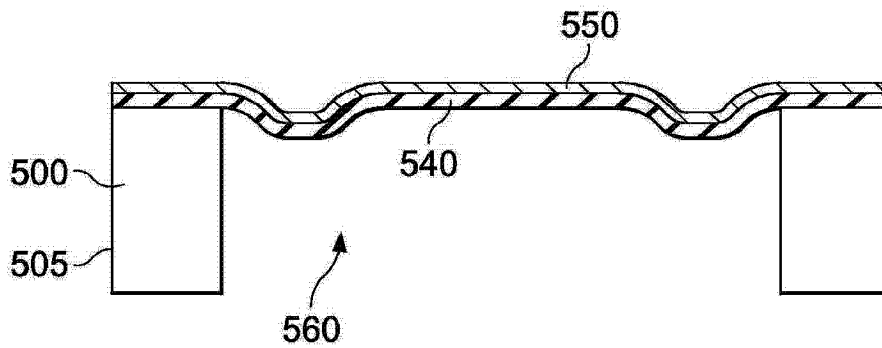


图 5f

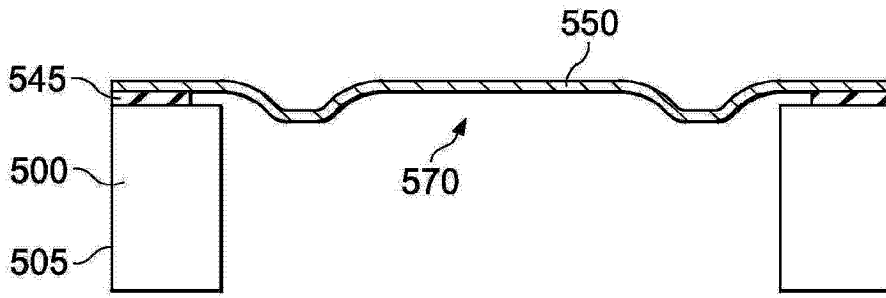


图 5g

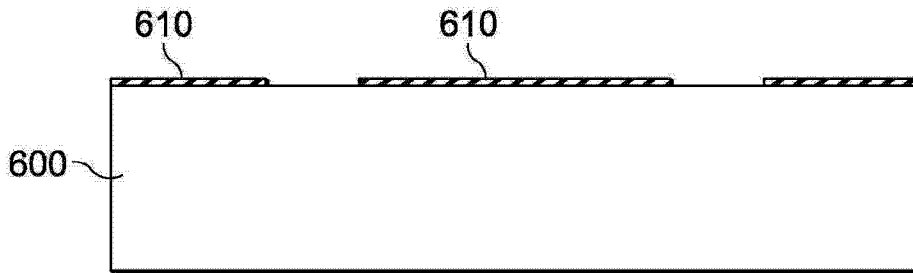


图 6a

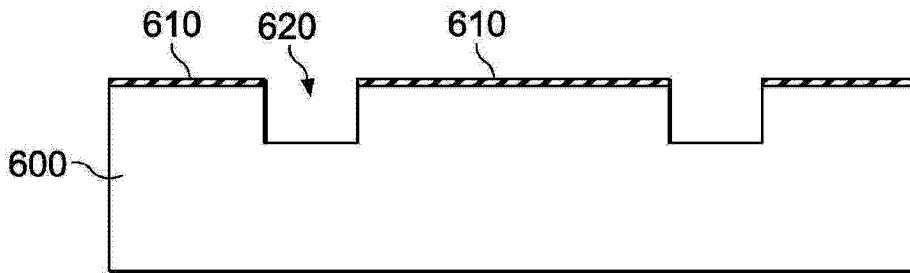


图 6b

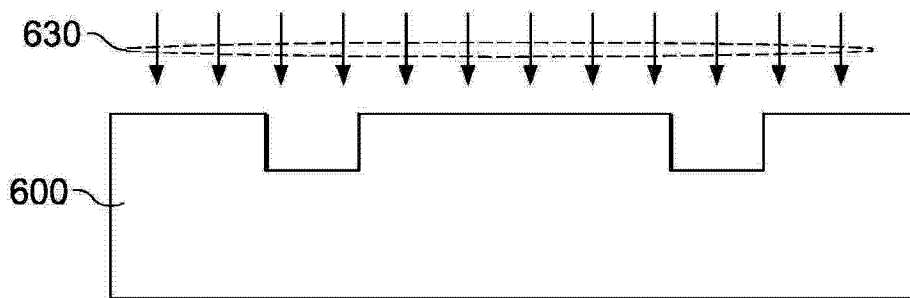


图 6c

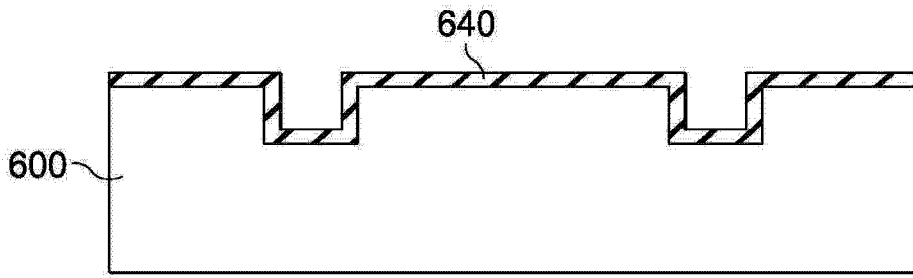


图 6d

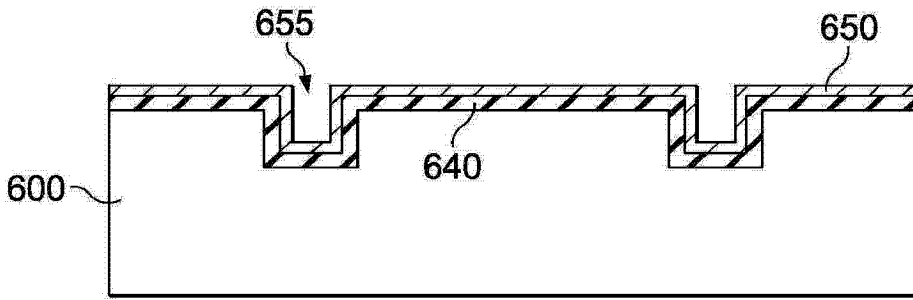


图 6e

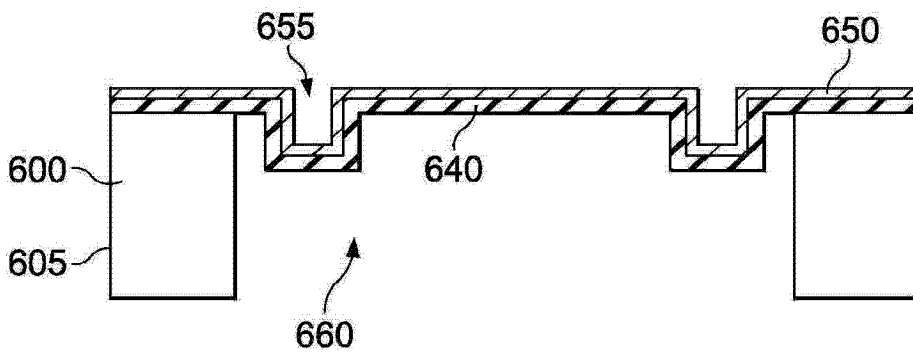


图 6f

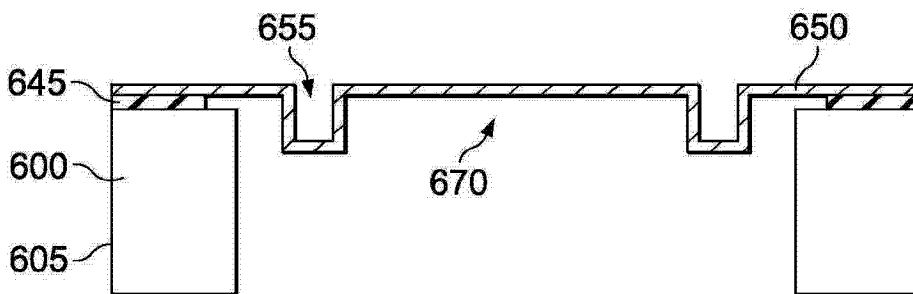


图 6g

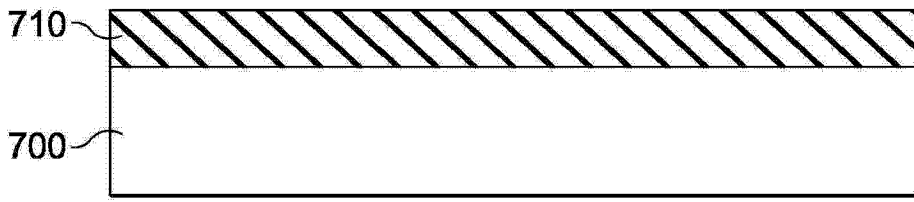


图 7a

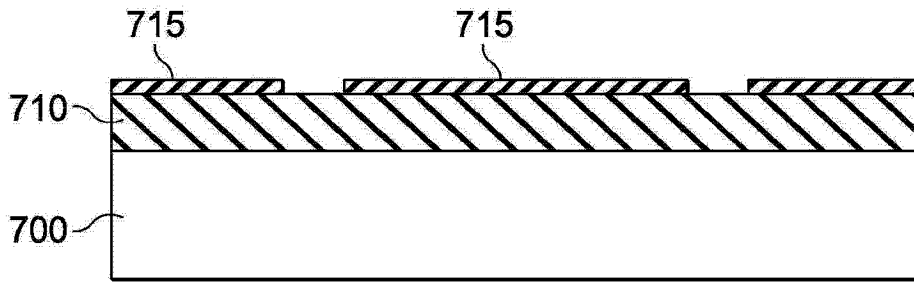


图 7b

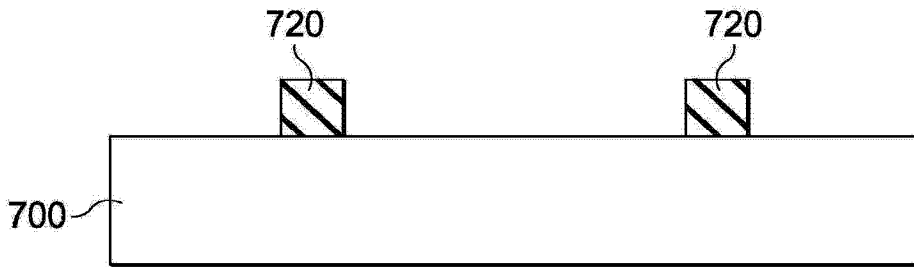


图 7c

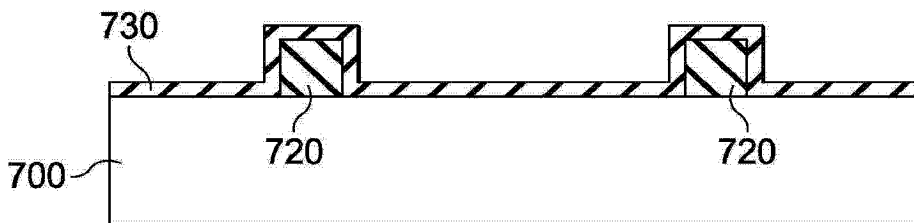


图 7d

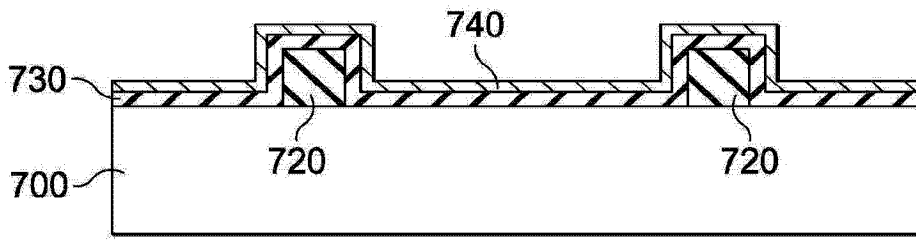


图 7e

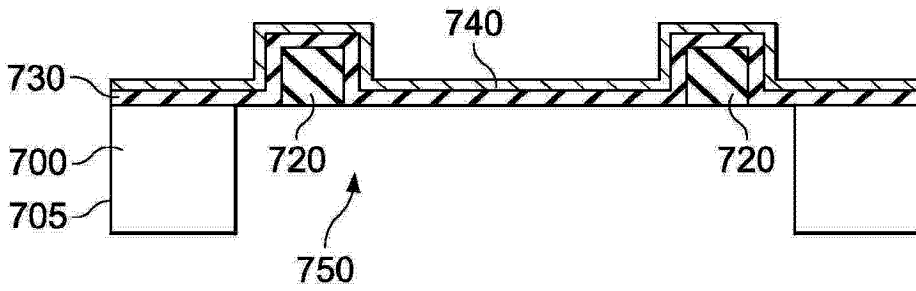


图 7f

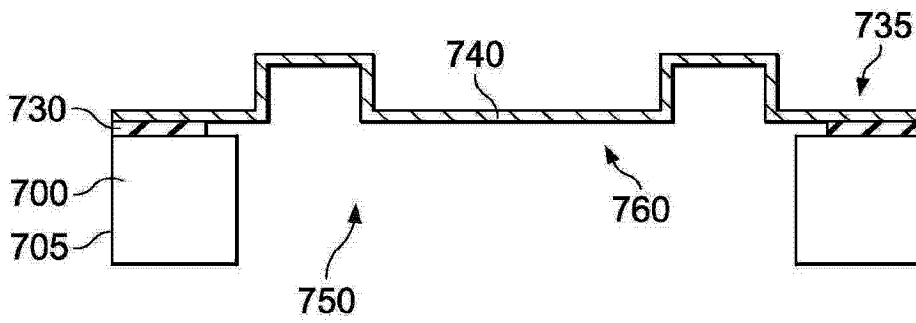


图 7g

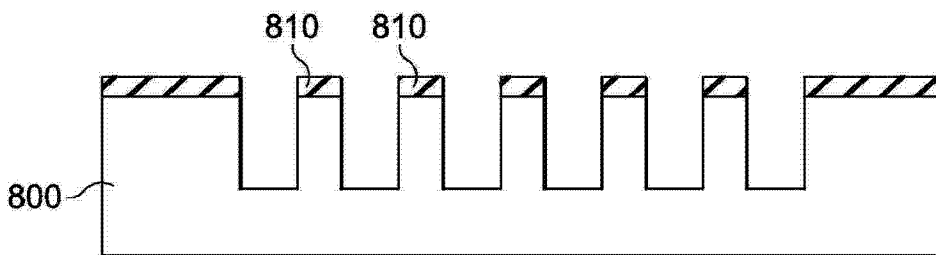


图 8a

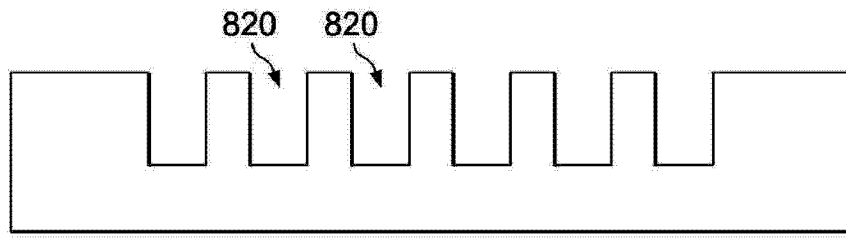


图 8b

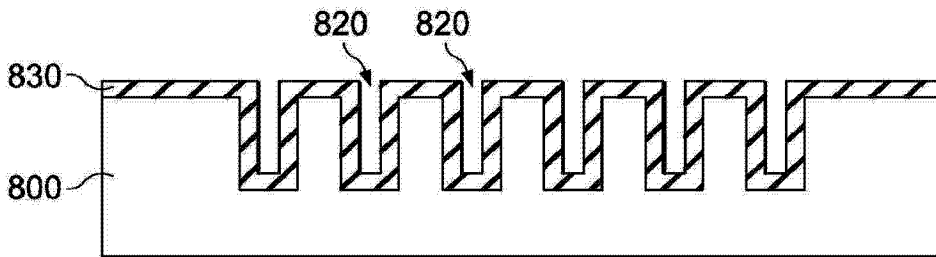


图 8c

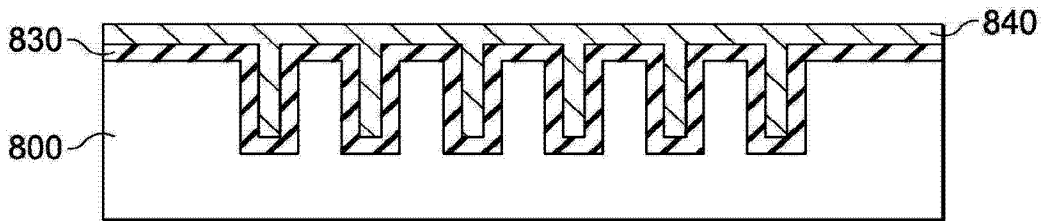


图 8d

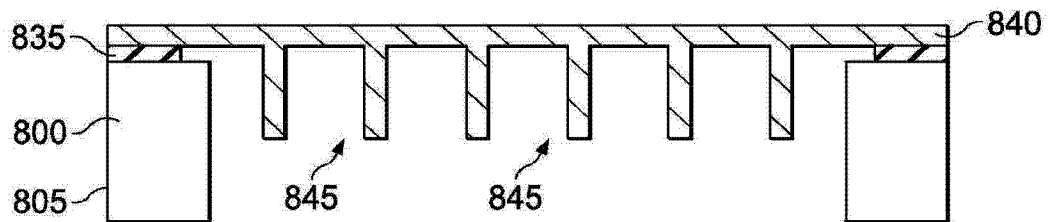


图 8e

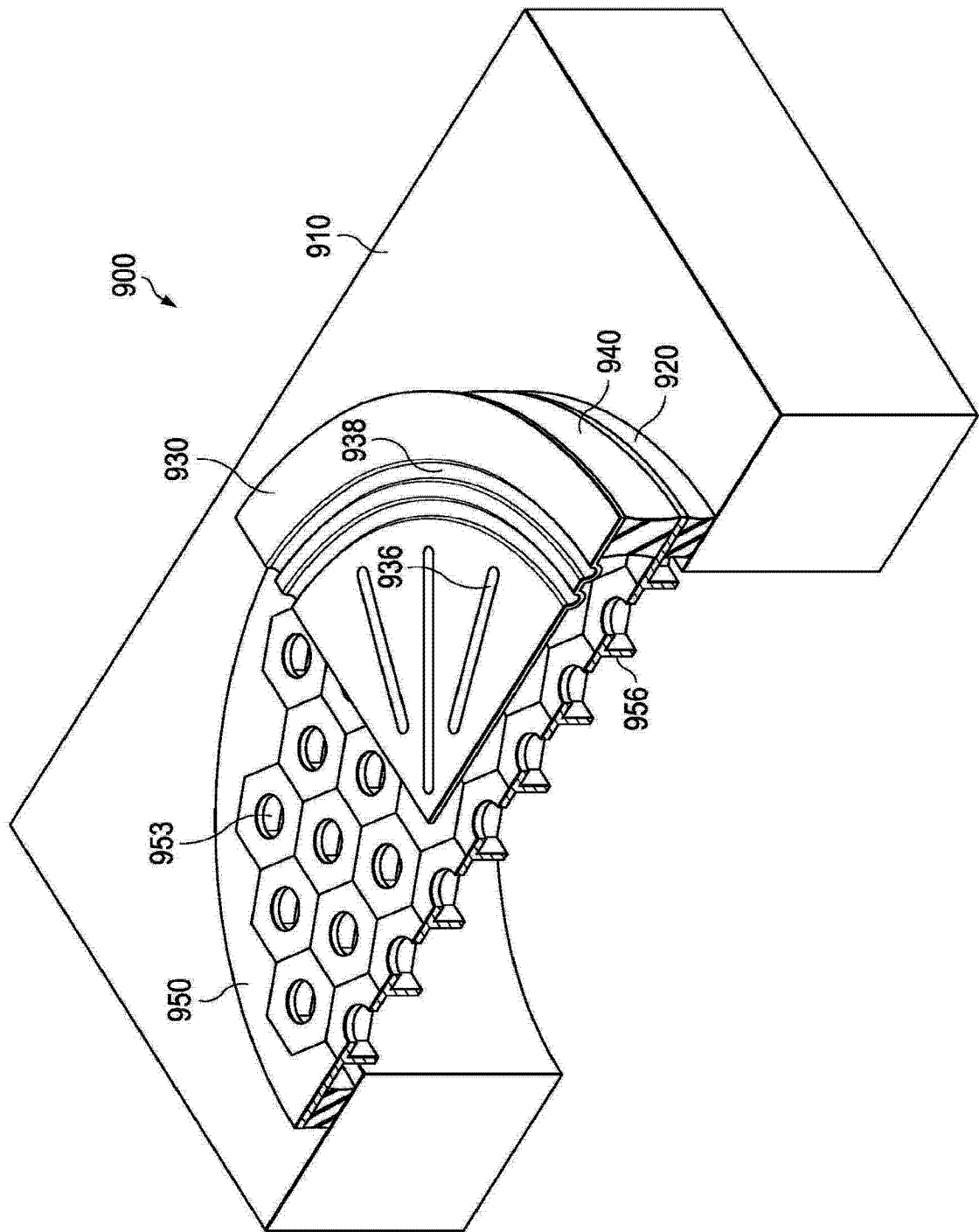


图 9

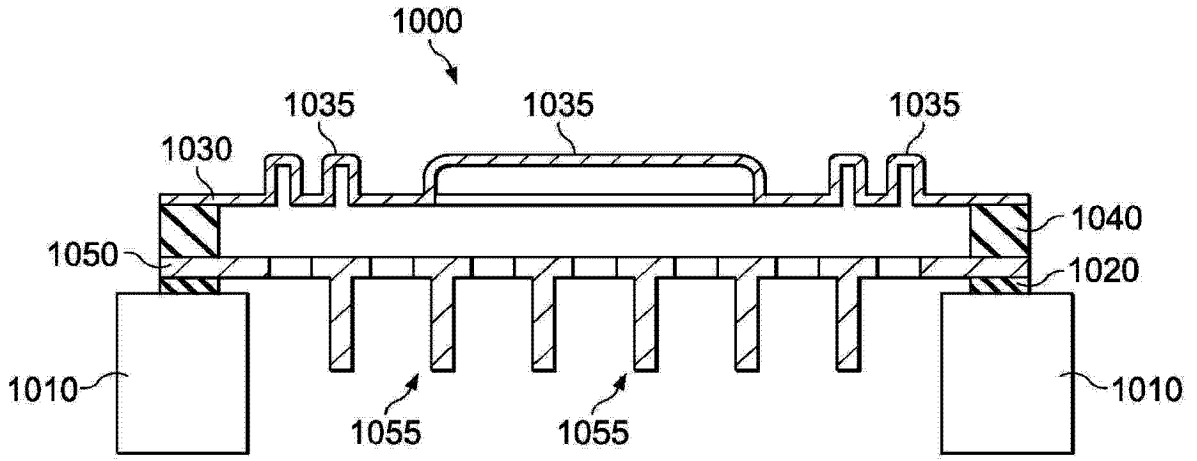


图 10a

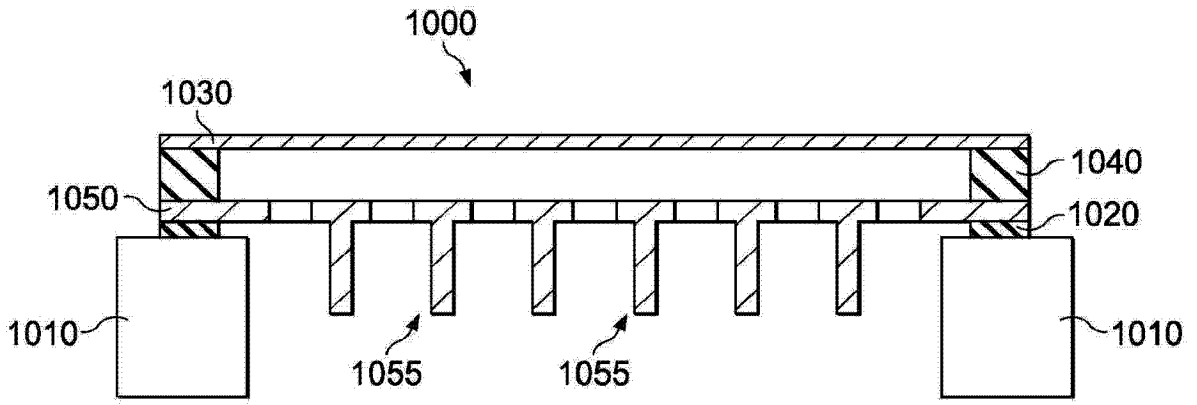


图 10b

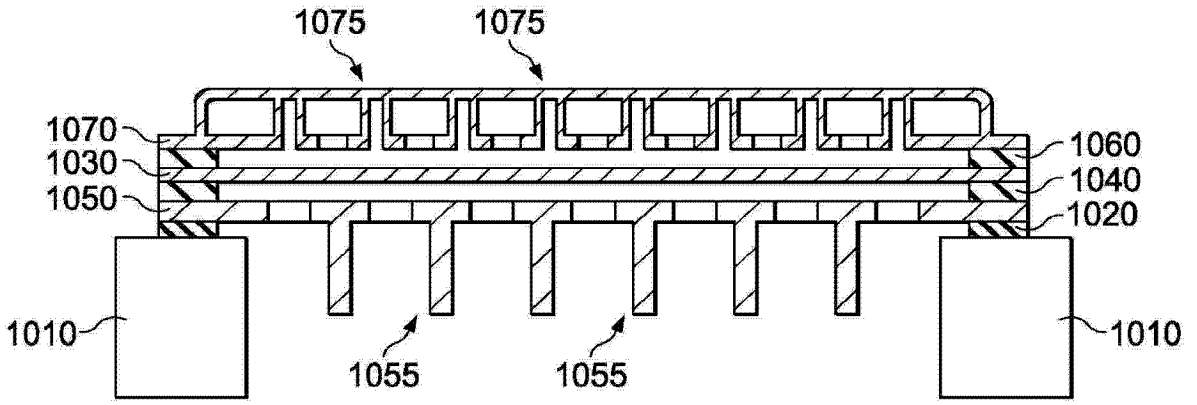


图 10c

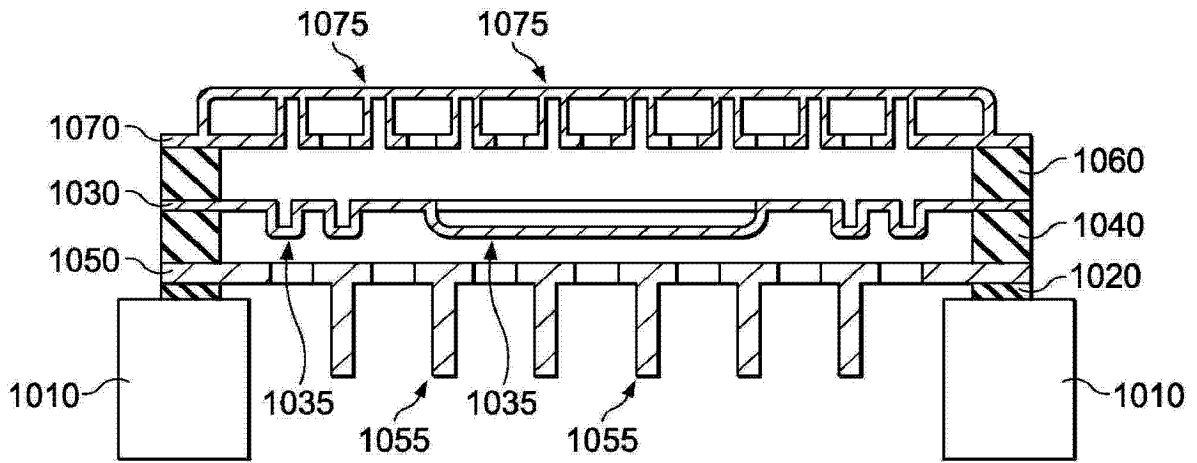


图 10d

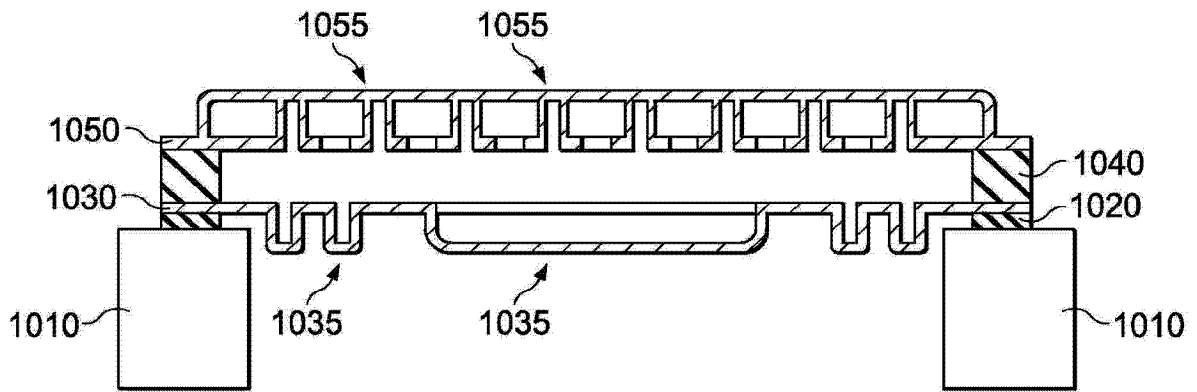


图 10e

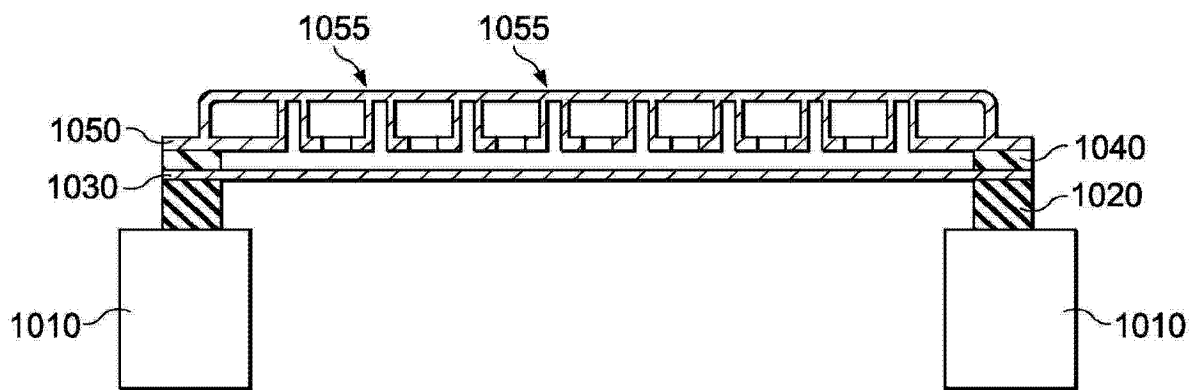


图 10f

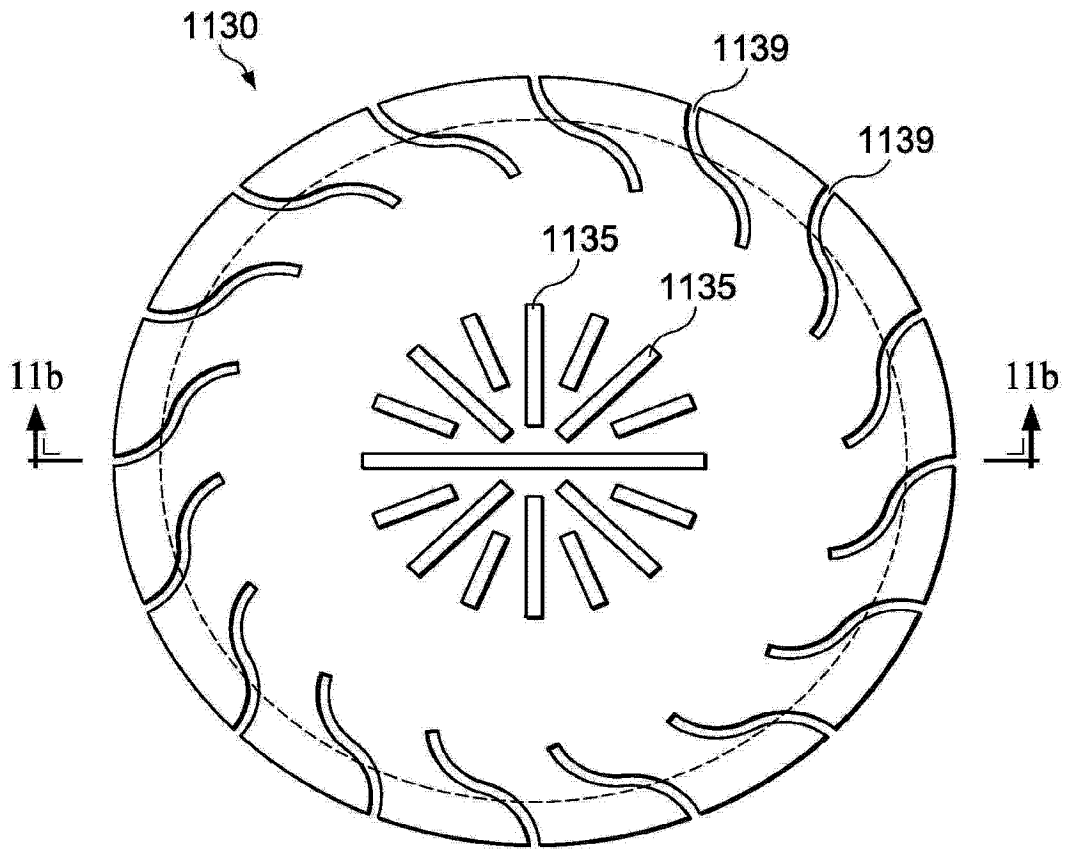


图 11a

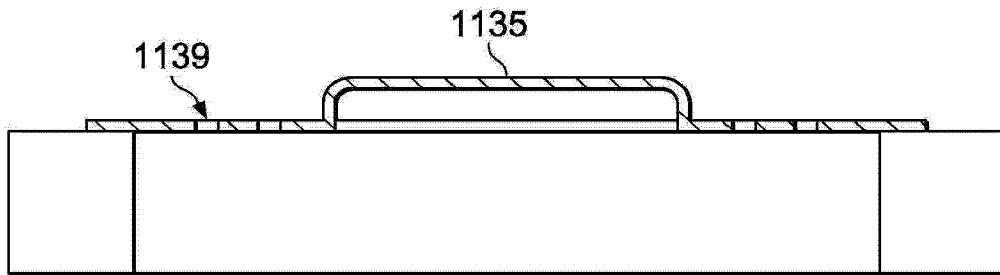


图 11b