



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2016년07월20일  
 (11) 등록번호 10-1641365  
 (24) 등록일자 2016년07월14일

(51) 국제특허분류(Int. Cl.)  
 H01L 33/20 (2010.01)  
 (21) 출원번호 10-2010-0020660  
 (22) 출원일자 2010년03월09일  
 심사청구일자 2015년01월07일  
 (65) 공개번호 10-2011-0101572  
 (43) 공개일자 2011년09월16일  
 (56) 선행기술조사문헌  
 KR1020050089120 A\*  
 KR1020100023960 A\*  
 KR1020090083329 A\*  
 KR1020060134491 A  
 \*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
 엘지디스플레이 주식회사  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
 최병균  
 경기도 오산시 밀머리로1번길 3, 주공아파트 208  
 동 302호 (원동)  
 이재훈  
 서울특별시 동작구 사당로16바길 46 (사당동)  
 (74) 대리인  
 박영복

전체 청구항 수 : 총 7 항

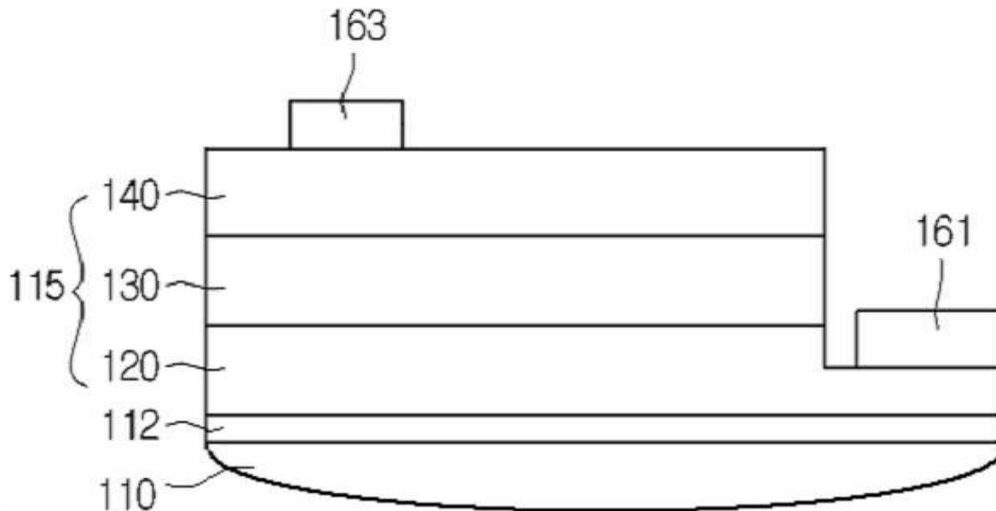
심사관 : 권호영

(54) 발명의 명칭 **질화물 반도체 발광소자 및 그 제조방법**

**(57) 요약**

본 발명은 기관의 가장자리를 둥근 형태로 제작하여 임계각을 넓힘으로써 내부에 생성된 빛이 외부로 추출되는 빛을 많이 하여 광 추출 효율을 향상시키도록 한 질화물 반도체 발광소자 및 그 제조방법에 관한 것으로서, 기관 상에 형성되는 버퍼층과, 상기 버퍼층상에 형성되는 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층으로 이루어진 발광 구조물과, 상기 제 1 도전성 반도체층상에 형성되는 제 1 전극과, 상기 제 2 도전성 반도체층상에 형성되는 제 2 전극을 포함하고, 상기 기관은 투광성을 갖고 각 모서리는 일정한 곡률을 갖는 라운드 형태를 갖는 것을 특징으로 한다.

**대표도** - 도6



## 명세서

### 청구범위

#### 청구항 1

기판상에 배치되는 버퍼층과,

상기 버퍼층 상에 배치되는 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층으로 이루어진 발광 구조물과,

상기 제 1 도전성 반도체층 상에 배치되는 제 1 전극과,

상기 제 2 도전성 반도체층 상에 배치되는 제 2 전극을 포함하고,

상기 기판은 투광성을 갖고, 상기 기판의 단면은 상기 기판 하부를 향해 볼록한 하나의 볼록 렌즈 형태를 갖는 질화물 반도체 발광소자.

#### 청구항 2

제 1 항에 있어서, 상기 기판은 사파이어인 질화물 반도체 발광소자.

#### 청구항 3

제 1 항에 있어서, 상기 제 2 도전성 반도체층은 상기 제 1 도전성 반도체층의 표면이 노출되도록 메사 구조를 갖는 질화물 반도체 발광소자.

#### 청구항 4

기판상에 버퍼층을 형성하는 단계;

상기 버퍼층상에 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층을 차례로 적층하여 발광 구조물을 형성하는 단계;

상기 제 2 도전성 반도체층의 일부 영역을 제 1 도전성 반도체층이 노출될 때까지 메사 에칭을 수행하는 단계;

상기 노출된 제 1 도전성 반도체층 상에 제 1 전극을 형성하고, 상기 제 2 도전성 반도체층 상에 제 2 전극을 각각 형성하는 단계;

상기 제 1 전극 및 제 2 전극이 형성된 기판을 랩핑 및 폴리싱하는 단계;

상기 랩핑 및 폴리싱 공정이 완료된 기판 배면의 각 모서리를 라운드 형태로 가공하는 단계;

상기 각 모서리가 라운드 형태로 가공된 기판을 스크라이빙 및 브레이킹 공정을 통해 각 소자를 분리하는 단계를 포함하며,

상기 기판의 단면은 상기 기판 하부를 향해 볼록한 하나의 볼록 렌즈 형태를 갖는 질화물 반도체 발광소자의 제조방법.

#### 청구항 5

제 4 항에 있어서, 상기 기판의 각 모서리를 라운드 형태로 가공하는 단계는

상기 제 1 전극 및 제 2 전극을 보호하기 위해 기판의 표면에 포토레지스트를 코팅하고 하드 베이킹하는 단계;

상기 포토레지스트에 노광 및 현상 공정을 통해 선택적으로 패터닝하는 단계;

상기 패터닝된 포토레지스트에 일정한 슬롯을 갖도록 핫 플레이트를 이용한 포토레지스트 베이킹을 실시하는 단계;

상기 패터닝된 포토레지스트를 마스크로 이용하여 각 질화물 반도체 발광소자의 크기와 맞게 포토 패터닝을 한 후 건식 식각장치를 이용하여 기판을 선택적으로 식각하는 단계;

상기 기판의 식각 공정이 완료되면 유기세정제를 이용하여 포토레지스트를 제거하는 단계를 포함하는 질화물 반도체 발광소자의 제조방법.

**청구항 6**

제 5 항에 있어서, 상기 건식 식각은 ICP 장비를 이용하고 Cl<sub>2</sub> 및 BCl<sub>3</sub>가스를 혼합하여 기판을 식각하는 질화물 반도체 발광소자의 제조방법.

**청구항 7**

제 5 항에 있어서, 상기 포토레지스트의 슬롭의 각도는 45° 이고, 상기 포토레지스트의 슬롭은 핫 플레이트의 온도와 베이킹 시간으로 결정하는 질화물 반도체 발광소자의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 질화물 반도체 발광소자 및 그 제조방법에 관한 것으로, 특히 광 추출 효율을 개선시키도록 한 질화물 반도체 발광소자 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로 질화물 반도체 발광소자(LED : Light Emitting Diode)는 자외선, 청색 및 녹색 영역을 포괄하는 광 영역을 가진다. 특히, GaN계 질화물 반도체 발광소자는 그 응용 분야에 있어서 청색/녹색 LED의 광소자 및 MESFET(Metal Semiconductor Field Effect Transistor), HEMT(Hetero junction Field - Effect Transistors) 등의 고속 스위칭, 고효율 소자인 전자소자에 응용되고 있다.

[0003] 도 1은 종래 기술에 의한 질화물 반도체 발광소자를 나타낸 단면도이다.

[0004] 종래 기술에 의한 질화물 반도체 발광소자는 도 1에 도시된 바와 같이, 기판(11)상에 버퍼층(12)이 형성되어 있고, 상기 버퍼층(12)상에 n-GaN 층(13), 다중양자우물구조로 형성되어 광을 방출하는 활성층(14)과, p-GaN층(15) 및 투명전극(16)을 포함하여 구성된다.

[0005] 이때, 상기 투명전극(16)부터 n-GaN 층(13)까지 부분 식각하여 n-GaN층(13)을 외부로 노출시킨 후, 상기 n-GaN층(13)에 n형 전극(18)을 형성하고, 상기 투명전극(16) 상에는 p형 전극(17)을 형성하고 있다.

[0006] 상기와 같이 구성된 종래 기술에 의한 질화물 반도체 발광소자는 P/N 접합 사이의 활성층(14)에서 전자와 정공의 재결합에 의해 광자(photon)가 발생되고, 상기 광자가 발광소자의 외부로 탈출하면서 빛이 발생하는 원리를 가지고 있다.

[0007] 한편, 도 2a는 종래 기술에 의한 질화물 반도체 발광소자에서 기판의 최종 형태를 개략적으로 나타낸 단면도이고, 도 2b는 도 2a의 기판 내부에 생성된 빛이 외부로 추출되는 형태를 나타낸 도면이다.

[0008] 종래 기술에 의한 질화물 반도체 발광소자의 광 추출 효율을 높이기 위한 질화물 반도체 성장 기술 또는, 칩 프로세스 공정을 이용한 소자의 구조를 변경하는 방법을 많이 사용한다. 또는 물질의 표면 처리를 통해 광 추출 효율을 개선 시키기도 한다.

[0009] 먼저, 질화물 반도체 성장 조건에 따른 p-GaN Rough를 구현함에 있어 마그네슘(Mg)의 확산으로 인한 내부양자 효율의 저하를 가져온다. 하지만, 외부양자효율은 좋아질 수 있다. 또한, p-GaN Rough를 적용하기 위해서는 다중양자우물(MQW)의 주기도 늘려야 하는 기술적인 단점을 가진다.

[0010] 이어, p-GaN의 일정한 패터닝을 위해 기존의 p-GaN층의 두께 150~200nm를 가지는 p-GaN층에서의 패터닝은 불가하게 하므로 인위적으로 두께를 늘려야 한다. 그러나 p-GaN의 두께를 늘려 성장할 시 p-GaN의 저항이 크기 때문에 전류의 퍼짐은 수평방향보다 수직방향이기 때문에 전류 밀집(current crowding)이 발생하여 소자의 동작전압이 높아지는 원인이 된다.

[0011] 또한, 두께를 늘려 성장을 하더라도 그 표면의 형상은 고품질의 p-GaN 표면을 가져야 한다. 그러나 p-GaN성장시 기본적으로 활성층의 열화를 방지하기 위해 저온에서 성장하게 되는데 두께를 늘리면 양질의 p-GaN 표면을 성장시킬 수 없기 때문에 소자의 성능에 나쁜 영향을 주게 된다. p-GaN층 형성시 사용되는 Mg의 도핑농도 및 성장

조건에 따라 표면의 형태에 큰 영향을 주는 요인으로서 공정의 정밀함이 요구된다.

[0012] 이어, 칩 프로세스를 이용한 소자의 구조 변경에 있어 칩 형상화(Chip Shaping) 기술로 생성된 빛이 내부에 갇혀 소실되지 않도록 사파이어 또는 LED GaN층의 일부를 역 메시 구조로 형성하는 기술을 사용한다. 이 기술을 사용하기 위해서 대부분 습식 식각 방식을 사용하며 식각 용액은 황산, 인산, 질산, 수산화칼륨 등의 강 산을 사용하며 하나 또는 두 가지를 혼합하여 사용을 한다. 상대적으로 질화물 반도체 화합물을 습식 식각을 위해서는 고온의 온도가 필요하다. 습식 식각의 특징상 정확한 제어 및 농도를 맞추기가 어렵고, 주로 인산 또는 황산을 혼합하여 사용하여 공정의 위험이 따른다.

[0013] 마지막으로, 질화물 반도체 발광다이오드 소자의 투명전도막(ITO)을 거칠게 하여 광 추출 효율을 높이는 방법을 사용한다. 증착 방법의 파라메타(parameter)를 변수로 하여 거칠게 만들거나, 습식 에칭 방법을 사용하지만, 공정의 재현성을 검증하기가 어렵다.

**발명의 내용**

**해결하려는 과제**

[0014] 본 발명은 상기와 같은 종래의 문제를 해결하기 위해 안출한 것으로 기판의 가장자리를 둥근 형태로 제작하여 입계각을 넓힘으로써 내부에 생성된 빛이 외부로 추출되는 빛을 많게 하여 광 추출 효율을 향상시키도록 한 질화물 반도체 발광소자 및 그 제조방법을 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0015] 상기와 같은 목적을 달성하기 위한 본 발명에 의한 질화물 반도체 발광소자는 기판상에 형성되는 버퍼층과, 상기 버퍼층상에 형성되는 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층으로 이루어진 발광 구조물과, 상기 제 1 도전성 반도체층상에 형성되는 제 1 전극과, 상기 제 2 도전성 반도체층상에 형성되는 제 2 전극을 포함하고, 상기 기판은 투광성을 갖고 각 모서리는 일정한 곡률을 갖는 라운드 형태를 갖는 것을 특징으로 한다.

[0016] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 의한 질화물 반도체 발광소자의 제조방법은 기판상에 버퍼층을 형성하는 단계; 상기 버퍼층상에 제 1 도전성 반도체층, 활성층 및 제 2 도전성 반도체층을 차례로 적층하여 발광 구조물을 형성하는 단계; 상기 제 2 도전성 반도체층의 일부 영역을 제 1 도전성 반도체층이 노출될 때까지 메시 에칭을 수행하는 단계; 상기 노출된 제 1 도전성 반도체층 상에 제 1 전극을 형성하고, 상기 제 2 도전성 반도체층 상에 제 2 전극을 각각 형성하는 단계; 상기 제 1 전극 및 제 2 전극이 형성된 기판을 랩핑 및 폴리싱하는 단계; 상기 랩핑 및 폴리싱 공정이 완료된 기판의 각 모서리를 라운드 형태로 가공하는 단계; 상기 각 모서리가 라운드 형태로 가공된 기판을 스크라이빙 및 브레이킹 공정을 통해 각 소자를 분리하는 단계를 포함하여 이루어진 것을 특징으로 한다.

**발명의 효과**

[0017] 본 발명에 의한 질화물 반도체 발광소자 및 그 제조방법은 다음과 같은 효과가 있다.  
 [0018] 첫째, 질화물 반도체 발광소자의 기판으로 사용되는 사파이어를 그 단면의 형상을 렌즈 형태로 가공하여 외부로 빛이 나오는 입계각을 크게 하여 최대한의 광 추출을 통해 광 추출 효율을 개선시킬 수 있다.  
 [0019] 둘째, 플립칩 방법의 패키지 적용시 기판의 일정한 곡률로 인한 형광체 물질을 균일하게 도포할 수 있다.

**도면의 간단한 설명**

[0020] 도 1은 종래 기술에 의한 질화물 반도체 발광소자를 나타낸 단면도  
 도 2a는 종래 기술에 의한 질화물 반도체 발광소자에서 기판의 최종 형태를 개략적으로 나타낸 단면도  
 도 2b는 도 2a의 기판 내부에 생성된 빛이 외부로 추출되는 형태를 나타낸 도면  
 도 3 내지 도 5는 본 발명에 의한 질화물 반도체 발광소자에서 기판의 최종 형태를 나타낸 단면도 및 기판 내부에 생성된 빛이 외부로 추출되는 형태를 나타낸 도면  
 도 6은 본 발명에 의한 질화물 반도체 발광소자를 나타낸 단면도

도 7은 본 발명에 의한 질화물 반도체 발광소자의 제조방법을 나타낸 순서도

도 8은 본 발명에 의한 질화물 반도체 발광소자의 제조방법에서 기관의 모서리를 라운드 형태로 가공하는 방법을 설명하기 위한 순서도

도 9는 종래와 본 발명의 질화물 반도체 발광소자에서 기관의 형상에 따른 광 추출 효율을 비교하기 위한 도면

도 10은 도 9의 식각 형상에 따른 광 추출 효율을 비교한 그래프

**발명을 실시하기 위한 구체적인 내용**

- [0021] 이하, 첨부된 도면을 참고하여 본 발명에 의한 질화물 반도체 발광소자 및 그 제조방법을 보다 상세히 설명하면 다음과 같다.
- [0022] 도 3 내지 도 5는 본 발명에 의한 질화물 반도체 발광소자에서 기관의 최종 형태를 나타낸 단면도 및 기관 내부에 생성된 빛이 외부로 추출되는 형태를 나타낸 도면이다.
- [0023] 본 발명에 의한 질화물 반도체 발광소자는 도 3 내지 도 5에 도시한 바와 같이, 기관의 가장자리를 둥근 형태로 제작하여 임계각을 넓힘으로써 내부에 생성된 빛이 외부로 추출되는 빛을 많이 하여 광 추출 효율을 향상시키고 있다.
- [0024] 도 6은 본 발명에 의한 질화물 반도체 발광소자를 나타낸 단면도이고, 도 7은 본 발명에 의한 질화물 반도체 발광소자의 제조방법을 나타낸 순서도이다.
- [0025] 본 발명에 의한 질화물 반도체 발광소자의 제조방법은 도 6 및 도 7에 도시한 바와 같이, 기관(110) 상에 버퍼층(112)을 형성하고, 상기 버퍼층(112) 상에 발광구조물(115)인 제 1 도전성 반도체층(120), 활성층(130) 및 제 2 도전성 반도체층(140)을 형성한다(S110).
- [0026] 상기 기관(110)은 투광성 재질로서 본 발명의 실시예에서는 사파이어 기관( $Al_2O_3$ )을 사용하고 있고, 그 외에 GaN, SiC, ZnO, Si, GaP, InP, 그리고 GaAs 등으로 이루어진 군에서 선택될 수 있으며, 필요에 따라 제거될 수도 있다.
- [0027] 상기 버퍼층(112)은 상기 기관(110)과의 격자 상수 차이를 줄여주기 위한 층으로서, GaN, AlN, AlGaIn, InGaIn, AlInGaIn 등이 선택적으로 이용하여 소정 두께(예를 들면, 150~1000Å)로 형성될 수 있다. 상기 버퍼층(112) 상에는 언도프드 반도체층(도시되지 않음)이 형성될 수 있으며, 상기 언도프드 반도체층은 undoped GaN 등으로 구현될 수 있다. 상기 기관(110) 상에는 상기 버퍼층(112) 및 언도프드 반도체층 중 적어도 하나의 층만 존재하거나, 또는 두 층 모두가 존재하지 않을 수도 있다.
- [0028] 상기 발광 구조물(115)은 실시 예의 기술적 범위 내에서 p-n접합, n-p 접합, p-n-p 접합, n-p-n 접합 등으로 변경될 수 있고, 각 층의 위 또는 아래에 다른 물질층이 추가될 수 있으며, 이러한 요소들의 적층 구조로 한정하지는 않는다.
- [0029] 상기 제 1 도전성 반도체층(120)은  $In_xAl_yGa_{1-x-y}N$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $0 \leq x+y \leq 1$ )의 조성식을 갖는 물질로 구현될 수 있는데, 예컨대 3족 원소와 5족 원소의 결합으로 이루어지는 InAlGaIn, GaN, AlGaIn, InGaIn 등에서 선택되는 n형 반도체층일 수 있으며, 상기 n형 반도체층에는 n형 도펀트(예를 들면, Si, Ge, Sn 등)가 도핑된다.
- [0030] 상기 활성층(130)은 단일 양자 우물 구조 또는 다중 양자 우물 구조를 갖는다. 상기 활성층(130)의 위 또는/및 아래에는 도전성 클래드층(도시되지 않음)이 형성될 수도 있으며, 상기 도전성 클래드층은 AlGaIn층으로 구현될 수 있다.
- [0031] 상기 제 2 도전성 반도체층(140)은 예컨대, p형 반도체층으로 구현될 수 있는데, 상기 p형 반도체층은 InAlGaIn, GaN, AlGaIn, InGaIn 등 중에서 선택될 수 있으며, p형 도펀트(예를 들면, Mg)가 도핑된다. 이러한 제 2 도전성 반도체층(140) 상에는 제 3 도전성 반도체층(도시되지 않음)이 형성될 수도 있다.
- [0032] 상기 제 2 도전성 반도체층(140)의 일부 영역을 제 1 도전성 반도체층(120)이 노출될 때까지 메사 에칭을 수행한다(S120).
- [0033] 상기 노출된 제 1 도전성 반도체층(120) 상에 제 1 전극(161)을 형성하고, 제 2 도전성 반도체층(140) 상에 제 2 전극(163)을 형성한다(S130).

- [0034] 상기 제 1 전극(161) 및 제 2 전극(163)이 형성된 기판(110)에 랩핑(Lapping) 및 폴리싱(polishing) 공정을 통해 기판(110) 하부를 소정 두께로 폴리싱한다(S140).
- [0035] 상기 랩핑(lapping)은 기판(110) 하부를 랩핑 공정으로 깎아내고, 그 랩핑된 면을 폴리싱(polishing)하여 매끄럽게 만든다. 여기서, 상기 랩핑은 CMP(chemical mechanical polishing), ICP/RIE 건식 식각, 사파이어(Al<sub>2</sub>O<sub>3</sub>) 가루를 이용한 기계적 폴리싱 또는 산(HCl), 질산(HNO<sub>3</sub>), 염화칼륨(KOH), NaOH 황산(H<sub>2</sub>SO<sub>4</sub>), 인산(H<sub>3</sub>PO<sub>4</sub>) 및 알루에치(4H<sub>3</sub>PO<sub>4</sub>+4CH<sub>3</sub>COOH+HNO<sub>3</sub>+H<sub>2</sub>O) 중 어느 하나 또는 어느 하나 이상의 조합에 의한 혼합 용액을 식각액으로 하는 습식 식각에 의하여 진행된다.
- [0036] 이때, 상기 기판(110)의 두께는 가능한 한 얇게 하는 것이 좋으나, 너무 얇으면 기판이 휘 염려가 있고 취급하기가 어려우므로 약 20 $\mu$ m~400 $\mu$ m(더욱, 바람직하게는 50 $\mu$ m~150 $\mu$ m) 정도로 하는 것이 바람직하다.
- [0037] 이어서, 상기 랩핑 및 폴리싱 공정이 완료된 기판(110)의 모서리를 라운드 형태로 가공한다(S150).
- [0038] 그리고 상기 라운드 형태로 가공된 기판(110)에 스크라이빙(scribing) 및 브레이킹(breaking) 공정을 통해 기판(110)을 일정 칩 크기로 절단한다(S160).
- [0039] 상기 스크라이빙 공정은 레이저 스크라이빙 공정 또는 팁(tip) 스크라이빙 공정으로 이용할 수 있으며, 칩의 기판부터 또는 칩의 제 2 도전성 반도체층(140)부터 스크라이빙을 수행하게 된다. 이러한 후 처리 공정은 그 기술 범위내에서 변경 가능하며, 상기한 내용으로 한정하지는 않는다.
- [0040] 한편, 상기 스크라이빙 또는 브레이킹 공정을 거치는 동안에 개개의 소자를 측정하는 공정을 포함한다.
- [0041] 도 8은 본 발명에 의한 질화물 반도체 발광소자의 제조방법에서 기판의 모서리를 라운드 형태로 가공하는 방법을 설명하기 위한 순서도이다.
- [0042] 도 8에 도시한 바와 같이, 제 1 전극(161) 및 제 2 전극(163)을 보호하기 위해 기판(110)의 표면에 포토레지스트(PR)를 3 $\mu$ m이상의 두께로 코팅한다(S151).
- [0043] 이어서, 상기 포토레지스트가 도포된 기판(110)을 오븐(oven)을 이용하여 120 $^{\circ}$ C의 챔버 분위기에서 하드 베이킹을 실시한다.
- [0044] 이어, 상기 포토레지스트(PR)에 포토 마스크를 사용하여 노광 및 현상 공정을 통해 선택적으로 패터닝한다(S152).
- [0045] 이어서, 상기 패터닝된 포토레지스트(PR)에 일정한 슬롭(slop)을 갖도록 핫 플레이트를 이용한 포토레지스트 베이킹을 실시한다. 여기서, 상기 포토레지스트(PR)의 슬롭의 각도는 45 $^{\circ}$ 가 적당하나 그 범위는 한정하지 않는다. 상기 포토레지스트(PR)의 슬롭은 핫 플레이트의 온도와 베이킹 시간으로서 결정을 한다.
- [0046] 이어서, 상기 패터닝된 포토레지스트(PR)를 마스크로 이용하여 각 질화물 반도체 발광소자의 크기와 맞게 포토 패터닝을 한 후 건식 식각장치를 이용하여 식각한다(S153). 여기서 건식 식각은 ICP(Inductively Coupled Plasma) 장비가 적당하며 Cl<sub>2</sub> 및 BCl<sub>3</sub>가스를 혼합하여 기판(110)을 식각한다.
- [0047] 그리고 상기 기판(110)의 식각 공정이 완료되면 유기세정제를 이용하여 포토레지스트(PR)를 제거한다(S154). 이때, 소자의 표면을 보호하기 위해 도포된 포토레지스터도 동시에 제거가 된다.
- [0048] 아래의 표 1은 종래와 본 발명의 질화물 반도체 발광소자에서 기판의 형상에 따른 광 추출 효율을 비교한 것이다. 또한, 도 9는 종래와 본 발명의 질화물 반도체 발광소자에서 기판의 형상에 따른 광 추출 효율을 비교하기 위한 도면이다.
- [0049] 도 10은 도 9의 식각 형상에 따른 광 추출 효율을 비교한 그래프이다.

**표 1**

[0050]	형태(shape)	종래	본 발명(도 3)	본 발명(도 4)	본 발명(도 5)
	효율(efficiency)	100%	127%	386%	236%

[0051] 표 1 및 도 9와 도 10에서와 같이, 질화물 반도체 발광소자의 기판을 라디안(라운드) 형태로 가공할 경우 종래

와 비교하여 외부로 빠져나오는 빛을 최대한 많이 하여 광 추출 효율을 개선할 수 있다.

[0052] 한편, 라디안을 가지는 기관의 범위는 질화물 반도체 발광소자의 면적과 동일하다.

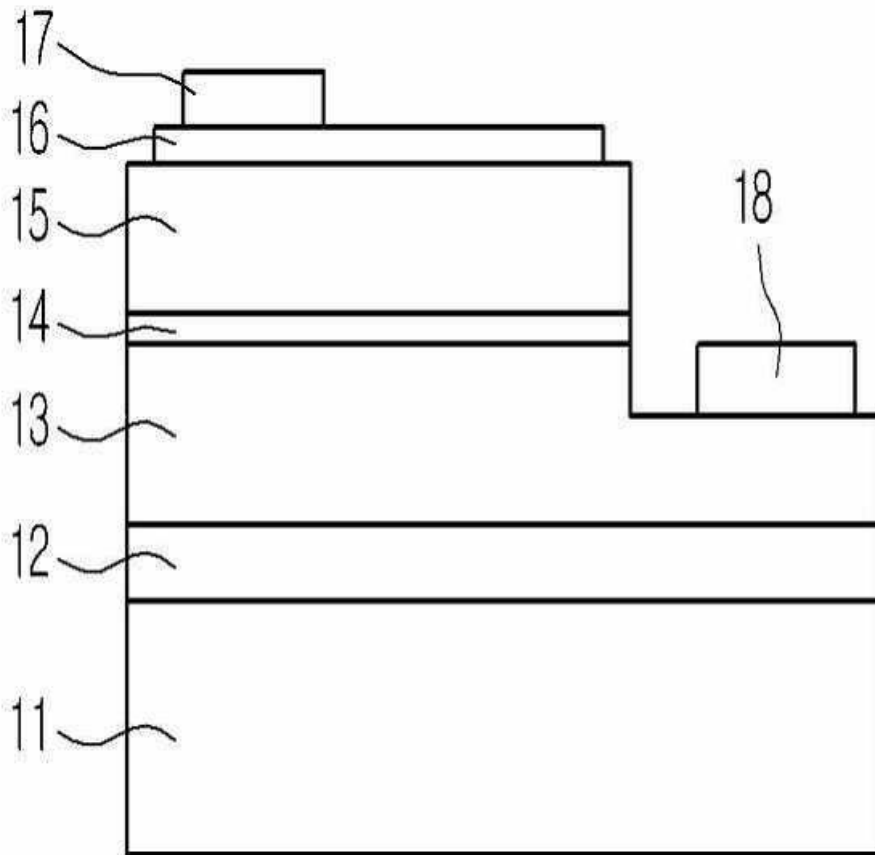
[0053] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범상에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술 범위는 상기 실시예에 기재된 내용으로 한정되는 것이 아니라, 특허 청구의 범상에 의하여 정해져야 한다.

**부호의 설명**

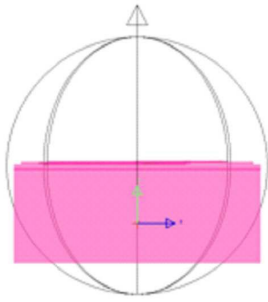
- |        |              |                    |
|--------|--------------|--------------------|
| [0054] | 110 : 기관     | 112 : 버퍼층          |
|        | 115 : 발광 구조물 | 120 : 제 1 도전성 반도체층 |
|        | 130 : 활성층    | 140 : 제 2 도전성 반도체층 |
|        | 161 : 제 1 전극 | 163 : 제 2 전극       |

**도면**

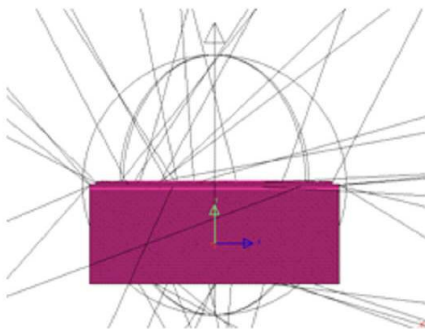
**도면1**



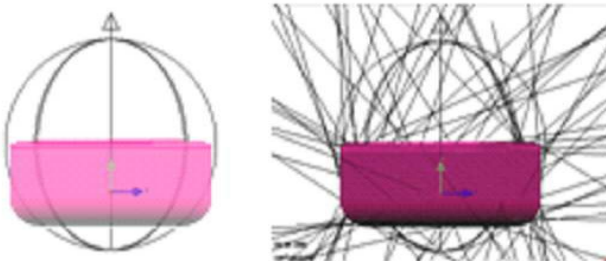
도면2a



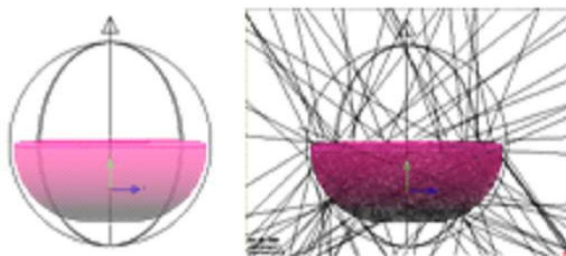
도면2b



도면3

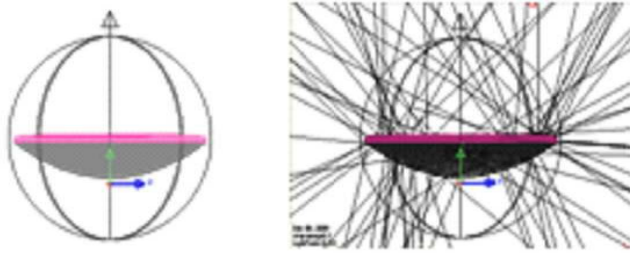


도면4

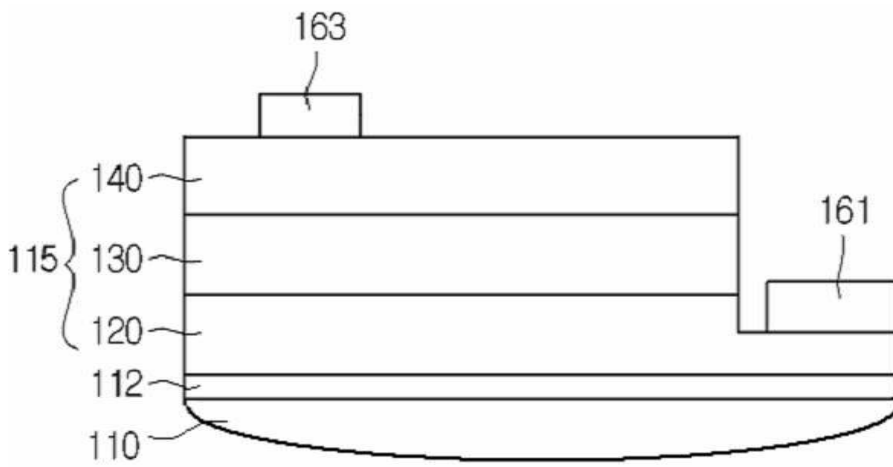




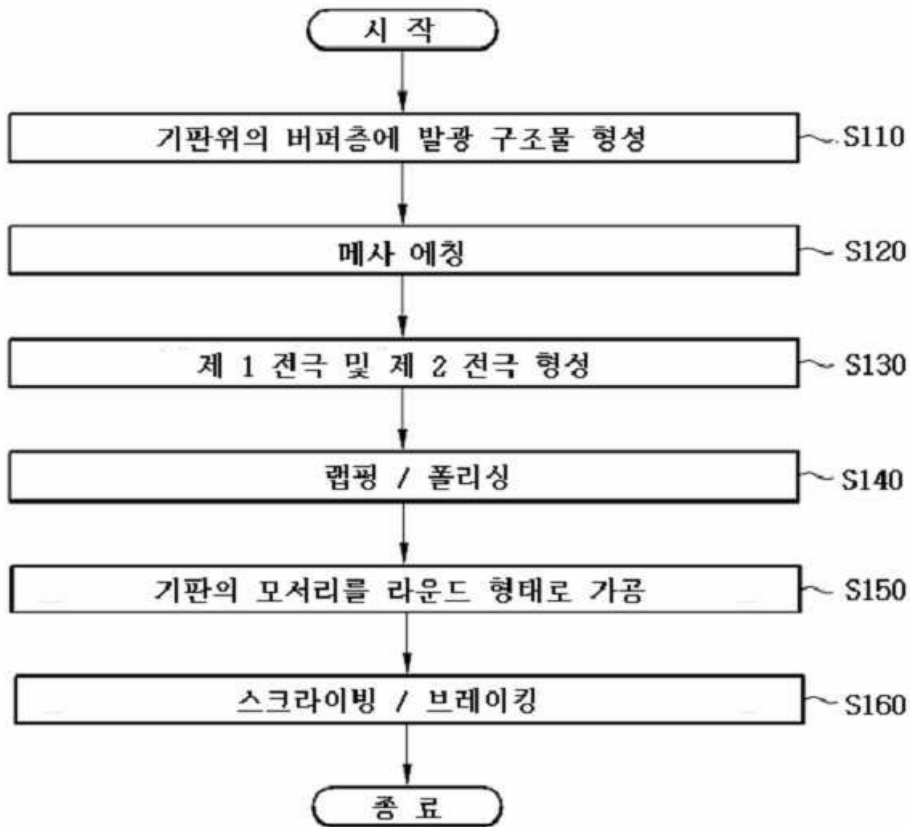
도면5



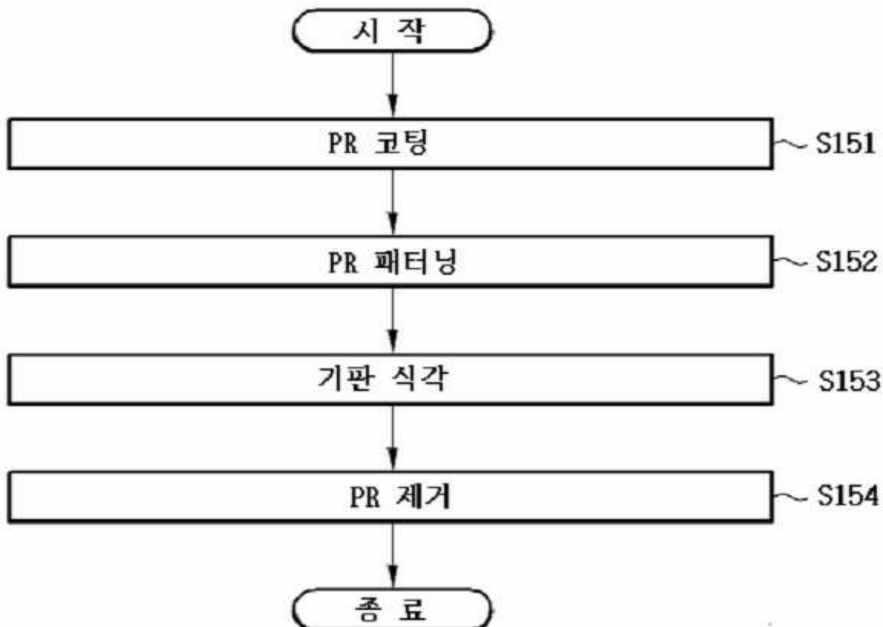
도면6



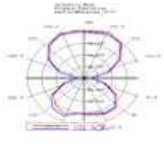

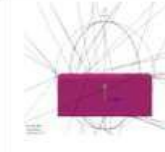

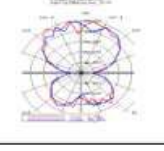



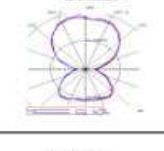


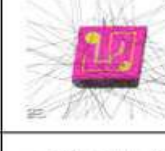
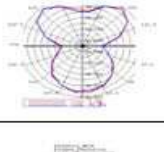
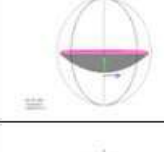
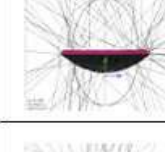
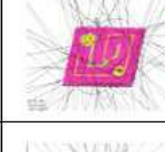
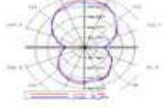

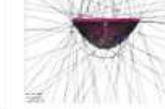
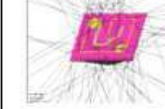
도면7



도면8



도면9

곡률	지향각	단면	단면(Ray)	Tilt(Ray)
총래				
발명 1 Fillet 650um				
발명 2 곡률 200um				
발명 3 비구면				
발명 4 비구면				

도면10

