

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97126488

※ 申請日期：97.07.11 ※IPC 分類：G09G 3/36 (2006.01)

一、發明名稱：(中文/英文) G11C 19/00 (2006.01)

移位暫存器

SHIFT REGISTER

二、申請人：(共1人)

姓名或名稱：(中文/英文)

勝華科技股份有限公司

Wintek Corporation

代表人：(中文/英文) 黃顯雄 Hyley H. Huang

住居所或營業所地址：(中文/英文)

台中縣潭子鄉台中加工出口區建國路10號

10, Chien-Kuo Road, TEPZ Tantz, Taichung, 427 Taiwan, R. O. C.

國籍：(中文/英文) 中華民國 Taiwan(R. O. C.)

三、發明人：(共3人)

姓名：(中文/英文)

1. 詹建廷 CHAN, CHIEN-TING

2. 韓西容 HAN, HSI-RONG

3. 王文俊 WANG, WEN-CHUN

國籍：(中文/英文)

1.-3. 中華民國 (R. O. C.)

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種移位暫存器(Shift Register)，且特別是有關於一種具有經由電容之電荷儲存能力來進行位準控制操作之位準控制電路之移位暫存器。

【先前技術】

在科技發展日新月異的現今時代中，液晶顯示器已經廣泛地應用在電子顯示產品上，如電視、電腦螢幕、筆記型電腦、行動電話或個人數位助理等。液晶顯示器係包括資料驅動器(Data Driver)、掃描驅動器(Scan Driver)及液晶顯示面板，其中液晶顯示面板中具有畫素陣列，而掃描驅動器用以依序開啟畫素陣列中對應之畫素列，以將資料驅動器輸出之畫素資料傳送至畫素，進而顯示出欲顯示之影像。

現今之技術多以移位暫存器(Shift Register)來實現出可依序開啟畫素陣列中對應之畫素列的掃描驅動器。請參照第 1 圖，其繪示傳統移位暫存器單元的電路圖。移位暫存器單元 SR(n)係透過推升效應(Bootstrapping)產生位準控制訊號 VC(n)。控制訊號 VC(n)之位準實質上大於或等於位準 VDD-V_{th}，其中位準 VDD 例如為移位暫存器單元 SR(n)之高電壓位準，V_{th} 為電晶體 TA 之臨界電壓。電晶體 TA 回應於控制訊號 VC(n)來將高位準之時序訊號 CKZ 做為掃描訊號 SC(n)輸出，其中時序訊號 CKZ 之高位準等

於電壓位準 VDD。

然而，傳統移位暫存器單元 SR(n)係使用控制訊號 VC(n)來控制電晶體 TA 及 TB 之操作，如此，將使得控制訊號 VC(n)欲驅動之電路負載較高，導致控制訊號 VC(n)之位準較低。舉例來說，控制訊號 VC(n)之位準係低於位準 VDD-V_{th}。這樣一來，將會使得掃描訊號 SC(n)之位準實質上低於高電壓位準 VDD，導致掃描訊號 SC(n)之位準過低，而降低液晶顯示器之顯示畫面品質。

另外，電晶體 TB 之長寬比約為電晶體 TC 之長寬比之十倍，而電晶體 TC 被偏壓為二極體(Diode)。如此，由電晶體 TC 及 TB 形成之反向器 INV 可回應於控制訊號 VC(n)來產生與其互為反相之輸出訊號 V_g。然而，由於電晶體 TC 之長寬比較小，如此當其導通時需承受電晶體 TA 產生之之較大電流。這樣一來，將會使電晶體 TC 產生壞損，導致移位暫存器單元產生誤動作並使液晶顯示器之壽命較短。因此如何設計出使用壽命長之位準控制器及移位暫存器，以提升液晶顯示器之使用壽命及其畫面品質乃業界所致力之方向之一。

【發明內容】

本發明係提出一種移位暫存器(Shift Register)，相較於傳統移位暫存器，本發明提出之移位暫存器可降低控制訊號 VC(n)需驅動之電路負載、縮短控制訊號 VC(n)位準轉換所需之時間、避免掃描訊號 SC(n)之位準因控制訊號

VC(n)之位準轉換時間過長而發生錯誤、延長移位暫存器之使用壽命並使得應用本發明提出之移位暫存器的液晶顯示器具有較佳的顯示畫面品質。

根據本發明提出一種移位暫存器，包括多級移位暫存器單元，各級移位暫存器單元用以經由輸出端產生多個掃描訊號。各級移位暫存器單元包括：位準提升電路、位準拉低電路、驅動電路及位準控制電路。位準提升電路回應於第一控制訊號之致能位準控制掃描訊號等於第一時序訊號。位準拉低電路回應於第二控制訊號之致能位準控制掃描訊號等於第一電壓。驅動電路回應於輸入訊號之致能位準及第二控制訊號之致能位準分別控制第一控制訊號為致能位準及為非致能位準。位準控制電路回應於輸入訊號之致能位準及輸入訊號之非致能位準分別控制第二控制訊號為非致能位準及為致能位準。

為讓本發明之上述內容能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下多個實施例之移位暫存器(Shift Register)中，各級移位暫存器單元分別以一輸入訊號來驅動各級移位暫存器單元中之電晶體。其中，各級移位暫存器單元中之電晶體可以是非晶矽薄膜電晶體(Amorphous TFT)、多晶矽薄膜電晶體(Poly-silicon TFT)或是N型金氧半(Metal Oxide Semiconductor, MOS)電晶體。

第一實施例

本實施例中之移位暫存器係應用在單邊掃描驅動器中。請參照第 2 圖，其繪示依照本發明實施例的液晶顯示器的方塊圖。液晶顯示器 10 包括資料驅動器 12、掃描驅動器 14 及顯示面板 16。資料驅動器 12 用以經由 m 條資料線 11 來提供資料訊號 $SD(1)\sim SD(m)$ 至顯示面板 16，而掃描驅動器 14 用以經由 n 條掃描線 13 來提供掃描訊號 $SC(1)\sim SC(n)$ 至顯示面板 16。而顯示面板 16 包括 $n*m$ 之畫素陣列，其中各 n 列畫素 $a_1\sim a_n$ 係分別受到掃描訊號 $SC(1)\sim SC(n)$ 之驅動，來分別根據與其對應之資料訊號 $SD(1)\sim SD(m)$ 顯示畫面。其中， n 及 m 為自然數。

在本實施例中，掃描驅動器 14 例如具有移位暫存器 24，其中之 n 級移位暫存器單元分別用以提供掃描訊號 $SC(1)\sim SC(n)$ 。接下來係對移位暫存器 24 作進一步說明。

請參照第 3 圖，其繪示依照本發明實施例之移位暫存器的方塊圖。移位暫存器 24 包括 n 級移位暫存器單元 $S(1)\sim S(n)$ ，以分別輸出掃描訊號 $SC(1)\sim SC(n)$ 。各級位暫存器單元 $S(1)\sim S(n)$ 包括輸入端 IN、輸出端 OUT、控制端 RT、節點 NT1、時序端 C1 與時序端 C2。移位暫存器單元 $S(1)$ 之輸入端 IN 接收起始訊號 STV，輸出端 OUT 輸出掃描訊號 $SC(1)$ 。移位暫存器單元 $S(2)\sim S(n)$ 之輸入端 IN 分別接收前一級移位暫存器之輸出端 OUT 所輸出之掃描訊號 $SC(1)\sim SC(n-1)$ ，輸出端 OUT 分別輸出掃描訊號 $SC(2)\sim SC(n)$ 。

移位暫存器單元 $S(1)\sim S(n)$ 中之奇數序移位暫存器單元 $S(1)$ 、 $S(3)$ 、...、 $S(n-1)$ 之時序端 C1 接收時序訊號 CLK，其中之偶數序移位暫存器單元 $S(2)$ 、 $S(4)$ 、...、 $S(n)$ 之時序端 C1 接收時序訊號 CLKB。時序訊號 CLKB 實質上為時序訊號 CLK 之反相訊號。移位暫存器單元 $S(2)\sim S(n)$ 輸出之掃描訊號 $SC(2)\sim SC(n)$ 更被輸出至移位暫存器單元 $S(1)\sim S(n-1)$ 之控制端 RT。移位暫存器單元 $S(1)\sim S(n)$ 例如具有相近之結構與操作，接下來以移位暫存器單元 $S(1)\sim S(n)$ 中之第 j 級移位暫存器單元 $S(j)$ 為例來對移位暫存器單元 $S(1)\sim S(n)$ 之操作作說明。其中， j 為小於或等於 n 之自然數。

請參照第 4 圖，其繪示乃第 3 圖中移位暫存器單元 $S(j)$ 的詳細電路圖。移位暫存器單元 $S(j)$ 包括驅動電路 202、位準控制電路 204、位準提升電路 206 及位準拉低電路 208。位準控制電路 204 包括電晶體 $T1\sim T3$ 、節點 P2、P3 及電容 C。節點 P2 及 P3 上之電壓例如分別被定義為控制訊號 $Vc2(j)$ 及 $Vc3(j)$ 。電晶體 T2 及 T3 之汲極(Drain)分別耦接至節點 P2 及 P3，源極(Source)接收低電壓 VSS，閘極(Gate)接收輸入訊號。其中輸入訊號例如前一級移位暫存器單元輸出之掃描訊號 $SC(j-1)$ ，電晶體 T2 及 T3 用以回應於高位準之掃描訊號 $SC(j-1)$ 導通，以分別使控制訊號 $Vc2(j)$ 及 $Vc3(j)$ 等於低電壓 VSS。

電容 C 之一端接收時序訊號 CLKB，另一端耦接至節點 P3。電容 C 用以儲存時序訊號 CLKB 相對於節點 P3 之

電壓。電晶體 T1 之汲極接收高電壓 VDD，源極耦接至節點 P2，閘極耦接至節點 P3。電晶體 T1 用以回應於高位準之控制訊號 $Vc3(j)$ 導通，以使控制訊號 $Vc2(j)$ 等於高電壓 VDD。

驅動電路 202 包括電晶體 T4~T6，其中電晶體 T4 之汲極與閘極相互耦接以接收輸入訊號，源極耦接至節點 P1，節點 P1 上之電壓係被定義為控制訊號 $Vc1(j)$ 。電晶體 T4 用以回應於高位準之掃描訊號 $SC(j-1)$ 導通，以使控制訊號 $Vc1(j)$ 等於高位準。其中，當 j 不等於 1 時，輸入訊號為掃描訊號 $SC(j-1)$ ；當 j 等於 1 時，輸入訊號為起始訊號 STV。在接下來的敘述中，以 j 大於 1 的情形為例作說明。

電晶體 T5 及 T6 之汲極耦接至節點 P1，閘極分別接收控制訊號 $Vc2(j)$ 及下一級移位暫存器單元提供之掃描訊號 $SC(j+1)$ ，源極接收低電壓 VSS。電晶體 T5 及 T6 分別用以回應於高位準之控制訊號 $Vc2(j)$ 及 $SC(j+1)$ 導通，以使控制訊號 $Vc1(j)$ 等於低電壓 VSS。

位準提升電路 206 包括電晶體 T7，此電晶體 T7 之汲極接收時序訊號 CLK，閘極耦接至節點 P1，源極耦接至輸出端 OUT。輸出端 OUT 用以輸出掃描訊號 $SC(j)$ 。電晶體 T7 用以回應於高位準之控制訊號 $Vc1(j)$ 導通，以使掃描訊號 $SC(j)$ 實質上等於時序訊號 CLK。

位準拉低電路 208 包括電晶體 T8 及 T9，其中電晶體 T8 及 T9 之汲極耦接至節點 OUT，閘極分別接收控制訊號

$V_{c2(j)}$ 及下一級移位暫存器單元提供之掃描訊號

$SC(j+1)$ ，源極接收低電壓 V_{SS} 。電晶體 T8 及 T9 分別用以回應於高位準之控制訊號 $V_{c2(j)}$ 及 $SC(j+1)$ 導通，以使掃描訊號 $SC(j)$ 等於低電壓 V_{SS} 。

第 5A~5C 圖繪示乃第 4 圖之移位暫存器單元 $S(j)$ 的相關訊號時序圖。於時間週期 TP1 中，掃描訊號 $SC(j-1)$ 與時序訊號 $CLKB$ 等於高電壓 V_{DD} ，時序訊號 CLK 及掃描訊號 $SC(j+1)$ 等於低電壓 V_{SS} 。此時電晶體 T5、T6 及 T9 為關閉，電晶體 T4 導通並使電晶體 T7 導通，使掃描訊號 $SC(j)$ 等於時序訊號 CLK ，即是等於低電壓 V_{SS} 。電晶體 T4 並使控制訊號 $V_{c1(j)}$ 之位準滿足： $V_{c1(j)}=V_{DD}-V_{th}$ 。電晶體 T2 及 T3 為導通，以分別使控制訊號 $V_{c2(j)}$ 及 $V_{c3(j)}$ 等於低電壓 V_{SS} ，以關閉電晶體 T8。其中 V_{th} 為電晶體 T4 之臨界電壓。此時電容 C 兩端之跨壓實質上等於高電壓 V_{DD} 。

於時間週期 TP2 中，時序訊號 CLK 由低電壓 V_{SS} 提升等於高電壓 V_{DD} ，此巨幅之電壓變化將使電壓訊號 $V_{c1(j)}$ 因推升效應(Boot-Strapping)而進一步提升一個差值電壓 ΔV ，使電壓訊號 $V_{c1(j)}$ 滿足： $V_{c1(j)}=V_{DD}-V_{th}+\Delta V$ 。

在本實施結構中，差值電壓 ΔV 滿足：
$$\Delta V = \frac{C_{gs}}{C_{p1} + C_{gs}}(V_{DD} - V_{SS})$$

其中 C_{gs} 為電晶體 T7 之內部寄生電容，而 C_{P1} 為節點 P1 看到之等效電容。此時控制訊號 $V_{c2(j)}$ 、 $V_{c3(j)}$ 及掃描訊號 $SC(j+1)$ 均等於低電壓 V_{SS} ，以關閉電晶體 T5、T6、T8

及 T9。此時掃描訊號 SC(j)快速充電至高電壓 VDD，電容 C 兩端之跨壓實質上等於零。

於時間週期 TP3 中，掃描訊號 SC(j+1)與時序訊號 CLKB 接近高電壓 VDD，掃描訊號 SC(j-1)及時序訊號 CLK 等於低電壓 VSS，此時電晶體 T2~T4 及 T7 為關閉。而時序訊號 CLKB 之上升緣將使電容 C 充電，並使控制訊號 Vc3(j)之位準實質上接近時序訊號 CLKB 之位準，亦即是高電壓 VDD，使電晶體 T5 及 T8 導通。而電晶體 T6 及 T9 亦為導通，此時，電晶體 T5 及 T6 係快速地將控制訊號 Vc1(j)放電至低電壓 VSS，電晶體 T8 及 T9 係快速地將掃描訊號 SC(j)放電至低電壓 VSS。

請參照第 5B，其繪示乃第 4 圖中控制訊號 Vc2(j)與 Vc3(j)的訊號模擬圖。在第 4 圖中，電晶體 T1~T3 之長寬比(W/L Ratio)例如等於 50/5，而電容 C 例如等於 0.5 微微法拉(Pico Farad)。由以上之敘述可知，本實施方式之移位暫存器單元 S(j)可經由位準控制電路 204 來於時序週期 TP3 中產生高位準之控制訊號 Vc2(j)導通電晶體 T8 使掃描訊號 SC(j)等於低電壓 VSS，達到移位暫存器單元 S(j)之操作。亦即，於時序週期 TP3 時，本實施方式之位準控制電路 204 經由電容 C 之充放電操作與時序訊號 CLKB 之互動以提供與控制訊號 Vc1(j)實質上反向之控制訊號 Vc2(j)。

由前述操作可知，本實施例之移位暫存器單元 S(j)可以掃描訊號 SC(j-1)(或是起始訊號 STV)來控制位準控制電路 204 之操作。如此，相較於傳統移位暫存器單元，本實

施例之移位暫存器單元 $S(j)$ 可有效地降低控制訊號 $Vc1(j)$ 驅動之電路負載，以避免控制訊號 $Vc1(j)$ 之位準因電路負載較高而過低(例如低於電壓位準： $VDD-V_{th}$)，並避免掃描訊號 $SC(j)$ 之位準過低(例如低於電壓位準 VDD)。

另外，移位暫存器單元 $S(j)$ 中之位準控制電路 204 係經由電容 C 之充放電操作與時序訊號 $CLKB$ 之互動來回應於掃描訊號 $SC(j-1)$ 提供與其互為實質上反向之控制訊號 $Vc2(j)$ 。在位準控制電路 204 中，電晶體 $T1\sim T3$ 具有實質上相同之長寬比。如此，相較於傳統移位暫存器單元，本實施例之位準控制電路 204 可避免在傳統移位暫存器單元 $SR(n)$ 中因電晶體 TB 與 TC 尺寸不匹配，導致電晶體 TC 承受過高之電流而壞損之問題。

在本實施例中雖僅以移位暫存器單元 $S(1)\sim S(n)$ 中之第 j 級移位暫存器單元 $S(j)$ 的操作為例作說明，然，移位暫存器 24 中其他級移位暫存器單元之結構與操作可根據移位暫存器單元 $S(j)$ 之相關敘述類推得到。

在本實施例中，雖僅以移位暫存器單元 $S(j)$ 之電晶體 $T6$ 及 $T9$ 回應於下一級移位暫存器單元 $S(j+1)$ 提供之掃描訊號 $SC(j+1)$ 來拉低控制訊號 $Vc1(j)$ 及掃描訊號 $SC(j)$ 的情形為例作說明，然，電晶體 $T6$ 及 $T9$ 並不侷限於回應於下一級移位暫存器單元 $S(j+1)$ 提供之掃描訊號來進行操作。舉例來說，移位暫存器單元 $S(j)$ 更可回應於第 $j+2$ 級移位暫存器單元 $S(j+2)$ 中之控制訊號 $Vc1(j+2)$ 來進行拉低控制訊號 $Vc1(j)$ 及掃描訊號 $SC(j)$ 之操作。換言之，請參照第 6

圖，移位暫存器 24' 中各級移位暫存器單元 $S'(1) \sim S'(n-2)$ 之控制端 RT 亦可分別回應於移位暫存器單元 $S'(3) \sim S'(n)$ 之控制訊號 $Vc1(3) \sim Vc1(n)$ 來進行操作。

請參照第 7 圖，其繪示乃第 6 圖中移位暫存器單元 $S'(j)$ 的詳細電路圖。更詳細的說，電晶體 T6 及 T9 之閘極接收之訊號係為移位暫存器單元 $S'(j+2)$ 之控制訊號 $Vc1(j+2)$ ，亦即為下二級移位暫存器單元中節點 P1 點的訊號。

在本實施例中，雖僅以移位暫存器單元 $S(j)$ 具有如第 4 圖所繪示之結構的情形為例作說明，然，移位暫存器單元 $S(j)$ 並不侷限於具有第 4 圖所繪示之結構，而移位暫存器單元 $S(j)$ 之電路更可進行其他更動。舉例來說，移位暫存器單元 $S''(j)$ 亦可省略第 4 圖中電晶體 T1 及 T2 之設計，而直接以控制訊號 $Vc3(j)$ 來對電晶體 T5 及電晶體 T8 進行控制，如第 8 圖所示。根據第 5B 圖可知，控制訊號 $Vc2(j)$ 及 $Vc3(j)$ 在時間週期 TP3 中均由低電壓 VSS 提升至高電壓 VDD。因此，電晶體 T6 及 T8 可在時間週期 TP3 中回應於高位準之控制訊號 $Vc3(j)$ 來分別拉低控制訊號 $Vc1(j)$ 及掃描訊號 $VC(j)$ 至低電壓 VSS。

本實施方式中之控制訊號 $Vc2(j)$ 於時序週期 TP1~TP3 以外之時間週期中，持續維持在一個稍微小於高電壓 VDD 之另一電壓（如圖 5B 所示），例如當 $VDD=15v$ 時， $Vc2(j)=13v$ ，此時控制訊號 $Vc2(j)$ 會持續導通電晶體 T5 及 T8 來控制掃描訊號 $SC(j)$ 等於低電壓 VSS，以避免掃描訊號

SC(j)受到雜訊干擾，導致應用本實施方式之移位暫存器 24 之掃描驅動器之掃描動作發生錯誤。然而長時間導通將使電晶體 T5 及 T8 之臨界電壓易因應力效應(Stress Effect)而提升而產生誤動作(Malfunction)。本實施方式中之電晶體 T6 及 T9 可分別於電晶體 T5 及 T8 產生誤動作時拉低掃描訊號 SC(j)至低電壓 VSS，以避免掃描訊號 SC(j)之位準發生錯誤。如此，本實施例移位暫存器單元 S(j)更具有使用壽命較長之優點。

本實施例之移位暫存器中各級移位暫存器單元分別以各級移位暫存器之輸入訊號來驅動各級移位暫存器單元中之電晶體。如此，相較於傳統移位暫存器單元，本實施例之移位暫存器可有效地降低各級移位暫存器單元中特定控制訊號驅動之電路負載、縮短控制訊號位準轉換所需之時間、避免各對應之掃描訊號之位準因此控制訊號之位準轉換時間過長而發生錯誤並使得應用本發明提出之移位暫存器的液晶顯示器具有較佳的顯示畫面品質。

另外，本實施例之移位暫存器之位準控制器係經由電容之充放電操作與時序訊號之互動來回應於控制訊號提供與其互為實質上反向之控制訊號。相較於傳統移位暫存器單元，本實施例之移位暫存器具有位準控制電路中之電晶體尺寸大小為匹配、電晶體不易壞損、移位暫存器單元不易發生誤動作及使應用其之液晶顯示器使用壽命較長及顯示畫面品質較佳之優點。

第二實施例

本實施例中之移位暫存器係應用在雙邊掃描驅動器中。請參照第 9 圖，其繪示依照本發明第二實施例的液晶顯示器的方塊圖。本實施例之液晶顯示器 10' 與第一實施例之液晶顯示器 10 不同之處在於第一實施例中之掃描驅動器 14 被掃描驅動器 34 取代。掃描驅動器 34 為雙邊掃描驅動器，其包括奇數序及偶數序掃描驅動器 34a 及 34b。

奇數序掃描驅動器 34a 用以經由掃描線 33a 提供奇數序掃描訊號 SC(1)、SC(3)、...、SC(n-1) 至顯示面板 16；偶數序掃描驅動器 34b 用以經由掃描線 33b 提供偶數序掃描訊號 SC(2)、SC(4)、...、SC(n) 至顯示面板 16，n 例如為偶數。奇數序及偶數序掃描驅動器 34a 及 34b 分別包括移位暫存器 44a 及 44b。其中，移位暫存器 44a 及 44b 具有實質上相近之結構與操作，接下來，係僅對移位暫存器 44a 之結構與操作作進一步說明，而移位暫存器 44b 之結構與操作可根據移位暫存器 44a 之相關敘述類推得到。

請參照第 10 圖，其繪示依照本發明實施例之移位暫存器的方塊圖。移位暫存器 44a 係包括掃描驅動器 34 中之奇數序移位暫存器單元 SH(1)、SH(3)、SH(5)、...、SH(n-1)，各移位暫存器單元 SH(1)~SH(n-1) 例如其分別用以輸出奇數序掃描訊號 SC(1)~SC(n-1)。

移位暫存器單元 SH(1)~SH(n-1) 中之移位暫存器單元 SH(1)、SH(5)、SH(9)、...、SH(n-3) 之時序端 C1 接收時序訊號 CLK1，其中之移位暫存器單元 SH(3)、SH(7)、

SH(11)、...、SH(n-1)之時序端 C1 接收時序訊號 CLK3。移位暫存器單元 SH(1)~SH(n-3)之控制端 RT 分別接收移位暫存器單元 SH(3)~SH(n-1)之節點 NT1 之電壓訊號以做為控制訊號 Vc1(1)~Vc1(n-1)。移位暫存器單元 SH(1)~SH(n-1)例如具有相近之結構與操作，接下來以移位暫存器單元 SH(1)~SH(n-1)中之第 i 級移位暫存器單元 SH(i)為例為例來對移位暫存器單元 SH(1)~SH(n-1)之操作作說明。其中，i 為小於或等於 n-1 之奇數。

請參照第 11 及第 12 圖，第 11 圖繪示乃第 9 圖中第 i 級移位暫存器單元 SH(i)的詳細電路圖，第 12 圖繪示乃第 10 圖的相關訊號時序圖。本實施例之移位暫存器單元 SH(i)與第一實施例之移位暫存器單元 S(j)不同之處在於其之輸入端 IN 接收之輸入訊號為掃描訊號 SC(i-2)，控制端 RT 用以接收控制訊號 Vc1(i+2)。

移位暫存器單元 SH(i)與第一實施例之移位暫存器單元 S(j)不同之處在於時序訊號 CLK1 及 CLK3 處於高位準的時間實質上等於移位暫存器單元 S(j)所接收之時序訊號 CLK 及 CLKB 處於高位準的時間的兩倍。如此，移位暫存器單元 SH(i)係對應地在時間長度實質上提升為兩倍之時間週期 TP1' 及 TP2' 中，分別執行移位暫存器單元 S(j)在時間週期 TP1 及 TP2 中執行之操作。在時間週期 TP3' 中，移位暫存器單元 SH(i)係回應於控制訊號 Vc1(i+2)之高位準來執行與移位暫存器單元 S(j)在時間週期 TP3 中執行之操作。

根據第 11 圖、第 12 圖及第二實施例中移位暫存器單元 SH(i)之操作敘述可知，本實施例之掃描訊號 SC(i)處於高位準的時間實質上提升為第一實施例中對應之掃描訊號 SC(j)處於高位準的時間的兩倍，且掃描訊號 SC(i)處於高位準的時間分別與掃描訊號 SC(i+1)及 SC(i-1)處於高位準的時間係彼此部分重疊。舉例來說，掃描訊號 SC(i)與掃描訊號 SC(i+1)在時間週期 TP2' 的後半段期間 Tx2 均為導通，掃描訊號 SC(i)與掃描訊號 SC(i-1)在時間週期 TP2' 的前半段期間 Tx1 均為導通。如此，可知本實施例之液晶顯示器 10' 實質上為一個具有液晶電容預先充電 (Pre-charge) 功能之液晶顯示器。

舉例來說，在時間週期 TP2' 中，顯示面板 16 中第 i 列畫素 a(i) 及第 i-1 列畫素 a(i-1) 分別回應於掃描訊號 SC(i) 及 SC(i-1) 而導通，此時資料驅動器 12 輸出之 m 筆第一資料為欲寫入第 i-1 列畫素 a(i-1) 之 m 個畫素之資料。對於第 i 列畫素 a(i) 而言，此 m 筆第一資料為預先充電資料，用以對第 i 列畫素 a(i) 之 m 個畫素之畫素電容進行預先充電。

在期間 Tx2 中，顯示面板 16 中第 i+1 畫素 a(i+1) 及第 i 列畫素 a(i) 分別回應於掃描訊號 SC(i+1) 及 SC(i) 而導通，此時資料驅動器 12 輸出之 m 筆第二資料為欲寫入第 i 列畫素 a(i) 之 m 個畫素之資料。此時，第 i 列畫素 a(i) 中之 m 個畫素係分別儲存 m 筆第二資料，並顯示對應之影像畫面。對於第 i+1 列畫素 a(i+1) 而言，此 m 筆第二資料為預

先充電資料，用以對第 $i+1$ 列畫素 $a(i+1)$ 之 m 個畫素之畫素電容進行預先充電。

如上述之操作，本實施例之各列畫素中之 m 個畫素可分別根據欲寫入前一系列畫素之 m 個畫素之 m 筆資料進行畫素電容之預先充電操作。

在本實施例中雖僅以移位暫存器單元 $SH(1)\sim SH(n-1)$ 中之第 i 級移位暫存器單元 $SH(i)$ 的操作為例作說明，然，移位暫存器 44a 中其他級移位暫存器單元之結構與操作可根據移位暫存器單元 $SH(i)$ 之相關敘述類推得到。而移位暫存器 44b 中各級移位暫存器單元之操作可根據移位暫存器 44a 中移位暫存器 $SH(i)$ 之操作類推得到。

在本實施例中，雖僅以移位暫存器單元 $SH(i)$ 之電晶體 $T6'$ 及 $T9'$ 回應於控制訊號 $Vc1(i+2)$ 來拉低控制訊號 $Vc1(i)$ 及掃描訊號 $SC(I)$ 的情形為例作說明，然，電晶體 $T6'$ 及 $T9'$ 並不侷限於回應於控制訊號 $Vc1(i+2)$ 來進行操作。

在本實施例中，雖僅以移位暫存器單元 $SH(i)$ 中包括電晶體 $T1'$ 及 $T2'$ 的情形為例作說明，然，移位暫存器單元 $SH(i)$ 之電路並不侷限於此。舉例來說，移位暫存器單元 $SH(i)$ 亦可進行如第 8 圖之變動來省略電晶體 $T1'$ 及 $T2'$ 之設置，而直接以控制訊號 $Vc3(i)$ 來控制電晶體 $T5'$ 及 $T6'$ 之操作。

與第一實施例中之移位暫存器相近地，本實施例之移位暫存器可有效地降低各級移位暫存器單元中特定控制

訊號驅動之電路負載、縮短控制訊號位準轉換所需之時間、避免各對應之掃描訊號之位準因此控制訊號之位準轉換時間過長而發生錯誤並使得應用本發明提出之移位暫存器的液晶顯示器具有較佳的顯示畫面品質。另外，本實施例之移位暫存器亦具有位準控制電路中之電晶體尺寸大小為匹配、電晶體不易壞損、移位暫存器單元不易發生誤動作及使應用其之液晶顯示器使用壽命較長及顯示畫面品質較佳之優點。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明。本發明所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾。因此，本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖繪示傳統移位暫存器單元的電路圖。

第 2 圖繪示依照本發明實施例的液晶顯示器的方塊圖。

第 3 圖繪示依照本發明實施例之移位暫存器的方塊圖。

第 4 圖繪示乃第 3 圖中移位暫存器單元 $S(j)$ 的詳細電路圖。

第 5A-5C 圖繪示乃第 4 圖之移位暫存器單元 $S(j)$ 的相關訊號時序圖。

第 6 圖繪示本實施例之移位暫存器的另一方塊圖。

第 7 圖繪示本實施例之移位暫存器單元的另一電路圖。

第 8 圖繪示本實施例之移位暫存器單元的再一電路圖。

第 9 圖繪示依照本發明第二實施例的液晶顯示器的方塊圖。

第 10 圖繪示依照本發明實施例之移位暫存器的方塊圖。

第 11 圖繪示乃第 9 圖中第 i 級移位暫存器單元 $SH(i)$ 的詳細電路圖。

第 12 圖繪示乃第 10 圖的相關訊號時序圖。

【主要元件符號說明】

SR(n)、S(1)~S(n)、S'(1)~S'(n)、S''(j)、S'''(j)、

SH(1)~SH(k)：移位暫存器單元

TA、TB、TC、T1~T9、T1'~T9'：電晶體

10、10'：液晶顯示器

11：資料線

12：資料驅動器

13、33a、33b：掃描線

14、34：掃描驅動器

24、24'、44a、44b：移位暫存器

16：顯示面板

a1~an：畫素

IN：輸入端

OUT：輸出端

RT：控制端

C1、C2：時序端

C：電容

Cgs：寄生電容

34a：奇數序移位暫存器

34b：偶數序移位暫存器

五、中文發明摘要：(中文案件名稱：移位暫存器)

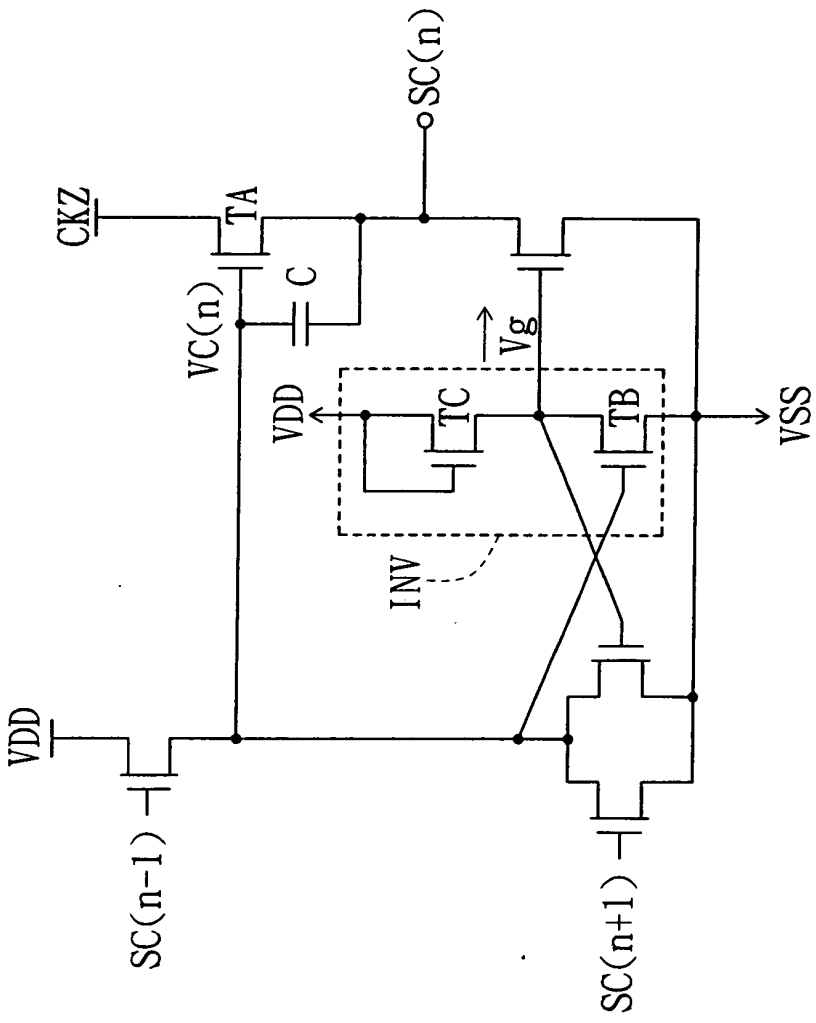
一種移位暫存器，包括多級移位暫存器單元，各級移位暫存器單元於輸出端產生掃描訊號。各級移位暫存器單元包括：位準提升電路、位準拉低電路、驅動電路及位準控制電路。位準提升電路回應於第一控制訊號之致能位準控制掃描訊號等於第一時序訊號。位準拉低電路回應於第二控制訊號之致能位準控制掃描訊號等於第一電壓。驅動電路回應於輸入訊號之致能位準及第二控制訊號之致能位準分別控制第一控制訊號為致能位準及為非致能位準。位準控制電路回應於輸入訊號之致能位準及輸入訊號之非致能位準分別控制第二控制訊號為非致能位準及為致能位準。

六、英文發明摘要：(英文案件名稱：Shift Register)

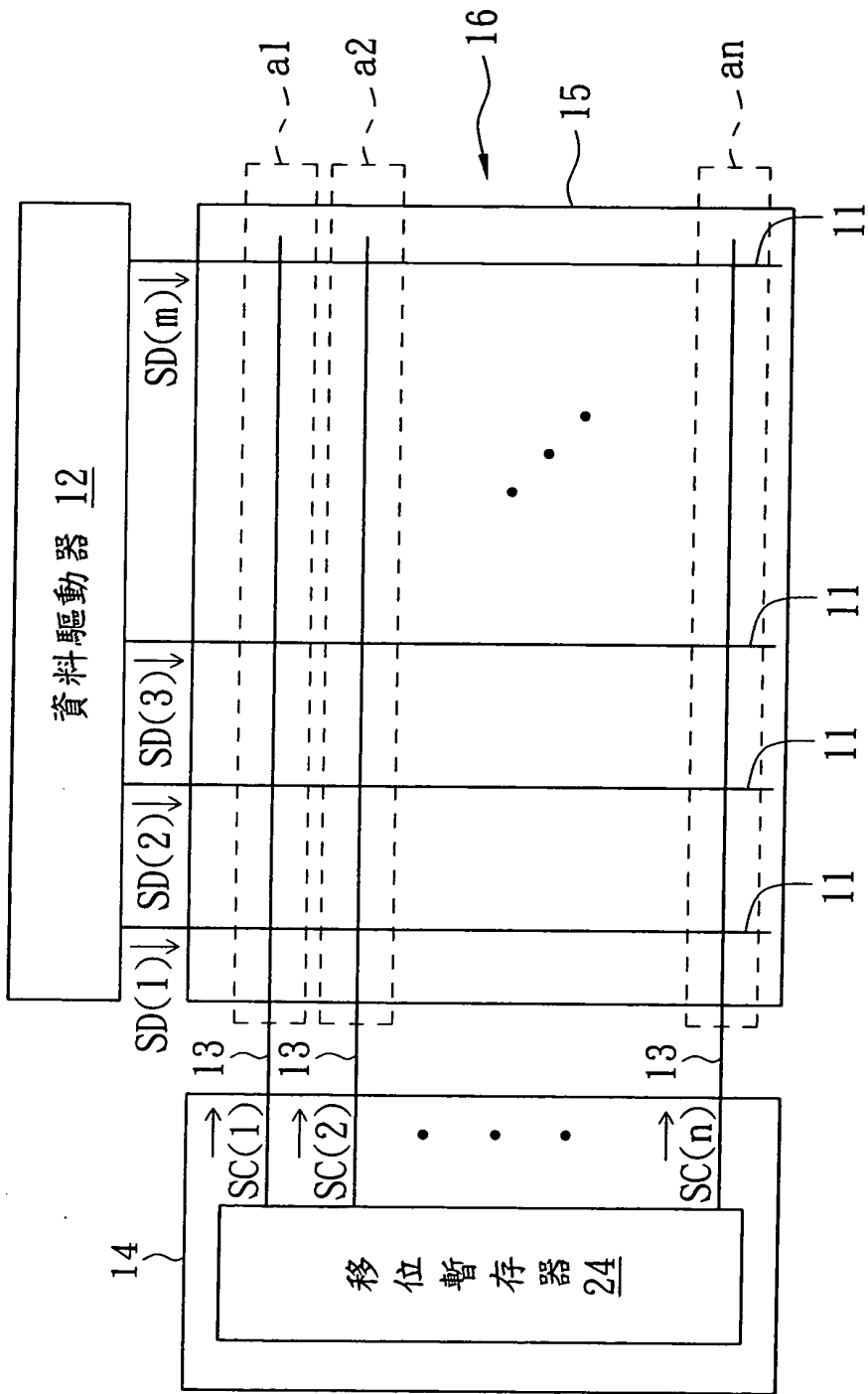
A shift register includes a number of stages, each of which includes a level pull-up circuit, a level pull-down circuit, a driving circuit, and a level controlling circuit. The level pull-up circuit makes the level of a scan signal equal to first clock signal in response to an enable level of first control signal. The level pull-down circuits makes the scan signal equal to first voltage in response to an enabled level of second control signal. The driving circuit controls the level of the first control signal to be the enabled level and a disabled level in response to an

enabled level of an input signal and the enabled level of the second control signal respectively. The level controlling circuit controls the second control signal to be a disabled level and the enabled in response to the enabled level and a disabled level of the input signal respectively.

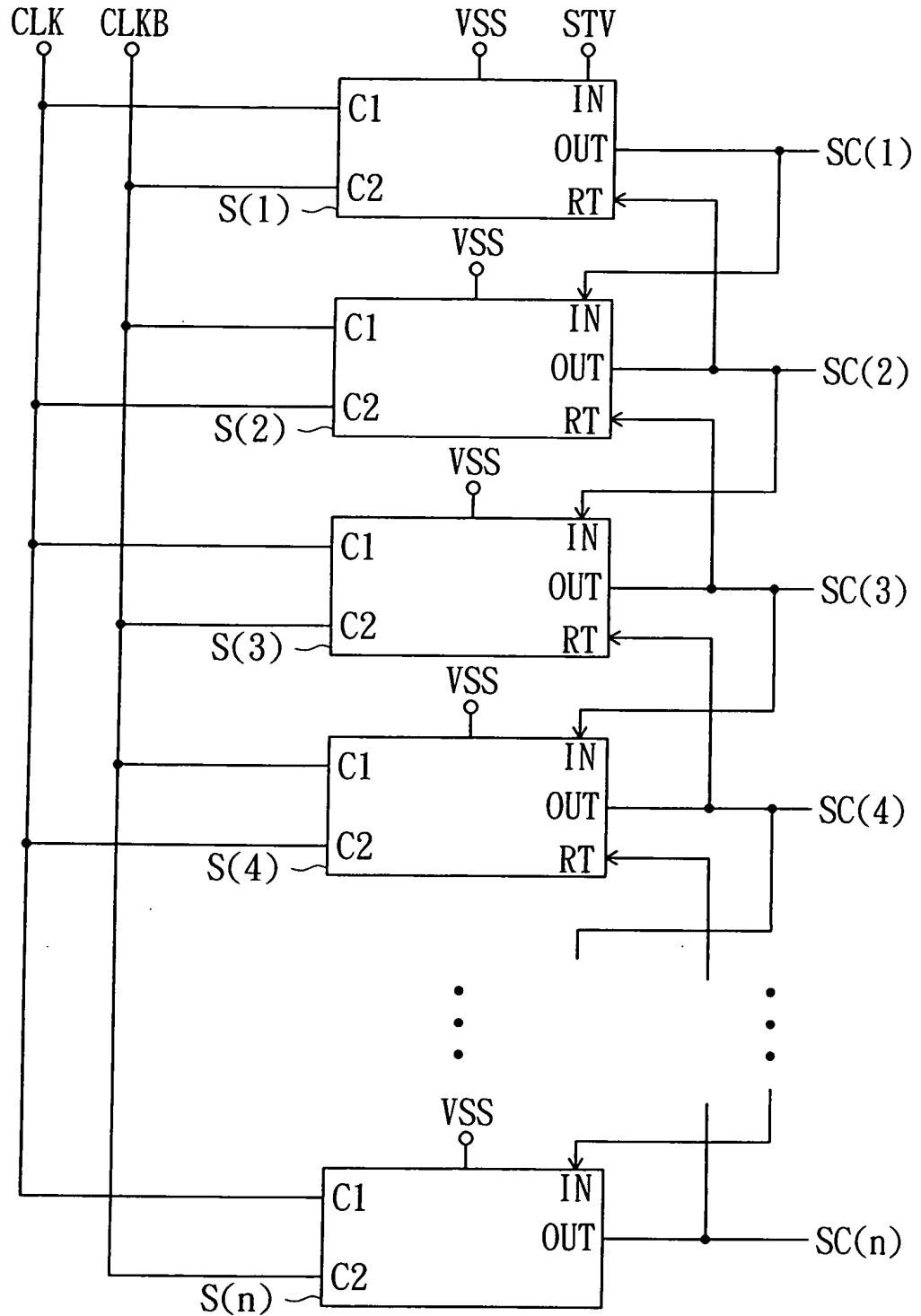
SR(n)



第 1 圖(習知技藝)

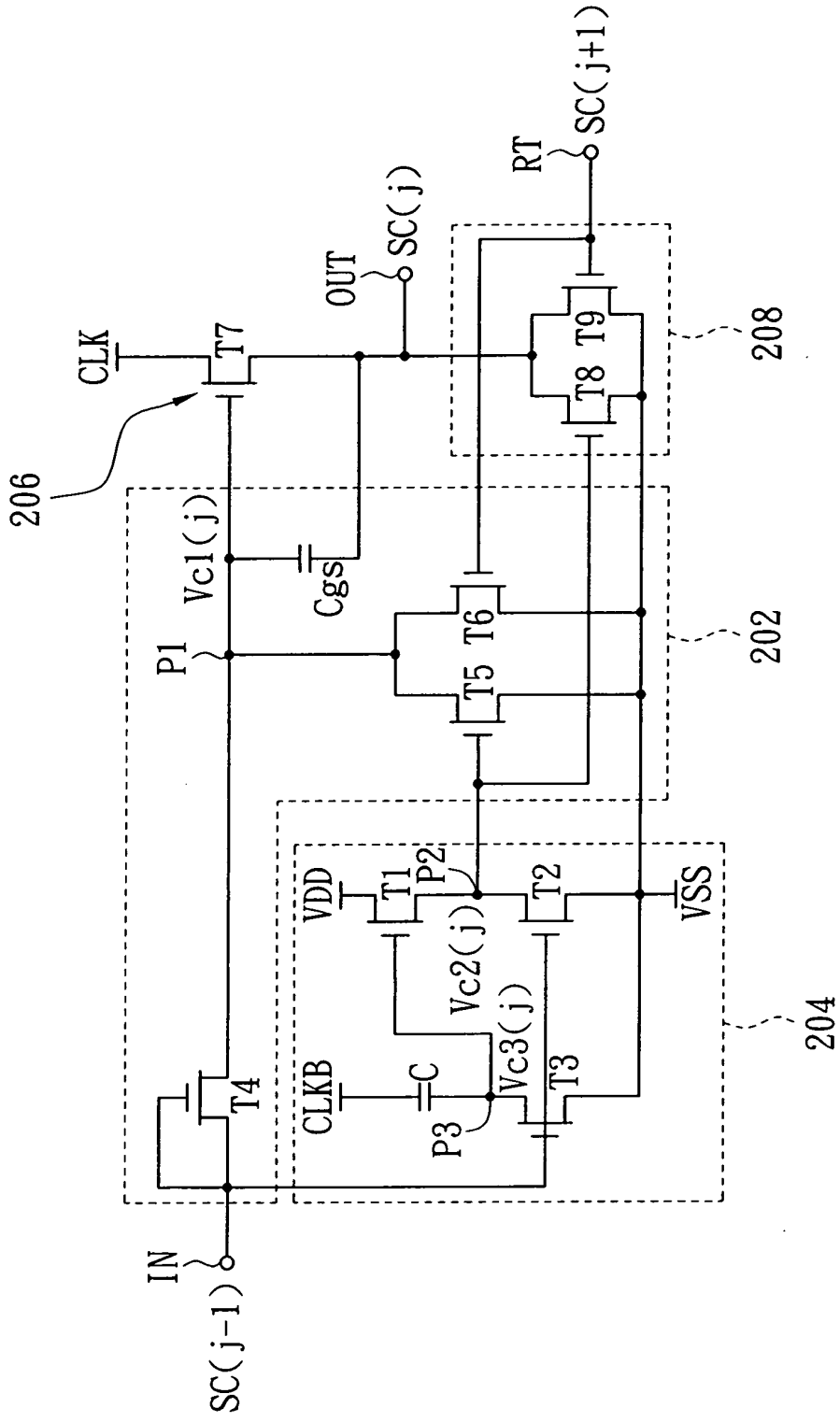


第 2 圖

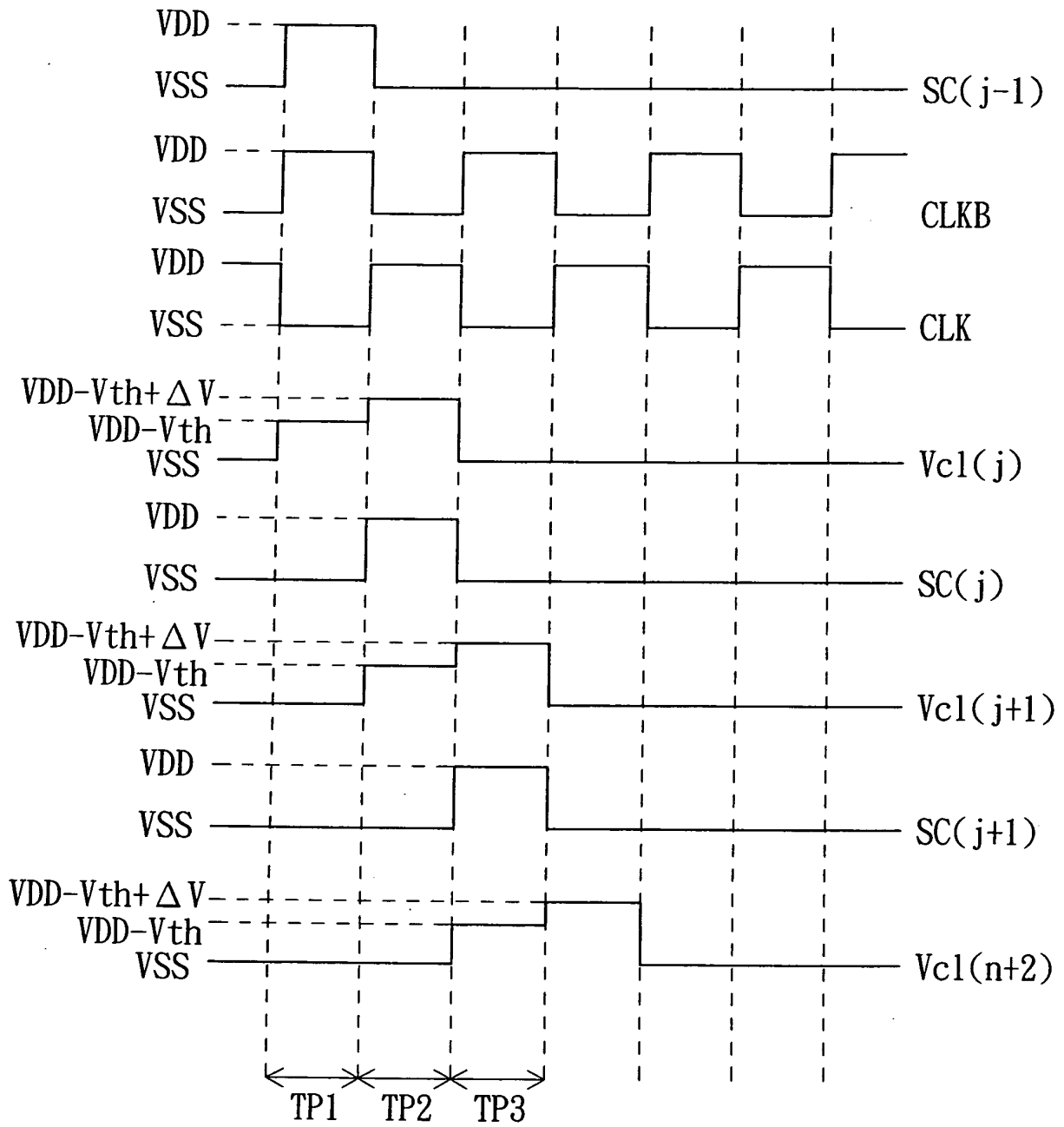


第 3 圖

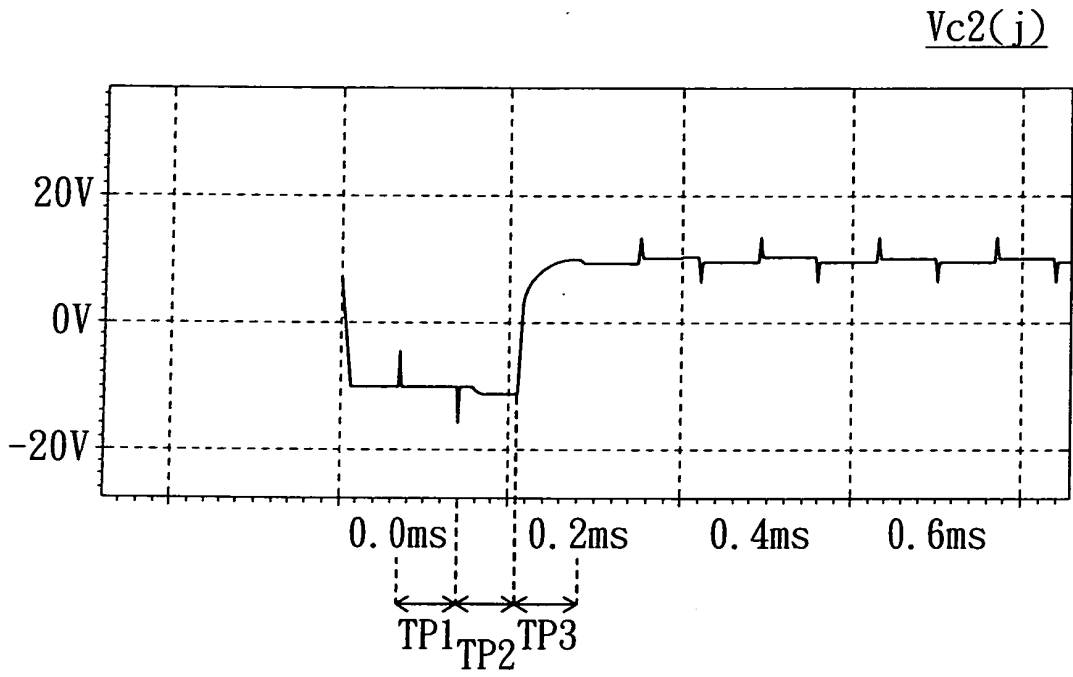
S(j)



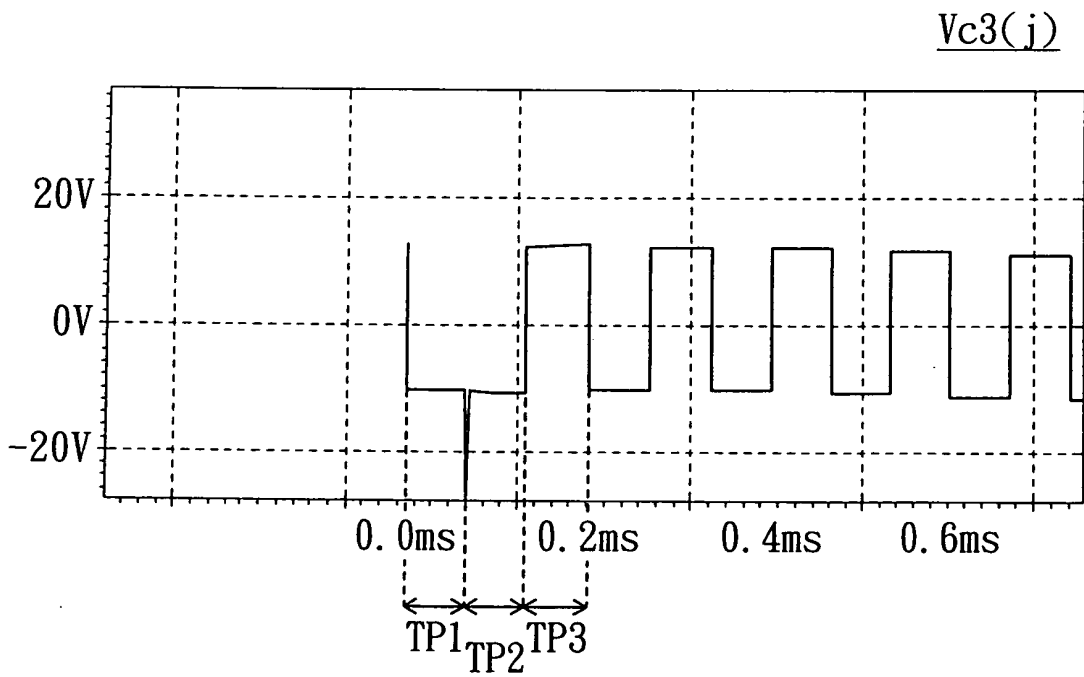
第 4 圖



第 5A 圖

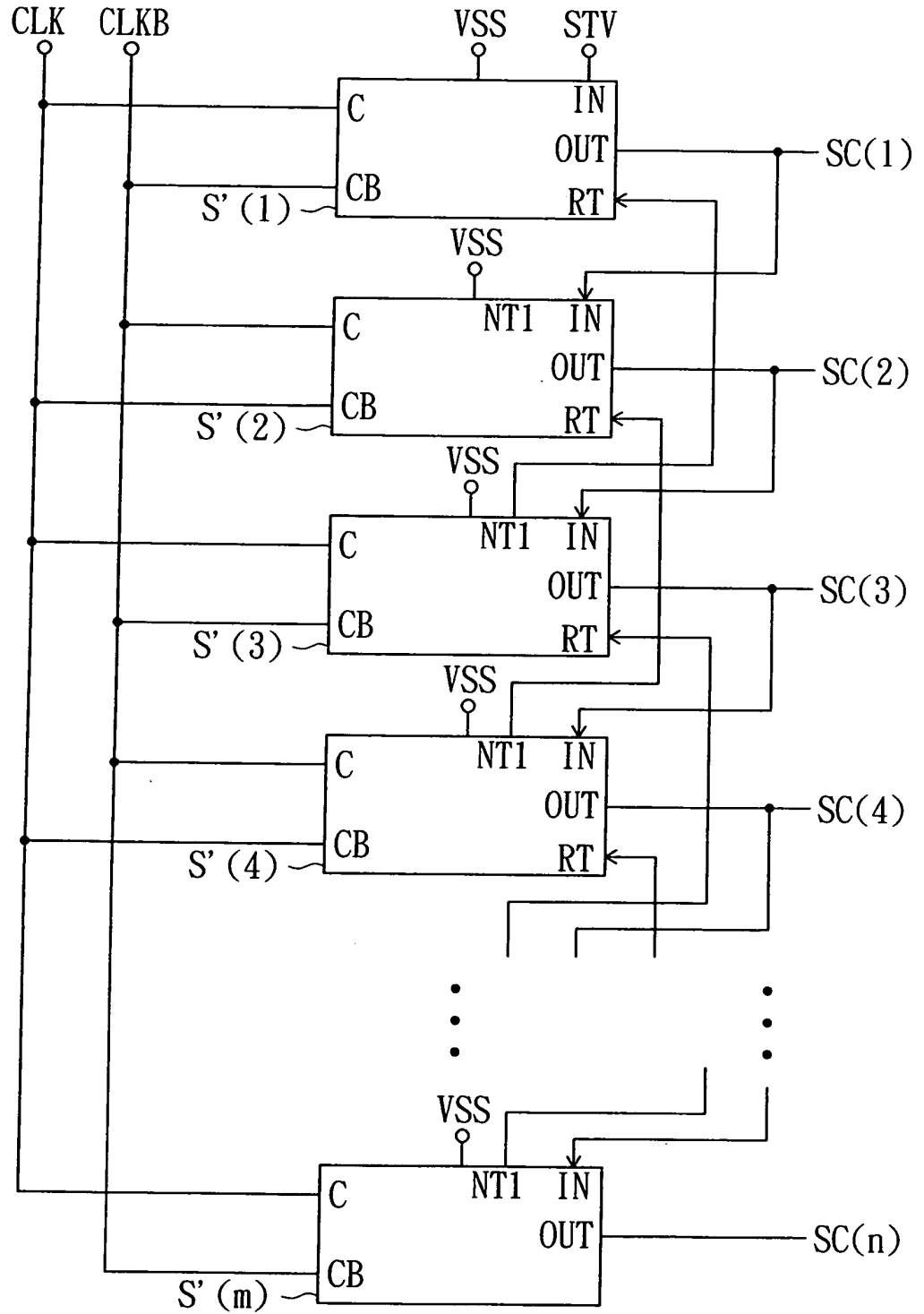


第 5B 圖



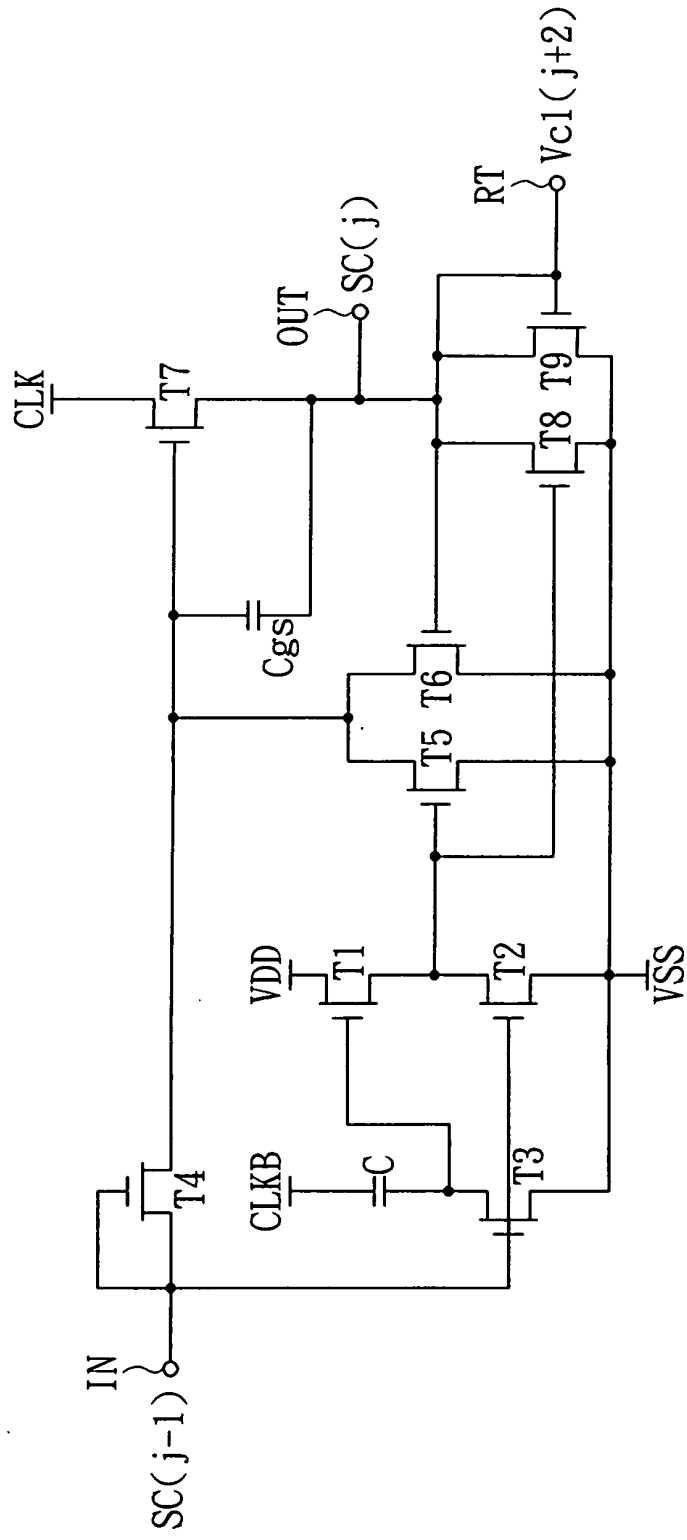
第 5C 圖

24'



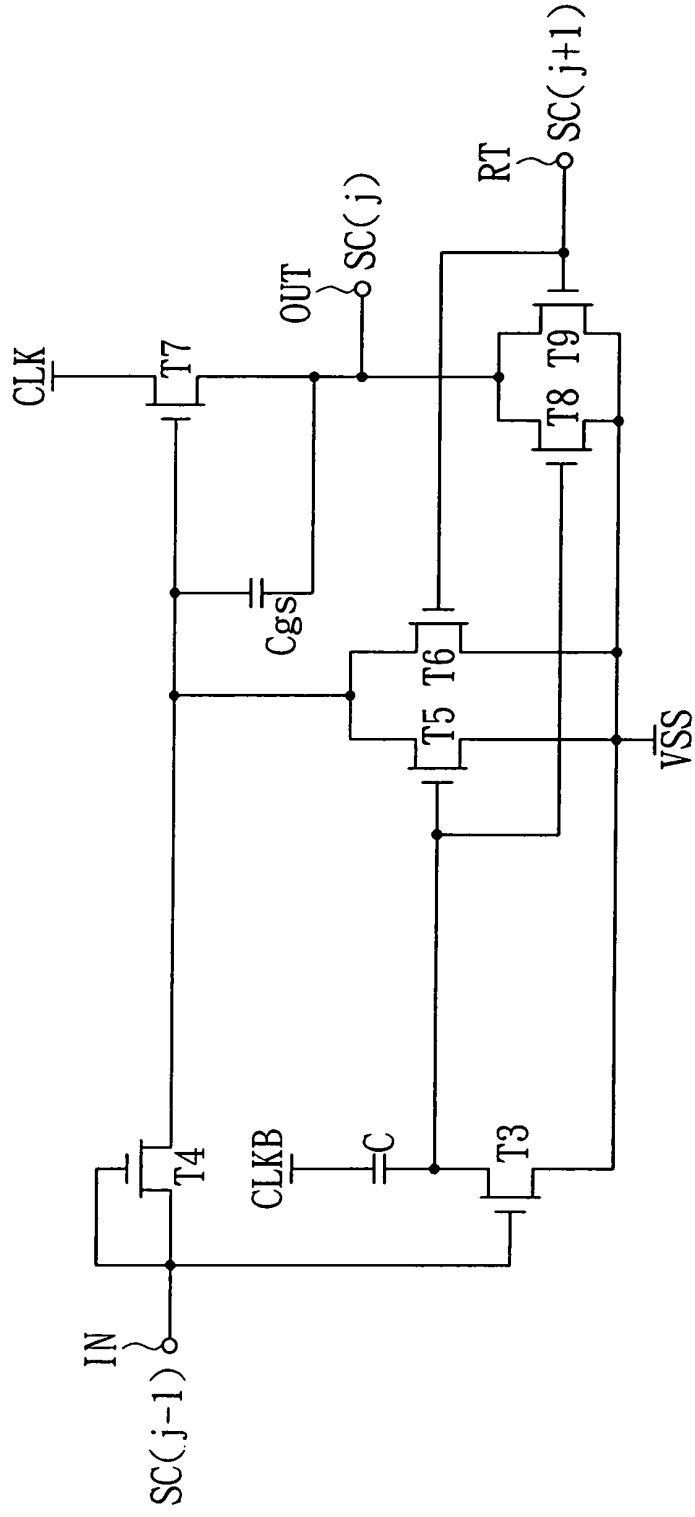
第 6 圖

$S''(j)$



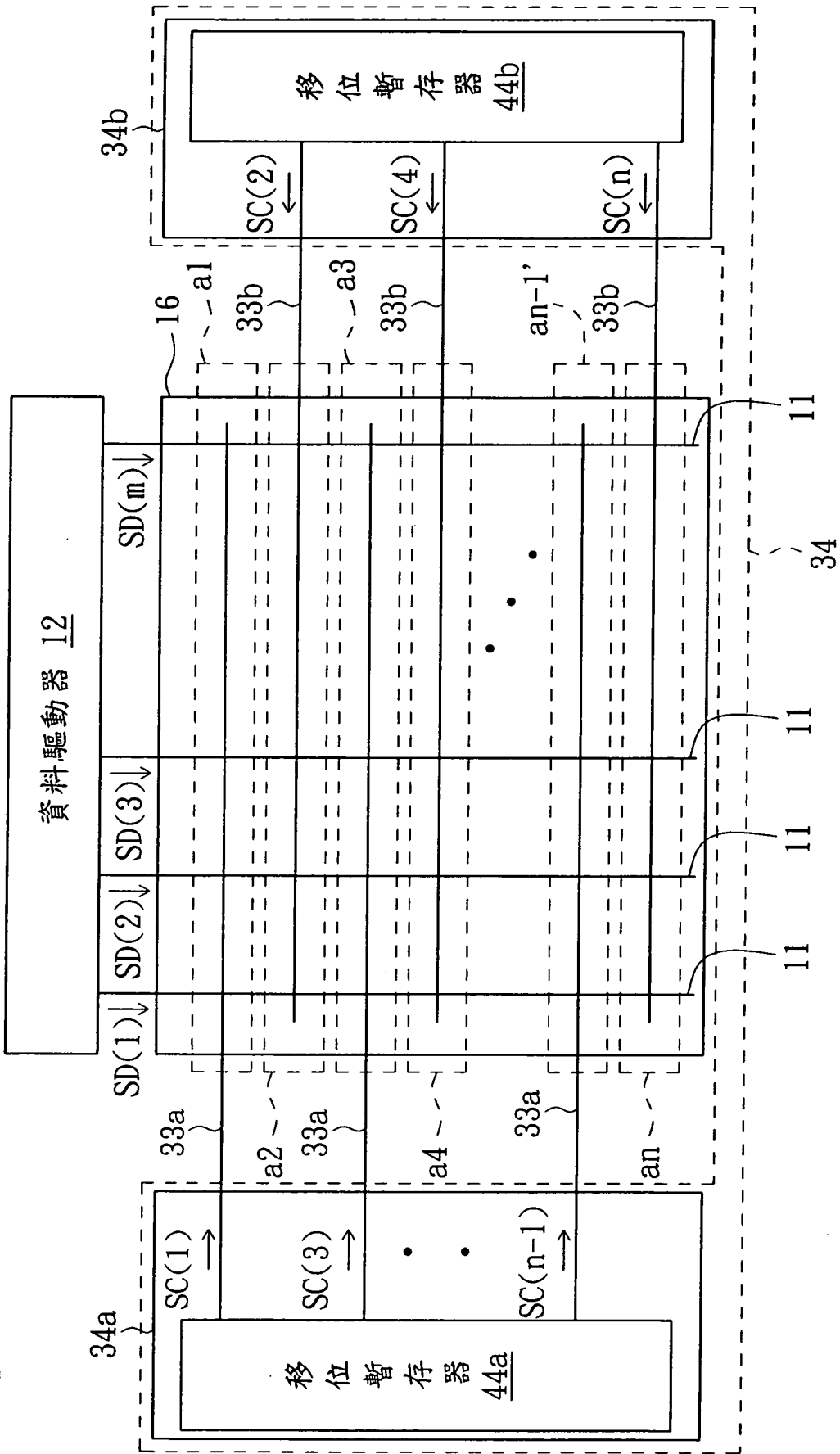
第 7 圖

$S'''(j)$



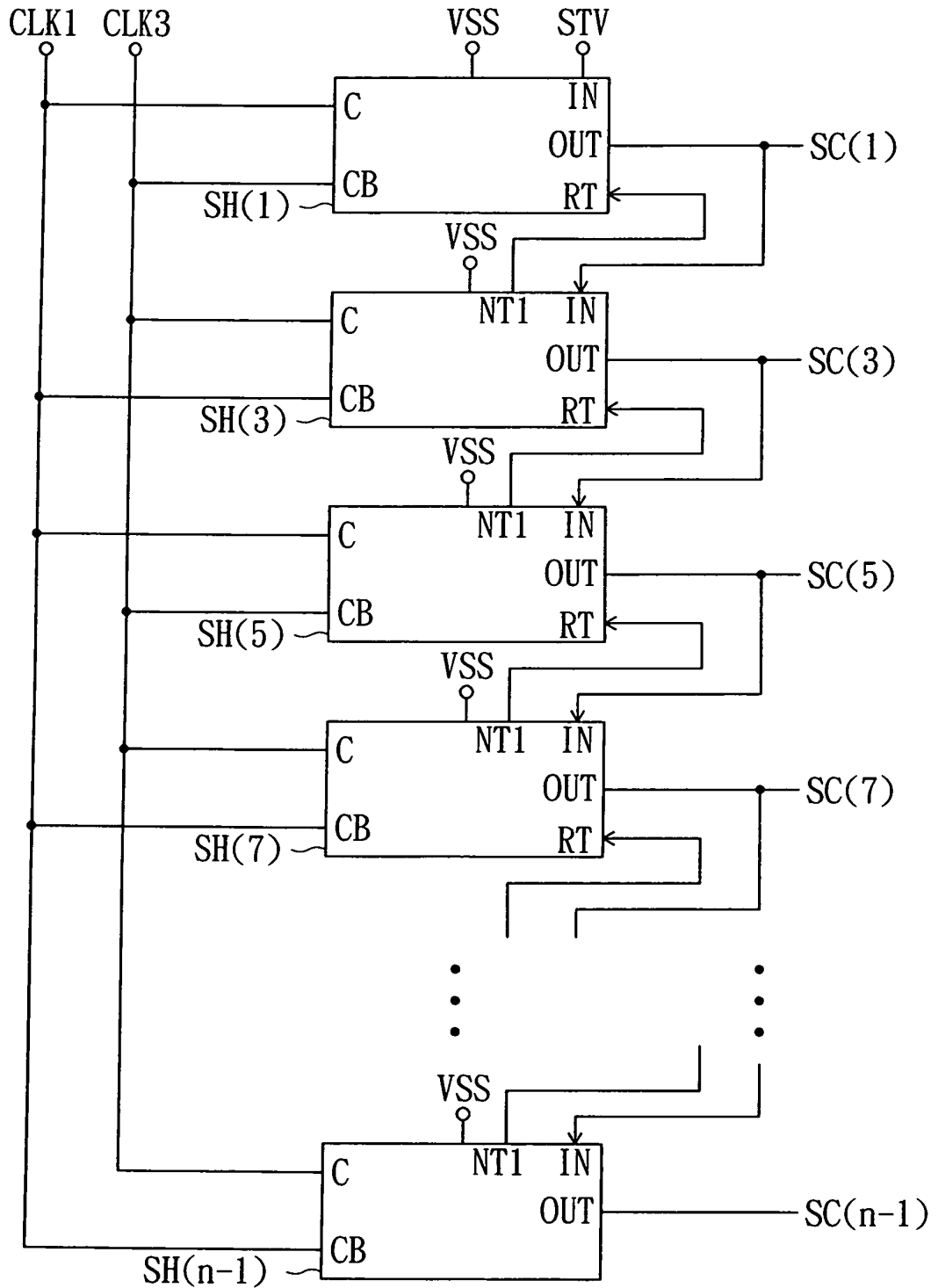
第 8 圖

10'



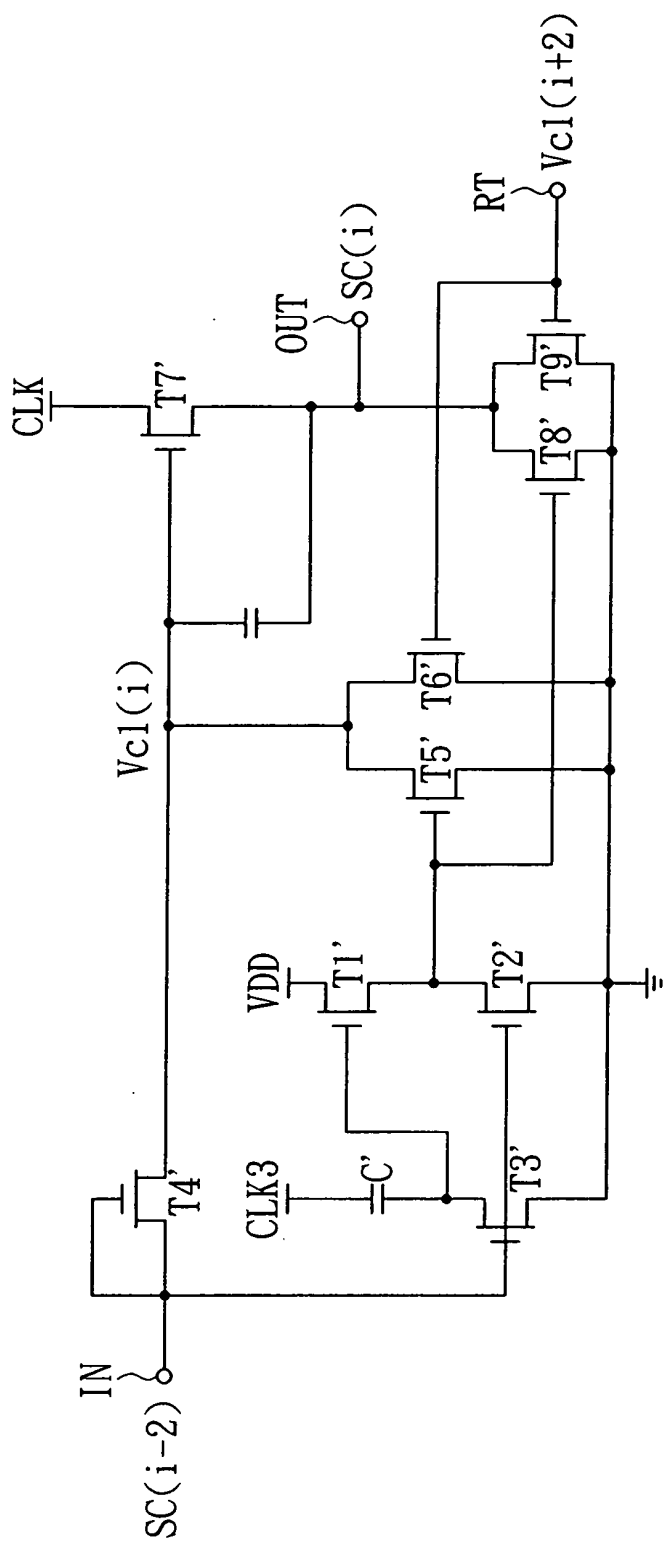
第 9 圖

44a

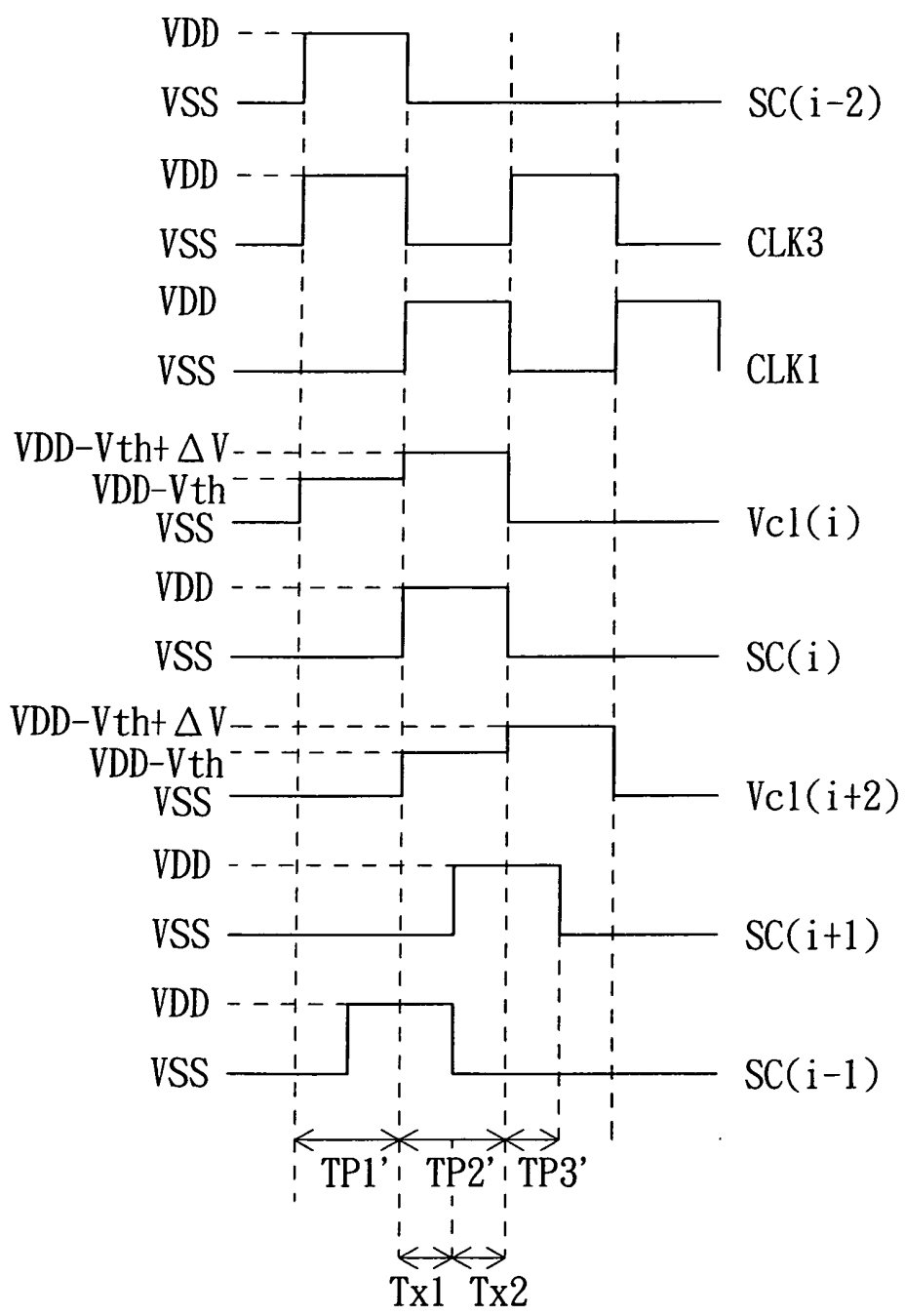


第 10 圖

SH(i)



第 11 圖



第 12 圖

七、指定代表圖：

(一)本案指定代表圖為：第(4)圖

(二)本代表圖之元件符號簡單說明：

S(j)：移位暫存器單元

T1~T9：電晶體

IN：輸入端

OUT：輸出端

RT：控制端

C：電容

Cgs：寄生電容

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

十、申請專利範圍：

1. 一種移位暫存器(Shift Register)，應用於單邊掃描驅動器中，該移位暫存器包括複數級移位暫存器單元，這些移位暫存器單元之一第 n 級移位暫存器單元用以經由一輸出端產生一個掃描訊號，n 為自然數，該第 n 級移位暫存器單元包括：

一位準提升電路，回應於一第一控制訊號之致能位準控制該掃描訊號等於一第一時序訊號；

一位準拉低電路，回應於一第二控制訊號之致能位準控制該掃描訊號等於一第一電壓；

一驅動電路，回應於一輸入訊號之致能位準控制該第一控制訊號為致能位準，回應於該第二控制訊號之致能位準控制該第一控制訊號為非致能位準；以及

一位準控制電路，回應於該輸入訊號之致能位準控制該第二控制訊號為非致能位準，回應於該輸入訊號之非致能位準控制該第二控制訊號為致能位準；

其中該位準控制電路包括：

一第一節點，該第一節點上之電壓為一第三控制訊號，該第三控制訊號係相關於該第二控制訊號；

一電荷儲存電路，一端接收一第二時序訊號，另一端耦接至該第一節點，該電荷儲存電路用以儲存該第二時序訊號相對於該第一節點之電壓；及

一第一電晶體，閘極(Gate)接收該輸入訊號，第一源極(Source)/汲極(Drain)耦接至該第一節點，第二源極/

2012/10/22_1st 申復&修正

汲極接收該第一電壓，該第一電晶體回應於該輸入訊號之致能位準提供該第一電壓至該第一節點以非致能該第三控制訊號。

2. 如申請專利範圍第 1 項所述之移位暫存器，其中該位準控制電路更包括：

一 第二節點，該第二節點上之電壓為該第二控制訊號；

一 第二電晶體，閘極接收該輸入訊號，第一源極/汲極耦接至該第二節點，第二源極/汲極接收該第一電壓，該第二電晶體回應於該輸入訊號之致能位準提供該第一電壓至該第二節點以非致能該第二控制訊號；以及

一 第三電晶體，閘極耦接至該第一節點，第一源極/汲極接收一第二電壓，第二源極/汲極耦接至該第二節點，該第三電晶體用以回應於該第三控制訊號以提供該第二電壓至該第二節點，進而致能該第二控制訊號。

3. 如申請專利範圍第 1 項所述之移位暫存器，其中該位準拉低電路更包括：

一 第四電晶體，閘極接收第 $n+1$ 級移位暫存器單元所輸出之掃描訊號，第一源極/汲極耦接至該輸出端，第二源極/汲極接收該第一電壓，該第四電晶體用以回應於第 $n+1$ 級移位暫存器單元所輸出之掃描訊號的致能位準，控制該掃描訊號等於該第一電壓。

4. 如申請專利範圍第 1 項所述之移位暫存器，其中該位準拉低電路更包括：

2012/10/22_1st 申復&修正

一 第四電晶體，閘極接收第 $n+2$ 級移位暫存器單元中之第一控制訊號，第一源極/汲極耦接至該輸出端，第二源極/汲極接收該第一電壓，該第四電晶體用以回應於第 $n+2$ 級移位暫存器單元中之第一控制訊號的致能位準，控制該掃描訊號等於該第一電壓。

5. 如申請專利範圍第 1 項所述之移位暫存器，其中該驅動電路更包括：

一 第三節點，該第三節點上之電壓等於該第一控制訊號；及

一 第五電晶體，閘極接收第 $n+1$ 級移位暫存器單元所輸出之掃描訊號，第一源極/汲極耦接至該第三節點，第二源極/汲極接收該第一電壓，該第五電晶體用以回應於第 $n+1$ 級移位暫存器單元所輸出之掃描訊號的致能位準，控制該第一控制訊號等於該第一電壓。

6. 如申請專利範圍第 1 項所述之移位暫存器，其中該驅動電路更包括：

一 第三節點，該第三節點上之電壓等於該第一控制訊號；及

一 第五電晶體，閘極接收第 $n+2$ 級移位暫存器單元中之第一控制訊號，第一源極/汲極耦接至該第三節點，第二源極/汲極接收該第一電壓，該第五電晶體用以回應於第 $n+2$ 級移位暫存器單元中之第一控制訊號的致能位準，控制該第一控制訊號等於該第一電壓。

7. 如申請專利範圍第 1 項所述之移位暫存器，其中該

驅動電路包括：

一 第三節點，該第三節點上之電壓等於該第一控制訊號；

一 第六電晶體，閘極與第一源極/汲極接收該輸入訊號，第二源極/汲極耦接至該第三節點；及

一 第七電晶體，閘極接收該第二控制訊號，第一源極/汲極接收耦接至該第三節點，第二源極/汲極接收該第一電壓。

8. 如申請專利範圍第1項所述之移位暫存器，其中該位準提升電路包括：

一 第八電晶體，閘極接收該第一控制訊號，第一源極/汲極接收該第一時序訊號，第二源極/汲極耦接至該輸出端。

9. 如申請專利範圍第1項所述之移位暫存器，其中該位準拉低電路包括：

一 第九電晶體，閘極接收該第二控制訊號，第一源極/汲極耦接至該輸出端，第二源極/汲極接收該第一電壓。

10. 如申請專利範圍第1項所述之移位暫存器，其中該輸入訊號為該第 $n-1$ 級移位暫存器單元輸出之掃描訊號。

11. 一種移位暫存器(Shift Register)，應用於一顯示面板的一雙邊掃描驅動器中，該移位暫存器包括複數奇數級移位暫存器單元與複數偶數級移位暫存器單元，且該些奇數級與偶數級移位暫存器單元分別位於該顯示面板的兩

2012/10/22_1st 申復&修正

對側，該些移位暫存器單元中一第 n 級移位暫存器單元用以經由一輸出端產生一個掃描訊號， n 為自然數，該第 n 級移位暫存器單元包括：

一位準提升電路，回應於一第一控制訊號之致能位準控制該掃描訊號等於一第一時序訊號；

一位準拉低電路，回應於一第二控制訊號之致能位準控制該掃描訊號等於一第一電壓；

一驅動電路，回應於一輸入訊號之致能位準控制該第一控制訊號為致能位準，回應於該第二控制訊號之致能位準控制該第一控制訊號為非致能位準；以及

一位準控制電路，回應於該輸入訊號之致能位準控制該第二控制訊號為非致能位準，回應於該輸入訊號之非致能位準控制該第二控制訊號為致能位準；

其中該位準控制電路包括：

一第一節點，該第一節點上之電壓為一第三控制訊號，該第三控制訊號係相關於該第二控制訊號；

一電荷儲存電路，一端接收一第二時序訊號，另一端耦接至該第一節點，該電荷儲存電路用以儲存該第二時序訊號相對於該第一節點之電壓；及

一第一電晶體，閘極(Gate)接收該輸入訊號，第一源極(Source)/汲極(Drain)耦接至該第一節點，第二源極/汲極接收該第一電壓，該第一電晶體回應於該輸入訊號之致能位準提供該第一電壓至該第一節點以非致能該第三控制訊號。

2012/10/22_1st申復&修正

12. 如申請專利範圍第 11 項所述之移位暫存器，其中該位準控制電路更包括：

一 第二節點，該第二節點上之電壓為該第二控制訊號；

一 第二電晶體，閘極接收該輸入訊號，第一源極/汲極耦接至該第二節點，第二源極/汲極接收該第一電壓，該第二電晶體回應於該輸入訊號之致能位準提供該第一電壓至該第二節點以非致能第二控制訊號；以及

一 第三電晶體，閘極耦接至該第一節點，第一源極/汲極接收一第二電壓，第二源極/汲極耦接至該第二節點，該第三電晶體用以回應於該第三控制訊號以提供該第二電壓至該第二節點，進而致能該第二控制訊號。

13. 如申請專利範圍第 11 項所述之移位暫存器，其中該位準拉低電路更包括：

一 第四電晶體，閘極接收第 $n+2$ 級移位暫存器單元之第一控制訊號，第一源極/汲極耦接至該輸出端，第二源極/汲極接收該第一電壓，該第四電晶體用以回應於第 $n+2$ 級移位暫存器單元中第一控制訊號的致能位準，控制該掃描訊號等於該第一電壓。

14. 如申請專利範圍第 11 項所述之移位暫存器，其中該驅動電路更包括：

一 第三節點，該第三節點上之電壓等於該第一控制訊號；及

一 第五電晶體，閘極接收第 $n+2$ 級移位暫存器單元中

2012/10/22_1st 申復&修正

之第一控制訊號，第一源極/汲極耦接至該第三節點，第二源極/汲極接收該第一電壓，該第五電晶體用以回應於各第 $n+2$ 級移位暫存器單元中第一控制訊號的致能位準，控制該第一控制訊號等於該第一電壓。

15. 如申請專利範圍第 11 項所述之移位暫存器，其中該雙邊掃描驅動器提供之掃描訊號為預充電(Pre-charge)掃描訊號。

16. 如申請專利範圍第 11 項所述之移位暫存器，其中該驅動電路包括：

一第三節點，該第三節點上之電壓等於該第一控制訊號；

一第六電晶體，閘極與第一源極/汲極接收該輸入訊號，第二源極/汲極耦接至該第三節點；及

一第七電晶體，閘極接收該第二控制訊號，第一源極/汲極接收耦接至該第三節點，第二源極/汲極接收該第一電壓。

17. 如申請專利範圍第 11 項所述之移位暫存器，其中該位準提升電路包括：

一第八電晶體，閘極接收該第一控制訊號，第一源極/汲極接收該第一時序訊號，第二源極/汲極耦接至該輸出端。

18. 如申請專利範圍第 11 項所述之移位暫存器，其中該位準拉低電路包括：

一第九電晶體，閘極接收該第二控制訊號，第一源極

2012/10/22_1st 申復&修正

/汲極耦接至該輸出端，第二源極/汲極接收該第一電壓。

19. 如申請專利範圍第 11 項所述之移位暫存器，其中該輸入訊號為該第 $n-2$ 級移位暫存器單元輸出之掃描訊號。