



(12) 发明专利申请

(10) 申请公布号 CN 114124000 A

(43) 申请公布日 2022. 03. 01

(21) 申请号 202110922193.6

H04R 3/00 (2006.01)

(22) 申请日 2021.08.11

(30) 优先权数据

20193019.5 2020.08.27 EP

(71) 申请人 恩智浦有限公司

地址 荷兰埃因霍温高科技园区60邮编:  
5656 AG

(72) 发明人 马克·伯克豪特 奎诺·桑迪福特  
加亚特里·阿加瓦尔

(74) 专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 倪斌

(51) Int. Cl.

H03F 3/217 (2006.01)

H03F 1/32 (2006.01)

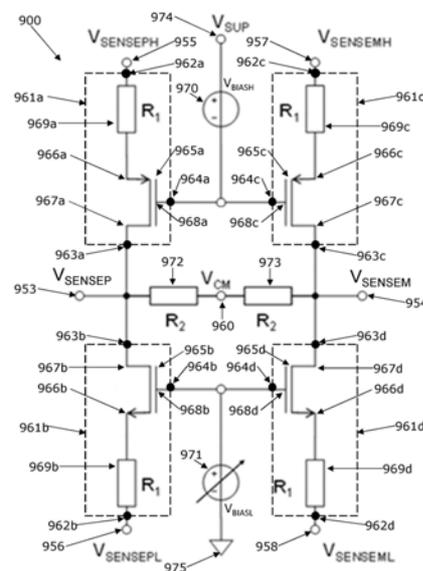
权利要求书4页 说明书14页 附图12页

(54) 发明名称

感测放大器电路

(57) 摘要

一种感测放大器电路包括第一放大块、第二放大块、第三放大块和第四放大块,每个放大块包括:放大块-晶体管,包括和放大块-电阻器。放大块-晶体管包括:第一导电沟道端、连接到放大块-输出节点的第二导电沟道端以及连接到放大块-控制节点的控制端。感测放大器电路包括:放大块-电阻器,串联连接在放大块输入节点与第一导电沟道端之间;第一偏置电压源,连接到第一放大块和第三放大块的放大块-控制节点;第二偏置电压源,连接到第二放大块和第四放大块的放大块-控制节点。感测放大器电路还包括:第一共模电压电阻器,串联连接在第一感测输出端与共模电压节点之间;以及第二共模电压电阻器,串联连接在第二感测输出端与共模电压节点之间。



1. 一种感测放大器电路,其特征在于,包括:
    - 第一感测输出端;
    - 第二感测输出端;
    - 第一输入电压端;
    - 第二输入电压端;
    - 第三输入电压端;
    - 第四输入电压端;
    - 共模电压节点
    - 第一放大块、第二放大块、第三放大块和第四放大块,每个放大块包括:
      - 放大块-输入节点,
      - 放大块-输出节点,
      - 放大块-控制节点,
      - 放大块-晶体管,其包括:
        - 第一导电沟道端,
        - 第二导电沟道端,其连接到所述放大块-输出节点,以及
      - 控制端,其连接到所述放大块-控制节点;
      - 放大块-电阻器,其串联连接在所述放大块-输入节点与所述第一导电沟道端之间,
      - 第一偏置电压源,其连接到所述第一放大块和所述第三放大块的所述放大块-控制节点;
    - 第二偏置电压源,其连接到所述第二放大块和所述第四放大块的所述放大块-控制节点;
    - 第一共模电压电阻器,其串联连接在所述第一感测输出端与所述共模电压节点之间;
  - 以及
    - 第二共模电压电阻器,其串联连接在所述第二感测输出端与所述共模电压节点之间,
  - 其中:
    - 所述第一放大块和所述第二放大块的所述放大块-输出节点连接到所述第一感测输出端;
    - 所述第三放大块和所述第四放大块的所述放大块-输出节点连接到所述第二感测输出端;
    - 所述第一放大块的所述放大块-输入节点连接到所述第一输入电压端;
    - 所述第二放大块的所述放大块-输入节点连接到所述第二输入电压端;
    - 所述第三放大块的所述放大块-输入节点连接到所述第三输入电压端;并且
    - 所述第四放大块的所述放大块-输入节点连接到所述第四输入电压端。
2. 根据权利要求1所述的感测放大器电路,其特征在于,每个放大块-晶体管是双极结型晶体管BJT或场效应晶体管FET。
  3. 根据权利要求1或权利要求2所述的感测放大器电路,其特征在于,所述第一放大块和所述第三放大块的所述晶体管是p型金属氧化物半导体FET、MOSFET,并且所述第二放大块和所述第四放大块的所述晶体管是n型MOSFET。
  4. 根据在前的任一项权利要求所述的感测放大器电路,其特征在于,包括连接到所述

第一偏置电压源的第一参考电压端,以及连接到所述第二偏置电压源的第二参考电压端。

5. 根据在前的任一项权利要求所述的感测放大器电路,其特征在于,每个放大块包括:连接节点,其串联连接在所述放大块-电阻器与所述第一导电沟道端之间;

放大器,其包括:

放大器-第一输入端;

放大器-第二输入端;以及

放大器-输出端,

其中:

所述放大器-第一输入端连接到所述放大块-控制节点;

所述放大器-第二输入端连接到所述连接节点;并且

所述放大器-输出端连接到所述控制端,使得所述控制端经由所述放大器连接到所述放大块-控制节点。

6. 根据在前的任一项权利要求所述的感测放大器电路,其特征在于,所述第一放大块和所述第三放大块包括:

放大块-共源共栅控制节点

共源共栅,其串联连接在所述第二导电沟道端与所述放大块-输出节点之间,所述共源共栅包括:

共源共栅晶体管,其包括:

共源共栅晶体管-第一导电沟道端,其连接到所述第二导电沟道端,

共源共栅晶体管-第二导电沟道端,其连接到所述放大块-输出节点,以及

共源共栅晶体管-控制端,其连接到所述放大块-共源共栅控制节点,以及

共源共栅二极管,其包括:

共源共栅二极管-阳极,其连接到所述共源共栅晶体管-第二导电沟道端,以及

共源共栅二极管-阴极,其连接到所述共源共栅晶体管-第一导电沟道端。

7. 根据权利要求6所述的感测放大器电路,其特征在于,所述感测放大器电路包括连接到所述第一放大块和所述第三放大块的所述放大块-共源共栅控制节点的第三偏置电压源。

8. 根据权利要求6或权利要求7所述的感测放大器电路,其特征在于,每个共源共栅晶体管是p型MOSFET。

9. 根据权利要求7或权利要求8所述的感测放大器电路,其特征在于,所述第三偏置电压源连接到所述第一参考电压端。

10. 一种输出级,其特征在于,包括:

根据在前的任一项权利要求所述的感测放大器电路,

输出级-第一参考电压端;

输出级-第二参考电压端;

输出级-第一输出电压端;

输出级-第二输出电压端;

第一输出装置端;

第二输出装置端;

第一低通电路,其串联连接在所述第一输出装置端与所述输出级-第一输出电压端之间;

第二低通电路,其串联连接在所述第二输出装置端与所述输出级-第二输出电压端之间;

第一输出级放大块、第二输出级放大块、第三输出级放大块和第四输出级放大块,每个输出级放大块包括:

输出级放大块-输入节点,

输出级放大块-输出节点,

输出级放大块-控制端,

输出级放大块-感测端,

第一输出级晶体管,其包括:

第一输出级晶体管-第一端,其连接到所述输出级放大块-输入节点,

第一输出级晶体管-第二端,其连接到所述输出级放大块-输出节点,以及

第一输出级晶体管-控制端,其连接到所述输出级放大块-控制端,

第一输出级二极管,其包括:

第一输出级二极管-阳极,其连接到所述第一输出级晶体管-第二端,以及

第一输出级二极管-阴极,其连接到所述第一输出级晶体管-第一端,

第二输出级晶体管,其在所述输出级放大块-输入节点与所述输出级放大块-输出节点之间与第一输出级晶体管并联连接,所述第二输出级晶体管包括:

第二输出级晶体管-第一端,其连接到所述输出级放大块-输入节点,

第二输出级晶体管-第二端,其连接到所述输出级放大块-输出节点,以及

第二输出级晶体管-控制端,其连接到所述输出级放大块-控制端,

第二输出级二极管,其包括:

第二输出级二极管-阳极,其连接到所述第二输出级晶体管-第二端,以及

第二输出级二极管-阴极,其连接到所述第二输出级晶体管-第一端,

感测电阻器,其连接在以下两者之间:

所述输出级放大块-输入节点与所述第二输出级晶体管-第一端,或

在所述输出级放大块-输出节点与所述第二输出级晶体管-第二端之间,以及

感测节点,其串联在所述感测电阻器与所述第二输出级晶体管之间,并且连接到所述输出级放大块-感测端;并且

其中:

所述第一输出级放大块和所述第三输出级放大块的所述输出级放大块-输入节点连接到所述输出级-第一参考电压端;

所述第二输出级放大块和所述四输出级放大块的所述输出级放大块-输出节点连接到所述输出级-第二参考电压端;

所述第一输出级放大块的所述输出级放大块-输出节点和所述第二输出级放大块的所述输出级放大块-输入节点连接到所述输出级-第一输出电压端;

所述第三输出级放大块的所述输出级放大块-输出节点和所述第四输出级放大块的所述输出级放大块-输入节点连接到所述输出级-第二输出电压端;

所述第一输入电压端连接到所述第一输出级放大块的所述输出级放大块-感测端；  
所述第二输入电压端连接到所述第二输出级放大块的所述输出级放大块-感测端；  
所述第三输入电压端连接到所述第三输出级放大块的所述输出级放大块-感测端；并  
且  
所述第四输入电压端连接到所述第四输出级放大块的所述输出级放大块-感测端。

## 感测放大器电路

### 技术领域

[0001] 本公开涉及负载感测放大器电路和使用此类感测放大器电路的输出级。

### 背景技术

[0002] D类音频放大器广泛应用于消费类音频系统、移动类音频系统和汽车(例如,小汽车)音频系统中的扬声器驱动。

### 发明内容

[0003] 根据本公开的第一方面,提供了一种感测放大器电路,其包括:

[0004] 第一感测输出端;

[0005] 第二感测输出端;

[0006] 第一输入电压端;

[0007] 第二输入电压端;

[0008] 第三输入电压端;

[0009] 第四输入电压端;

[0010] 共模电压节点

[0011] 第一放大块、第二放大块、第三放大块和第四放大块,每个放大块包括:

[0012] 放大块-输入节点,

[0013] 放大块-输出节点,

[0014] 放大块-控制节点,

[0015] 放大块-晶体管,其包括:

[0016] 第一导电沟道端,

[0017] 第二导电沟道端,其连接到所述放大块-输出节点,以及

[0018] 控制端,其连接到所述放大块-控制节点;

[0019] 放大块-电阻器,其串联连接在所述放大块-输入节点与所述第一导电沟道端之间,

[0020] 第一偏置电压源,其连接到所述第一放大块和所述第三放大块的所述放大块-控制节点;

[0021] 第二偏置电压源,其连接到所述第二放大块和所述第四放大块的所述放大块-控制节点;

[0022] 第一共模电压电阻器,其串联连接在所述第一感测输出端与所述共模电压节点之间;以及

[0023] 第二共模电压电阻器,其串联连接在所述第二感测输出端与所述共模电压节点之间,

[0024] 其中:

[0025] 所述第一放大块和所述第二放大块的所述放大块-输出节点连接到所述第一感测

输出端；

[0026] 所述第三放大块和所述第四放大块的所述放大块-输出节点连接到所述第二感测输出端；

[0027] 所述第一放大块的所述放大块-输入节点连接到所述第一输入电压端；

[0028] 所述第二放大块的所述放大块-输入节点连接到所述第二输入电压端；

[0029] 所述第三放大块的所述放大块-输入节点连接到所述第三输入电压端；并且

[0030] 所述第四放大块的所述放大块-输入节点连接到所述第四输入电压端。

[0031] 此类感测放大器电路可以将四个输入电压端处接收的四象限信号组合成单个差分电压信号。这可以简化和提高例如D类输出级之类的输出级中的电流感测测量的精确度。

[0032] 在一个或多个实施例中，每个放大块-晶体管是双极结型晶体管BJT或场效应晶体管FET。

[0033] 在一个或多个实施例中，所述第一放大块和所述第三放大块的所述晶体管是p型金属氧化物半导体FET、MOSFET。所述第二放大块和所述第四放大块的所述晶体管可以是n型MOSFET。

[0034] 在一个或多个实施例中，所述感测放大器电路包括连接到所述第一偏置电压源的第一参考电压端，以及连接到所述第二偏置电压源的第二参考电压端。

[0035] 在一个或多个实施例中，每个放大块包括串联连接在所述放大块-电阻器与所述第一导电沟道端之间的连接节点。每个放大块还可以包括放大器，所述放大器包括：放大器-第一输入端；放大器-第二输入端；以及放大器-输出端。所述放大器-第一输入端可以连接到放大块-控制节点。所述放大器-第二输入端可以连接到所述连接节点。所述放大器-输出端可以连接到所述控制端。以此方式，所述控制端经由所述放大器可以连接到所述放大块-控制节点。

[0036] 在一个或多个实施例中，所述第一放大块和所述第三放大块包括放大块-共源共栅控制节点。所述第一放大块和所述第三放大块还可以包括串联连接在所述第二导电沟道端与所述放大块-输出节点之间的共源共栅。所述共源共栅可以包括共源共栅晶体管，所述共源共栅晶体管包括：连接到所述第二导电沟道端的共源共栅晶体管-第一导电沟道端；连接到所述放大块-输出节点的共源共栅晶体管-第二导电沟道端；以及连接到所述放大块-共源共栅控制节点的共源共栅晶体管-控制端。所述第一放大块和所述第三放大块还可以包括共源共栅二极管，所述共源共栅二极管包括：共源共栅二极管-阳极，其连接到所述共源共栅晶体管-第二导电沟道端；以及共源共栅二极管-阴极，其连接到所述共源共栅晶体管-第一导电沟道端。

[0037] 在一个或多个实施例中，所述感测放大器电路包括连接到所述第一放大块和所述第三放大块的所述放大块-共源共栅控制节点的第三偏置电压源。

[0038] 在一个或多个实施例中，每个共源共栅晶体管是p型MOSFET。

[0039] 在一个或多个实施例中，所述第三偏置电压源连接到所述第一参考电压端。

[0040] 在一个或多个实施例中，所述第二偏置电压源包括：第二偏置电压源-输出节点，其连接到所述第二放大块和所述第四放大块的所述放大块-控制节点。所述第二偏置电压源还可以包括第三偏置电压源和/或第五放大器。所述第五放大器可以包括：放大器-第一

输入端,其连接到所述共模电压节点;放大器-第二输入端,其连接到所述第三偏置电压源;以及放大器-输出端,其连接到所述第二偏置电压源-输出节点。

[0041] 还提供了一种输出级,其包括:

[0042] 本文所公开的任何感测放大器电路,

[0043] 输出级-第一参考电压端;

[0044] 输出级-第二参考电压端;

[0045] 输出级-第一输出电压端;

[0046] 输出级-第二输出电压端;

[0047] 第一输出装置端;

[0048] 第二输出装置端;

[0049] 第一低通电路,其串联连接在所述第一输出装置端与所述输出级-第一输出电压端之间;

[0050] 第二低通电路,其串联连接在所述第二输出装置端与所述输出级-第二输出电压端之间;

[0051] 第一输出级放大块、第二输出级放大块、第三输出级放大块和第四输出级放大块,每个输出级放大块包括:

[0052] 输出级放大块-输入节点,

[0053] 输出级放大块-输出节点,

[0054] 输出级放大块-控制端,

[0055] 输出级放大块-感测端,

[0056] 第一输出级晶体管,其包括:

[0057] 第一输出级晶体管-第一端,其连接到所述输出级放大块-输入节点,

[0058] 第一输出级晶体管-第二端,其连接到所述输出级放大块-输出节点,以及

[0059] 第一输出级晶体管-控制端,其连接到所述输出级放大块-控制端,

[0060] 第一输出级二极管,其包括:

[0061] 第一输出级二极管-阳极,其连接到所述第一输出级晶体管-第二端,以及

[0062] 第一输出级二极管-阴极,其连接到所述第一输出级晶体管-第一端,

[0063] 第二输出级晶体管,其在所述输出级放大块-输入节点与所述输出级放大块-输出节点之间与第一输出级晶体管并联连接,所述第二输出级晶体管包括:

[0064] 第二输出级晶体管-第一端,其连接到所述输出级放大块-输入节点,

[0065] 第二输出级晶体管-第二端,其连接到所述输出级放大块-输出节点,以及

[0066] 第二输出级晶体管-控制端,其连接到所述输出级放大块-控制端,

[0067] 第二输出级二极管,其包括:

[0068] 第二输出级二极管-阳极,其连接到所述第二输出级晶体管-第二端,以及

[0069] 第二输出级二极管-阴极,其连接到所述第二输出级晶体管-第一端,

[0070] 感测电阻器,其连接在以下两者之间:

[0071] 所述输出级放大块-输入节点与所述第二输出级晶体管-第一端,或

[0072] 在所述输出级放大块-输出节点与所述第二输出级晶体管-第二端之间,以及

[0073] 感测节点,其串联在所述感测电阻器与所述第二输出级晶体管之间,并且连接到

所述输出级放大块-感测端;并且

[0074] 其中:

[0075] 所述第一输出级放大块和所述第三输出级放大块的所述输出级放大块-输入节点连接到所述输出级-第一参考电压端;

[0076] 所述第二输出级放大块和所述四输出级放大块的所述输出级放大块-输出节点连接到所述输出级-第二参考电压端;

[0077] 所述第一输出级放大块的所述输出级放大块-输出节点和所述第二输出级放大块的所述输出级放大块-输入节点连接到所述输出级-第一输出电压端;

[0078] 所述第三输出级放大块的所述输出级放大块-输出节点和所述第四输出级放大块的所述输出级放大块-输入节点连接到所述输出级-第二输出电压端;

[0079] 所述第一输入电压端连接到所述第一输出级放大块的所述输出级放大块-感测端;

[0080] 所述第二输入电压端连接到所述第二输出级放大块的所述输出级放大块-感测端;

[0081] 所述第三输入电压端连接到所述第三输出级放大块的所述输出级放大块-感测端;并且

[0082] 所述第四输入电压端连接到所述第四输出级放大块的所述输出级放大块-感测端。

[0083] 在一个或多个实施例中,所述输出级包括连接到所述第一输出装置端和所述第二输出装置端的扬声器。

[0084] 在一个或多个实施例中,第一低通滤波器和第二低通滤波器包括电感器-电容器LC电路。

[0085] 在一个或多个实施例中,每个第一输出级晶体管和每个第二输出级晶体管是场效应晶体管FET。

[0086] 在一个或多个实施例中:

[0087] 所述第一输入级二极管是其相关联的第一输入级晶体管的体二极管,和/或

[0088] 所述第二输出级二极管是其相关联的第二输出级晶体管的体二极管。

[0089] 虽然本公开容许各种修改和替代形式,但是本公开的细节已经以举例的方式在附图中示出并且将进行详细描述。然而,应理解,超出所描述的特定实施例的其它实施例也是可能的。也涵盖属于所附权利要求书的精神和范围内的所有修改、等效物和替代实施例。

[0090] 以上论述并非旨在表示当前或未来权利要求集的范围内的每个示例实施例或每个实施方案。以下图式和具体实施方式还举例说明了各种实施例。结合附图考虑以下具体实施方式可以更全面地理解各种示例实施例。

## 附图说明

[0091] 现将仅借助于例子参考附图来描述一个或多个实施例,在附图中:

[0092] 图1示出示例输出级;

[0093] 图2示出输出级的另一例子;

[0094] 图3示出输出级的另一例子;

- [0095] 图4示出输出级的另一例子。
- [0096] 图5示出示例电路；
- [0097] 图6示出电路的另一例子；
- [0098] 图7示出输出级的示例实施例；
- [0099] 图8示出放大器的例子；
- [0100] 图9示出感测放大器电路的示例实施例；并且
- [0101] 图10a示出感测放大器电路的另一示例实施例；
- [0102] 图10b示出图10a的感测放大器电路的另一特征；并且
- [0103] 图10c示出图10a的感测放大器电路的另一特征。

### 具体实施方式

[0104] D类音频放大器广泛应用于消费类音频系统、移动类音频系统和汽车(例如,小汽车)音频系统中的扬声器驱动。

[0105] 图1示出与小汽车音频系统中的D类输出级相对应的示例输出级100。输出级100包括:扬声器101;第一参考电压端和第二参考电压端102、103(分别为 $V_{SUP}$ 和接地);第一输出电压端和第二输出电压端104、105(分别为 $OUT_p$ 和 $OUT_m$ );第一低欧姆功率FET、第二低欧姆功率FET、第三低欧姆功率FET和第四低欧姆功率FET 106a-d;第一二极管、第二二极管、第三二极管和第四二极管107a-d;以及第一外部电感器-电容器滤波器和第二外部电感器-电容器滤波器(第一外部LC滤波器和第二外部LC滤波器) 108a、b。

[0106] 输出级100具有所谓的桥接式负载(BTL)配置,其中以相反相位驱动扬声器101的两侧。第一输出节点和第二输出节点104、105通过四个低欧姆功率FET 106a-d在第一参考电压端102与第二参考电压端103之间交替切换。这将产生两个基本频率通常在500kHz左右的方波信号。通常,使用某一形式的脉宽调制(PWM),使得第一输出电压端104处的电压信号减去第二输出电压端105处的电压信号的平均值与期望音频信号相对应。

[0107] 扬声器101通过第一外部LC滤波器和第二外部LC滤波器108a、b连接到第一输出端和第二输出端104、105。这些滤波器抑制方波信号的高频分量,并且仅允许音频频率分量通过。

[0108] 例如图1所示输出级的音频放大器的目的是在扬声器两端施加电压,从而高保真地复制音频输入信号。这意味着音频放大器不应使音频输入信号失真。低失真通常是通过应用反馈来实现的。适当的反馈环路在音频频率范围内具有较高的环路增益,所述环路增益抑制输出级以及可选地第一外部LC滤波器和第二外部LC滤波器的非线性。

[0109] 由于音频放大器在扬声器两端施加电压,因此由音频放大器传递的电流由扬声器阻抗确定。有许多应用需要测量或感测此电流(负载电流),其中对精确度有不同的要求:

[0110] 1. 保护。在从扬声器缆线中的一个到接地、电源或其它扬声器缆线为短路的情况下,电流可能会达到过高电平。在此情况下,音频放大器需要关闭以防止损坏。在此情况下,电流测量所需的精确度不是很高,例如10%通常就足够好了。

[0111] 2. 诊断。在汽车领域中,需要确定是否连接了扬声器以及扬声器阻抗是多少。这通常是在音频放大器的启动阶段完成的,但出于安全考虑,汽车行业的发展正朝着需要持续监测扬声器存在的系统发展。这些应用需要适中的精确度,例如大约40dB。

[0112] 3. 扬声器保护。扬声器电流可以用于确定扬声器的温度并且估计扬声器膜的偏移。此信息可以用于防止扬声器损坏。这需要大约60dB的线性度。

[0113] 4. 扬声器线性化。当可以足够精确地测量扬声器电流时,使用所述信息来使扬声器本身的声学行为线性化变得可行。对于此类应用,需要远高于60dB的线性度。

[0114] 以下例子可涉及以上应用中的一个或多个。

[0115] 图2示出被配置成用于电流感测的输出级200的例子。输出级200类似于图1的输出级,其中所述输出级200包括扬声器201和第一外部LC滤波器208。与图1的输出级的差异包括:感测电阻器 $R_{\text{SENSE}}$  209,其串联连接在扬声器201与第一外部LC滤波器208之间;感测放大器 $A_{\text{SENSE}}$  210,其被配置成(如图所示,使用引脚211a、211b)感测感测电阻器209两端的电压并且输出放大的电压;以及模数转换器ADC 212,其连接到感测放大器210以使得其能够接收放大的电压。

[0116] 图2的输出级200可以被视为表示用于电流感测的简单且精确的配置。这是因为感测电阻器209直接与扬声器201串联。随后,感测电阻器209两端的电压被感测放大器210感测和放大,然后馈送到ADC 212。为了精确的电流感测,感测放大器210需要具有非常高的共模抑制,因为感测电阻器209上的差分信号很小,例如50mV,而扬声器201处的信号摆幅要大得多,例如25V。

[0117] 图3示出类似于图1和2的输出级的被配置成用于电流感测的输出级300的另一例子。具体地说,输出级300包括第一输出电压端304 ( $\text{OUT}_p$ )、第一外部LC滤波器308、感测电阻器309以及感测放大器310。与图2的输出级不同的是,感测电阻器309放置在第一外部LC滤波器308的上游,使得其串联连接在第一外部LC滤波器308与第一输出电压端304之间。原则上,此配置可以在不需要额外引脚的情况下实现。然而,感测放大器310的实施方案将比图2所示的情况更具挑战性,因为现在共模电压是未滤波的切换输出电压,它是PWM方波,而不是音频信号。此外,通过感测电阻器309的电流现在是负载电流和通过第一外部LC滤波器308中的电容器C的电流的总和。

[0118] 图4示出被配置成用于电流感测的输出级400的另一例子。输出级400包括:第一低侧功率FET和第二低侧功率FET 406b、406d;第二参考电压端403(在此例子中为接地);第一感测电阻器和第二感测电阻器409a、409b;感测放大器410;模数转换器ADC 412;以及低通滤波器(LPF) 413。与图2和3的示例输出级进行比较,图4的输出级400表示为替代配置,其中第一感测电阻器和第二感测电阻器409a、409b串联连接在低侧功率FET 406b、406d与第二参考电压端403之间。在此配置中,感测放大器410的共模抑制要求可以放宽,因为每个感测电阻器409a、409b的一个端连接到参考电压端403(即,每个感测电阻器的一个端接地)。此外,当对应低侧功率FET导通时(例如,感测电阻器409a和低侧功率FET 406b在第二参考电压端403的左侧),负载和电容器电流仅流过给定的感测电阻器。这意味着从感测放大器410到ADC 412的电压信号与产生高频分量的PWM信号混合。LPF 413可以抑制这些高频分量。

[0119] 图4的输出级可用于移动应用中的智能扬声器驱动器,可在无需任何外部组件或额外引脚的情况下集成,并且对感测放大器410仅有适中要求。例如,在智能扬声器驱动器中,输出功率电平适中,例如小于5W,这使得将感测电阻器与支持所有输出电流的低侧功率FET串联放置是可行的。然而,在高功率汽车(和消费类)放大器中,图4的输出级可能不适

合,因为功率FET通常与沿着功率FET周界分布的多条键合线连接,以使电流密度尽可能均匀。在这些情况下,将所有电流路由到单个感测电阻器是不切实际的。

[0120] 图5示出示例电路500,一般来说,其被配置成并非感测全部的电流,而仅感测一小部分电流。电路500包括:输出电压端504;参考电压端(在此例子中为接地)503;第一功率FET 514,其可以与图4的输出级中的低侧功率FET相对应; $M_{PWR0}$ ;第二功率FET 515; $M_{PWR1}$ ,其包括源极端516和漏极端517;以及感测电阻器509,其串联连接在源极端516与参考电压端503之间。图5还以图形方式示出从电压输出端504到电压参考端503的漏极电流 $I_D$  518的表示。

[0121] 因此,电路500与功率FET被‘拆分’成‘较大部分’(即,第一功率FET 514)和‘较小部分’(即,第二功率FET 515)的情况相对应,所述电路500具有与源极端516串联的感测电阻器509。假设感测电阻器509的电阻远小于第二功率FET 515的导通电阻,则漏极电流518在第一功率FET与第二功率FET 514、515之间分配成两部分,其分配比例与第一功率FET和第二功率FET 514、515的大小(例如沟道宽度的大小)相同。

[0122] 类似于图4中的输出级,图5中的感测电路500有感测电阻器509的一个端连接到接地。因此,放宽了感测放大器(图5中未示)的共模抑制要求。然而,这种放宽仅适用于连接到接地的低侧功率FET。对于高侧功率FET,源极连接到切换输出节点(与图1输出级中的第一低欧姆功率FET和第三低欧姆功率FET进行比较),这可能产生不可接受的高共模摆幅。

[0123] 图6示出类似于图5的电路的电路600的另一例子。电路600包括参考电压端602(在此例子中为 $V_{SUP}$ )、感测电阻器609以及包括漏极端617的第二功率FET 615。与图5的电路进行比较,图6的电路600的感测电阻器609串联连接在参考电压端602与漏极端617之间。这种配置可以解决上述不可接受的共模摆幅的问题。

[0124] 为了分配漏极电流,只要感测电阻器的电阻比第二功率FET的‘较小部分’的导通电阻小,感测电阻器就可以与功率FET的源极端或漏极端串联放置。此处,需要进行设计权衡:感测电阻器的较小电阻可提高线性度,但会产生较小的信号,这会降低系统的信噪比(SNR)。对于高侧功率FET,还应注意,感测电阻器的一个端连接到静态节点,因此不存在大的共模摆幅。

[0125] 图7示出基于图6和7的电路的输出级700的示例实施例。因此,输出级700表示电流感测的替代方法,而不是关于图2-4所示的输出级所描述的方法。

[0126] 输出级700包括:输出级-第一参考电压端(在此例子中接收电源电压 $V_{SUP}$ )702;输出级-第二参考电压端(在此例子中对应于接地GND)703;输出级-第一输出电压端(在此例子中输出正输出电压 $V_{OUTP}$ )704;以及输出级-第二输出电压端(在此例子中输出负输出电压 $V_{OUTM}$ )705。如下文将论述的,扬声器701可以连接在输出级-第一输出电压端 $V_{OUTP}$ 704与输出级-第二输出电压端 $V_{OUTM}$ 705之间。

[0127] 更具体地说,输出级700另外包括用于连接到输出装置的第一输出装置端719和第二输出装置端720,所述输出装置在此例子中是扬声器701。输出级700另外包括串联连接在第一输出装置端719与输出级-第一输出电压端704之间的第一低通电路708a,以及串联连接在第二输出装置端720与输出级-第二输出电压端705之间的第二低通电路708b。第一低通电路和第二低通电路708a-b可以被提供为电感器-电容器LC电路或电阻器-电容器RC电路。

[0128] 尽管图7中示出的输出级700包括连接到第一输出装置端和第二输出装置端719、720的扬声器701,但是应理解,可以使用其它组件/输出装置来代替扬声器701。

[0129] 输出级700另外包括第一输出级放大块、第二输出级放大块、第三输出级放大块和第四输出级放大块721a-d。每个输出级放大块721a-d包括输出级放大块-输入节点722a-d、输出级放大块-输出节点723a-d、输出级放大块-控制端724a-d、输出级放大块-感测端725a-d。在此例子中,每个输出级放大块721a-d还包括可选的输出级放大块-参考端726a-d。从下面的描述中将变得显而易见的是,每个输出级放大块-感测端725a-d有助于对通过输出级700A的电流进行部分感测。

[0130] 每个输出级放大块721a-d另外包括第一输出级晶体管727a-d。第一输出级晶体管727a-d包括:连接到输出级放大块-输入节点722a-d的第一输出级晶体管-第一端728a-d;连接到输出级放大块-输出节点723a-d的第一输出级晶体管-第二端729a-d;以及连接到输出级放大块-控制端724a-d的第一输出级晶体管-控制端730a-d。

[0131] 在一些例子中,第一输出级晶体管727a-d是场效应晶体管FET,例如金属氧化物半导体FET、MOSFET或功率FET,或双极结型晶体管或绝缘栅双极晶体管(IGBT)。MOSFET可以是n型MOSFET或p型MOSFET。

[0132] 每个输出级放大块721a-d另外包括第一输出级二极管731a-d,所述第一输出级二极管731a-d包括连接到第一输出级晶体管-第二端729a-d的第一输出级二极管-阳极732a-d以及连接到第一输出级晶体管-第一端728a-d的第一输出级二极管-阴极732a-d。在此例子中,第一输出级二极管731a-d是相关联的第一输出级晶体管727a-d的体二极管,所以这些二极管在功率FET内部。第一输出级二极管731a-d可以包括在装置的光刻结构内,并且可以有意识地使其相当大以便在高频PWM切换期间保护第一输出级晶体管727a-d免受反向恢复电流的损坏。这可能由于扬声器701之前的第一低通电路和第二低通电路708a、708b的电感器而发生。

[0133] 每个输出级放大块721a-d另外包括第二输出级晶体管734a-d-参见图7的插图-,所述第二输出级晶体管734a-d在输出级放大块-输入节点722a-d和输出级放大块-输出节点723a-d之间与第一输出级晶体管727a-d并联连接。与第一输出级晶体管一样,第二输出级晶体管可以是FET、n型MOSFET、p型MOSFET、功率FET或双极结型晶体管。

[0134] 第二输出级晶体管734a-d包括:连接到输出级放大块-输入节点722a-d的第二输出级晶体管-第一端735a-d;连接到输出级放大块-输出节点723a-d的第二输出级晶体管-第二端736a-d;以及连接到输出级放大块-控制端724a-d的第二输出级晶体管-控制端737a-d。

[0135] 每个输出级放大块721a-d另外包括第二输出级-二极管738a-d-参见图7的插图-,所述第二输出级-二极管738a-d包括连接到第二输出级晶体管-第二端736a-d的第二输出级二极管-阳极739a-d,以及连接到第二输出级晶体管-第一端735a-d的第二输出级二极管-阴极740a-d。在此例子中,第二输出级二极管738a-d是相关联的第二输出级晶体管734a-d的体二极管。

[0136] 每个输出级放大块721a-d另外包括在功能上与关于图2-4的输出级描述的感测电阻器相关的感测电阻器741a-d。在图7的输出级700中,感测电阻器741a-d连接在输出级放大块-输入节点722a-d与第二输出级晶体管-第一端735a-d之间,或者在输出级放大块-输

出节点723a-d与对应输出级放大块721a-d的第二输出级晶体管-第二端736a-d之间。

[0137] 每个输出级放大块721a-d另外包括串联在感测电阻器741a-d与第二输出级晶体管734a-d之间并且连接到输出级放大块-感测端725a-d的感测节点742a-d。

[0138] 输出级700进一步如下布置。第一输出级放大块和第三输出级放大块721a、721c的输出级放大块-输入节点722a、722c连接到输出级-第一参考电压端702。第二输出级放大块和第四输出级放大块721b、721d的输出级放大块-输出节点723b、723d连接到输出级-第二参考电压端703。第一输出级放大块721a的输出级放大块-输出节点723a和第二输出级放大块721b的输出级放大块-输入节点722b连接到输出级-第一输出电压端704。第三输出级放大块721c的输出级放大块-输出节点723c和第四输出级放大块的输出级放大块-输入节点722d连接到输出级-第二输出电压端705。

[0139] 因此,在一些例子中,图7的输出级700与在高侧功率FET和低侧功率FET中具有部分电流感测电阻器的完整BTL D类输出级相对应。因此,输出级700可以产生四个感测电压 $V_{SENSEPL}$ 、 $V_{SENSEPH}$ 、 $V_{SENSEML}$ 和 $V_{SENSEMH}$ (分别来自第一放大块、第二放大块、第三放大块和第四放大块721a-d的输出级放大块-感测端725a-d)。这四个感测电压可以组合成单个感测电压 $V_{SENSE}$ ,所述 $V_{SENSE}$ 与负载和电容器电流成比例:

$$[0140] \quad (1) V_{SENSE} = V_{SENSEPH} - V_{SENSEPL} - (V_{SENSEMH} - V_{SENSEML})$$

[0141] 组合 $V_{SENSEPL}$ 、 $V_{SENSEPH}$ 、 $V_{SENSEML}$ 和 $V_{SENSEMH}$ 是具有挑战性,原因有两个。第一,高侧感测电压 $V_{SENSEPH}$ 和 $V_{SENSEMH}$ 指电源电压 $V_{SUP}$ ,而低侧感测电压 $V_{SENSEPL}$ 和 $V_{SENSEML}$ 指接地。ADC通常也会指接地,因此高侧感测电压需要电平移位到接地。第二,所有感测电压都可以是正的也可以是负的。这意味着低侧感测电压 $V_{SENSEPL}$ 和 $V_{SENSEML}$ 可以低于接地,而高侧感测电压 $V_{SENSEPH}$ 和 $V_{SENSEMH}$ 可以高于电源 $V_{SUP}$ 。

[0142] 图8示出可以解决第二挑战的示例放大器800。放大器800包括电压供应节点( $V_{SUP}$ )843、感测电压输入端( $V_{SENSEIN}$ )844以及晶体管845。晶体管845包括连接到电压供应节点843的第一导电沟道端846和连接到感测电压输入节点844的第二导电沟道端847。放大器800另外包括串联连接在感测电压输入端844与第二导电沟道端847之间的第一电阻器( $R_1$ )848、串联连接在电压供应节点843和第一导电沟道端846之间的第二电阻器( $R_2$ )849。

[0143] 放大器另外包括设置在第一导电沟道端846与第二电阻器849之间的感测节点850,以及连接到感测节点850的感测电压输出端( $V_{SENSEOUT}$ )851。

[0144] 图8中还示出从电压供应节点843流向感测电压输入端844的偏置电流 $I_{BIAS}$ 852的表示。

[0145] 在例子中,放大器800与其中晶体管845是n型MOSFET的简并共栅极放大器相对应,使得第一导电沟道端846是漏极端,第二导电沟道端847是源极端。在操作中,输入信号可以施加在晶体管845的简并源极端处,而不是在共源极配置中的控制端处。这允许输入信号低于接地而不会出现任何问题。然而,请注意,偏置电流852还流过感测电压输入端844,如果信号源的阻抗高,则可能产生显著的偏移。例如大约50m $\Omega$ 的低源阻抗可以解决这个问题。

[0146] 简并共栅极放大器的增益可近似为:

$$[0147] \quad (2) \frac{V_{SENSEOUT}}{V_{SENSEIN}} = \frac{R_2}{R_1} \cdot \frac{g_m R_1}{1 + g_m R_1}$$

[0148] 其中 $g_m$ 是晶体管845的跨导。

[0149] 因此,如上所述的简并共栅极放大器可以用于低侧感测信号 $V_{\text{SENSEPL}}$ 和 $V_{\text{SENSEML}}$ ,以形成等式1中输出电压差分的第一部分。对于高侧感测信号 $V_{\text{SENSEPH}}$ 和 $V_{\text{SENSEMH}}$ ,可以使用补充版本;即,使用p型MOSFET代替n型MOSFET作为晶体管,并且偏置电压指的是电源电压 $V_{\text{SUP}}$ 而不是接地。

[0150] 图9示出基于图8的示例放大器的感测放大器电路900的示例实施例。感测放大器电路900包括第一感测输出端( $V_{\text{SENSEM}}$ )953、第二感测输出端( $V_{\text{SENSEP}}$ )954、第一输入电压端( $V_{\text{SENSEPH}}$ )955、第二输入电压端( $V_{\text{SENSEPL}}$ )956、第三输入电压端( $V_{\text{SENSEMH}}$ )957、第四输入电压端( $V_{\text{SENSEML}}$ )958,以及共模电压节点( $V_{\text{CM}}$ )960。

[0151] 借助于概述,感测放大器电路900允许根据等式(1)和(2)将每个输入电压端955、956、957、958处的电压信号组合成差分输出电压信号。因此,感测放大器电路900可以连接到图7的输出级以提供对流过输出级的电流进行电流感测的能力。

[0152] 感测放大器电路900另外包括第一放大块、第二放大块、第三放大块和第四放大块961a-d。如图所示,每个放大块961a-d包括放大块-输入节点962a-d、放大块-输出节点963a-d和放大块-控制节点964a-d。

[0153] 每个放大块961a-d另外包括放大块-晶体管965a-d。每个放大块-晶体管965a-d包括:第一导电沟道端966a-d;连接到放大块-输出节点963a-d的第二导电沟道端967a-d;以及连接到放大块-控制节点964a-d的控制端968a-d。放大块-电阻器( $R_1$ )969a-d包括在每个放大块961a-d中,并且串联连接在放大块-晶体管965a-d的放大块-输入节点962a-d与第一导电沟道端966a-d之间。

[0154] 感测放大器电路900另外包括:连接到第一放大块和第三放大块961a、961c的放大块-控制节点964a、964c的第一偏置电压源( $V_{\text{BIASH}}$ )970,以及连接到在第二放大块和第四放大块961b、961d的放大块-控制节点964b、964d的第二偏置电压源( $V_{\text{BIASL}}$ )971。感测放大器电路另外包括:串联连接在第一感测输出端953与共模电压节点960之间的第一共模电压电阻器( $R_2$ )972,以及串联连接在第二感测输出端954与共模电压节点960之间的第二共模电压电阻器( $R_2$ )973。

[0155] 感测放大器电路900进一步如下布置。第一放大块和第二放大块961a、961b的放大块-输出节点963a、963b连接到第一感测输出端953。第三放大块和第四放大块961c、961d的放大块-输出节点963c、963d连接到第二感测输出端954。第一放大块961a的放大块-输入节点962a连接到第一输入电压端955。第二放大块961b的放大块-输入节点962b连接到第二输入电压端956。第三放大块961c的放大块-输入节点962c连接到第三输入电压端957。第四放大块961d的放大块-输入节点962d连接到第四输入电压端958。

[0156] 感测放大器电路900被配置成使得偏置电流可以流过第一放大块和第二放大块961a、961b以及第三放大块和第四放大块961c、961d(即,在图7中从上到下)。另外,信号电流可以流过第一共模电压电阻器和第二共模电压电阻器972、973。

[0157] 在操作中,通过控制第一偏置电压源970和/或第二偏置电压源971处的电压电平,可以将与第一感测输出端和第二感测输出端953、954处的输出电压的共模电压电平相对应的共模电压节点960处的电压电平调节到任何期望电平。因此,感测放大器电路900可以产生符合等式(1)并且具有等式(2)给出的额外增益因子的差分输出电压-即,第二感测输出端954处的电压减去第一感测输出端953处的电压。

[0158] 在一些例子中,放大块-晶体管965a-d是双极结型晶体管BJT或场效应晶体管FET,其例子如上所述。例如,第一放大块和第三放大块961a、961c的放大块-晶体管965a、965c可以是p型金属氧化物半导体FET、MOSFET,并且第二放大块和第四放大块961b、961b的放大块-晶体管965b、965d可以是n型MOSFET。

[0159] 图9的感测放大器电路900还包括第一参考电压端( $V_{SUP}$ )974和第二参考电压端(GND)975。第一偏置电压源( $V_{BIASH}$ )970串联连接在以下两者之间:(i)第一参考电压端( $V_{SUP}$ )974与(ii)第一放大块和第三放大块961a、961c的放大块-控制节点964a、964c。第二偏置电压源( $V_{BIASL}$ )971串联连接在以下两者之间:(i)第二参考电压端(GND)975与(ii)第二放大块和第四放大块961b、961d的放大块-控制节点964b、964d。

[0160] 有利的是,图9所示的感测放大器电路900提供了如何将四个感测电压组合成单个差分电压的解决方案。例如,高侧(例如,当第一放大块和第三放大块的放大块-晶体管是p型MOSFET时)输入和低侧(例如,当第二放大块和第四放大块的放大块-晶体管是n型MOSFET时)输入,可以分别摆幅超过电源和接地,并且高侧感测电压电平移位到适当的输出电平而不需要额外的电路系统。

[0161] 更一般地说,作为另外的优点,图9所示的感测放大器电路900可以集成在芯片上,而不需要外部组件或额外引脚,从而使其紧凑。图9中所示的感测放大器电路900还可以允许以足够的精确度测量通过例如关于图7描述的输出级之类的输出级的负载电流,可能有大约60dB的总谐波失真以及非常有限的开销。

[0162] 由于来自高侧部分的偏置电流由低侧部分共享,因此感测放大器电路900也可以是功率有效的。而且,由于感测放大器电路900基本上是单级放大器,因此所有偏置电流用于降低等效输入噪声,并从而提高SNR。

[0163] 再次参考等式(2),应理解,感测放大器的增益取决于晶体管的跨导 $g_m$ ,使得其依赖于温度和工艺。

[0164] 图10a示出感测放大器电路1000的另一示例实施例。感测放大器电路类似于图9的感测放大器电路,其中它包括第一放大块、第二放大块、第三放大块和第四放大块1061a-d。如前所述,每个放大块1061a-d包括:放大块-控制节点1064a-d;放大块-电阻器( $R_1$ )1069a-d;以及放大块-晶体管1065a-d,其包括第一导电沟道端1066a-d、第二导电沟道端1067a-d;以及控制端1068a-d。除非以下描述另有说明,否则图10a-c的感测放大器电路1000可以被视为包括与图9的感测放大器电路相同的特征及其对应功能。

[0165] 与图9的感测放大器电路的差异包括:连接节点1076a-d,其串联连接在放大块-电阻器1069a-d与第一导电沟道端1066a-d之间;放大器1077a-d,其包括放大器-第一输入端1078a-d、放大器-第二输入端1079a-d,以及放大器-输出端1080a-d。此处,放大器-第一输入端1078a-d连接到放大块-控制节点1064a-d,放大器-第二输入端1079a-d连接到连接节点1076a-d,并且放大器-输出端1080a-d连接到控制端1068a-d。因此,控制端1068a-d通过放大器1077a-d间接连接到放大块-控制节点1064a-d。

[0166] 向每个放大块1064a-d引入放大器1077a-d可以降低 $g_m$ 对温度和晶体管工艺的依赖性。这是因为放大器1077a-d充当放大块-晶体管1065a-d周围的 $g_m$ 升压反馈环路。其结果是,放大块-晶体管1065a-d的 $g_m$ 乘以环路中放大器1077a-d的增益。因此,有效 $g_m$ 变得如此大,使得增益集中于共模电压电阻器与放大块-电阻器的比率(即,等式2中的 $R_2/R_1$ ),并且因

此变得独立于晶体管工艺和温度。因此,感测放大器电路的噪声性能主要由放大器决定,并且有益地减少对流过感测放大器电路核心的偏置电流的依赖。

[0167] 返回参考输出级的示例应用,汽车放大器的特征是它们通常使用高电压(HV)技术实现,所述技术具有能够处理例如大于60V的高电压的装置以及标准CMOS装置。标准CMOS装置最适合用于信号处理功能,因为它们为特定的电流/区域预算提供最高的gm。因此,对于感测放大器的低侧部分,标准薄氧化物CMOS装置可能是合适的,因为输入信号大约处于接地电平,并且输出处于低电压电平,以便匹配(低电压)ADC的共模输入范围。感测放大器的高侧部分本质上是低侧的补充版本,虽然指的是电源电压而不是接地,因此也可以使用薄氧化物CMOS来实现。但是,由于高侧输出指接地而不是电源,因此高侧PMOS装置的漏极与源极之间会出现很大的电压差。

[0168] 图10b示出可以解决上述问题的感测放大器电路1000的另一特征,所述特征可以与参考图10a描述的特征组合或替代这些特征而提供。具体地说,第一放大块和第三放大块1061a、1061c包括:放大块-输出节点1063a、1063c;以及放大块-共源共栅控制节点1081a、1081c;晶体管1065a、1065c,其包括第二导电沟道端1067a、1067c;以及共源共栅1082a、1082c,其串联连接在第二导电沟道端1067a、1067c与放大块-输出节点1063a、1063c之间。

[0169] 共源共栅1082a、1082c(可以是高电压共源共栅)可以使得高侧电路系统与低侧电路系统隔离成为可能,因此它们可以有利地使用更小的装置构建并且在不同的电压电平下分别处理小信号。

[0170] 每个共源共栅1082a、1082c包括共源共栅晶体管1083a、1083c。共源共栅晶体管1083a、1083c包括:共源共栅晶体管-第一导电沟道端1084a、1084c,其连接到第二导电沟道端1067a、1067c;共源共栅晶体管-第二导电沟道端1085a、1085c,其连接到放大块-输出节点1063a、1063c;以及共源共栅晶体管-控制端1086a、1086c,其连接到放大块-共源共栅控制节点1081a、1081c。

[0171] 在一些例子中,每个共源共栅晶体管1083a、1083c是MOSFET;例如,p型MOSFET。

[0172] 每个共源共栅1082a、1082c另外包括:共源共栅二极管1087a、1087c,其包括连接到共源共栅晶体管-第二导电沟道端1085a、1085c的共源共栅二极管-阳极1088a、1088c;以及共源共栅二极管-阴极1089a、1089c,其连接到共源共栅晶体管-第一导电沟道端1084a、1084c。

[0173] 感测放大器电路1000另外包括:第一偏置电压源1070-与图9的感测放大器电路的第一偏置电压源进行比较-,以及连接到第一放大块和第三放大块1061a、1061c的放大块-共源共栅控制节点1081a、1081c的第三偏置电压源( $V_{BIASC}$ ) 1090。在一些例子中,感测放大器电路1000包括第一参考电压端1074-与图9的感测放大器电路的第一参考电压端进行比较。在这些例子中,第三偏置电压源1090连接到第一参考电压端1074。

[0174] 在例子中,每个共源共栅晶体管可以是高电压HV PMOS晶体管。在操作期间,这些HV-PMOS晶体管的栅极被来自第三偏置电压源1090的电压偏置,所述电压略低于来自第一偏置电压源1070的电压并且还参考第一参考电压端1074。因此,PMOS晶体管的漏极电压被有利地屏蔽以免受高电压的影响。

[0175] 如上所述,感测放大器电路的输出应与低电压ADC的共模输入范围匹配,以实现更精确的操作。

[0176] 图10c示出可以解决上述问题的感测放大器电路1000的另一特征,所述特征可以与参考图10a和10b描述的特征组合或替代这些特征而提供。具体地说,感测放大器电路1000包括:第二偏置电压源( $V_{BIASL}$ ) 1071,其包括连接到第二放大块和第四放大块1061b、1061d的放大块-控制节点1064b、1064d的第二偏置电压源-输出节点1091;第三偏置电压源( $V_{CMREF}$ ) 1092;以及第五放大器1093。第五放大器1093包括:放大器-第一输入端1094,其连接到共模电压节点( $V_{CM}$ ) 1060;放大器-第二输入端1095,其连接到第三偏置电压源( $V_{CMREF}$ ) 1092;以及放大器-输出端1096,其连接到第二偏置电压源-输出节点1091。

[0177] 在操作中,通过由第五放大器1093提供的共模反馈环路,可以将共模电压节点1060处的共模电平调节到由第三偏置电压源1092提供的参考电压电平。此环路感测共模电压节点1060处的共模电平,并且将共模电平与参考电压电平进行比较,所述参考电压电平的输出与第二偏置电压源( $V_{BIASL}$ ) 1071的输出相对应。

[0178] 在一些例子中,图9、10a、10b或10c的感测放大器电路连接到图7的输出级。在此类例子中,每个输入电压端具有对应输出级放大块-感测端。也就是说,第一输入电压端连接到第一输出级放大块的输出级放大块-感测端,第二输入电压端连接到第二输出级放大块的输出级放大块-感测端,第三输入电压端连接第三输出级放大块的输出级放大块-感测端,并且第四输入电压端连接第四输出级放大块的输出级放大块-感测端。

[0179] 在其它例子中,图9、10a、10b或10c的感测放大器电路可以连接到具有例如用于DC电动机的H桥模式的任何输出级。感测放大器电路还可以与分段式功率级一起使用。

[0180] 在一些例子中,输出级包括非常低的欧姆感测电阻器(例如图7中的感测电阻器741a-d),作为非限制性例子,其可以是10m $\Omega$ 、50m $\Omega$ 、60m $\Omega$ 或100m $\Omega$ 的数量级。如上所述,这可能比图7中相关联的第二输出级晶体管734a-d的导通电阻小得多。作为非限制性示例,相关联的第二输出级晶体管734a-d的导通电阻可以是100m $\Omega$ 、250m $\Omega$ 、500m $\Omega$ 或1 $\Omega$ 的数量级。第一输出级晶体管与第二输出级晶体管之间的比率可以在15:1的范围内。其结果是,可以实现感测电压之间的良好匹配。而且,感测电压的低阻抗使它们对干扰不敏感。因此,感测放大器电路(例如,图10a-c所示的感测放大器电路)在输出级平面布置图中的位置并不重要。

[0181] 将如参考图9和10a-c所述的感测放大器电路连接到图7的输出级可以提供上述一个或多个优点。

[0182] 应了解,在本文中描述或示出为被耦合或连接的任何组件可以是直接或间接耦合或电连接。也就是说,一个或多个组件可以位于据称被耦合或连接的两个组件之间,而仍使得能够实现所需的功能性。

[0183] 除非明确陈述特定顺序,否则可以任何顺序执行上图式中的指令和/或流程图步骤。而且,本领域的技术人员将认识到,虽然已经论述一个示例指令集/方法,但是在本说明书中的材料可以多种方式组合从而还产生其它例子,并且应在此详细描述提供的上下文内来进行理解。

[0184] 在一些示例实施例中,上文描述的指令集/方法步骤实施为体现为可执行指令集的功能和软件指令,所述可执行指令集在计算机或以所述可执行指令编程和控制的机器上实现。此类指令经过加载以在处理器(例如,一个或多个CPU)上执行。术语处理器包括微处理器、微控制器、处理器模块或子系统(包括一个或多个微处理器或微控制器),或其它控制

或计算装置。处理器可指代单个组件或多个组件。

[0185] 在其它例子中,本文示出的指令集/方法以及与其相关联的数据和指令存储于相应存储装置中,所述存储装置被实施为一个或多个非暂时性机器或计算机可读或计算机可用存储介质。此类一个或多个计算机可读或计算机可用存储介质被视为物品(或制品)的部分。物品或制品可以指代任何所制造的单个组件或多个组件。如本文所定义的非暂时性机器或计算机可用介质不包括信号,但此类介质能够接收并处理来自信号和/或其它暂时性介质的信息。

[0186] 本说明书中论述的材料的示例实施例可整体或部分地经由网络、计算机或基于数据的装置和/或服务实施。这些可以包括云、因特网、内联网、移动装置、台式电脑、处理器、查找表、微控制器、消费者设备、基础架构,或其它致能装置和服务。如本文和权利要求书中可使用,提供以下非排他性定义。

[0187] 在一个例子中,使本文论述的一个或多个指令或步骤自动化。术语自动化或自动(和其类似变型)意指使用计算机和/或机械/电气装置控制设备、系统和/或过程的操作,而不需要人类干预、观测、努力和/或决策。

[0188] 应了解,据称要耦合的任何组件可直接或间接地耦合或连接。在间接耦合的状况下,可在据称将耦合的两个组件之间安置额外的组件。

[0189] 在本说明书中,已经依据选定的细节集合而呈现示例实施例。然而,本领域的普通技术人员将理解,可以实践包括这些细节的不同选定集合的许多其它示例实施例。希望所附权利要求书涵盖所有可能的示例实施例。

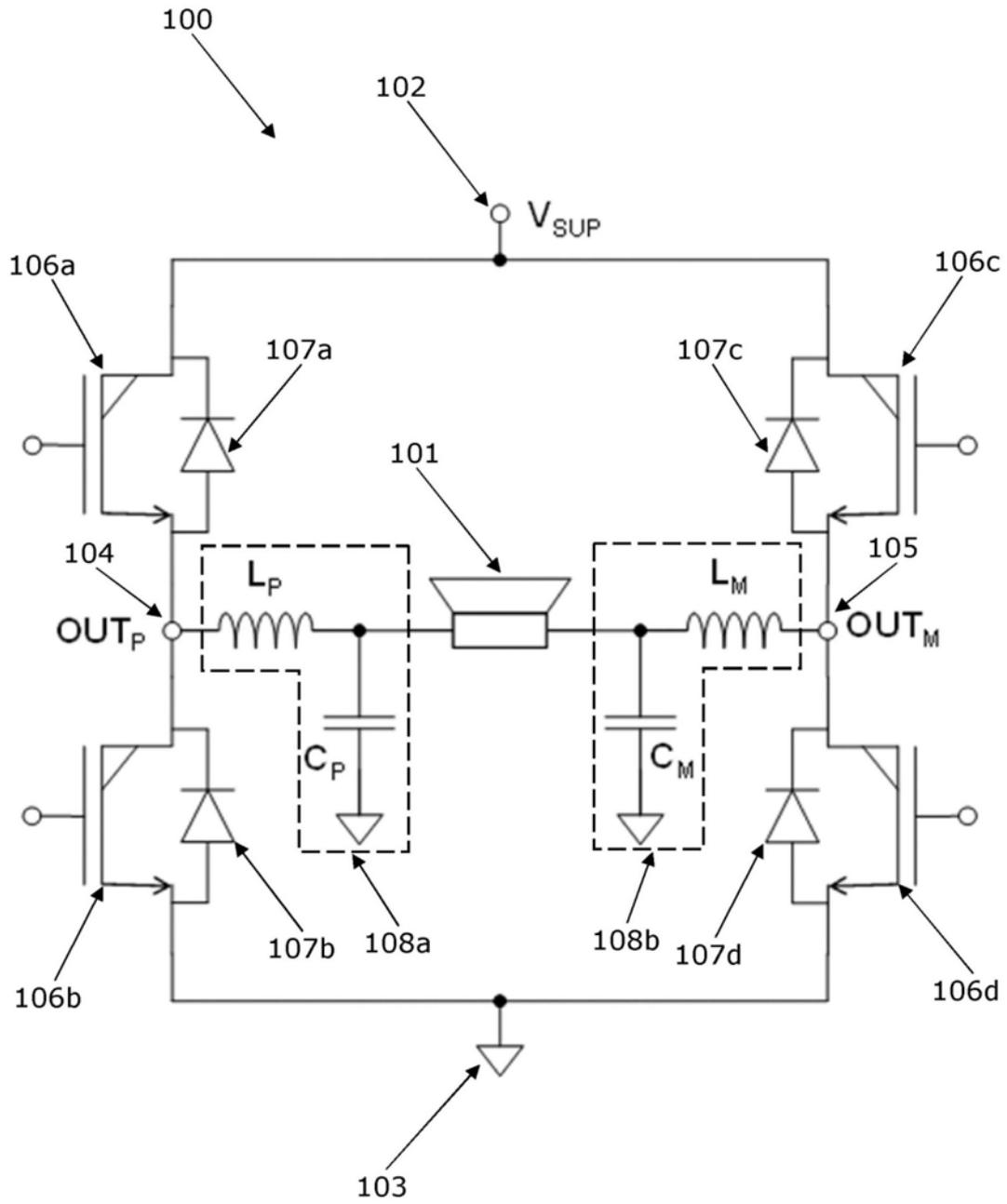


图1

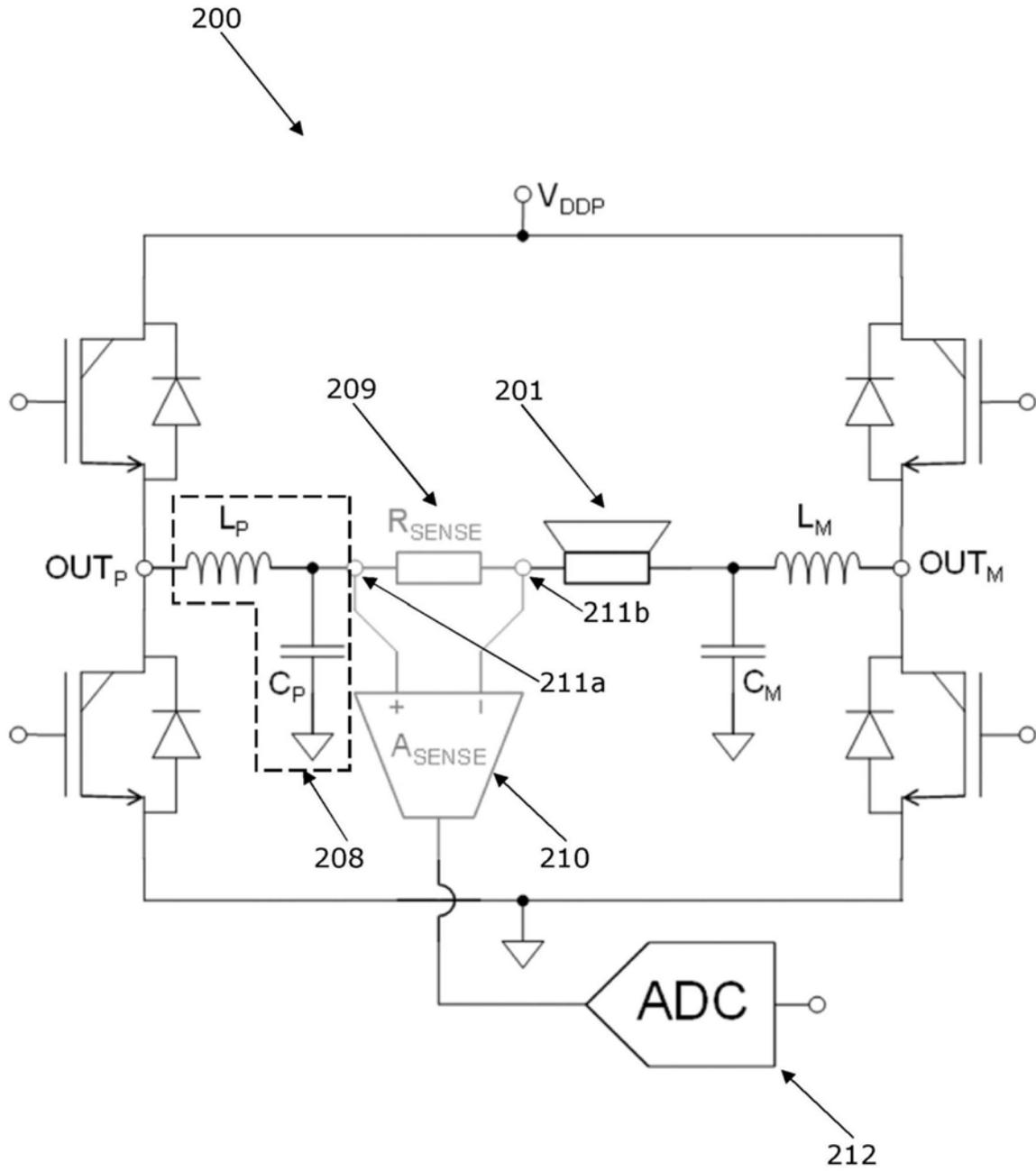


图2

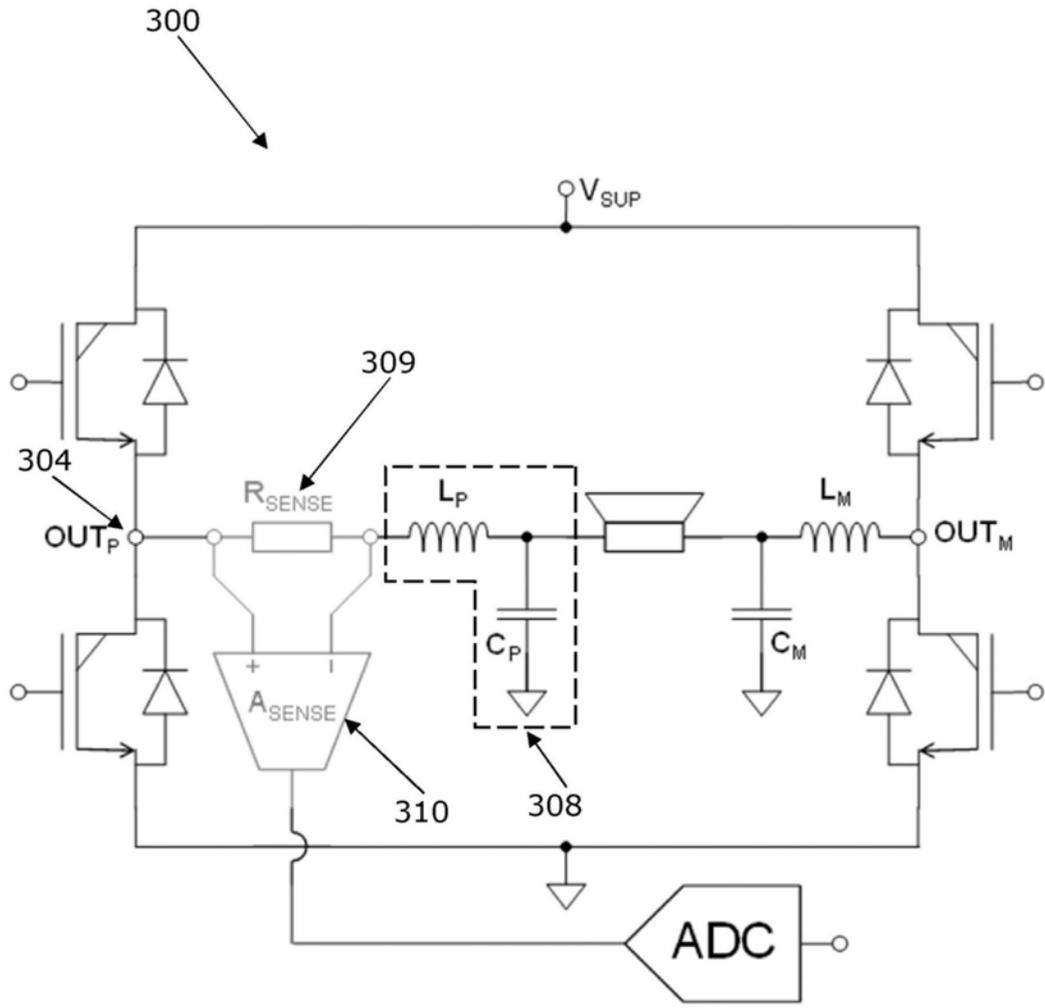


图3

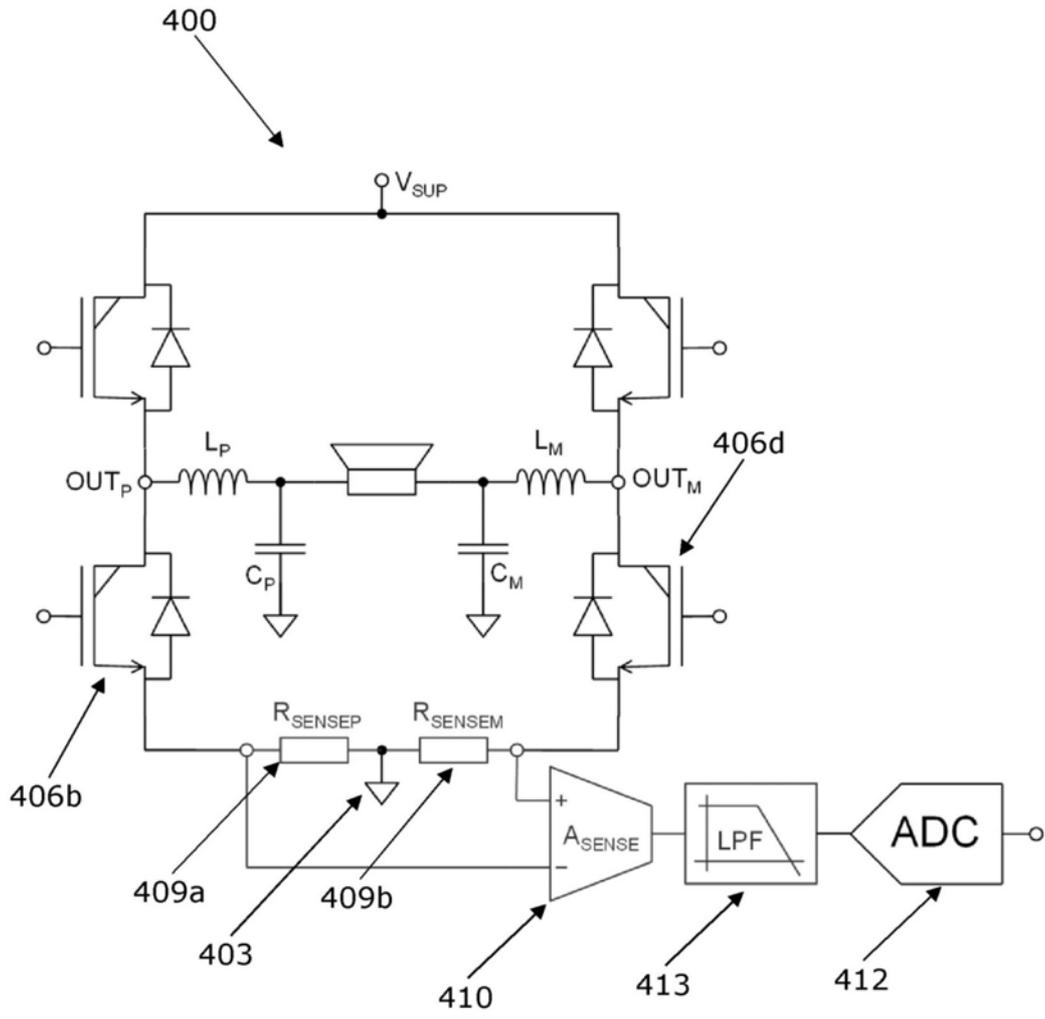


图4

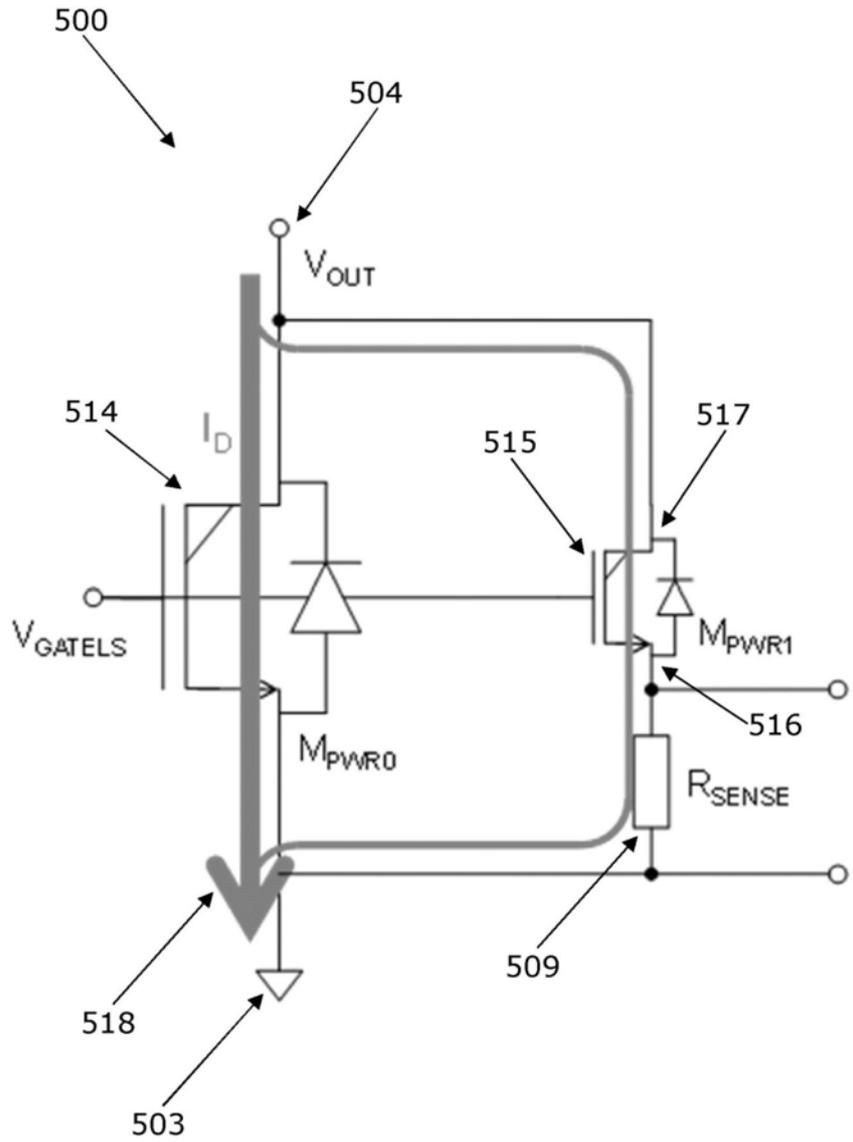


图5

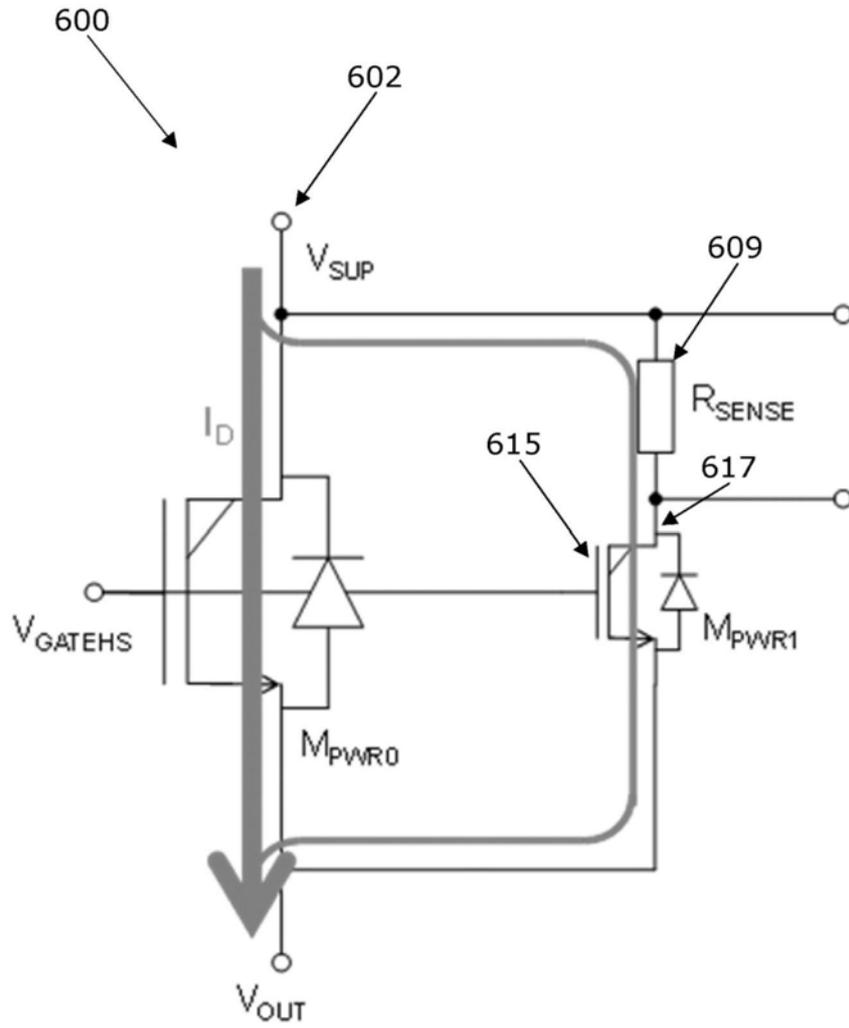


图6

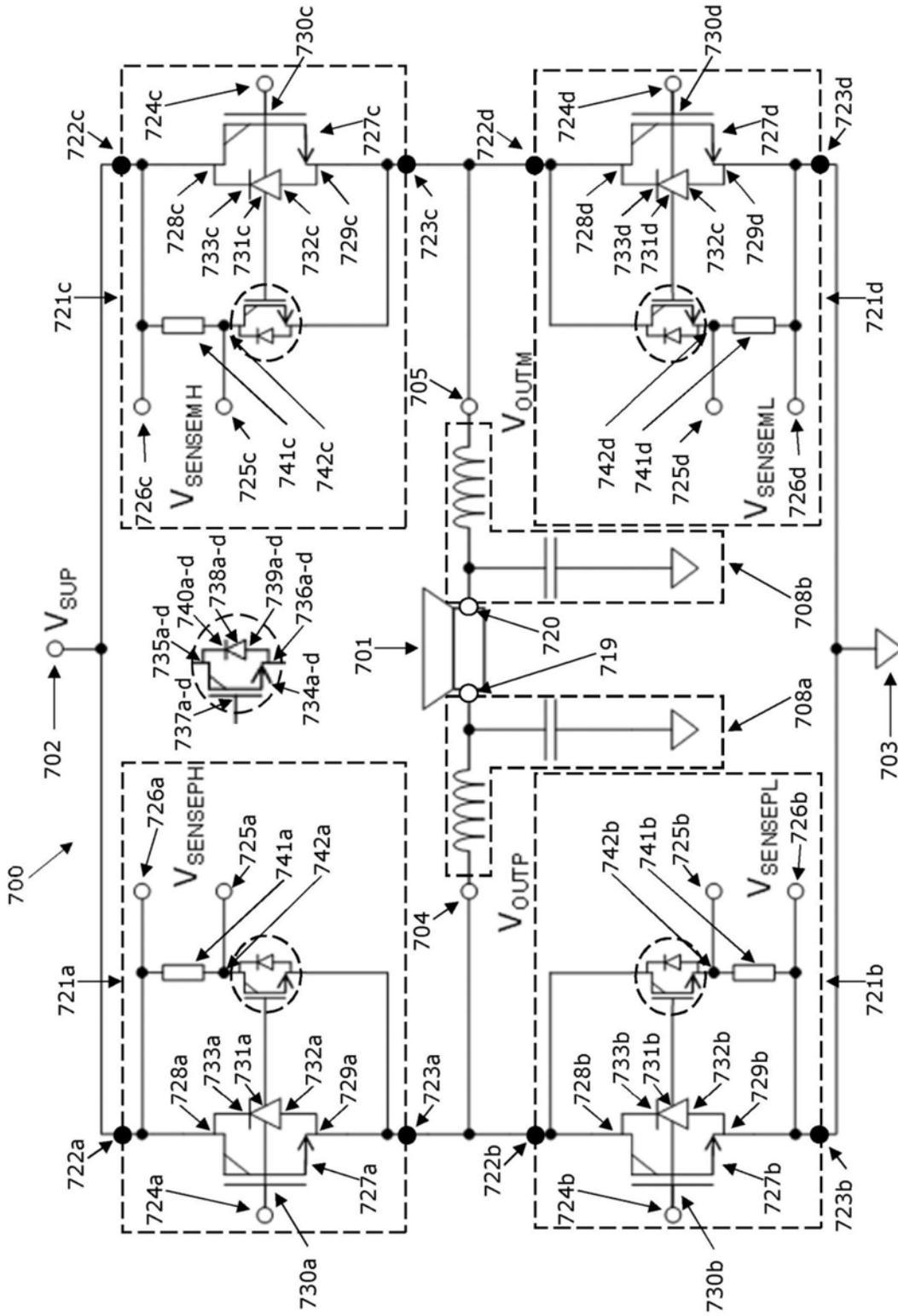


图7

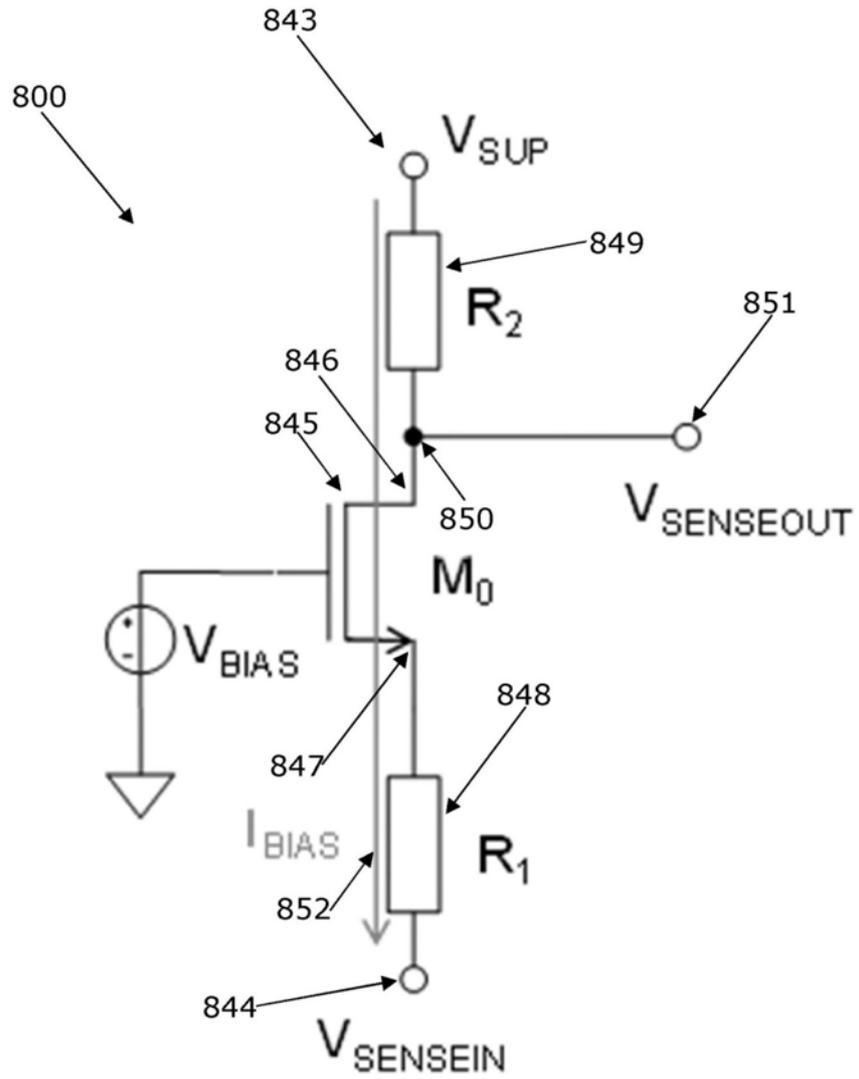


图8

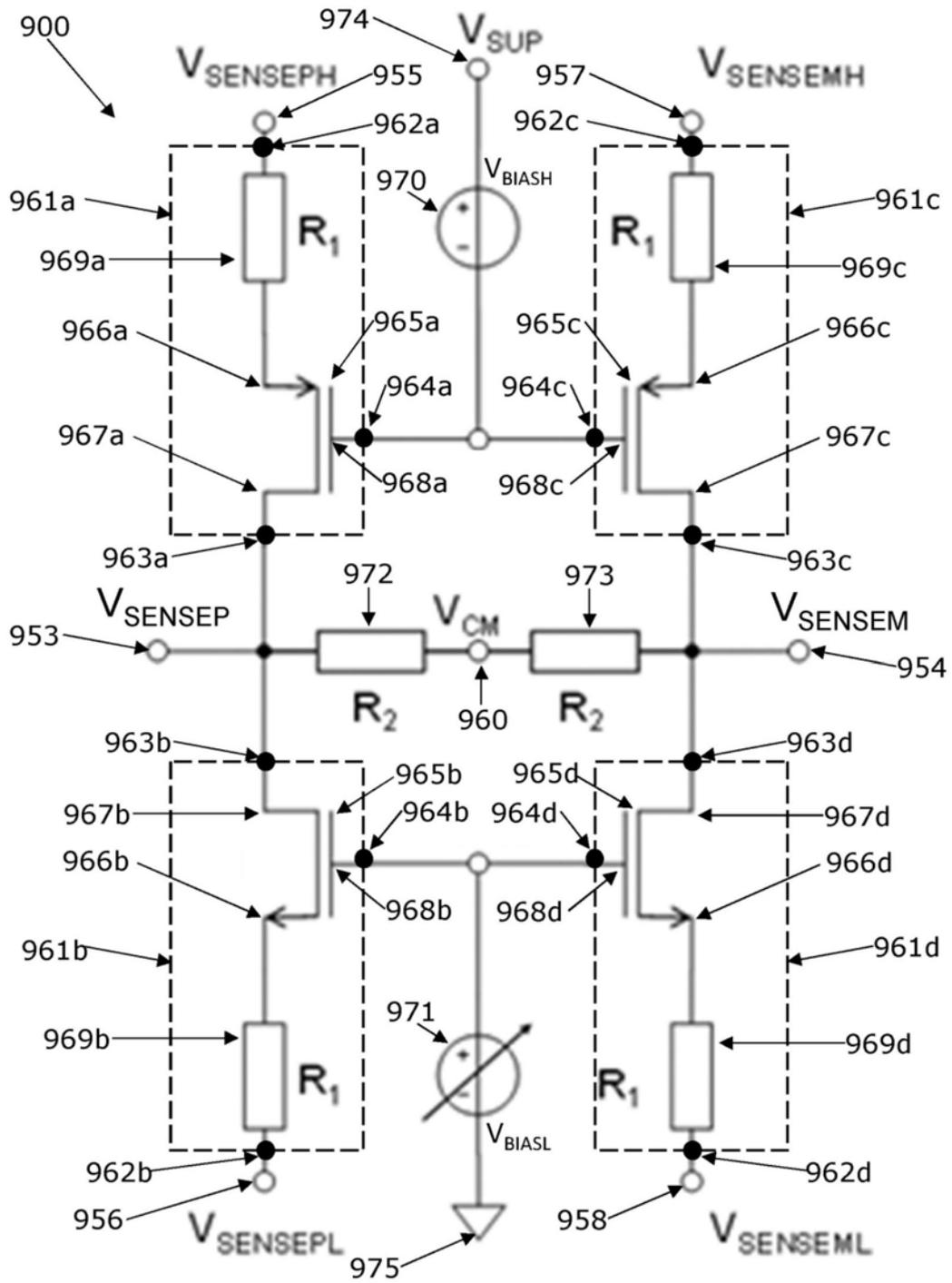


图9

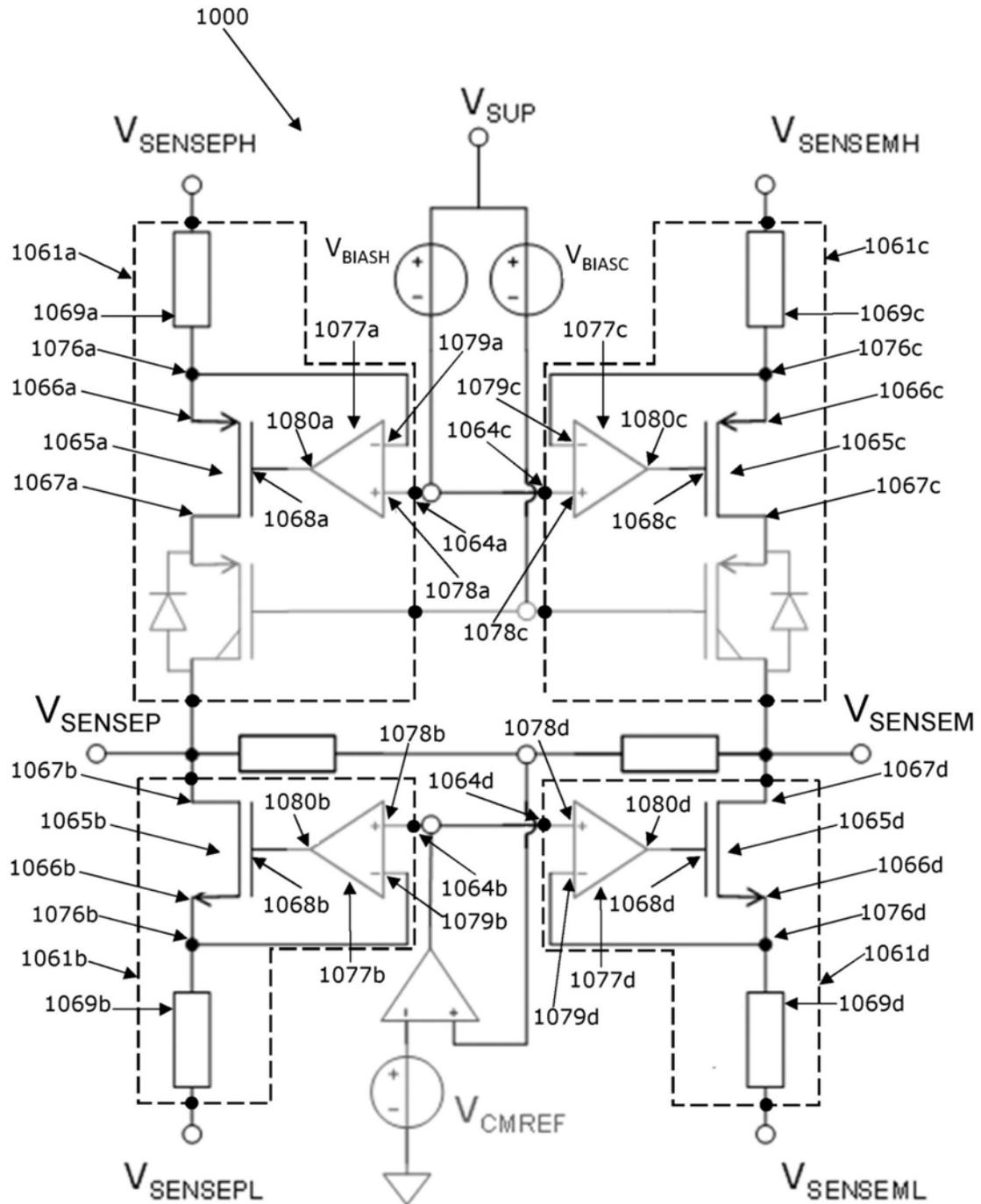


图10a

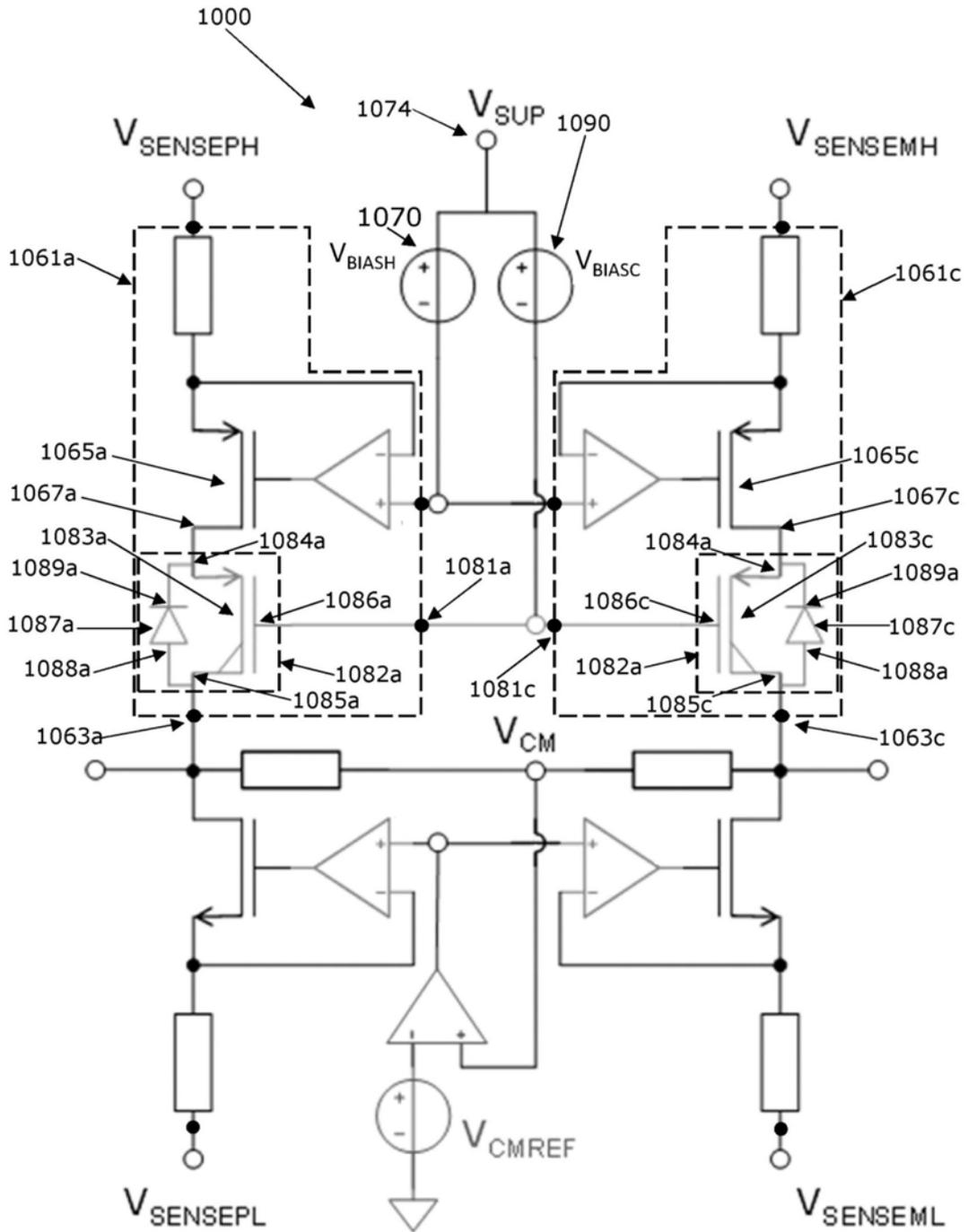


图10b

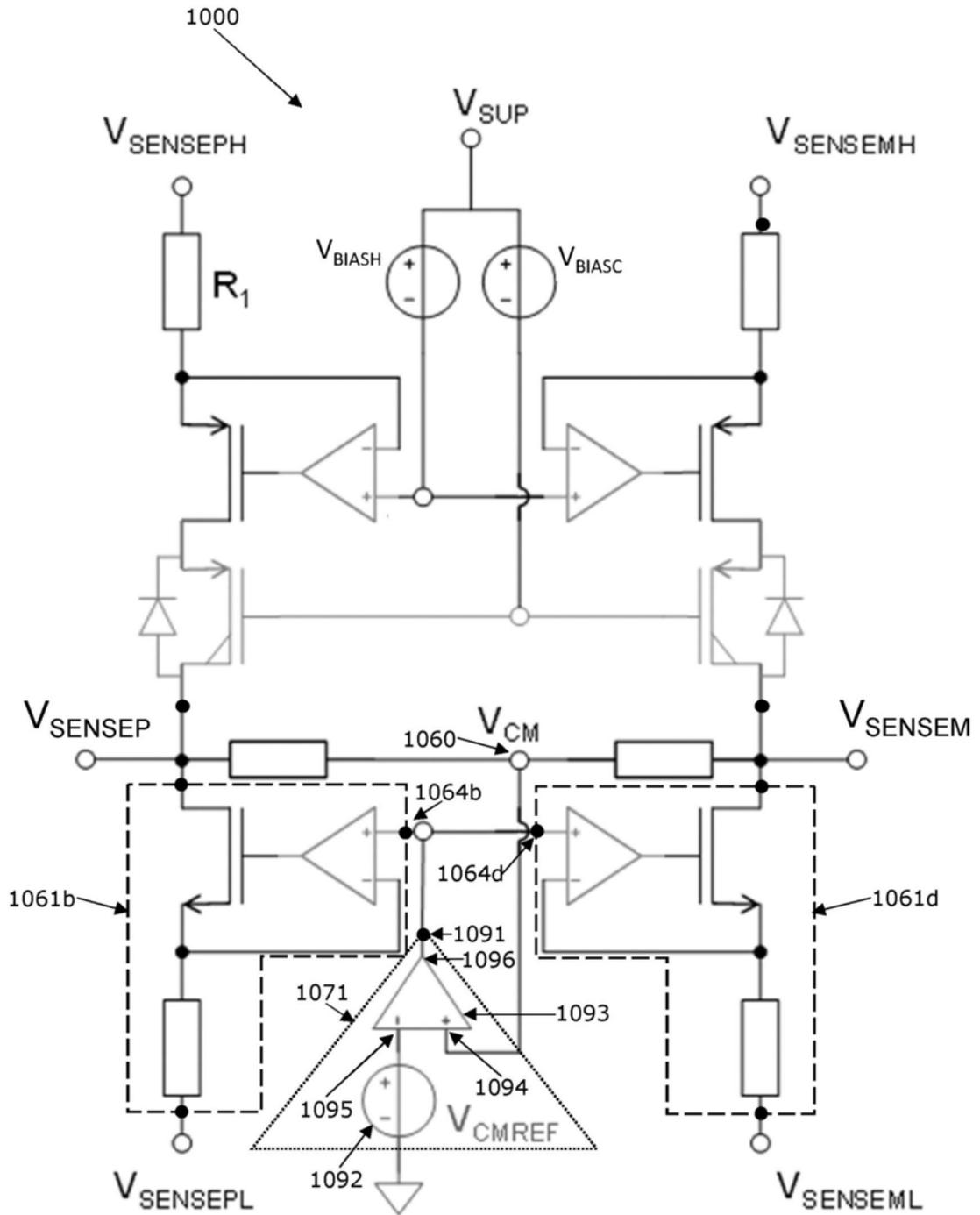


图10c