



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 27/06 (2006.01)

H01L 27/10 (2006.01)

(11) 공개번호 10-2007-0087503

(43) 공개일자 2007년08월28일

(21) 출원번호 10-2007-0017460

(22) 출원일자 2007년02월21일

심사청구일자 없음

(30) 우선권주장	JP-P-2006-00046447	2006년02월23일	일본(JP)
	JP-P-2006-00087643	2006년03월28일	일본(JP)
	JP-P-2006-00295740	2006년10월31일	일본(JP)

(71) 출원인 세이코 엡슨 가부시카가이사
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 가토 주리
일본국 나가노켄 스와시 오와 3-3-5 세이코 엡슨 가부시카가이사내

(74) 대리인 문기상
문두현

전체 청구항 수 : 총 21 항

(54) 반도체 장치

(57) 요약

본 발명은 회로 블록 사이에서의 노이즈에 의한 간섭을 억제하면서 벌크(bulk) 구조와 SOI 구조를 동일 기판 위에 혼재(混載)할 수 있게 한다.

절연층(103) 위에 반도체층(5)이 적층되어 이루어지는 SOI 영역과, 하지(下地)가 기판으로만 이루어지는 벌크 영역을 동일한 반도체 기판(101)에 구비하고, 벌크 영역에 형성된 벌크 트랜지스터(10)와, SOI 영역에 형성된 SOI 트랜지스터(20) 사이의 반도체 기판(101)에 전위 고정용 불순물 확산층(91)을 구비한다. 이러한 구성이면, 벌크 트랜지스터(10)와, SOI 트랜지스터(20) 사이에서 생기는 전기력선(電氣力線)을 불순물 확산층(91)으로 차단할 수 있어, 벌크 트랜지스터(10)와 SOI 트랜지스터(20) 사이에서의 크로스토크(crosstalk) 노이즈를 억제할 수 있다.

대표도

도 3

특허청구의 범위

청구항 1.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 제 1 회로 블록과,

상기 제 1 회로 블록을 통하여 서로 거리를 두도록 하여 상기 반도체 기판에 형성된 제 2 및 제 3 회로 블록을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2.

제 1 항에 있어서,

상기 제 1 회로 블록은 상기 제 2 회로 블록과 상기 제 3 회로 블록 사이에 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 제 2 회로 블록 또는 상기 제 3 회로 블록은 상기 제 1 회로 블록의 적어도 한번에 접하도록 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 4.

제 1 항에 있어서,

상기 반도체 기판은 $500\Omega\text{cm}$ 를 초과하는 저항을 갖는 것을 특징으로 하는 반도체 장치.

청구항 5.

제 1 항에 있어서,

상기 제 1 회로 블록은 디지털 회로, 상기 제 2 회로 블록 및 상기 제 3 회로 블록은 아날로그 회로인 것을 특징으로 하는 반도체 장치.

청구항 6.

제 1 항에 있어서,

상기 제 1 회로 블록은 저전압 구동 회로, 상기 제 2 회로 블록 및 상기 제 3 회로 블록은 고전압 구동 회로인 것을 특징으로 하는 반도체 장치.

청구항 7.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 MCU 코어(core)와,

상기 반도체 기판에 형성되고, 상기 MCU 코어 주위에 배치된 DRAM, 불휘발성 메모리, 전원 회로, 고전압 구동 드라이버, RF 회로 또는 발진 회로 중에서 선택되는 적어도 2개 이상의 회로 블록을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 8.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 MCU 코어와,

상기 반도체 기판에 형성되고, 상기 MCU 코어 주위에 배치된 센서 인터페이스 회로, RF 회로 또는 발진 회로 중에서 선택되는 적어도 2개 이상의 회로 블록을 구비하고,

상기 회로 블록에는 상기 회로 블록 외주(外周)의 적어도 한번에 배치되는 동시에, 다른 회로 블록에 접하도록 배치된 SOI 구조가 설치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 SRAM과,

상기 반도체 기판에 형성되고, 상기 SRAM 주위에 배치된 전원 회로, 드라이버 또는 D/A 컨버터 중에서 선택되는 적어도 2개 이상의 회로 블록을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 10.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 RTC 회로 및 대기(스탠드·바이(stand-by))시에 동작하는 회로를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 11.

절연층 위에 반도체층이 적층되어 이루어지는 SOI 영역과, 하지(下地)가 기판으로만 이루어지는 벌크(bulk) 영역을 동일한 반도체 기판에 구비하고,

상기 SOI 영역에 형성된 회로 소자와, 상기 벌크 영역에 형성된 회로 소자 사이의 상기 반도체 기판에 전위 고정용 제 1 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 12.

제 11 항에 있어서,

상기 SOI 영역에는 제 1 SOI 영역과, 상기 제 1 SOI 영역보다도 상기 반도체층의 두께가 큰 제 2 SOI 영역이 포함되고,

상기 제 1 SOI 영역에 형성된 회로 소자와, 상기 제 2 SOI 영역에 형성된 회로 소자 사이의 상기 반도체층에 전위 고정용 제 2 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 13.

제 11 항 또는 제 12 항에 있어서,

상기 SOI 영역의 상기 절연층 아래의 상기 반도체 기판에 전위 고정용 제 3 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 14.

제 13 항에 있어서,

상기 제 1 불순물 확산층과 상기 제 3 불순물 확산층은 모두 제 1 도전형이며,

상기 제 1 불순물 확산층은 상기 제 3 불순물 확산층보다도 상기 제 1 도전형의 불순물 농도가 높은 것을 특징으로 하는 반도체 장치.

청구항 15.

제 13 항에 있어서,

상기 제 2 불순물 확산층과 상기 제 3 불순물 확산층은 모두 제 1 도전형이며,

상기 제 2 불순물 확산층은 상기 제 3 불순물 확산층보다도 상기 제 1 도전형의 불순물 농도가 높은 것을 특징으로 하는 반도체 장치.

청구항 16.

제 11 항에 있어서,

상기 반도체 기판은 500 Ω cm를 초과하는 저항을 갖는 것을 특징으로 하는 반도체 장치.

청구항 17.

절연층 위에 제 1 반도체층이 적층되어 이루어지는 제 1 SOI 영역과, 상기 제 1 반도체층 위에 제 2 절연층과 제 2 반도체층이 적층되어 이루어지는 제 2 SOI 영역을 동일한 지지 기판에 구비하고,

상기 제 1 SOI 영역에 형성된 회로 소자와, 상기 제 2 SOI 영역에 형성된 회로 소자 사이의 상기 제 1 반도체층에 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 18.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 제 1 회로 블록과,

상기 소정 영역 주위의 상기 반도체 기판에 형성된 제 2 회로 블록과,

상기 제 1 회로 블록과 상기 제 2 회로 블록 사이의 상기 반도체 기판에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 19.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 MCU 코어와,

상기 반도체 기판에 형성되고, 상기 MCU 코어 주위에 배치된 메모리 회로, 전원 회로, 발진 회로, A/D 컨버터를 적어도 1개 이상 포함하는 주변 회로 블록과,

상기 MCU 코어와 상기 주변 회로 블록 사이의 상기 반도체 기판에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 20.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 MCU 코어와,

상기 반도체 기판에 형성되고, 상기 MCU 코어 주위에 배치된 센서 인터페이스 회로, RF 회로, 액정 컨트롤러, 또는 전원 회로를 적어도 1개 이상 포함하는 제 1 주변 회로 블록과,

상기 반도체 기판에 형성된 제 2 주변 회로 블록과,

상기 제 1 주변 회로 블록 외주의 적어도 한번에 배치되는 동시에, 상기 제 2 주변 회로 블록과 이웃하도록 배치된 SOI 구조체와,

상기 MCU 코어와 상기 제 1 주변 회로 블록 사이의 상기 반도체 기판에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 21.

반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과,

상기 반도체층 위에 형성된 SRAM과,

상기 반도체 기판에 형성되고, 상기 SRAM 주위에 배치된 전원 회로, 드라이버, I/O 회로, 또는 D/A 컨버터를 적어도 1개 이상 포함하는 주변 회로 블록과,

상기 SRAM과 상기 주변 회로 블록 사이의 상기 반도체 기판에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 반도체 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로서, 특히 벌크(bulk) 구조와 SOI(Silicon On Insulator) 구조가 동일 기판 위에 혼재(混載)된 반도체 장치에 적용하기에 적합한 것이다.

SOI 기판 위에 형성된 전계 효과형 트랜지스터는 소자 분리의 용이성, 래치업(latch-up) 프리(free), 소스/드레인 접합 용량이 작다는 등의 점에서, 그 유용성이 주목되고 있다. 특히 완전 공핍형(空乏型) SOI 트랜지스터는 저소비전력과 고속 동작이 가능하며, 저전압 구동이 용이하기 때문에, SOI 트랜지스터를 완전 공핍 모드로 동작시키기 위한 연구가 왕성하게 행해지고 있다. 여기서, 비특허문헌 1에는 벌크 기판 위에 SOI층을 형성함으로써, SOI 트랜지스터를 저비용으로 형성할 수 있는 방법이 개시되어 있다. 이 비특허문헌 1에 개시된 방법에서는, Si 기판 위에 Si/SiGe층을 성막(成膜)하고, Si와 SiGe의 에칭 레이트(rate)의 차이를 이용하여 SiGe층만을 선택적으로 제거함으로써, Si 기판과 Si층 사이에 공동부(空洞部)를 형성한다. 그리고, 공동부 내에 노출된 Si의 열산화를 행함으로써, Si 기판과 Si층 사이에 SiO₂층을 매립하여 Si 기판과 Si층 사이에 BOX층을 형성한다.

[비특허문헌 1] T.Sakai et al. "Separation by Bonding Si Islands(SBSI) for LSI Application", Second International SiGe Technology and Device Meeting, Meeting Abstract, pp.230-231, May(2004)

발명이 이루고자 하는 기술적 과제

그러나, 벌크 구조와 SOI 구조를 동일 기판 위에 혼재시킨 경우, 회로 블록의 배치 위치에 따라서는 회로 블록 사이에서 기판 노이즈에 의한 간섭이 발생하여, 반도체 장치의 신뢰성 저하를 초래한다는 문제가 있었다. 한편, 회로 블록 사이에서의 노이즈에 의한 간섭을 저하시키기 위해, 인접하는 회로 블록 사이의 거리를 크게 취하면, 칩 사이즈의 증대를 초래하여 실장 면적의 증대나 비용 상승의 요인이 된다는 문제가 있었다.

그래서, 본 발명의 목적은 회로 블록 사이에서의 노이즈에 의한 간섭을 억제하면서 벌크 구조와 SOI 구조를 동일 기판 위에 혼재시키는 것이 가능한 반도체 장치를 제공하는 것이다.

발명의 구성

[발명 1]

상술한 과제를 해결하기 위해, 발명 1의 반도체 장치는 반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 제 1 회로 블록과, 상기 제 1 회로 블록을 통하여 서로 거리를 두도록 하여 상기 반도체 기판에 형성된 제 2 및 제 3 회로 블록을 구비하는 것을 특징으로 하는 것이다.

이것에 의해, 벌크 구조를 가지는 복수의 회로 블록을 크로스토크(crosstalk) 노이즈 내성(耐性)에 강한 SOI 구조를 통하여 서로 거리를 두도록 하여 동일 기판 위에 혼재시킬 수 있다. 이 때문에, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 인접하는 회로 블록 사이의 거리를 작게 하는 것이 가능해져, 칩 사이즈의 증대를 억제하면서 다양한 기능을 1칩에 탑재하는 것이 가능해지는 동시에, 반도체 장치의 특성을 향상시키면서 반도체 장치의 신뢰성을 향상시킬 수 있다.

[발명 2]

발명 2의 반도체 장치는 발명 1의 반도체 장치에 있어서, 상기 제 1 회로 블록은 상기 제 2 회로 블록과 상기 제 3 회로 블록 사이에 배치되어 있는 것을 특징으로 하는 것이다.

이것에 의해, 벌크 구조를 가지는 복수의 회로 블록을 SOI 구조를 통하여 서로 거리를 두도록 하여 동일 기판 위에 혼재시킬 수 있고, 칩 사이즈의 증대를 억제하면서 회로 블록 사이에서의 크로스토크 노이즈를 억제하는 것이 가능해진다. 또한, 제 1 회로 블록 주위를 반도체 기판으로 둘러싸는 것이 가능해지고, 제 1 회로 블록에서의 열방산성(熱放散性)을 향상시키는 것을 가능하게 하여, 제 1 회로 블록의 온도 특성을 향상시킬 수 있다.

[발명 3]

발명 3의 반도체 장치는 발명 1 또는 발명 2의 반도체 장치에 있어서, 상기 제 2 회로 블록 또는 상기 제 3 회로 블록은 상기 제 1 회로 블록의 적어도 한면에 접하도록 배치되어 있는 것을 특징으로 하는 것이다.

이것에 의해, 벌크 구조와 SOI 구조를 동일 기판 위에 혼재시킨 경우에도, 벌크 구조를 가지는 복수의 회로 블록이 SOI 구조를 통하여 서로 거리를 두도록 배치되는 것이 가능해져, 칩 사이즈의 증대를 억제하면서 회로 블록 사이에서의 크로스토크 노이즈를 억제하는 것이 가능해진다.

[발명 4]

발명 4의 반도체 장치는 발명 1 내지 발명 3 중 어느 하나의 반도체 장치에 있어서, 상기 반도체 기판은 $500\Omega\text{cm}$ 를 초과하는 저항을 갖는 것을 특징으로 하는 것이다.

[발명 5]

발명 5의 반도체 장치는 발명 1 내지 발명 4 중 어느 하나의 반도체 장치에 있어서, 상기 제 1 회로 블록은 디지털 회로, 상기 제 2 회로 블록 및 상기 제 3 회로 블록은 아날로그 회로인 것을 특징으로 하는 것이다.

이것에 의해, 디지털 회로와 아날로그 회로를 동일 기판 위에 혼재시키면서 디지털 회로를 SOI 구조, 아날로그 회로를 벌크 구조로 구성하는 것이 가능해지는 동시에, 래치업 내성을 강화시키면서 디지털 회로로부터 외부로 방출되는 노이즈를 SOI 구조에 의해 차단하는 것이 가능해진다. 이 때문에, 칩 사이즈의 증대를 억제하면서 디지털 회로의 저전압 구동화, 고속화 및 저소비전력화를 도모하는 것이 가능해지는 동시에, 아날로그 회로의 고내압화 및 고신뢰성화를 도모하는 것이 가능해진다.

[발명 6]

발명 6의 반도체 장치는 발명 1 내지 발명 4 중 어느 하나의 반도체 장치에 있어서, 상기 제 1 회로 블록은 저전압 구동 회로, 상기 제 2 회로 블록 및 상기 제 3 회로 블록은 고전압 구동 회로인 것을 특징으로 하는 것이다.

이것에 의해, 저전압 구동 회로와 고전압 구동 회로를 동일 기판 위에 혼재시키면서 저전압 구동 회로를 SOI 구조, 고전압 구동 회로를 벌크 구조로 구성하는 것이 가능해지는 동시에, 래치업 내성을 강화시키면서 저전압 구동 회로로부터 외부로 방출되는 노이즈를 SOI 구조에 의해 차단하는 것이 가능해진다. 이 때문에, 칩 사이즈의 증대를 억제하면서 저전압 구동 회로의 고속화 및 저소비전력화를 도모하는 것이 가능해지는 동시에, 고전압 구동 회로의 고내압화 및 고신뢰성화를 도모하는 것이 가능해진다.

[발명 7]

발명 7의 반도체 장치는 반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 MCU 코어와, 상기 반도체 기판에 형성되고, 상기 MCU 코어 주위에 배치된 DRAM, 불휘발성 메모리, 전원 회로, 고전압 구동 드라이버, RF 회로 또는 발진 회로 중에서 선택되는 적어도 2개 이상의 회로 블록을 구비하는 것을 특징으로 하는 것이다.

이것에 의해, 시스템 LSI를 1칩으로 구성한 경우에도, 벌크 구조를 가지는 복수의 회로 블록을 SOI 구조를 통하여 서로 거리를 두도록 하여 동일 기판 위에 혼재시키는 것이 가능해진다. 이 때문에, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 회로 블록 사이의 거리를 작게 하는 것이 가능해져, 칩 사이즈의 증대를 억제하면서 시스템 LSI를 실현하는 것이 가능해지는 동시에, 시스템 LSI의 특성을 향상시키면서 시스템 LSI의 신뢰성을 향상시킬 수 있다.

[발명 8]

발명 8의 반도체 장치는 반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 MCU 코어와, 상기 반도체 기판에 형성되고, 상기 MCU 코어 주위에 배치된 센서 인터페이스 회로, RF 회로 또는 발진 회로 중에서 선택되는 적어도 2개 이상의 회로 블록을 구비하며, 상기 회로 블록에는 상기 회로 블록 외주(外周)의 적어도 한 변에 배치되는 동시에, 다른 회로 블록에 접하도록 배치된 SOI 구조가 설치되어 있는 것을 특징으로 하는 것이다.

이것에 의해, 시스템 LSI를 1칩으로 구성한 경우에도, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 인접하는 회로 블록 사이의 거리를 작게 하는 것이 가능해진다. 이 때문에, 칩 사이즈의 증대를 억제하면서 시스템 LSI를 실현하는 것이 가능해지는 동시에, 시스템 LSI의 특성을 향상시키면서 시스템 LSI의 신뢰성을 향상시킬 수 있다.

[발명 9]

발명 9의 반도체 장치는 반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 SRAM과, 상기 반도체 기판에 형성되고, 상기 SRAM 주위에 배치된 전원 회로, 드라이버 또는 D/A 컨버터 중에서 선택되는 적어도 2개 이상의 회로 블록을 구비하는 것을 특징으로 하는 것이다.

이것에 의해, SRAM을 가지는 드라이버 LSI를 1칩으로 구성한 경우에도, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 회로 블록 사이의 거리를 작게 하는 것이 가능해진다. 이 때문에, 칩 사이즈의 증대를 억제하면서 드라이버 LSI를 실현하는 것이 가능해지는 동시에, 드라이버 LSI의 특성을 향상시키면서 드라이버 LSI의 신뢰성을 향상시킬 수 있다.

[발명 10]

발명 10의 반도체 장치는 반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 RTC 회로 및 대기(스탠드·바이(stand-by))시에 동작하는 회로를 구비하는 것을 특징으로 하는 것이다.

[발명 11]

상기 목적을 달성하기 위해, 발명 11의 반도체 장치는 절연층 위에 반도체층이 적층되어 이루어지는 SOI 영역과, 하지(下地)가 기판으로만 이루어지는 벌크 영역을 동일한 반도체 기판에 구비하고, 상기 SOI 영역에 형성된 회로 소자와, 상기 벌크 영역에 형성된 회로 소자 사이의 상기 반도체 기판에 전위 고정용 제 1 불순물 확산층을 구비하는 것을 특징으로 하는 것이다.

이러한 구성이면, SOI 영역에 형성된 회로 소자와, 벌크 영역에 형성된 회로 소자 사이에서 생기는 전기력선(電氣力線)을 제 1 불순물 확산층으로 차단할 수 있어, 양 영역 사이에서의 크로스토크 노이즈를 억제할 수 있다. 이것에 의해, 반도체 장치의 오작동을 방지할 수 있다.

[발명 12]

발명 12의 반도체 장치는 발명 11의 반도체 장치에 있어서, 상기 SOI 영역에는 제 1 SOI 영역과, 상기 제 1 SOI 영역보다도 상기 반도체층의 두께가 큰 제 2 SOI 영역이 포함되고, 상기 제 1 SOI 영역에 형성된 회로 소자와, 상기 제 2 SOI 영역에 형성된 회로 소자 사이의 상기 반도체층에 전위 고정용 제 2 불순물 확산층을 구비하는 것을 특징으로 하는 것이다. 여기서, 제 1 SOI 영역에는 예를 들어 부분 공핍형 트랜지스터가 형성되고, 제 2 SOI 영역에는 예를 들어 완전 공핍형 트랜지스터가 형성된다.

이러한 구성이면, 제 1 SOI 영역에 형성된 회로 소자와, 제 2 SOI 영역에 형성된 회로 소자 사이에서 생기는 전기력선을 제 2 불순물 확산층으로 차단할 수 있기 때문에, SOI 영역 내에서의 크로스토크 노이즈를 억제할 수 있다.

[발명 13 ~ 발명 15]

발명 13의 반도체 장치는 발명 11 또는 발명 12의 반도체 장치에 있어서, 상기 SOI 영역의 상기 절연층 아래의 상기 반도체 기판에 전위 고정용 제 3 불순물 확산층을 구비하는 것을 특징으로 하는 것이다.

발명 14의 반도체 장치는 발명 13의 반도체 장치에 있어서, 상기 제 1 불순물 확산층과 상기 제 3 불순물 확산층은 모두 제 1 도전형이며, 상기 제 1 불순물 확산층은 상기 제 3 불순물 확산층보다도 상기 제 1 도전형의 불순물 농도가 높은 것을 특징으로 하는 것이다.

발명 15의 반도체 장치는 발명 13의 반도체 장치에 있어서, 상기 제 2 불순물 확산층과 상기 제 3 불순물 확산층은 모두 제 1 도전형이며, 상기 제 2 불순물 확산층은 상기 제 3 불순물 확산층보다도 상기 제 1 도전형의 불순물 농도가 높은 것을 특징으로 하는 것이다.

발명 13 내지 발명 15의 반도체 장치에 의하면, 벌크 영역으로부터 SOI 영역의 절연층 하측으로 돌아 들어가는 전기력선을 차단하거나, SOI 영역에서 발생하는 노이즈의 기관 측으로의 전달을 방지하거나 하는 것이 용이하다.

[발명 16]

발명 16의 반도체 장치는 발명 11의 반도체 장치에 있어서, 상기 반도체 기관은 $500\Omega\text{cm}$ 를 초과하는 저항을 갖는 것을 특징으로 하는 것이다. 이러한 구성이면, SOI 영역의 절연층 아래의 기관 저항을 크게 할 수 있기 때문에, 반도체 장치의 크로스토크 노이즈 내성을 한층 더 향상시키는 것이 가능하다.

[발명 17]

발명 17의 반도체 장치는 절연층 위에 제 1 반도체층이 적층되어 이루어지는 제 1 SOI 영역과, 상기 제 1 반도체층 위에 제 2 절연층과 제 2 반도체층이 적층되어 이루어지는 제 2 SOI 영역을 동일한 지지 기관에 구비하고, 상기 제 1 SOI 영역에 형성된 회로 소자와, 상기 제 2 SOI 영역에 형성된 회로 소자 사이의 상기 제 1 반도체층에 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 것이다.

이러한 구성이면, 제 1 SOI 영역에 형성된 회로 소자와, 제 2 SOI 영역에 형성된 회로 소자 사이에서 생기는 전기력선을 불순물 확산층으로 차단할 수 있어, 양 영역 사이에서의 크로스토크 노이즈를 억제할 수 있다. 이것에 의해, 반도체 장치의 오작동을 방지할 수 있다.

[발명 18]

발명 18의 반도체 장치는 반도체 기관 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 제 1 회로 블록과, 상기 소정 영역 주위의 상기 반도체 기관에 형성된 제 2 회로 블록과, 상기 제 1 회로 블록과 상기 제 2 회로 블록 사이의 상기 반도체 기관에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 것이다.

이러한 구성이면, SOI 구조를 가지는 제 1 회로 블록과, 벌크 구조를 가지는 제 2 회로 블록 사이에서 생기는 전기력선을 불순물 확산층으로 차단할 수 있어, 제 1, 제 2 회로 블록 사이에서의 크로스토크 노이즈를 억제할 수 있기 때문에, 반도체 장치의 오작동을 방지할 수 있다.

[발명 19]

발명 19의 반도체 장치는 반도체 기관 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 MCU 코어와, 상기 반도체 기관에 형성되고, 상기 MCU 코어 주위에 배치된 메모리 회로, 전원 회로, 발진 회로, A/D 컨버터를 적어도 1개 이상 포함하는 주변 회로 블록과, 상기 MCU 코어와 상기 주변 회로 블록 사이의 상기 반도체 기관에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 것이다.

이러한 구성이면, 시스템 LSI를 1칩으로 구성한 경우에도, SOI 구조를 가지는 MCU 코어와, 벌크 구조를 가지는 주변 회로 블록 사이에서 생기는 전기력선을 불순물 확산층으로 차단할 수 있어, 양쪽 사이에서 크로스토크 노이즈를 억제할 수 있다. 이것에 의해, 시스템 LSI의 오작동을 방지할 수 있어, 그 동작 신뢰성을 향상시킬 수 있다.

[발명 20]

발명 20의 반도체 장치는 반도체 기관 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 MCU 코어와, 상기 반도체 기관에 형성되고, 상기 MCU 코어 주위에 배치된 센서 인터페이스 회로, RF 회로, 액정 컨트롤

러, 또는 전원 회로를 적어도 1개 이상 포함하는 제 1 주변 회로 블록과, 상기 반도체 기판에 형성된 제 2 주변 회로 블록과, 상기 제 1 주변 회로 블록 외주의 적어도 한변에 배치되는 동시에, 상기 제 2 주변 회로 블록과 이웃하도록 배치된 SOI 구조체와, 상기 MCU 코어와 상기 제 1 주변 회로 블록 사이의 상기 반도체 기판에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 것이다.

이러한 구성이면, 시스템 LSI를 1칩으로 구성한 경우에도, SOI 구조를 가지는 MCU 코어와, 벌크 구조를 가지는 제 1 주변 회로 블록 사이에서 생기는 전기력선을 불순물 확산층으로 차단할 수 있어, 양쪽 사이에서 크로스토크 노이즈를 억제할 수 있다. 또한, 제 1 주변 회로 블록과 제 2 주변 회로 블록 사이에서의 크로스토크 노이즈도 SOI 구조의 개재에 의해 억제할 수 있다. 이것에 의해, 시스템 LSI의 오작동을 방지할 수 있어, 그 동작 신뢰성을 향상시킬 수 있다.

여기서, RTC 회로 및 대기시에 전압이 인가되어 있는 회로 부분을 완전 공핍 SOI 구조로 하면, 대기시의 소비전력을 대폭 삭감할 수 있다. 또한, 동작시에는 강한 크로스토크 노이즈 내성을 갖기 때문에, RTC 회로나 대기시 동작 회로를 저전압으로 구동시키면서 벌크 구조를 가지는 회로를 고전압으로 구동시킬 수 있다.

[발명 21]

발명 21의 반도체 장치는 반도체 기판 위의 일부 영역에 절연층을 통하여 배치된 반도체층과, 상기 반도체층 위에 형성된 SRAM과, 상기 반도체 기판에 형성되고, 상기 SRAM 주위에 배치된 전원 회로, 드라이버, I/O 회로, 또는 D/A 컨버터를 적어도 1개 이상 포함하는 주변 회로 블록과, 상기 SRAM과 상기 주변 회로 블록 사이의 상기 반도체 기판에 형성된 전위 고정용 불순물 확산층을 구비하는 것을 특징으로 하는 것이다.

이러한 구성이면, SRAM을 가지는 드라이버 LSI를 1칩으로 구성한 경우에도, SOI 구조를 가지는 SRAM과, 벌크 구조를 가지는 주변 회로 블록 사이에서 생기는 전기력선을 불순물 확산층으로 차단할 수 있어, 양쪽 사이에서 크로스토크 노이즈를 억제할 수 있다. 이것에 의해, 드라이버 LSI의 오작동을 방지할 수 있어, 그 동작 신뢰성을 향상시킬 수 있다.

이하, 본 발명의 실시예에 따른 반도체 장치의 제조 방법에 대해서 도면을 참조하면서 설명한다.

(1) 제 1 실시예

도 1은 본 발명의 제 1 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도이다.

도 1에 있어서, 반도체 기판(1)에는 SOI 형성 영역(R11) 및 벌크 영역(R12, R13)이 설치되고, 벌크 영역(R12, R13)에는 웰(well)(2, 3)이 각각 형성되어 있다. 또한, 벌크 영역(R12, R13)은 SOI 형성 영역(R11)을 통하여 서로 거리를 두도록 하여 반도체 기판(1)에 배치할 수 있고, 예를 들어 SOI 형성 영역(R11)은 벌크 영역(R12)과 벌크 영역(R13) 사이에 형성할 수 있다. 반도체 기판(1)에 500Ωcm를 초과하는 고저항 기판을 사용한 경우에는, SOI 형성 영역의 절연막(4) 아래의 기판 저항을 크게 할 수 있다.

그리고, SOI 형성 영역(R11), 벌크 영역(R12, R13)에는 SOI 형성 영역(R11) 및 벌크 영역(R12) 내의 소자를 각각 소자 분리하는 홈(14)이 형성되어 있다. 또한, SOI 형성 영역(R11)과 벌크 영역(R12, R13)의 경계에는 SOI 형성 영역(R11)과 벌크 영역(R12, R13)을 소자 분리하는 홈(13)이 형성되어 있다. 그리고, 홈(13, 14) 내에는 매립 절연체(11, 12)가 각각 매립되어 있다. 또한, 홈(13, 14) 내에 각각 매립된 매립 절연체(11, 12)로서는, 예를 들어 실리콘산화막 또는 실리콘질화막 등을 사용할 수 있다.

그리고, SOI 형성 영역(R11)에 있어서, 반도체 기판(1) 위에는 매립 절연층(4)이 형성되고, 매립 절연층(4) 위에는 홈(13) 및 홈(14)에 의해 소자 분리된 반도체층(5)이 적층되어 있다. 그리고, 반도체층(5) 위에는 각각의 게이트 절연막(6a, 6b)을 통하여 게이트 전극(7a, 7b)이 형성되고, 게이트 전극(7a, 7b)의 측벽에는 사이드월(sidewall)(8a, 8b)이 각각 형성되어 있다. 그리고, 반도체층(5)에는 게이트 전극(7a)을 사이에 끼우도록 배치된 소스층(9a) 및 드레인층(10a)이 형성되는 동시에, 게이트 전극(7b)을 사이에 끼우도록 배치된 소스층(9b) 및 드레인층(10b)이 형성되어 있다.

한편, 벌크 영역(R12)에 있어서, 웰(2) 위에는 각각의 게이트 절연막(6c, 6d)을 통하여 게이트 전극(7c, 7d)이 형성되고, 게이트 전극(7c, 7d)의 측벽에는 사이드월(8c, 8d)이 각각 형성되어 있다. 그리고, 웰(2)에는 게이트 전극(7c)을 사이에 끼우도록 배치된 소스층(9c) 및 드레인층(10c)이 형성되는 동시에, 게이트 전극(7d)을 사이에 끼우도록 배치된 소스층(9d) 및 드레인층(10d)이 형성되어 있다.

또한, 벌크 영역(R13)에 있어서, 웰(3) 위에는 각각의 게이트 절연막(6e, 6f)을 통하여 게이트 전극(7e, 7f)이 형성되고, 게이트 전극(7e, 7f)의 측벽에는 사이드웰(8e, 8f)이 각각 형성되어 있다. 그리고, 웰(3)에는 게이트 전극(7e)을 사이에 끼우도록 배치된 소스층(9e) 및 드레인층(10e)이 형성되는 동시에, 게이트 전극(7f)을 사이에 끼우도록 배치된 소스층(9f) 및 드레인층(10f)이 형성되어 있다.

또한, 반도체 기판(1) 및 반도체층(5)의 재질로서는, 예를 들어 Si, Ge, SiGe, SiC, SiSn, PbS, GaAs, InP, GaP, GaN 또는 ZnSe 등을 사용할 수 있다. 또한, SOI 형성 영역(R11) 및 벌크 영역(R12, R13)이 설치된 반도체 기판(1)은 SOI 기판을 사용하여 형성하도록 할 수도 있고, SBSI법을 이용하여 형성하도록 할 수도 있다. SOI 기판으로서는, SIMOX(Separation by Implanted Oxygen) 기판, 접합 기판 또는 레이저 어닐링 기판 등을 사용할 수 있다. 또한, 반도체 기판(1) 이외에도 사파이어(Sapphire) 기판 또는 유리 기판 등을 사용할 수도 있다.

이것에 의해, 벌크 영역(R12, R13)에 형성된 복수의 회로 블록을 크로스토크 노이즈 내성에 강한 SOI 형성 영역(R11)을 통하여 서로 거리를 두도록 하여 동일 반도체 기판(1) 위에 혼재시킬 수 있다. 이 때문에, 동일 반도체 기판(1) 위에 형성된 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 인접하는 회로 블록 사이의 거리를 작게 하는 것이 가능해져, 칩 사이즈의 증대를 억제하면서 다양한 기능을 1칩에 탑재하는 것이 가능해지는 동시에, 반도체 장치의 특성을 향상시키면서 반도체 장치의 신뢰성을 향상시킬 수 있다. 여기서, 반도체 기판(1)에 고저항 기판을 사용하면, 기판 크로스토크 노이즈 내성이 더욱 향상된다. 또한, SOI 형성 영역(R11) 주위를 벌크 영역(R12, R13)으로 둘러싸는 것이 가능해지고, SOI 형성 영역(R11)으로부터의 열방산성을 향상시키는 것을 가능하게 하여, SOI 형성 영역(R11)에 형성되는 회로 블록의 온도 특성을 향상시킬 수 있다.

또한, 상술한 실시예에서는, STI(Shallow Trench Isolation) 구조로 SOI 형성 영역(R11) 및 벌크 영역(R12, R13)을 소자 분리하는 방법에 대해서 설명했지만, SOI 형성 영역(R11) 및 벌크 영역(R12, R13)을 LOCOS(Local Oxidation Of Silicon) 구조로 소자 분리하도록 할 수도 있다.

또한, SOI 형성 영역(R11)에는 저전압·저전류 구동 디바이스를 형성하고, 벌크 영역(R12, R13)에는 고내압·고전압 구동 디바이스를 형성할 수 있다. 이것에 의해, 저전압 구동 회로와 고전압 구동 회로를 동일 반도체 기판(1) 위에 혼재시키면서 저전압 구동 회로를 SOI 구조, 고전압 구동 회로를 벌크 구조로 구성하는 것이 가능해지는 동시에, 래치업 내성을 강화시키면서 저전압 구동 회로로부터 외부로 방출되는 노이즈를 SOI 구조에 의해 차단하는 것이 가능해진다. 이 때문에, 칩 사이즈의 증대를 억제하면서 저전압 구동 회로의 고속화 및 저소비전력화를 도모하는 것이 가능해지는 동시에, 고전압 구동 회로의 고내압화 및 고신뢰성화를 도모하는 것이 가능해진다. 또는, SOI 형성 영역(R11)에는 로직 회로나 SRAM을 형성하고, 벌크 영역(R12, R13)에는 정전(靜電) 보호 회로나 아날로그 회로나 바이폴라(bipolar) 트랜지스터를 형성하도록 할 수도 있다.

(2) 제 2 실시예

도 2는 본 발명의 제 2 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도이다.

도 2의 (a)에 있어서, 반도체 칩에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 게이트 드라이버(21), D/A 컨버터(22), SRAM(23), 전원 회로(24), 게이트 어레이 로직 회로(25) 및 I/O 회로(26)가 형성되어 있다. 여기서, 게이트 드라이버(21), D/A 컨버터(22), 전원 회로(24) 및 I/O 회로(26)는 벌크 영역에 배치되고, SRAM(23) 및 게이트 어레이 로직 회로(25)는 SOI 형성 영역에 배치될 수 있다. 또한, 벌크 영역에 형성된 회로 블록은 SOI 형성 영역에 형성된 회로 블록의 적어도 한변에 접하도록 배치할 수 있다. 또한, SOI 형성 영역에 형성된 회로 블록은 벌크 영역에 형성된 회로 블록 사이에 배치할 수 있다.

이것에 의해, SRAM(23)을 가지는 드라이버 LSI를 1칩으로 구성한 경우에도, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 인접하는 회로 블록 사이의 거리를 작게 하는 것이 가능해진다. 이 때문에, 칩 사이즈의 증대를 억제하면서 드라이버 LSI를 실현하는 것이 가능해지는 동시에, 드라이버 LSI의 특성을 향상시키면서 드라이버 LSI의 신뢰성을 향상시킬 수 있다.

또한, 도 2의 (b)에 있어서, 반도체 칩에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 액정 컨트롤러(31), 센서 인터페이스 회로(32), MCU(마이크로 컨트롤러 유닛)(33), RF(Radio Frequency)회로(34), RTC(리얼타임 클록)회로(35), 전원 회로(36)가 형성되어 있다. 여기서, 액정 컨트롤러(31) 및 전원 회로(36)는 벌크 영역에 배치하고, MCU(33) 및 RTC 회로

(35)는 SOI 형성 영역에 배치할 수 있다. 또한, 센서 인터페이스 회로(32) 및 RF 회로(34)는 벌크 영역에 배치되는 동시에, 센서 인터페이스 회로(32) 및 RF 회로(34) 외주의 적어도 한번에 각각 배치되는 동시에, 다른 회로 블록에 접하도록 배치된 SOI 구조가 각각 설치되어 있다.

이것에 의해, 시스템 LSI를 1칩으로 구성한 경우에도, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 회로 블록 사이의 거리를 작게 하는 것이 가능해진다. 이 때문에, 칩 사이즈의 증대를 억제하면서 시스템 LSI를 실현하는 것이 가능해지는 동시에, 시스템 LSI의 특성을 향상시키면서 시스템 LSI의 신뢰성을 향상시킬 수 있다. 여기서, RTC 회로 및 대기(스탠드-바이)시에 전압이 인가되어 있는 회로 부분을 완전 공핍 SOI 구조로 하면, 대기시의 소비전력을 대폭 삭감할 수 있다. 대기시에 전압이 인가되지 않는 회로 영역을 벌크 영역에 형성해도 대기시의 소비전력 증가는 없다.

또한, 도 2의 (c)에 있어서, 반도체 칩에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 전원 회로(41), SRAM(42), 발진기(43), MCU(44), DRAM(45), 로직 회로(46) 및 A/D 컨버터(47)가 형성되어 있다. 여기서, 전원 회로(41), 발진기(43), DRAM(45) 및 A/D 컨버터(47)는 벌크 영역에 배치하고, SRAM(42), MCU(44) 및 로직 회로(46)는 SOI 형성 영역에 배치할 수 있다. 또한, 벌크 영역에 형성된 회로 블록은 SOI 형성 영역에 형성된 회로 블록의 적어도 한번에 접하도록 배치할 수 있다. 또한, SOI 형성 영역에 형성된 회로 블록은 벌크 영역에 형성된 회로 블록 사이에 배치할 수 있다.

이것에 의해, 시스템 LSI를 1칩으로 구성한 경우에도, 벌크 구조를 가지는 복수의 회로 블록을 SOI 구조를 통하여 서로 거리를 두도록 하여 동일 기판 위에 혼재시키는 것이 가능해진다. 이 때문에, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 회로 블록 사이의 거리를 작게 하는 것이 가능해져, 칩 사이즈의 증대를 억제하면서 시스템 LSI를 실현하는 것이 가능해지는 동시에, 시스템 LSI의 특성을 향상시키면서 시스템 LSI의 신뢰성을 향상시킬 수 있다.

또한, 도 2의 (d)에 있어서, 반도체 칩에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 아날로그 회로(51, 53) 및 디지털 회로(52)가 형성되어 있다. 여기서, 아날로그 회로(51, 53)는 벌크 영역에 배치하고, 디지털 회로(52)는 SOI 형성 영역에 배치할 수 있다. 또한, 벌크 영역에 형성된 회로 블록은 SOI 형성 영역에 형성된 회로 블록의 적어도 한번에 접하도록 배치할 수 있다. 또한, SOI 형성 영역에 형성된 회로 블록은 벌크 영역에 형성된 회로 블록 사이에 배치할 수 있다.

이것에 의해, 디지털 회로(52)와 아날로그 회로(51, 53)를 동일 기판 위에 혼재시키면서 디지털 회로(52)를 SOI 구조, 아날로그 회로(51, 53)를 벌크 구조로 구성하는 것이 가능해지는 동시에, 래치업 내성을 강화시키면서 디지털 회로(52)로부터 외부로 방출되는 노이즈를 SOI 구조에 의해 차단하는 것이 가능해진다. 또한, 아날로그 회로(51)와 아날로그 회로(53)의 거리가 떨어져 있고, 그 사이에 SOI 구조가 삽입되기 때문에, 아날로그 회로 블록 사이(51과 53 사이)의 기판 크로스토크 노이즈 내성도 향상된다. 이 때문에, 칩 사이즈의 증대를 억제하면서 디지털 회로(52)의 저전압 구동화, 고속화 및 저소비전력화를 도모하는 것이 가능해지는 동시에, 아날로그 회로(51, 53)의 고내압화 및 고신뢰성화를 도모하는 것이 가능해진다.

또한, 도 2의 (e)에 있어서, 반도체 칩에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 대기시에 동작이 필요한 회로(62) 및 대기시에 전압 인가가 없는 정지 회로(61, 63)가 형성되어 있다. 여기서, 대기시 동작 회로(62)는 SOI 형성 영역에 배치하고, 완전 공핍 SOI 디바이스를 활용할 수 있다. 이 때문에, 대기시 동작 회로의 전압을 낮게 설정할 수 있고, 또한 대기시 누설 전류를 억제할 수 있다. 그 때문에, 대기시의 LSI 전체의 소비전력을 대폭 저감할 수 있다. 또한, 대기시 정지 회로(61, 63)는 벌크 영역, SOI 영역 중 어느 하나의 영역에 형성할 수도 있다. 이 때, 벌크 영역에 형성된 회로 블록은 SOI 영역에 형성된 회로 블록의 적어도 한번에 접하도록 배치할 수 있다. 이것에 의해, 대기시의 소비전력을 대폭 삭감하면서 기판 크로스토크 노이즈 내성에 우수한 반도체 장치를 제공할 수 있다.

(3) 제 3 실시예

도 3은 본 발명의 제 3 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도이다.

도 3에 나타낸 바와 같이, 이 반도체 장치에서는 반도체 기판(101) 내에 벌크 영역과 SOI 영역이 설치되어 있다. 여기서, 벌크 영역이란 하지(下地)가 반도체 기판(101)으로만 이루어지는 영역을 말한다. 또한, SOI 영역이란 반도체 기판(101)에 절연층(103)을 통하여 반도체층(105)이 형성되어 있는 영역을 말한다. 반도체 기판(101)은 예를 들어 p형 실리콘(Si) 기판이며, 절연층(103)은 예를 들어 실리콘 산화막(SiO₂)이다. 또한, 반도체층(105)은 예를 들어 Si이다. 이와 같이, 벌크 영역과 SOI 영역을 동일 기판에 갖는 반도체 기판(장치)은 예를 들어 SBSI법에 의해 형성된다.

도 3에 나타난 바와 같이, 벌크 영역의 반도체 기판(101)에는 예를 들어 n형 웰(107)이 형성되어 있다. 이 웰(107) 주위에는 소자 분리막(109)이 형성되어 있고, 소자 분리막(109)에 의해 둘러싸인 영역에는 MIS형 트랜지스터(110)가 형성되어 있다. 즉, 웰(107) 위에는 게이트 절연막을 통하여 게이트 전극(111)이 형성되어 있고, 그 양측의 측벽에는 사이드웰(112)이 형성되어 있다. 또한, 게이트 전극(111) 양측의 웰(107)에는 소스(113)와 드레인(114)이 형성되어 있다.

한편, SOI 영역의 반도체 기판(101) 위에는 절연층(103)이 형성되어 있고, 그 위에 반도체층(105)이 형성되어 있다. SOI 영역에도 소자 분리막(109)이 형성되어 있으며, 소자 분리막(109)에 의해 둘러싸인 영역에 MIS형 트랜지스터(120, 130)가 형성되어 있다. 즉, SOI 영역의 한쪽에는 게이트 절연막을 통하여 게이트 전극(121)이 형성되어 있고, 그 양측의 측벽에는 사이드웰(22)이 형성되어 있다. 또한, 게이트 전극(121) 양측의 반도체층(105)에는 소스(123)와 드레인(124)이 형성되어 있다. 마찬가지로, SOI 영역의 다른쪽에는 게이트 절연막을 통하여 게이트 전극(131)이 형성되어 있으며, 그 양측의 측벽에는 사이드웰(32)이 형성되어 있다. 또한, 게이트 전극(131) 양측의 반도체층(105)에는 소스(133)와 드레인(134)이 형성되어 있다.

또한, 소자 분리막(109)은 예를 들어 SiO_2 이며, STI(shallow trench isolation)법 또는 LOCOS(local oxidation of silicon)법에 의해 형성된 것이다. 또한, 게이트 절연막(도시 생략)은 예를 들어 SiO_2 , 실리콘산화질화막(SiON), 실리콘질화막(SiN), 또는 이들의 조합 등이다. 게이트 전극(111, 121, 131)은 예를 들어 인 또는 붕소 등의 도전형 불순물을 포함하는 다결정 실리콘 등이다. 사이드웰(112, 122, 132)은 예를 들어 SiO_2 이다.

이하에서는, 설명의 편의상 벌크 영역에 형성된 MIS형 트랜지스터를 벌크 트랜지스터라고 부른다. 또한, SOI 영역에 형성된 MIS형 트랜지스터를 SOI 트랜지스터라고 부른다.

그런데, 이 반도체 장치에서는, 벌크 트랜지스터(110)와 SOI 트랜지스터(120) 사이의 반도체 기판(101)에 전위 고정용 불순물 확산층(191)이 형성되어 있다. 이 불순물 확산층(191)의 도전형은 예를 들어 p형이며, 반도체 장치를 동작시킬 때에는 불순물 확산층(191)에 역(逆)바이어스(즉 마이너스 전위)를 인가하여 그 전위를 고정시킨다. 이러한 구성이면, 벌크 트랜지스터(110)와 SOI 트랜지스터(120) 사이에서 생기는 전기력선을 불순물 확산층(191)으로 차단할 수 있고, 양 트랜지스터(110, 120) 사이에서의 크로스토크 노이즈를 억제할 수 있다.

예를 들어 SOI 트랜지스터(120)가 저전압 구동의 디지털 회로를 구성하는 회로 소자이며, 벌크 트랜지스터(110)가 고전압 구동 회로(또는 아날로그 회로)를 구성하는 회로 소자일 경우, 불순물 확산층(191)에 역바이어스를 인가하여 그 전위를 고정시킴으로써, 벌크 트랜지스터(110)로부터의 고전압 노이즈 전기력선(즉 소스 또는 드레인에 고전압을 인가함으로써 생기는 노이즈)을 불순물 확산층(191)에서 종단(終端)할 수 있다. 또한, 역바이어스 인가에 의해 불순물 확산층(191)으로부터 반도체 기판(101) 측으로 공핍층이 넓어지기 때문에, 공핍층에 의해 벌크 트랜지스터(110)로부터의 고전계(高電界)가 차단된다. 따라서, 게이트 전극(121) 바로 아래의 반도체층(105) 중 절연층(103) 근방 부위의 반전(反轉)을 방지할 수 있다.

또한, 디지털 회로의 급속한 신호 스위칭은 많은 노이즈를 발생시키지만, SOI 트랜지스터(120, 130)는 절연층(103)에 의해 반도체 기판(101)으로부터 분리되어 있기 때문에, 그 노이즈의 반도체 기판(101) 측으로의 전달을 억제할 수 있다. 또한, 벌크 트랜지스터(110)와 SOI 트랜지스터 사이에는 소자 분리막(109)이 설치되어 있어, DC 전류 패스가 없다.

이 때문에, 벌크 트랜지스터(110)와 SOI 트랜지스터(120, 130) 사이에서의 크로스토크 노이즈를 억제할 수 있어, 저전압 구동의 디지털 회로와 고전압 구동 회로(또는 아날로그 회로) 각각의 오작동을 방지할 수 있다. 이것에 의해, 반도체 장치의 동작 신뢰성을 높일 수 있다.

또한, 반도체 기판(101)에는 $500\Omega\text{cm}$ 를 초과하는 고저항 기판을 사용하는 것이 바람직하다. 이러한 구성이면, SOI 영역의 절연층(103) 아래의 기판 저항을 크게 할 수 있기 때문에, 반도체 장치의 크로스토크 노이즈 내성을 한층 더 향상시키는 것이 가능하다.

이 제 3 실시예에서는, 불순물 확산층(191)이 본 발명 11 내지 발명 16의 「제 1 불순물 확산층」에 대응하고, 벌크 트랜지스터(110)가 본 발명 11 내지 발명 16의 「벌크 영역에 형성된 회로 소자」에 대응하며, SOI 트랜지스터(120, 130)가 본 발명 11, 발명 13 내지 발명 16의 「SOI 영역에 형성된 회로 소자」에 대응하고 있다.

(4) 제 4 실시예

도 4는 본 발명의 제 4 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도이다. 도 4에 있어서, 도 3과 동일한 구성을 갖는 부분에는 동일한 부호를 붙이고, 그 상세한 설명은 생략한다.

도 4에 나타난 바와 같이, 이 반도체 장치에서는 반도체 기판(101) 내에 벌크 영역과 제 1, 제 2 SOI 영역이 설치되어 있다. 벌크 영역의 반도체 기판(101)에는 n형 웰(107)이 형성되어 있다. 이 웰(107) 주위에는 소자 분리막(109)이 형성되어 있으며, 소자 분리막(109)에 의해 둘러싸인 영역에 벌크 트랜지스터(110)가 형성되어 있다.

또한, 제 1 SOI 영역의 반도체 기판(101) 위에는 절연층(103)이 형성되어 있고, 그 위에 반도체층(105)이 형성되어 있다. 이 제 1 SOI 영역에도 소자 분리막(109)이 형성되어 있으며, 소자 분리막(109)에 의해 둘러싸인 영역에 예를 들어 완전 공핍형(fully depleted) SOI 트랜지스터(120, 130)가 형성되어 있다.

여기서, 완전 공핍형 SOI 트랜지스터는 반도체층의 두께가 예를 들어 50[nm] 이하로 작고, 소스/드레인 사이에 삽입된 몸체(body)가 전부 공핍화되어 있다. 완전 공핍형에서는 급속한 서브(sub) 트레숄드(threshold) 특성을 얻을 수 있고, 오프(off) 누설 전류를 억제하면서 임계값 전압을 낮게 할 수 있기 때문에, 저전압으로 고속동작이 가능하다. 이러한 특성으로부터 완전 공핍형 트랜지스터는 저전압 구동의 로직 회로의 회로 소자로서 사용되는 것이 많다.

특히, 대기시에 동작하는 RTC 회로나 대기시에 전압이 인가되는 회로를 제 1 SOI 영역에 형성함으로써, 대기시의 소비전력을 크게 삭감할 수 있다.

또한, 제 2 SOI 영역에는 절연층(153)이 형성되어 있고, 그 위에 반도체층(155)이 형성되어 있다. 이 제 2 SOI 영역에는 소자 분리막(109)보다도 기판 방향으로 깊게 형성된 소자 분리막(159)이 형성되어 있으며, 소자 분리막(159)에 의해 둘러싸인 영역에 예를 들어 부분 공핍형(partially depleted) SOI 트랜지스터(140)가 형성되어 있다.

여기서, 부분 공핍형 SOI 트랜지스터는 반도체층의 두께가 예를 들어 100[nm] 이상으로 크고, 몸체의 저부(底部)가 공핍화되어 있지 않다. 부분 공핍형 SOI 트랜지스터는 서브 트레숄드 특성이 벌크 트랜지스터와 동일한 정도로 되고, 저소비전력의 관점에서는 완전 공핍형 정도의 효과는 기대할 수 없다. 한편, 부분 공핍형은 완전 공핍형과 비교하여 내압 특성에 우수하다. 이러한 특성으로부터 부분 공핍형 트랜지스터는 고전압 구동 회로의 회로 소자로서 사용되는 것이 많다.

제 2 SOI 영역의 절연층(153)은 예를 들어 SiO_2 이며, 반도체층(155)은 예를 들어 Si이다. 또한, 제 2 SOI 영역을 둘러싸는 소자 분리막(159)은 예를 들어 SiO_2 이며, STI법 또는 LOCOS법에 의해 형성된 것이다.

그런데, 이 반도체 장치에서는, 벌크 트랜지스터(110)와 완전 공핍형 SOI 트랜지스터(120) 사이에 예를 들어 p형 불순물 확산층(191)이 형성되어 있다. 또한, 완전 공핍형 SOI 트랜지스터(130)와 부분 공핍형 SOI 트랜지스터(140) 사이에는 예를 들어 n형 불순물 확산층(192)이 형성되어 있다. 또한, SOI 트랜지스터(120) 바로 아래의 절연층(103) 아래의 반도체 기판(101)에는 p형 웰(126)이 형성되어 있으며, SOI 트랜지스터(130) 바로 아래의 절연층 아래의 반도체 기판(101)에는 n형 웰(136)이 형성되어 있다.

도 4에 나타난 바와 같이, 반도체 기판(101) 내부에서 불순물 확산층(191)과 웰(126)이 접합되어 있고, 불순물 확산층(191)이 웰(126)보다도 p형 불순물 농도는 높게 되어 있다. 또한, 반도체 기판(101) 내부에서 불순물 확산층(192)과 웰(136)이 접합되어 있으며, 불순물 확산층(192)이 웰(136)보다도 n형 불순물 농도는 높게 되어 있다. 그리고, 이 반도체 장치를 동작시킬 때에는, 불순물 확산층(191)에 역바이어스(즉 마이너스 전위)를 인가하여 불순물 확산층(191)과 웰(126)의 전위를 고정시키는 동시에, 불순물 확산층(192)에 역바이어스(즉 플러스 전위)를 인가하여 불순물 확산층(192)과 웰(136)의 전위를 고정시킨다.

이러한 구성이면, 벌크 트랜지스터(110)와 SOI 트랜지스터(120) 사이에서 생기는 전기력선을 불순물 확산층(191)으로 차단할 수 있다. 또한, SOI 트랜지스터(130)와 SOI 트랜지스터(140) 사이에서 생기는 전기력선을 불순물 확산층(192)으로 차단할 수 있다.

또한, 이 반도체 장치에서는, SOI 트랜지스터(120) 바로 아래의 절연층(103) 아래의 반도체 기판(101)에 웰(126)을 구비하고 있기 때문에, 벌크 영역으로부터 SOI 트랜지스터(120) 하측으로 돌아 들어오는 전기력선을 차단하거나, SOI 트랜지스터(120)에서 발생하는 노이즈의 반도체 기판(101) 측으로의 전달을 방지하거나 하는 것이 용이하다. 마찬가지로, 이 반

도체 장치는 SOI 트랜지스터(130) 바로 아래의 절연층(103) 아래의 반도체 기관(101)에 웰(136)을 구비하고 있기 때문에, 제 2 SOI 영역으로부터 SOI 트랜지스터(130) 하측으로 돌아 들어오는 전기력선을 차단하거나, SOI 트랜지스터(130)에서 발생하는 노이즈의 반도체 기관(101) 측으로의 전달을 방지하거나 하는 것이 용이하다.

이 제 4 실시예에서는, 불순물 확산층(191)이 본 발명 11 내지 발명 15의 「제 1 불순물 확산층」에 대응하고, 벌크 트랜지스터(110)가 본 발명 11 내지 발명 15의 「벌크 영역에 형성된 회로 소자」에 대응하고 있다. 또한, SOI 트랜지스터(120, 130)가 본 발명 11 내지 발명 15의 「(제 1) SOI 영역에 형성된 회로 소자」에 대응하며, SOI 트랜지스터(140)가 본 발명 12 내지 발명 15의 「제 2 SOI 영역에 형성된 회로 소자」에 대응하고 있다. 또한, 불순물 확산층(192)이 본 발명 12 내지 발명 15의 「제 2 불순물 확산층」에 대응하고 있다.

(5) 제 5 실시예

도 5는 본 발명의 제 5 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도이다. 도 5에 있어서, 도 3 또는 도 4와 동일한 구성을 갖는 부분에는 동일한 부호를 붙이고, 그 상세한 설명은 생략한다.

도 5에 나타난 바와 같이, 이 반도체 장치에서는 반도체 기관(101) 내에 제 1, 제 2 SOI 영역이 설치되어 있고, 반도체 기관(101) 위에는 부분적으로 제 1 절연층(163)과 제 1 반도체층(165)이 적층되어 있다. 제 2 SOI 영역에서는 제 1 반도체층(165)에 부분 공핍형 SOI 트랜지스터(140)가 형성되어 있다. 또한, 제 1 SOI 영역에서는 제 1 반도체층(165) 위에 제 2 절연층(103)과 제 2 반도체층(105)이 더 적층되어 있으며, 이 제 2 반도체층(105)에 완전 공핍형 SOI 트랜지스터(120, 130)가 형성되어 있다.

그리고, 이 반도체 장치에서는 제 1 SOI 영역의 SOI 트랜지스터(120)와, 제 2 SOI 영역의 SOI 트랜지스터(140) 사이에 전위 고정용 불순물 확산층(193)이 형성되어 있다. 이 불순물 확산층(193)의 도전형은 예를 들어 p형이다. 반도체 장치를 동작시킬 때에는, 불순물 확산층(193)에 역바이어스(즉 마이너스 전위)를 인가하여 그 전위를 고정시킨다. 이러한 구성이면, 완전 공핍형 SOI 트랜지스터(120)와, 부분 공핍형 SOI 트랜지스터(140) 사이에서 생기는 전기력선을 불순물 확산층(193)으로 차단할 수 있기 때문에, 양 트랜지스터(120, 140) 사이에서의 크로스토크 노이즈를 억제할 수 있다.

이 제 5 실시예에서는, 반도체 기관(101)이 본 발명 17의 「지지 기관」에 대응하고, SOI 트랜지스터(120, 130)가 본 발명 17의 「제 1 SOI 영역에 형성된 회로 소자」에 대응하며, SOI 트랜지스터(140)가 본 발명 17의 「제 2 SOI 영역에 형성된 회로 소자」에 대응하고 있다.

이상, 제 3 내지 제 5 실시예에서는, 회로 블록 내의 SOI 구조 주변에 전위 고정용 불순물 확산층(191, 192, 193)이나 웰(126, 136)을 형성한다. 이들 불순물 확산층이나 웰 전위를 고정시킴으로써, 주변 회로 블록으로부터의 고전압 노이즈 전기력선을 중단하여, 박스(즉 절연층) 위의 SOI층(즉 반도체층) 이면(裏面)의 반전을 방지한다. 또한, 디지털 회로의 급속한 신호 스위칭은 반도체 기관(101)에 많은 노이즈를 발생시키지만, 본 발명에서는 이들 노이즈를 박스나 소자 분리막이 저지한다.

또한, 본 발명에서는 반도체 기관(101)에는 500Ω·cm보다 높은 저항의 기관을 사용하는 것이 바람직하다. 고저항 기관 위의 SOI 구조는 크로스토크 노이즈 내성을 더 강화시킨다. 이것에 의해, 크로스토크 노이즈 내성에 우수하고, 상이한 전압 구동의 회로 블록, 또는 디지털과 아날로그를 혼재시킨 회로 블록이 안정된 동작을 행하여, 고정밀도, 고속동작·저소비전력, 또한 저렴한 반도체 장치를 제공할 수 있다.

(6) 제 6 실시예

도 6은 본 발명의 제 6 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도이다. 도 6에 있어서, 도 3과 동일한 구성을 갖는 부분에는 동일한 부호를 붙이고, 그 상세한 설명은 생략한다.

도 6에 있어서, 반도체 기관(반도체 칩)에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 게이트 드라이버(211), D/A 컨버터(212), SRAM(213), 전원 회로(214), 게이트 어레이 로직 회로(215) 및 I/O 회로(216)가 형성되어 있다. 여기서, 게이트 드라이버(211), D/A 컨버터(212), 전원 회로(214) 및 I/O 회로(216)는 벌크 영역에 배치되어 있고, SRAM(213) 및 게이트 어레이 로직 회로(215)는 SOI 영역에 배치되어 있다. 또한, 벌크 영역에 형성된(즉 벌크 구조를 가짐) 회로 블록은 SOI 영역에 형성된(즉 SOI 구조를 가짐) 회로 블록의 적어도 한변에 이웃하도록 배치되어 있다. 또한, SOI 구조를 가지는 회로 블록은 벌크 구조를 가지는 회로 블록 사이에 배치되어 있다.

이것에 의해, SRAM(213)을 가지는 드라이버 LSI를 1칩으로 구성한 경우에도, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 인접하는 회로 블록 사이의 거리를 작게 하는 것이 가능해진다.

또한, 이 반도체 장치에서는, SOI 구조를 가지는 SRAM(213) 주위의 반도체 기판에는 전위 고정용 불순물 확산층(191)이 형성되어 있고, 이 불순물 확산층(191)에 의해 SRAM(213)은 평면에서 봤을 때 둘러싸여 있다. 마찬가지로, SOI 구조를 가지는 게이트 어레이 로직 회로(215) 주위의 반도체 기판에는 전위 고정용 불순물 확산층(191)이 형성되어 있으며, 이 불순물 확산층(191)에 의해 게이트 어레이 로직 회로(215)는 평면에서 봤을 때 둘러싸여 있다. 그리고, 드라이버 LSI를 동작시킬 때에는, 불순물 확산층(191)에 역바이어스를 인가하여 그 전위를 고정시킨다.

이러한 구성이면, SOI 구조를 가지는 SRAM(213)이나 게이트 어레이 로직 회로(215)와, 벌크 구조를 가지는 회로 블록 사이에서 생기는 전기력선을 불순물 확산층(191)으로 차단할 수 있어, 양쪽 사이에서 크로스토크 노이즈를 억제할 수 있다. 이것에 의해, 드라이버 LSI의 오작동을 방지할 수 있어, 그 동작 신뢰성을 향상시킬 수 있다.

제 6 실시예에서는, SRAM(213)이나 게이트 어레이 로직 회로(215)가 본 발명 18의 「제 1 회로 블록」에 대응하고 있다. 또한, 게이트 드라이버(211), D/A 컨버터(212), 전원 회로(214) 및 I/O 회로(216)가 본 발명 18의 「제 2 회로 블록」, 및 본 발명 21의 「주변 회로 블록」에 대응하고 있다.

(7) 제 7 실시예

도 7은 본 발명의 제 7 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도이다. 도 7에 있어서, 도 3과 동일한 구성을 갖는 부분에는 동일한 부호를 붙이고, 그 상세한 설명은 생략한다.

도 7에 있어서, 반도체 기판(반도체 칩)에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 LCD(액정 컨트롤러)(221), 센서 인터페이스 회로(222), MCU(마이크로 컨트롤러 유닛)(223), RF(Radio Frequency) 회로(224), RTC(리얼타임 클록) 회로(225), 전원 회로(226)가 형성되어 있다. 여기서, LCD(221), 센서 인터페이스 회로(222), RF 회로(224) 및 전원 회로(226)는 벌크 영역에 배치되고, MCU(223) 및 RTC 회로(225)는 SOI 영역에 배치되어 있다.

또한, 센서 인터페이스 회로(222) 및 RF 회로(224) 외주의 적어도 한변을 포함하는 영역에는 다른 회로 블록과 이웃하도록 SOI 구조체(229)가 각각 설치되어 있다. 여기서, SOI 구조체란 반도체 기판 위에 절연층과 반도체층이 적층되어 이루어지는 구조체를 말한다. 이것에 의해, 시스템 LSI를 1칩으로 구성한 경우에도, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 회로 블록 사이의 거리를 작게 하는 것이 가능해진다.

또한, 이 반도체 장치에서는 SOI 영역에 배치된(즉 SOI 구조를 가짐) MCU(223)나, RTC 회로(225) 주위의 반도체 기판에는 각각 전위 고정용 불순물 확산층(191)이 형성되어 있고, 이 불순물 확산층(191)에 의해 MCU(223)나 RTC 회로(225)는 평면에서 봤을 때 개개로 둘러싸여 있다. 또한, SOI 구조체(229) 주위의 반도체 기판에도 상기 SOI 구조를 개개로 둘러싸도록 전위 고정용 불순물 확산층(191)이 형성되어 있다.

이러한 구성이면, SOI 구조를 가지는 MCU(223)나 RTC 회로(225)와, 벌크 구조를 가지는 회로 블록 사이에서 생기는 전기력선을 불순물 확산층(191)으로 차단할 수 있어, 양쪽 사이에서 크로스토크 노이즈를 억제할 수 있다. 이것에 의해, 시스템 LSI의 오작동을 방지할 수 있어, 그 동작 신뢰성을 향상시킬 수 있다.

또한, RTC 회로 등 대기시에 전압이 인가되는 회로 그룹을 SOI 영역에 설치하고, 완전 공핍 SOI 트랜지스터를 적용함으로써, 대기시의 소비전력을 크게 삭감할 수 있다.

제 7 실시예에서는, MCU(223) 및 RTC 회로(225)가 본 발명 18의 「제 1 회로 블록」에 대응하고 있다. 또한, LCD(221), 센서 인터페이스 회로(222), MCU(223), RF 회로(224), RTC 회로(225), 전원 회로(226)가 본 발명 18의 「제 2 회로 블록」에 대응하고 있다. 또한, MCU(223)가 본 발명 20의 「MCU 코어」에 대응하고 있다. 또한, 센서 인터페이스 회로(222) 및 RF 회로(224)가 본 발명 20의 「제 1 주변 회로 블록」에 대응하며, LCD(221)가 본 발명 20의 「제 2 주변 회로 블록」에 대응하고 있다.

(8) 제 8 실시예

도 8은 본 발명의 제 8 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도이다. 도 7에 있어서, 도 3과 동일한 구성을 갖는 부분에는 동일한 부호를 붙이고, 그 상세한 설명은 생략한다.

도 8에 있어서, 반도체 기판(반도체 칩)에는 복수의 회로 블록이 탑재되고, 회로 블록으로서 전원 회로(231), SRAM(232), 발진기(233), MCU(234), DRAM(235), 로직 회로(236, 237)가 형성되어 있다. 여기서, 전원 회로(231), 발진기(233), DRAM(235, 237)은 벌크 영역에 배치되고, SRAM(232), MCU(234) 및 로직 회로(236)는 SOI 영역에 배치되어 있다. 또한, 벌크 영역에 형성된(즉 벌크 구조를 가짐) 회로 블록은 SOI 영역에 형성된(즉 SOI 구조를 가짐) 회로 블록의 적어도 한 번과 이웃하도록 배치되어 있다. 또한, SOI 구조를 가지는 회로 블록은 벌크 구조를 가지는 회로 블록 사이에 배치되어 있다.

이것에 의해, 시스템 LSI를 1칩으로 구성한 경우에도, 벌크 구조를 가지는 복수의 회로 블록을 SOI 구조를 통하여 서로 거리를 두도록 하여 동일 기판 위에 혼재시키는 것이 가능해진다. 이 때문에, 회로 블록 사이에서의 크로스토크 노이즈를 억제하면서 회로 블록 사이의 거리를 작게 하는 것이 가능해진다.

또한, 이 반도체 장치에서는, SOI 구조를 가지는 회로 블록 주위의 반도체 기판에 전위 고정용 불순물 확산층(191)이 형성되어 있고, 이 불순물 확산층(191)에 의해 SRAM(232), MCU(234) 및 로직 회로(236)는 평면에서 봤을 때 함께 둘러싸여 있다.

이러한 구성이면, SOI 구조를 가지는 회로 블록과 벌크 구조를 가지는 회로 블록 사이에서 생기는 전기력선을 불순물 확산층(191)으로 차단할 수 있어, 양쪽 사이에서 크로스토크 노이즈를 억제할 수 있다. 이것에 의해, 시스템 LSI의 오작동을 방지할 수 있어, 그 동작 신뢰성을 향상시킬 수 있다.

제 8 실시예에서는, SRAM(232), MCU(234) 및 로직 회로(236)가 본 발명 18의 「제 1 회로 블록」에 대응하고 있다. 또한, 전원 회로(231), 발진기(233), DRAM(235, 237)이 본 발명 18의 「제 2 회로 블록」, 및 본 발명 19의 「주변 회로 블록」에 대응하고 있다. 또한, MCU(234)가 본 발명 19의 「MCU 코어」에 대응하며, DRAM이 본 발명 19의 「메모리 회로」에 대응하고, 발진기가 본 발명 19의 「발진 회로」에 대응하고 있다.

이상, 제 6 내지 제 8 실시예에서는, (얇은) SOI 구조를 가지는 저전압 구동 MCU나 SRAM과, 벌크 구조(또는 두꺼운 SOI 구조)를 가지는 고전압 구동 회로(또는 아날로그 회로)의 각 블록 사이에 전위 고정용 불순물 확산층(191)을 배치하고 있다. 박스(103)와 소자 분리막(109)에 의해, 저전압 구동의 디지털 회로 블록은 고전압으로 구동하는 드라이버 회로 블록, DRAM, Flash 메모리 회로 블록 등과 전기적으로 차단된다.

이 때문에, 디지털 회로에 의해 발생하는 크로스토크 노이즈가 반도체 기판(101)에 침입하지 않아, 아날로그 회로의 특성 열화(劣化)가 생기지 않는다. 특히 고저항 Si 기판을 사용하면, 크로스토크 노이즈 내성이 향상된다. 한편, 역바이어스 인가에 의해 불순물 확산층(191)으로부터 반도체 기판(101) 측으로 넓어지는 공핍층에 의해, 전계도 차단된다. 이 때문에, 고전압 구동 회로 블록으로부터 저전압 구동 회로 블록으로의 전계 노이즈가 억제되어, 고정밀도와 고신뢰성의 저전압·저파워 디지털 회로 동작이 가능해진다. 이상, 본 발명에 의하면, 고정밀도·저전압 구동 회로 블록과 고전압 구동 회로 블록을 혼재시켜, 내(耐)크로스토크 노이즈에 우수한 고신뢰성 시스템 LSI 반도체 장치를 제공할 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 회로 블록 사이에서의 노이즈에 의한 간섭을 억제하면서 벌크 구조와 SOI 구조를 동일 기판 위에 혼재시키는 것이 가능한 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

도 1은 제 1 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도.

도 2는 제 2 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도.

도 3은 제 3 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도.

도 4는 제 4 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도.

도 5는 제 5 실시예에 따른 반도체 장치의 구성예를 나타내는 단면도.

도 6은 제 6 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도.

도 7은 제 7 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도.

도 8은 제 8 실시예에 따른 반도체 장치의 구성예를 나타내는 평면도.

도면의 주요 부분에 대한 부호의 설명

R11 : SOI 형성 영역 R12, R13 : 벌크(bulk) 영역

1 : 반도체 기판 2, 3 : 웰(well)

4 : 매립 절연층 5 : 반도체층

6a~6f : 게이트 절연막 7a~7f : 게이트 전극

8a~8f : 사이드월 스페이서(sidewall spacer)

9a~9f : 소스층 10a~10f : 드레인층

11, 12 : 매립 절연체 13, 14 : 소자 분리용 홈

21 : 게이트 드라이버 22 : D/A 컨버터

23, 42 : SRAM 24 : 전원 회로

25 : 게이트 어레이 로직 회로 26 : I/O 회로

31 : 액정 컨트롤러 32 : 센서 인터페이스 회로

33, 44 : MCU 34 : RF 회로

35 : RTC 회로 36, 41 : 전원 회로

43 : 발진기 45 : DRAM

46 : 로직 회로 47 : A/D 컨버터

51, 53 : 아날로그 회로 52 : 디지털 회로

61, 63 : 대기시 정지 회로 62 : 대기시 동작 회로

101 : 반도체 기판 103, 153 : 절연층(박스)

105, 155 : 반도체층(SOI층) 107 : 웰

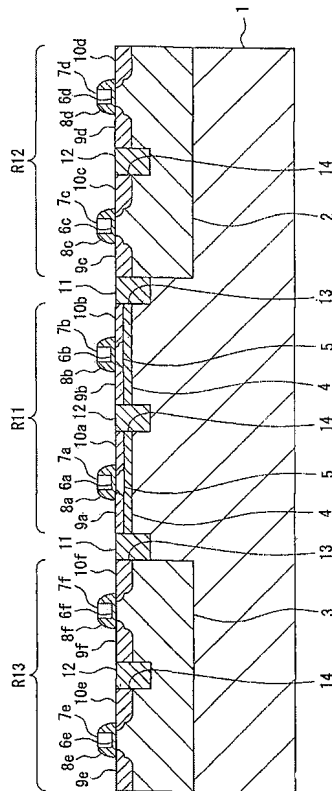
109, 159 : 소자 분리막 110 : 벌크 트랜지스터

111, 121, 131 : 게이트 전극 113, 123, 133 : 소스

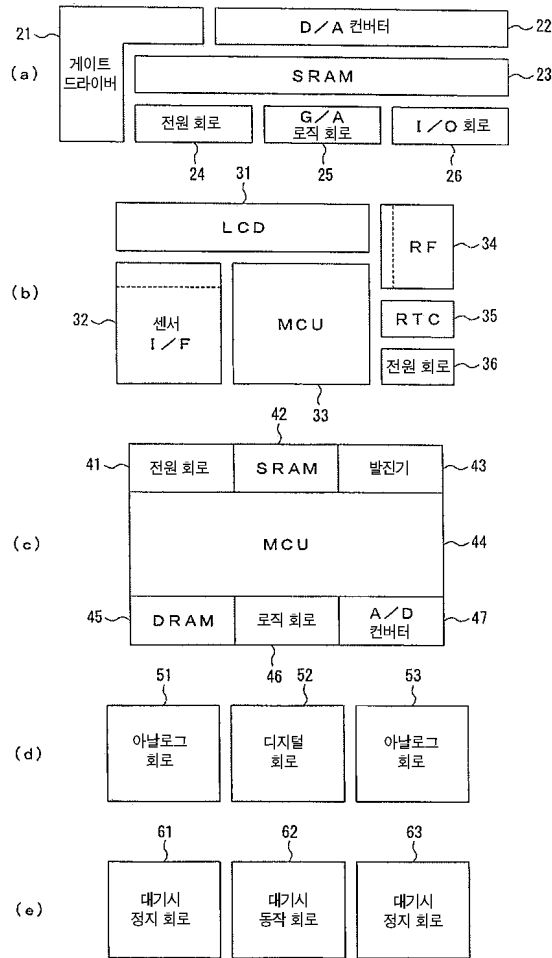
- 114, 124, 134 : 드레인
- 120, 130 : (완전 공핍형) SOI 트랜지스터 126, 136 : (전위 고정용) 웰
- 140 : (부분 공핍형) SOI 트랜지스터
- 191~193 : (전위 고정용) 불순물 확산층 211 : 게이트 드라이버
- 212 : D/A 컨버터 213, 232 : SRAM
- 214, 226, 231 : 전원 회로 215 : 게이트 어레이 로직 회로
- 216 : I/O 회로 221 : LCD
- 222 : 센서 인터페이스 회로 223, 234 : MCU
- 224 : RF 회로 225 : RTC 회로
- 233 : 발진기 235 : DRAM
- 236 : 로직 회로 237 : A/D 컨버터

도면

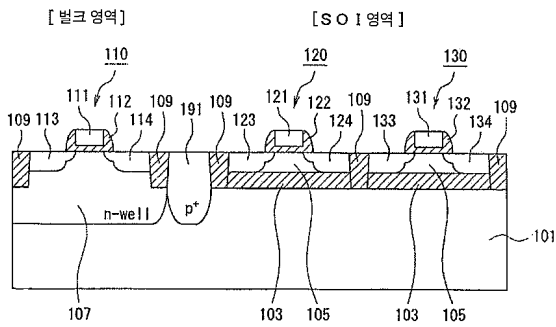
도면1



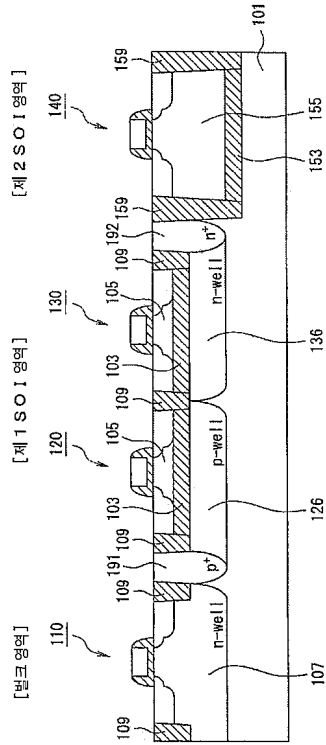
도면2



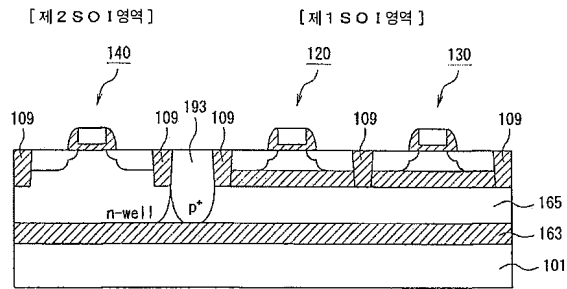
도면3



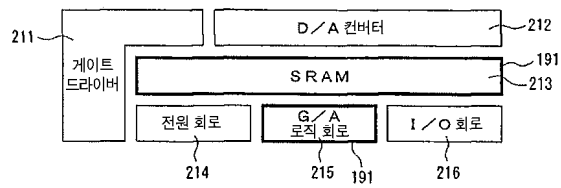
도면4



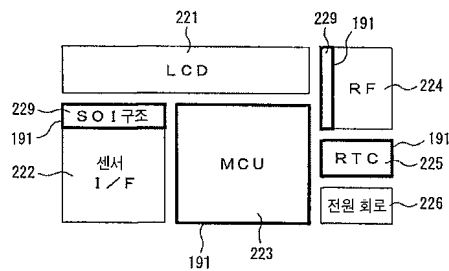
도면5



도면6



도면7



도면8

