

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-503180
(P2004-503180A)

(43) 公表日 平成16年1月29日(2004.1.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO4B 7/005	HO4B 7/005	5C025
HO4B 3/06	HO4B 3/06 E	5K004
HO4J 11/00	HO4J 11/00 Z	5K022
HO4L 27/01	HO4L 27/06 Z	5K046
HO4L 27/06	HO4N 5/455	

審査請求 未請求 予備審査請求 未請求 (全 52 頁) 最終頁に続く

(21) 出願番号 特願2002-509245 (P2002-509245)
 (86) (22) 出願日 平成13年6月27日 (2001.6.27)
 (85) 翻訳文提出日 平成14年3月6日 (2002.3.6)
 (86) 国際出願番号 PCT/EP2001/007244
 (87) 国際公開番号 W02002/005505
 (87) 国際公開日 平成14年1月17日 (2002.1.17)
 (31) 優先権主張番号 60/217, 143
 (32) 優先日 平成12年7月7日 (2000.7.7)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 09/840, 200
 (32) 優先日 平成13年4月23日 (2001.4.23)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR

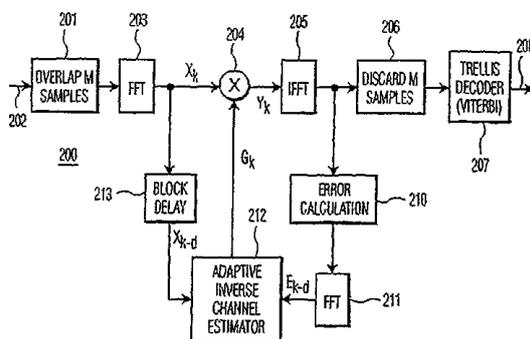
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 Koninklijke Philips Electronics N.V.
 オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1
 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 地上波デジタルTV受信のための周波数領域の等化器

(57) 【要約】

単一の集積回路によるマルチスタンダード復調器は、受信信号及び誤差予測値から逆チャンネルを予測するための再帰的な最小二乗コスト関数を使用した周波数領域での等化のための適応逆チャンネル予測器を含んでいる。対角相関行列を利用して、計算集中型から記憶集中型にシフトして、従来の周波数領域の等化器により必要とされるよりも少ない計算リソースを利用して解は決定される。メモリの必要条件は、従来のOFDMデコーダ内で利用可能なメモリにより十分に満足される。必要とされる計算リソースは、かかるデコーダ内で利用することができるリソースに容易にマッピングすることができる。マルチスタンダード復調器の集積回路の費用対効果を改善することができる。



【特許請求の範囲】

【請求項 1】

単一の集積回路によるマルチスタンダードの復調器における使用向けの、単一キャリア信号を復調するための周波数領域の等化器であって、
周波数領域の入力信号 X_k と周波数領域の逆チャンネル予測値 G_k とから等化出力を生成するための信号乗算器と、
最小二乗コスト関数を利用して、前記周波数領域の逆チャンネル予測値 G_k を計算する適応逆チャンネル予測器と、
を備える周波数領域の等化器。

【請求項 2】

前記適応逆チャンネル予測器は、対角相関行列 R_k を利用して、前記周波数領域の逆チャンネル予測値 G_k を計算する、
請求項 1 記載の周波数領域の等化器。

【請求項 3】

前記適応逆チャンネル予測器は、メモリ、前記対角相関行列 R_k 内の前の対角成分 $R_{n, k-1}$ から前記対角相関行列 R_k 内の現在の対角成分 $R_{n, k}$ を計算するために使用される忘却要素、前の逆チャンネル予測行列成分 $G_{n, k-1}$ を変更して、現在の逆チャンネル予測行列成分 $G_{n, k}$ を導出するために使用される適応及び誤差制御定数 μ を使用し、前記忘却要素、並びに前記適応及び誤差制御定数 μ についての値は、前記忘却要素、又は前記適応及び誤差制御定数 μ のいずれかによる乗算がビットシフト及び加算処理により実現されるように選択される、
請求項 2 記載の周波数領域の等化器。

【請求項 4】

前記適応逆チャンネル予測器は、
遅延された前記入力信号 X_{k-d} を受ける複素共役器と、
前記遅延された入力信号 X_{k-d} と前記複素共役器の出力の両者を受取る信号乗算器と、
前記信号乗算器の出力と、前記忘却要素により乗じられる前記対角相関行列 R_k 内の前の対角成分 $R_{n, k-1}$ とを受取る信号加算器とをさらに備え、
前記信号加算器の出力は、前記対角相関行列 R_k 内の前記現在の対角成分 $R_{n, k}$ を含む、
請求項 3 記載の周波数領域の等化器。

【請求項 5】

前記適応逆チャンネル予測器は、
前記複素共役器の出力と前記信号加算器の出力とを受取る信号割り算器と、
前記信号割り算器の出力と、周波数領域誤差予測値 E_k とを受取る第 2 信号乗算器と、
前記適応及び誤差制御定数 μ により乗算された前記第 2 信号乗算器の出力と、前記前の逆チャンネル予測行列成分 $G_{n, k-1}$ とを受取る第 2 信号加算器とをさらに備え、
前記第 2 信号加算器の出力は、前記現在の逆チャンネル予測行列成分 $G_{n, k}$ を含む、請求項 4 記載の周波数領域の等化器。

【請求項 6】

単一集積回路によるマルチスタンダード復調器であって、
マルチキャリア信号を選択的に復調する第 1 デコーダと、
周波数領域の等化器を含み、単一キャリア信号を選択的に復調する第 2 デコーダと備え、
前記周波数領域の等化器は、
周波数領域の入力信号 X_k と周波数領域の逆チャンネル予測値 G_k とから等化出力を生成する単一の乗算器と、
最小二乗コスト関数を使用して、前記周波数領域の逆チャンネル予測値 G_k を計算する適応逆チャンネル予測器と、を備える復調器。

【請求項 7】

前記適応逆チャンネル予測器は、対角相関行列 R_k を利用して、前記周波数領域の逆チャンネル

10

20

30

40

50

ル予測値 G_k を計算する、請求項 6 記載の復調器。

【請求項 8】

前記適応逆チャンネル予測器は、メモリ、前記対角相関行列 R_k 内の前の対角成分 $R_{n, k-1}$ から前記対角相関行列 R_k 内の現在の対角成分 $R_{n, k}$ を計算するために使用される忘却要素、及び前の逆チャンネル予測行列成分 $G_{n, k-1}$ を変更して、現在の逆チャンネル予測行列成分 $G_{n, k}$ を導出するために使用される適応及び誤差制御定数 μ を使用し、前記忘却要素、並びに前記適応及び誤差制御定数 μ についての値は、前記忘却要素、又は前記適応及び誤差制御定数 μ のいずれかによる乗算がビットシフト及び加算処理により実現されるように選択される、請求項 7 記載の復調器。

【請求項 9】

前記適応逆チャンネル予測器は、
遅延された前記入力信号 X_{k-d} を受ける複素共役器と、
前記遅延された入力信号 X_{k-d} と前記複素共役器の出力の両者を受取る信号乗算器と、
前記信号乗算器の出力と、前記忘却要素により乗じられた前記対角相関行列 R_k 内の前の対角成分 $R_{n, k-1}$ とを受取る信号加算器とをさらに備え、
前記信号加算器の出力は、前記対角相関行列 R_k 内の前記現在の対角成分 $R_{n, k}$ を含む、請求項 8 記載の復調器。

10

【請求項 10】

前記適応逆チャンネル予測器は、
前記複素共役器の出力と前記信号加算器の出力とを受取る信号割り算器と、
前記信号割り算器の出力と、周波数領域の誤差予測値 E_k とを受取る第 2 信号乗算器と、
前記適応及び誤差制御定数 μ により乗算された前記第 2 信号乗算器の出力と、前記前の逆チャンネル予測行列成分 $G_{n, k-1}$ とを受取る第 2 信号加算器とをさらに備え、
前記第 2 信号加算器の出力は、前記現在の逆チャンネル予測行列成分 $G_{n, k}$ を含む、請求項 9 記載の復調器。

20

【請求項 11】

周波数領域の等化器における使用向けの、適応逆チャンネル予測の方法であって、
単一キャリアからの周波数領域の入力信号 X_k と周波数領域の逆チャンネル予測値 G_k とを乗算して、等化出力を生成するステップと、
最小二乗コスト関数を利用して、前記周波数領域の逆チャンネル予測値 G_k を計算するステップと、を備える方法。

30

【請求項 12】

最小二乗コスト関数を利用して、前記周波数領域の逆チャンネル予測値 G_k を計算する前記ステップは、
対角相関行列 R_k を利用して、周波数領域の逆チャンネル予測値 G_k を計算するステップ、
をさらに備える請求項 11 記載の方法。

【請求項 13】

最小二乗コスト関数を利用して、前記周波数領域の逆チャンネル予測値 G_k を計算する前記ステップは、
前記対角相関行列 R_k 内の前の対角成分 $R_{n, k-1}$ 、及び前の逆チャンネル予測行列成分 $G_{n, k-1}$ をメモリに記憶するステップと、
忘却要素を使用して、前記対角相関行列 R_k 内の前の対角成分 $R_{n, k-1}$ から現在の対角成分 $R_{n, k}$ を計算するステップと、
適応及び誤差制御定数 μ を使用して前の逆チャンネル予測行列成分 $G_{n, k-1}$ を変更し、
現在の逆チャンネル予測行列成分 $G_{n, k}$ を導出するステップとをさらに備え、
前記忘却要素、並びに前記適応及び誤差制御定数 μ についての値は、前記忘却要素、
又は前記適応及び誤差制御定数 μ のいずれかによる乗算がビットシフト及び加算処理により実現されるように選択される、請求項 12 記載の方法。

40

【請求項 14】

最小二乗コスト関数を利用して、前記周波数領域の逆チャンネル予測値 G_k を計算する前記

50

ステップは、

遅延された前記入力信号 X_{k-d} の複素共役を計算するステップと、

前記遅延された入力信号 X_{k-d} と複素共役とを乗算するステップと、

前記遅延された入力信号 X_{k-d} と複素共役とを乗算の結果を、前記忘却要素により乗じられた前記対角相関行列 R_k 内の前の対角成分 $R_{n, k-1}$ に加算して、前記対角相関行列 R_k 内の前記現在の対角要素 $R_{n, k}$ を生成するステップと、

をさらに備える請求項 13 記載の方法。

【請求項 15】

最小二乗コスト関数を利用して、前記周波数領域の逆チャネル予測値 G_k を計算する前記ステップは、

10

前記複素共役を前記対角相関行列 R_k 内の現在の対角成分 $R_{n, k}$ により除算するステップと、

前記複素共役を前記対角相関行列 R_k 内の現在の対角成分 $R_{n, k}$ により除算した結果を、周波数領域の誤差予測値 E_k 、並びに前記適応及び誤差制御定数 μ で乗算するステップと、

前記前の逆チャネル予測行列成分 $G_{n, k-1}$ を、前記複素共役を前記対角相関行列 R_k 内の現在の対角成分 $R_{n, k}$ により除算した結果を、周波数領域の誤差予測値 E_k 、並びに前記適応及び誤差制御定数 μ により乗算した結果に加算して、現在の逆チャネル予測行列成分 $G_{n, k}$ を生成するステップと、

をさらに備える請求項 14 記載の方法。

20

【請求項 16】

単一集積回路によるマルチスタンダード復調器であって、

OFDM デコーダと、

周波数領域の等化器を含む VSB デコーダとを備え、

前記 VSB デコーダは、

周波数領域の入力信号 X_k と周波数領域の逆チャネル予測値 G_k とから等化出力を生成する信号乗算器と、

最小二乗コスト関数を利用して、前記周波数領域の逆チャネル予測値 G_k を計算する適応逆チャネル予測器とを備え、

前記周波数領域の等化器は、前記 OFDM デコーダ向けに使用されるハードウェアを利用する、復調器。

30

【請求項 17】

前記適応逆チャネル予測器は、

対角相関行列 R_k と、

前記対角相関行列 R_k 内の前の対角相関成分 $R_{n, k-1}$ から前記対角相関行列 R_k 内の現在の対角成分 $R_{n, k}$ を計算するための忘却要素と、

前の逆チャネル予測行列成分 $G_{n, k-1}$ を変更して、現在の逆チャネル予測行列成分 $G_{n, k}$ を導出するための適応及び誤差制御定数 μ と、

を利用して前記周波数領域の逆チャネル予測値 G_k を計算し、

前記忘却要素、並びに前記適応及び誤差制御定数 μ についての値は、前記忘却要素、

40

又は前記適応及び誤差制御定数 μ のいずれかによる乗算が前記 OFDM デコーダ向けに使用される前記ハードウェア内でのビットシフト及び加算処理により実現されるように選択される、請求項 16 記載の復調器。

【請求項 18】

前記適応逆チャネル予測器は、前記 OFDM デコーダ向けに使用される前記ハードウェア内のメモリを使用して、前記対角相関行列 R_k についての前記前の対角成分 $R_{n, k-1}$ 、及び前記前の逆チャネル予測行列成分 $G_{n, k-1}$ を記憶する、請求項 17 記載の復調器。

【請求項 19】

前記適応逆チャネル予測器は、

50

遅延された前記入力信号 X_{k-d} を受ける複素共役器と、
 前記遅延された入力信号 X_{k-d} と前記複素共役器の出力の両者を受取る信号乗算器と、
 前記信号乗算器の出力と、前記忘却要素により乗じられた前記対角相関行列 R_k 内の前
 の対角成分 $R_{n, k-1}$ とを受取る信号加算器とをさらに備え、
 前記信号加算器の出力は、前記相関行列 R_k 内の前記現在の対角要素 $R_{n, k}$ を含む、請
 求項 18 記載の復調器。

【請求項 20】

前記適応逆チャンネル予測器は、
 前記複素共役器の出力と前記信号加算器の出力とを受取る信号割り算器と、
 前記信号割り算器の出力と、周波数領域の誤差予測値 E_k とを受取る第 2 信号乗算器と、
 前記適応及び誤差制御定数 μ により乗算された前記第 2 信号乗算器の出力と、前記前の逆
 チャンネル予測行列成分 $G_{n, k-1}$ とを受取る第 2 信号加算器とをさらに備え、
 前記第 2 信号加算器の出力は、前記現在の逆チャンネル予測行列成分 $G_{n, k}$ を含む、請
 求項 19 記載の復調器。

【発明の詳細な説明】

【0001】

[発明の分野]

本発明は、一般に無線信号の復号時のイコライゼーションに関し、より詳細には、1つの
 集積回路によるマルチスタンダードでコード内での実現に適した方式による、周波数領域
 のイコライゼーションのための適応逆チャンネル予測に関する。

【0002】

[発明の背景]

デジタルテレビジョン(DTV)ブロードキャスト変調のための2つの異なる標準
 が地域的に採用されている。米国では、Advanced Television Sys
 tems Committee(ATSC) digital television st
 andard(ATSC Document A/53, September 16, 1
 995)により発表された残留波帯(VSB)変調を採用しており、この変調では8つの
 離散振幅レベル(8-VSB)を有している。一方、欧州、オーストラリア及び他の地域
 では、“Digital Video Broadcasting: Framing S
 tructure, Channel Coding and Modulation fo
 r Digital Terrestrial Television” ETSI 300 7
 44 (March 1997)によるDigital Video Broadcasti
 ng - Television(DVB-T) coded orthogonal fre
 quency division multiplexing(COFDM)を採用してい
 る。

【0003】

図10A及び図10Bは、これら2つの標準について採用されるタイプの集積回路による
 残留波帯復調器及び直交周波数分割多重(OFDM)復調器の典型的な実現についての比
 較によるブロック図をそれぞれ示している。

【0004】

チャンネルデコーダ1000a及び1000bの両者についてのフロントエンドの殆どは、
 サンプルレート変換(SRC)、ミキサ、及びフィルタ又はナイキストフィルタユニット
 1001a及び1001bを含んでおり、これらは同じである。フォワード誤り補正(F
 EC)ユニット1002a及び1002bもまた同じである。したがって、単一のマルチ
 スタンダードチャンネル復号集積回路は、直接ハードウェア共有技術を利用して、結合され
 たやり方でこれらの部分を実現している。

【0005】

しかし、2つの標準を実現する既存のアルゴリズムについて使用される集積回路領域の殆
 どは、VSBにおける等化器103、及びOFDMにおける高速フーリエ変換(FFT)
 、チャンネル予測及び補正ユニット1004により占有される。さらに、VSBは計算集中

10

20

30

40

50

型であり、一方OFDMは記憶集中型である。これらの理由のために、現在のアルゴリズムは、費用対効果の高いやり方において両者の標準についての結合チャネルデコーダを実現することを困難にしている。

【0006】

VSB及びOFDM標準のアルゴリズムレベルの統一化について、2つの可能性が存在し、それぞれの標準を実現する現在のアルゴリズムの変更を要求している。第1に、OFDMについて時間領域の等化器が使用される場合がある。ここでは、この標準のためのチャネル予測及び補正ユニットが時間領域の等化器で置き換えられる。次いで、等化器は、現在のVSB等化器ハードウェアにマッピングされる。しかし、定性的な観察によれば、かかる技術がOFDM標準のパイロットキャリアの有効な利用を困難にしていることを示している。これは、この技術によれば、既存のOFDMアルゴリズムに匹敵する性能にならないことを示している。

10

【0007】

第2のアプローチでは、等化器の部分がOFDMハードウェアにマッピングされるように、VSBについて周波数領域(FD)での等化器を利用することである。図11に、単一キャリアシステムについて一般化周波数領域の等化器についてのブロック図が示されている。

【0008】

周波数領域の等化器への入力1101で受信された信号は、Mサンプルをオーバーラップさせる直並列変換器(S/P)1102によりはじめに処理される。次いで、高速フーリエ変換(FFT)ユニット1103は、デジタルデータストリームを周波数領域に変換し、FFTユニット1103の出力は、予測ユニット1104からの逆チャネル予測器により乗算される。結果的に得られる信号乗算器1105の等化出力は、逆高速フーリエ変換(IFFT)ユニット1106を利用して時間領域に変換され、さらに、Mサンプルを廃棄する並直列(P/S)変換器1107を利用してシリアル信号に変換される。

20

【0009】

図11に示されるタイプの周波数領域の等化器の実現間での主要な差異は、オーバーラップアンドセーブのパラメータ(すなわち、オーバーラッピングパラメータMのサイズ及びFFT/IFFTのサイズN、IFFTの処理は、オーバーラッピングサイズがN-1である場合にチャネル補正と結合することができる)、及び逆チャネルが予測されるやり方である。逆チャネルを予測するために提案される技術では、高次の統計量予測器又は適応予測器のいずれかが使用され、後者のアプローチが本発明で採用されることになる。

30

【0010】

1つの典型的に適応的な周波数領域の等化技術は、図12に示されており、有限長インパルス応答(FIR)フィルタの周波数領域での実現から基本的に導出される。2つのFFT処理は、全体の処理がブロック適応FIRフィルタに同一であるようにチャネル予測ループに挿入される。図12に示される例では、逆チャネル予測器1104内のブロック遅延ユニット1201は、FFTユニット1103の出力を受け、誤差計算ユニット1202は、IFFTユニット1106の出力を受ける。

【0011】

FFTユニット1203は、誤差計算ユニットにより導出された誤差のFFT処理を実行し、ブロック遅延ユニット1201からのブロック遅延の影響下で、誤差の周波数領域変換を最小二乗適応トランスバースルフィルタ1204に通過させる。フィルタリングされた結果は、逆チャネル予測がカットアンドインサートゼロユニット1206により生成されるように、IFFTユニット1205により時間領域に変換される。次いで、逆チャネル予測は、FFTユニット1207により周波数領域に変換され、信号乗算器1105に供給される。

40

【0012】

適応逆チャネル予測についてのこのアプローチに対する1つの問題点は、チャネル予測器1104のループ内の2つのFFT処理により導入されるループ遅延によるトラッキング

50

性能の低さである。別の問題点は、2つのFFT処理に関連した集積回路領域のコストである。

【0013】

したがって、当該技術分野において、逆チャンネル予測時に必要とされるFFT処理数を低減しつつ、VSBチャンネルデコーダの等化器部分を単一の集積回路によるマルチスタンダードチャンネルデコーダ内のOFDMハードウェアにマッピングすることができる周波数領域の等化器についての必要が存在する。

【0014】

[発明の概要]

上述した従来技術の問題点を解決するために、本発明の第1の目的は、単一の集積回路によるマルチスタンダード復調器における使用向けの、受信信号及び誤差予測値からの逆チャンネル予測において再帰的な最小二乗コスト関数を利用した、周波数領域でのイコライゼーションのための適応逆チャンネル予測器を提供することにある。対角相関行列を利用して、従来の周波数領域の等化器により必要とされるよりも少ない計算リソースを利用して解が決定される。メモリの必要条件は、従来のOFDMデコーダ内で利用することができるメモリにより、十分に満足される。これにより、マルチスタンダード復調器の集積回路の費用対効果が改善される。

10

【0015】

上記内容は、当業者が以下に説明する発明の詳細な記載を良好に理解するように、本発明の特徴及び技術的效果をむしろ広く概略している。本発明の請求項の目的を形成する本発明の追加の特徴及び効果は、以下に記載される。当業者であれば、本発明の同じ目的を達成するための他の構成を変更又は設計のための基本として開示される概念及び特定の実施の形態を容易に利用してもよいことを理解されるであろう。また、当業者であれば、かかる等価な構成が最も広範な構成において本発明の精神及び範囲を逸脱しないことを認識されるであろう。

20

【0016】

本発明の詳細な記載に進む前に、本明細書を通して使用されるある種の単語又は句の定義を行うことは有効である。単語「含む“include”」及び「備える“comprise”」及びその派生語は、限定することのない包含を意味する。単語「又は」は包括的であり、及び/又はを意味する。句「関連する“associated with”、“associated therewith”」及びその派生句は、含む、含まれる、相互接続する、～内に含まれる、～に又は～と接続する、～に又は～と結合する、～と通信する、～と協力する、インタリーブする、～に類似である、～に又は～と結合する、有する、～の特性を有する等である。用語「コントローラ」は、少なくとも1つの動作を制御するいずれかの装置又はシステム又はその一部を意味し、かかる装置は、ハードウェア、ファームウェア、ソフトウェア、又はそれらの少なくとも2つの結合である。

30

【0017】

なお、特定のコントローラに関連する機能は、ローカル又はリモートに中央化又は分散化されていてもよい。ある種の単語及び句についての定義は、本明細書を通して提供される。当業者であれば、かかる定義は、かかる定義された単語及び句の将来的な使用と同様に、多くの場合に適用することができることを理解されるであろう。

40

本発明及びその作用効果をより完全に理解するために、添付図面と対応して以下の記載に対して参照がなされる。

【0018】

[発明の実施の形態]

図1～図9を通して、以下に記載され、本明細書において本発明の原理を記載するために使用される様々な実施の形態は、例示のみであり、本発明の範囲を限定するために解釈されるべきではない。当業者であれば、本発明の原理はいずれか適切に構成された装置で実現されてもよい。

【0019】

50

図 1 は、適応逆チャネル予測を使用した周波数領域の等化器を含んだ単一の集積回路によるマルチスタンダードチャネルデコーダが本発明の 1 実施の形態に従い実現されるシステムを示している。

【 0 0 2 0 】

システム 1 0 0 は、例示的な実施の形態ではデジタルテレビジョン受信機である受信機 1 0 1 を含んでいる。このデジタルテレビジョン受信機は、更に詳細に記載される残留波帯 (V S B) 標準又は符号化された直交周波数分割多重 (C O F D M) 標準のいずれかに従うデジタルテレビジョン信号を復調可能な単一の集積回路によるマルチスタンダードチャネルデコーダ 1 0 2 を含んでいる。デジタルテレビジョン信号は、入力 1 0 3 で受信される。

10

【 0 0 2 1 】

当業者であれば、図 1 は例示的な実施の形態のデジタルテレビジョン受信機内の全ての構成要素を明示的に示していないことを理解されるであろう。デジタルテレビジョン受信機及びその内部に共通に知られている構成及び動作の多くは、本発明にユニークなものであり、及び / 又は本発明の理解に必要とされるものが図示及び記載される。

【 0 0 2 2 】

図 2 は、本発明の 1 実施の形態によるマルチスタンダードチャネルデコーダにおける使用向けの、適応逆チャネル予測器を使用した周波数領域の等化器をより詳細に示す簡略化されたブロック図である。

【 0 0 2 3 】

周波数領域の等化器 2 0 0 は、復号化すべき入力信号 2 0 2 を受信して、M サンプルをオーバーラップして N サンプルを形成するためのオーバーラップユニット 2 0 1 を含んでいる。ここで、N は F F T サイズであり、F F T ユニット 2 0 3 により周波数領域に変換される。F F T ユニット 2 0 3 の出力は、N × N 対角行列 X_k としてモデル化される。ここで、アレキ X_k の対角成分 $\{ X_{(n, k)} \}$ は、F F T ユニット 2 0 3 の出力である。下付き (n , k) は、k 番目の F F T ブロックでの n 番目の周波数ピンを言及する。ここで、 $n = 1, \dots, N$ である。

20

【 0 0 2 4 】

F F T の出力は、逆チャネル予測値 $\{ G_{(n, k)} \}$ の周波数ピンを含む N サイズの行ベクトルである G_k と信号乗算器 2 0 4 により乗算され、周波数領域の等化出力 $\{ Y_{(n, k)} \}$ を含む N サイズの行ベクトルである Y_k が生成される。したがって、周波数領域の等化出力は、以下のように記載される。

30

$$Y_k = G_k X_k$$

本発明において、周波数領域の逆チャネル予測値 G_k は、周波数領域のデータに適用される (時間領域の R L S システムのトラッキング性能効果を得るために主に選択される) 時間領域での再帰的最小二乗 (R L S) コスト関数の変更バージョンを最小にする G_k の値を見つけることにより得られる。

【 数 1 】

$$J_k = \sum_{l=0}^k \lambda^{k-l} \|E_l\|^2$$

40

ここで、 E_1 は、 $E_1 = S_1 - G_k X_1$ により定義される周波数領域の誤差ベクトルである。 S_k は、送信された V S B ソース信号 (既知であると仮定) の周波数領域での表示を含む N サイズの行ベクトルである。

【 数 2 】

$$\|E\|^2 = EE^H$$

(ここで、上付き H は、転置複素共役を示す)。及び λ は、忘却要素として知られる正の定数であり、 $0 < \lambda < 1$ により制約される値を有する。

【数 2】

コストジャンクション J_k の最小値は、以下の偏微分を満足する値 G_k を見つけることにより識別される。

【数 3】

$$\frac{\partial J_k}{\partial G_k} = 0$$

10

更なる分析を簡略化するために、入力信号 X_k の相関行列 R_k が定義される。

【数 4】

$$R_k = \sum_{l=0}^k \lambda^{k-l} \|X_l\|^2$$

20

入力信号 X_k と所望の信号 S_k の間での相互相関ベクトル P_k と共に示すと、以下が得られる。

【数 5】

$$P_k = \sum_{l=0}^k \lambda^{k-l} S_l X_l^H$$

30

コスト関数 J_k 内のこれら 2 つの相関値を利用して、更なる簡略化の後に、コスト関数 J_k は以下のように表される。

【数 6】

$$J_k = \sum_{l=0}^k \lambda^{k-l} \|S_l\|^2 + G_k R_k G_k^H - G_k P_k^H - P_k G_k^H \quad (1)$$

R_k は対角行列であり、 P_k はベクトルであるので、 G_k の成分に関する式 (1) の偏微分は、以下ようになる。

40

【数 7】

$$\frac{\partial J_k}{\partial G_k^H} = G_k R_k - P_k$$

次いで、式 $G_k R_k - P_k = 0$ のセットの解から、 G_k の最適値が得られ、その解は以下のようになる。

$$G_k = P_k R_k^{-1} \quad (2)$$

$P_k = P_{k-1} + S_k X_k^H$ であるので、

50

【数 8】

$$\overline{E}_k = S_k - G_{k-1} X_k$$

が誤差 E_k の前の予測値であることを仮定すると、 $P_{k-1} = G_{k-1} R_{k-1}$ であるので、相互相関ベクトル

【数 9】

$$P_k = \lambda P_{k-1} + \overline{E}_k X_k^H + G_{k-1} \|X_k\|^2$$

10

は、以下のように示すことができる。

【数 10】

$$P_k = \lambda(G_{k-1} R_{k-1}) + \overline{E}_k X_k^H + G_{k-1} \|X_k\|^2$$

式 (2) における相互相関ベクトル P_k についてのこの表現の置き換えは、更なる簡略化により以下のように示される。

20

【数 11】

$$G_k = G_{k-1} (\lambda R_{k-1} + \|X_k\|^2) R_k^{-1} + \overline{E}_k X_k^H R_k^{-1} \quad (3)$$

しかし、 R_{k-1} が適切な定数で初期化される場合、相関行列 R_k は以下の再帰的な式により記載される。

【数 12】

$$R_k = \lambda R_{k-1} + \|X_k\|^2 \quad (4)$$

30

式 (3) におけるこの置き換えの使用により、更なる簡略化の後に以下ようになる。

【数 13】

$$G_k = G_{k-1} + \overline{E}_k X_k^H R_k^{-1} \quad (5)$$

【0026】

信号乗算器 204 からの等化周波数領域出力 Y_k は、時間領域への変換のために IFFT ユニットに入力される。IFFT ユニット 205 の出力は、廃棄ユニット 206 に通過される。廃棄ユニット 206 は、M サンプルを廃棄して、残りのサンプルをトレリスデコーダ (Viterbi) ユニット 207 に通過する。

40

【0027】

トレリスデコーダユニット 207 は、誤差に関する仮決定 209 と同様に、復号化出力 208 を生成する。誤差は、IFFT ユニット 205 からの周波数領域の等化出力 Y_k の変換を利用して、時間領域における誤差ユニット 210 内で計算され、次いで、FFT ユニット 211 により周波数領域に変換される。変換された誤差は、適応逆チャネル予測器 212 により使用され、逆チャネル予測値 G_k が計算される。

【0028】

50

集束状態に依存して、トレーニング系列、ブラインドアルゴリズム、及び/又はトレリスデコーダ207からの仮決定209を利用して、誤差ユニット210により誤差が計算される。適応逆チャネル予測の上記分析は、送信系列又は誤差系列は確率的に既知であることを仮定しており、実際には、送信系列の一部のみが既知であり、誤差系列は既知ではないことがある。

【0029】

したがって、確率的な技法は、等価誤差を得るために使用されなければならない。コンスタント モジュール アルゴリズム (CMA)、デシジョン ディレクテッド技法のような、代用の誤差を得るための他の技法の使用は、式(5)を変更することにより包含される。

10

$$G_k = G_{k-1} + \mu E_k X_k^* R_{k-1}^{-1} \quad (6)$$

ここで、 μ は、適応速度及び平均二乗誤差 (MSE) を制御する正の定数である。

【0030】

VSBの場合では、連続するトレーニング系列(トレーニング信号)間の時間距離は、他の技法がトレーニング系列間における誤差を計算するために使用されなければならないように遠く離れている。内部シンボル干渉 (ISI) の深刻さに依存して、ブラインドアルゴリズム及びデシジョン ディレクテッド アルゴリズムを使用して、実際の誤差に置き換えられる等価誤差を計算する。

【0031】

また、ブロック遅延ユニット213は、周波数領域の等化器200内に挿入されており、実現に関連する予測器のループ遅延を反映する(すなわち、IFFTユニット205、誤差ユニット210及びFFTユニット211に関連する遅延)。逆チャネル予測値 G_k は、周波数領域の入力 X_k 及び誤差 E_k (及び誤差 E_k の計算において使用される相関行列 R_k)の遅延されたバージョンを利用して更新される。

20

【0032】

図3は、本発明の1実施の形態に従う、周波数領域の等化器のための適応逆チャネル予測器をより詳細に示している。図2で示された適応逆チャネル予測器212は、図示のように実現される。相関行列 R_k が対角行列であるので、逆操作は、対角成分の転置のみを含んでいる。 k 番目のFFTフレーム内の n 番目の周波数ピンを、たとえば $G_{n,k}$ ($n=1, \dots, N$)として示すと、式(4)及び(6)についての周波数ピンの更新は、以下のように低減される。

30

【数14】

$$R_{n,k} = \lambda R_{n,k-1} + \|X_{n,k}\|^2 \quad (7)$$

及び

$$G_{n,k} = G_{n,k-1} + \mu E_{n,k} X_{n,k}^* R_{n,k}^{-1} \quad (8)$$

40

ここで、 $R_{n,k}$ 、 $G_{n,k}$ 及び $E_{n,k}$ は、相関行列 R_k 、入力信号 X_k 、逆チャネル予測値 G_k 、及び誤差 E_k のそれぞれ対角成分である。

【0033】

図3において示されるように、周波数ピンの更新の式(7)及び(8)は、数個の加算器301及び302、2個の複素乗算器303及び304、及び1個の複素割り算器305を必要とする。また、ブロック遅延213からの遅延された出力 X_{k-d} は、乗算器303と同様に、信号複素共役器306に通過される。

【0034】

また、乗算器303は、割り算器305と同様に、複素共役器306の出力を受ける。乗算器303の出力

50

【数 1 5】

$$\|X_{n,k}\|^2$$

は、加算器 3 0 1 により、フィルタ 3 0 8 によるフィルタリングの後に、メモリ 3 0 7 からの相関行列の前の対角成分 $R_{n, k-1}$ に加算され、相関行列の現在の対角成分 $R_{n, k}$ が計算される。

【0 0 3 5】

相関行列対角成分 $R_{n, k}$ は、メモリ 3 0 7 に記憶され、割り算器 3 0 5 に通過されて $X_{n, k}^* R_{n, k}^{-1}$ が計算される。次いで、この成分は、乗算器 3 0 に通過されて、誤差対角成分 $E_{n, k}$ と乗算される。この乗算結果は、加算器 3 0 2 に通過される前に、 μ フィルタ 3 0 9 によりフィルタリングされる。また、加算器 3 0 2 は、メモリ 3 0 7 からの前の逆チャネル予測値の対角成分 $G_{n, k-1}$ を受け、加算器 3 0 2 の出力は、現在の逆チャネル予測対角成分 $G_{n, k}$ であり、この成分は、乗算器 2 0 4 に通過され、メモリ 3 0 7 に記憶される。

【0 0 3 6】

式 (7) 及び (8) を利用した、RLS ベースの適応逆チャネル予測器 2 1 2 について必要とされる計算リソースは、既存の OFDM アルゴリズムに従来使用されるハードウェアに容易にマッピングされる。及び μ の値は、過度の MSE 及び適応アルゴリズムのトラッキング / 集束作用を制御するものであり (相関行列 R_k が集束及びトラッキングに非常に有効ではあるが)、これらの値の操作がビットシフト及び加算処理のみで実現されるように選択される。

【0 0 3 7】

図 2 及び図 3 に示される周波数領域の等化器の近似的な時間領域の作用は、循環畳み込みを使用した FIR フィルタの FFT による実現に近似的に等しいフィルタリング部分、及びウィナー フィルタの解に近似的に集束するブロック時間領域の RLS 更新に等価な更新部分を含んでいる。

【数 1 6】

$$G = \frac{H^*}{\|H\|^2 + \sigma}$$

ここで、 H はチャネルの有効な周波数応答であり、 σ は追加の白色雑音 (AWGN) である。

【0 0 3 8】

図 4 A 及び図 4 B は、本発明の 1 実施の形態に従う、適応逆チャネル予測器を使用した周波数領域の等化器を含むマルチスタンダードチャネルデコーダを示している。図 4 A は、チャンネルデコーダ 1 0 4 の VSB 受信機の部分を示しており、サンプルレート変換 (SRC) ユニット 4 0 1 及びフォワード誤差補正 (FEC) ユニット 4 0 2 を含んでいる。

【0 0 3 9】

乗算器 4 0 3 は、キャリア復元 (CR) ユニット 4 0 4 の出力同様に、SRC ユニット 4 0 1 の出力を受信する。キャリア復元ユニット 4 0 4 は、デジタルシグナルプロセッサ 4 0 5 の制御下で動作し、乗算器 4 0 3 の出力を入力として受ける。また、乗算器 4 0 3 の出力は、二乗根累乗コサイン (SQRC) フィルタユニット 4 0 6 に通過され、その出力は、周波数領域の等化器 2 0 0、及び SRC ユニット 4 0 1 に接続されるタイミングリカバリユニット 4 0 7 により受信される。周波数領域の等化器 2 0 0 の出力は、FEC ユニット 4 0 2 に通過される。

【0040】

図4Bは、チャンネルデコーダ104の符号化された直交周波数分割多重装置(COFDM)の部分を示している。SRCユニット401、FECユニット402及び乗算器403は、COFDMについて再使用される。図示される例では、SRCユニット401及び乗算器403を制御するDSPベースの同期ループ408を使用している。

【0041】

乗算器403の出力は、周波数領域への変換のためにFFTユニット409に通過され、周波数領域の信号は、チャンネル予測及び同期検出ユニット410、及び3シンボルディレイライン411の両者に通過される。ユニット410及び411の出力は、等化器412により受信され、等化器412は、FECユニット402に接続される。また、チャンネル予測及び同期検出ユニット410は、DSPベースの同期ループ408に接続される。

10

【0042】

チャンネルデコーダ104のVSB部分内の周波数領域の等化器200は、既存のアルゴリズムを実現する従来のハードウェアの計算集中型の時間領域の等化器を、3つのFFT処理、数ブロックのメモリ(それぞれ1K~2Kサンプル)、及び数個の算術処理を必要とするメモリ集中型の等化器に切替える。

【0043】

周波数領域の等化器200のメモリ条件は、既存のCOFDMアルゴリズムについての典型的なハードウェア実現内で利用可能なメモリにより十分に満たすことができる。機器構成可能なデータ経路ユニット(図示せず)の助けにより、算術処理もまた、COFDM処理にマッピングすることができ、サポートアーキテクチャの助けにより、可能なCOFDMハードウェアに周波数領域の等化器200の完全なマッピングを行うことができる。

20

【0044】

図5~図9は、本発明の1実施の形態に従う、適応逆チャンネル予測を使用した周波数領域の等化器についてのシミュレーション結果を示している。周波数領域の等化器200は、2KFFT及びFFT当たり1VSBフィールド(832セグメント)でシミュレーションされ、64のフォワードタップ及び256のフィードバックタップを有し、中央のタップがフォワード等化器の中心に配置されている時間領域のデジジョンフィードバック等化器(DFE)について、結果が比較される。

【0045】

両者の等化器は、トレーニングモードにおいて、1VSBセグメント(313サンプル)について開始され、次いで、後続するフィールドにおいてGodard/trainモードが使用される。トレーニング系列は、VSBフィールド毎(832サンプル)について実現される。シミュレーションは、1200セグメントにわたり実行され、シンボルエラーレート(SER)は、それぞれのセグメントのシンボルエラーの平均により計算される。

30

【0046】

図5は、静的作用を調査するためのシミュレーションにおいて使用されたチャンネルのインパルス応答を示しており、図6は、静的チャンネルについてSER曲線をプロットしている。図7は、動的チャンネルについてSER曲線をプロットしている。ここでは、1.8マイクロ秒(μ s)経路が5ヘルツ(Hz)の正弦波で変調されており、メイン経路以下の最大の振幅セットは10デジベル(dB)であり、信号対雑音比(dB)は20dBである。

40

【0047】

ブラインド又はトレインモードで誤差が計算された場合に、DFEの結果と本発明の周波数領域の等化器200とを比較して、本発明の周波数領域の等化器は、DFE性能に対して比較的適度な性能を示している。1つの理由は、RLS適応逆チャンネル予測器を介して、チャンネルの比較的急速なトラッキングである。周波数領域の等化器における誤差がトレリス(Viterbi)デコーダからの仮決定を利用して計算される場合、性能改善はより大幅なものとなる。

50

【0048】

図8は、National Television Committee (NTSC)の共同チャンネルがVSB信号に加わったときのシミュレーション結果をプロットしている。周波数領域の等化器の長いタップの作用により、周波数領域の等化器が良好な性能を示しており、干渉信号の十分な抑圧を可能にしている。

【0049】

図9は、ファー エンド エコーについてのシミュレーション結果を示している。ここでは、DFEの性能は低い。これは主に、DFEのタップ数がファー エンド エコーをカバーするために不十分であるためである。タップ数が増加されなければならないか、又は、クラスタリング アルゴリズムが使用され、時間領域の等化器において、かかるファー エンド エコーを処理しなければならない。

10

【0050】

単一のキャリアシステムのための周波数領域の等化器の安定性は、集積回路領域の費用対効果、時間領域に比較したマルチパス性能に依存する。COFDMを含むマルチスタンダード復調器について、周波数領域の等化器は、時間領域の等化器と比較して費用対効果の解法となる。本発明の周波数領域の等化器もまた、実際のデジジョン フィードバック等化器に匹敵するマルチパス性能を示し、動的及びマルチパスのような共同チャンネル干渉、及びファー エンド エコーのようなケースでは、最高の性能となる。他の潜在的な効果は、プレカーソル経路を処理する柔軟性、及び周波数領域での表現を利用したキャリア/タイミング回復の改善である。

20

【0051】

COFDM及びVSBの最適なハードウェア共用は、単一キャリアシステムについて周波数領域の等化器を考慮することにおける主要な動機である。他の効果はまた、かかる機器構成を利用することに存在する。殆どの等化器の処理は、メモリ集中型であるので、追加の等化器の処理もまた、重要な追加のハードウェアオーバーヘッドなしにCOFDMハードウェアに実現される。かかる追加の処理は、デュアル適応線形フィルタ、複素/実モード処理、及びデュアルチャンネル単一キャリア(たとえば、直交振幅変調及び残留波帯)復調を利用した多様性を受け入れることを含む。スケーラブルチャンネル復号化アルゴリズムは、最小の追加のハードウェアオーバーヘッドを有する既存のCOFDMリソースを利用するものであり、より魅力的なものとなる。

30

【0052】

本発明をより詳細に説明してきたが、当業者であれば、様々な変更、置き換え及び代替は、その最も広範な構成で本発明の精神及び範囲から逸脱することなしに行うことができることを理解されるであろう。

【図面の簡単な説明】

【図1】本発明の1実施の形態に従う、適応逆チャンネル予測を使用した周波数領域の等化器を含んだ単一の集積回路によるマルチスタンダードチャンネルデコーダが実現される実現されるシステムを示す図である。

【図2】本発明の1実施の形態に従う、マルチスタンダードチャンネルデコーダにおいて使用するための適応逆チャンネル予測器を使用した周波数領域の等化器をより詳細に示す簡単な図である。

40

【図3】本発明の1実施の形態に従う、周波数領域の等化器のための適応逆チャンネル予測器をより詳細に示す図である。

【図4A】本発明の1実施の形態による、適応逆チャンネル予測器を使用した周波数領域の等化器を使用したマルチスタンダードチャンネルデコーダを示す図である。

【図4B】本発明の1実施の形態による、適応逆チャンネル予測器を使用した周波数領域の等化器を使用したマルチスタンダードチャンネルデコーダを示す図である。

【図5】本発明の1実施の形態による、適応逆チャンネル予測を使用した周波数領域の等化器についてのシミュレーション結果を示す図である。

【図6】本発明の1実施の形態による、適応逆チャンネル予測を使用した周波数領域の等化

50

器についてのシミュレーション結果を示す図である。

【図7】本発明の1実施の形態による、適応逆チャンネル予測を使用した周波数領域の等化器についてのシミュレーション結果を示す図である。

【図8】本発明の1実施の形態による、適応逆チャンネル予測を使用した周波数領域の等化器についてのシミュレーション結果を示す図である。

【図9】本発明の1実施の形態による、適応逆チャンネル予測を使用した周波数領域の等化器についてのシミュレーション結果を示す図である。

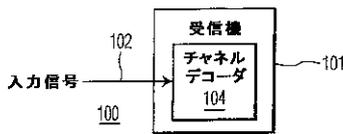
【図10A】残留波帯デコーダのブロック図である。

【図10B】直交周波数分割多重デコーダのブロック図である。

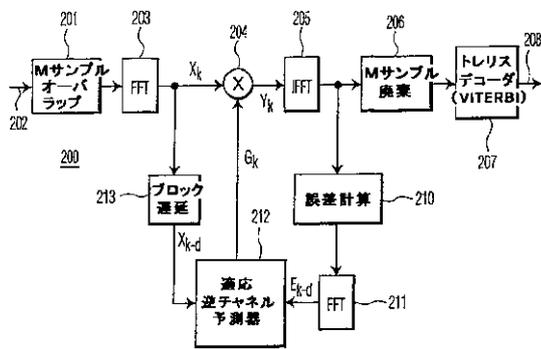
【図11】従来の周波数領域の等化器のハイレベルのブロック図である。

【図12】従来の周波数領域の等化器のハイレベルのブロック図である。

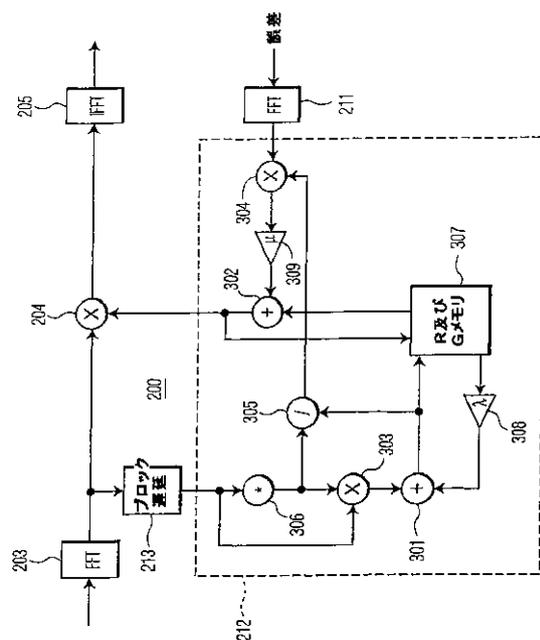
【図1】



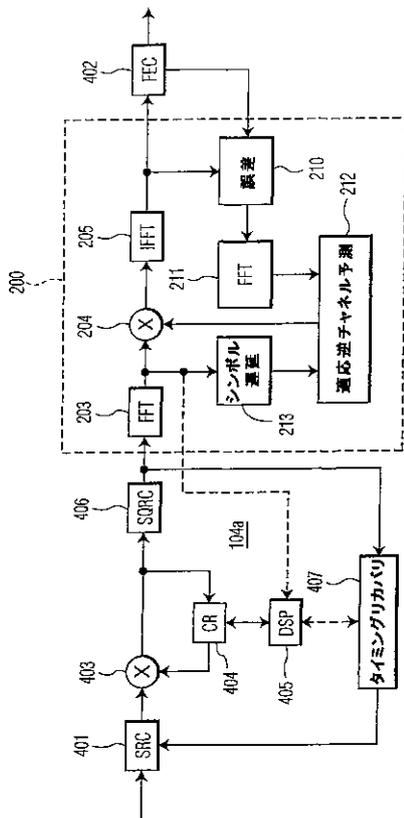
【図2】



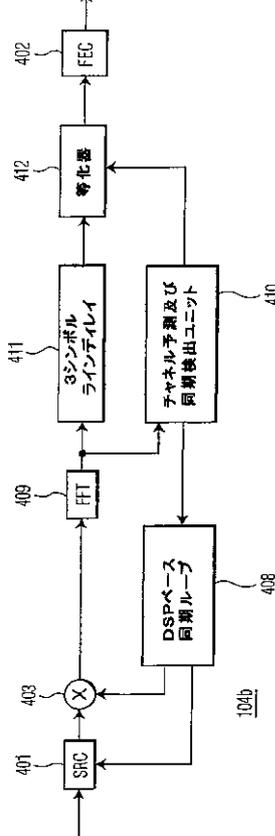
【図3】



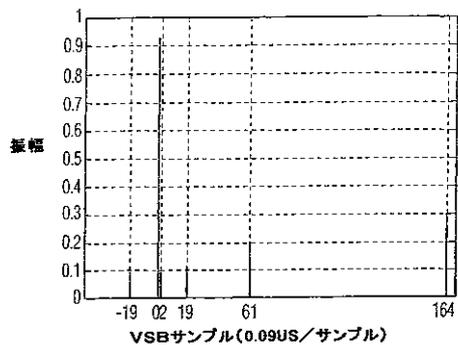
【 図 4 A 】



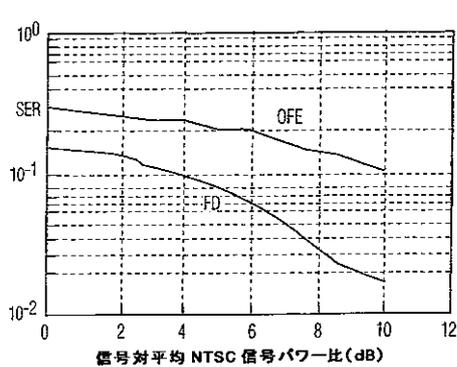
【 図 4 B 】



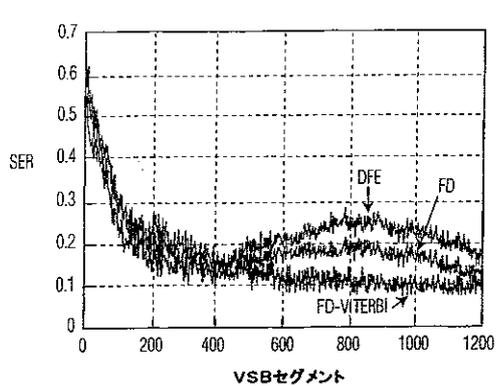
【 図 5 】



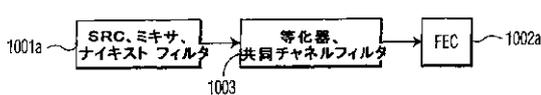
【 図 8 】



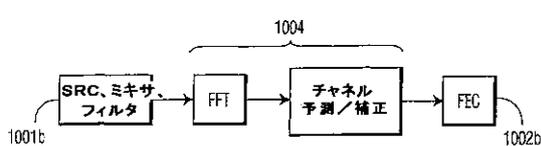
【 図 7 】



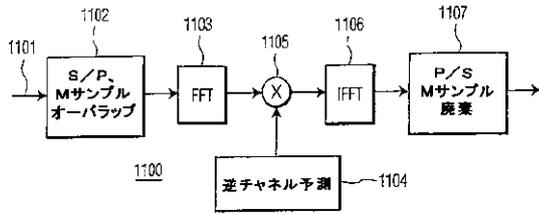
【 図 10 A 】



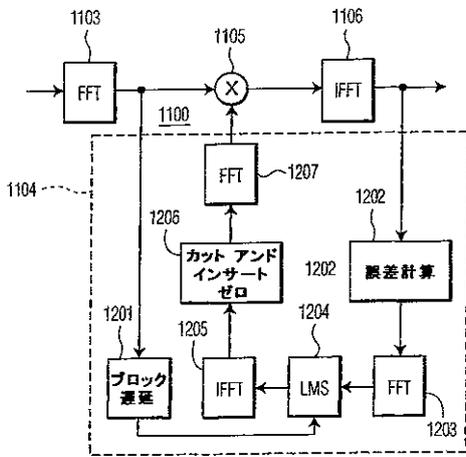
【 図 10 B 】



【 図 1 1 】



【 図 1 2 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
17 January 2002 (17.01.2002)

PCT

(10) International Publication Number
WO 02/05505 A2

- (51) International Patent Classification: H04L 27/00 (74) Agent: GROENENDAAL, Antonius, W., M., International Octrooibureau B.V., Prof. Holslaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/EP01/07244
- (22) International Filing Date: 27 June 2001 (27.06.2001) (81) Designated States (national): CN, JP, KR.
- (25) Filing Language: English (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (26) Publication Language: English
- (30) Priority Data:
60/217,145 7 July 2000 (07.07.2000) US
09/840,200 23 April 2001 (23.04.2001) US
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. (NL/NL); Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventor: DAGNACHEW, Birra; Prof. Holslaan 6, NL-5656 AA Eindhoven (NL).

Published:
— without international search report and to be republished upon receipt of that report

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



WO 02/05505 A2

(54) Title: A FREQUENCY DOMAIN EQUALIZER FOR TERRESTRIAL DIGITAL TV RECEPTION.

(57) Abstract: A single integrated circuit multi-standard demodulator includes an adaptive inverse channel estimator for frequency domain equalization which employs a recursive least square cost function in estimating the inverse channel from the received signal and an error estimate. Utilizing a diagonal correlation matrix, the solution may be determined utilizing fewer computational resources than required by conventional frequency domain equalizers, shifting from a computational intensive to memory intensive implementation. The memory requirement is fully satisfied by memory available within conventional OFDM decoders, and the necessary computational resources may be readily mapped to the resources available within such decoders, improving integrated circuit cost effectiveness of the multi standard demodulator.

WO 02/05505

PCT/EP01/07244

1

A frequency-domain equalizer for terrestrial digital TV reception

The present invention is directed, in general, to equalization during decoding of wireless signals and, more specifically, to adaptive inverse channel estimation for frequency domain equalization in a manner suitable for implementation within a single integrated circuit multi-standard decoder.

5

Two distinct standards for digital television (DTV) broadcasting modulation have been regionally adopted: the United States selected vestigial sideband modulation (VSB) with eight discrete amplitude levels (8-VSB) as promulgated by the Advanced Television Systems Committee (ATSC) digital television standard (ATSC Document A/53, 10 September 16, 1995) while Europe, Australia, and other regions selected Digital Video Broadcasting-Television (DVB-T) coded orthogonal frequency division multiplexing (COFDM) according to "Digital Video Broadcasting: Framing Structure, Channel Coding and Modulation for Digital Terrestrial Television," ETSI 300 744 (March 1997). These 15 standards cover, respectively, single carrier and multi-carrier systems.

Comparative block diagrams for typical implementations of integrated circuit vestigial sideband and orthogonal frequency division multiplexing (OFDM) demodulators of the type employed for these two standards are illustrated respectively in Figures 10A and 10B. Most of the front end for both channel decoders 1000a and 1000b, which include 20 sample rate conversion (SRC), mixing, and either filtering or Nyquist filtering units 1001a and 1001b, is similar. The forward error correction (FEC) units 1002a and 1002b are also similar. Therefore, a single, multi-standard channel decoding integrated circuit may implement these portions in a combined manner utilizing direct hardware sharing techniques. However, most of the integrated circuit area employed for existing algorithms implementing 25 the two standards is occupied by the equalizer 1003 in VSB and by the fast Fourier transform (FFT) and channel estimation and correction units 1004 in OFDM. Moreover, VSB is highly computational intensive, while OFDM is highly memory intensive. For these reasons, the current algorithms make it difficult to implement a combined channel decoder for both standards in a cost-effective manner.

WO 02/05505

PCT/EP01/07244

2

Two possibilities exist for algorithmic-level unification of the VSB and OFDM standards, each requiring modification of the current algorithms implementing the respective standards. First, a time domain equalizer may be employed for OFDM, with the channel estimation and correction units for that standard being replaced with a time domain
5 equalizer which is then mapped onto the current VSB equalizer hardware. However, qualitative observations indicate that such a technique will make effective use of the pilot carriers for the OFDM standard difficult, such that the technique may not result in performance comparable to the existing OFDM algorithm.

The second approach, employed by the present invention, is to utilize a
10 frequency domain (FD) equalizer for VSB so that the equalizer portion may be mapped onto the OFDM hardware. A block diagram for a generalized frequency domain equalizer for single carrier systems is illustrated in Figure 11. Signals received at the input 1101 to frequency domain equalizer 1100 are first processed by a serial-to-parallel converter (S/P) 1102 which overlaps M samples. A fast Fourier transform (FFT) unit 1103 then converts the
15 digital data stream to the frequency domain, with the output of the FFT unit 1103 being multiplied by an inverse channel estimate from estimator unit 1104. The resulting equalized output of signal multiplier 1105 is then converted back to the time domain utilizing an inverse fast Fourier transform (IFFT) unit (1106) and converted to a serial signal utilizing parallel-to-serial (P/S) converter 1107, which discards M samples.

20 The primary differences between implementations of frequency domain equalizers of the type illustrated in Figure 11 are parameters of the overlap-and-save FFT/IFFT operations (i.e., the size of the overlapping parameter M and the FFT/IFFT size N, where the IFFT operation can be combined with channel correction if the overlapping size is N-1) and the manner in which the inverse channel is estimated. The techniques proposed for
25 estimating the inverse channel employ either higher-order statistical estimators or adaptive estimators, where the latter approach is employed by the present invention.

One typical adaptive frequency domain equalization technique, illustrated in Figure 12, is basically derived from a frequency domain implementation of a finite impulse response (FIR) filter. Two FFT operations are inserted in the channel estimation loop so that
30 the overall operation is identical to a block adaptive FIR filter. In the embodiment shown in Figure 12, a block delay unit 1201 within inverse channel estimator 1104 receives the output of FFT unit 1103 while an error calculation unit 1202 receives the output of IFFT unit 1106. FFT unit 1203 performs an FFT operation of the error derived by error calculation unit and passes the frequency domain conversion of the error to a least mean square (LMS) adaptive

WO 02/05505

PCT/EP01/07244

3

transversal filter 1204 under the influence of the block delay from block delay unit 1201. The filtered result is converted back to the time domain by IFFT unit 1205 so that the inverse channel estimate may be produced by cut-and-insert-zeros unit 1206. The inverse channel estimate is then converted to the frequency domain by FFT unit 1207 and provided to signal multiplier 1105.

One drawback to this approach for adaptive inverse channel estimation lies in the poor tracking performance due to the loop delay introduced by the two FFT operations within the loop of the channel estimator 1104. Another disadvantage is the integrated circuit area cost associated with the two FFT operations.

There is, therefore, a need in the art for a frequency domain equalizer which reduces the number of FFT operations required during inverse channel estimation but enables the equalizer portion of a VSB channel decoder to be mapped onto OFDM hardware within a single integrated circuit multi-standard channel decoder.

To address the above-discussed deficiencies of the prior art, it is a primary object of the present invention to provide, for use in a single integrated circuit multi-standard demodulator, an adaptive inverse channel estimator for frequency domain equalization which employs a recursive least square cost function in estimating the inverse channel from the received signal and an error estimate. Utilizing a diagonal correlation matrix, the solution to may be determined utilizing fewer computational resources than required by conventional frequency domain equalizers, shifting from a computational intensive to memory intensive implementation. The memory requirement is fully satisfied by memory available within conventional OFDM decoders, and the necessary computational resources may be readily mapped to the resources available within such decoders, improving integrated circuit cost-effectiveness of the multi-standard demodulator.

The foregoing has outlined rather broadly the features and technical advantages of the present invention so that those skilled in the art may better understand the detailed description of the invention that follows. Additional features and advantages of the invention will be described hereinafter that form the subject of the claims of the invention. Those skilled in the art will appreciate that they may readily use the conception and the specific embodiment disclosed as a basis for modifying or designing other structures for carrying out the same purposes of the present invention. Those skilled in the art will also

WO 02/05505

PCT/EP01/07244

4

realize that such equivalent constructions do not depart from the spirit and scope of the invention in its broadest form.

Before undertaking the detailed description of the invention below, it may be advantageous to set forth definitions of certain words or phrases used throughout this patent document: the terms "include" and "comprise," as well as derivatives thereof, mean inclusion without limitation; the term "or" is inclusive, meaning and/or; the phrases "associated with" and "associated therewith," as well as derivatives thereof, may mean to include, be included within, interconnect with, contain, be contained within, connect to or with, couple to or with, be communicable with, cooperate with, interleave, juxtapose, be proximate to, be bound to or with, have, have a property of, or the like; and the term "controller" means any device, system or part thereof that controls at least one operation, whether such a device is implemented in hardware, firmware, software or some combination of at least two of the same. It should be noted that the functionality associated with any particular controller may be centralized or distributed, whether locally or remotely. Definitions for certain words and phrases are provided throughout this patent document, and those of ordinary skill in the art will understand that such definitions apply in many, if not most, instances to prior as well as future uses of such defined words and phrases.

For a more complete understanding of the present invention, and the advantages thereof, reference is now made to the following descriptions taken in conjunction with the accompanying drawings, wherein like numbers designate like objects, and in which:

Figure 1 depicts a system in which a single integrated circuit multi-standard channel decoder including a frequency domain equalizer employing adaptive inverse channel estimation is implemented according to one embodiment of the present invention;

Figure 2 is a simplified diagram showing, in greater detail, a frequency domain equalizer employing an adaptive inverse channel estimator for use in a multi-standard channel decoder according to one embodiment of the present invention;

Figure 3 depicts in greater detail an adaptive inverse channel estimator for a frequency domain equalizer according to one embodiment of the present invention;

Figures 4A and 4B illustrate a multi-standard channel decoder including a frequency domain equalizer employing an adaptive inverse channel estimator according to one embodiment of the present invention;

WO 02/05505

PCT/EP01/07244

5

Figures 5 through 9 depict simulation results for a frequency domain equalizer employing adaptive inverse channel estimation in accordance with one embodiment of the present invention;

Figures 10A and 10B are block diagrams of vestigial sideband and orthogonal frequency division multiplexing decoders; and

Figures 11 and 12 are high level block diagrams of a conventional frequency domain equalizer.

Figures 1 through 9, discussed below, and the various embodiments used to describe the principles of the present invention in this patent document are by way of illustration only and should not be construed in any way to limit the scope of the invention. Those skilled in the art will understand that the principles of the present invention may be implemented in any suitably arranged device.

Figure 1 depicts a system in which a single integrated circuit multi-standard channel decoder including a frequency domain equalizer employing adaptive inverse channel estimation is implemented according to one embodiment of the present invention. System 100 includes a receiver 101, which in the exemplary embodiment is a digital television (DTV) receiver including a single integrated circuit multi-standard channel decoder 102 capable of demodulating digital television broadcast signals according to either the vestigial sideband (VSB) or coded orthogonal frequency division multiplexing (COFDM) standards as described in further detail, where the digital television signals are received at an input 103.

Those skilled in the art will perceive that Figure 1 does not explicitly depict all components within the digital television receiver of the exemplary embodiment. Only so much of the commonly known construction and operation of a digital television receiver and the components therein as are unique to the present invention and/or required for an understanding of the present invention are shown and described herein.

Figure 2 is a simplified diagram showing, in greater detail, a frequency domain equalizer employing an adaptive inverse channel estimator for use in a multi-standard channel decoder according to one embodiment of the present invention. Frequency domain equalizer 200 includes an overlap unit 201 receiving the input signals 202 to be decoded and overlapping M samples to form N samples, where N is the FFT size, which are converted to the frequency domain by FFT unit 203. The output of the FFT unit 203 is modeled as an NxN diagonal matrix X_s , where the diagonal elements $\{X_{(n,k)}\}$ of the array X_s are the output of

WO 02/05505

PCT/EP01/07244

6

FFT unit 203. The subscript (n,k) refers to the n th frequency bin at the k th FFT block, where $n = 1, \dots, N$.

The output of FFT unit 203 is multiplied by signal multiplier 204 with G_k , an N size row vector containing the frequency bins of the inverse channel estimate $\{G_{(n,k)}\}$, to produce Y_k , an N size row vector containing the equalized frequency domain output $\{Y_{(n,k)}\}$. The equalized frequency domain output may therefore be described as:

$$Y_k = G_k X_k$$

The frequency domain inverse channel estimate G_k is obtained in the present invention by finding the value of G_k which minimizes a modified version of the time domain recursive least square (RLS) cost function (selected principally to obtain the tracking performance advantage of time domain RLS systems) applied to the frequency domain data:

$$J_k = \sum_{l=0}^k \lambda^{k-l} \|E_l\|^2$$

where E_l is the frequency domain error vector defined by $E_l = S_l - G_k X_l$, S_k is an N size row vector containing the frequency domain representation of the transmitted VSB source signal (which is assumed to be known), $\|E\|^2 = EE^H$ (where the superscript H denotes transposed complex conjugate), and λ is a positive constant known as the forgetting factor and having a value constrained by $0 < \lambda < 1$.

The minimum of the cost function J_k is identified by finding the value G_k which satisfies the following partial derivative:

$$\frac{\partial J_k}{\partial G_k} = 0.$$

In order to simplify further analysis, a correlation matrix R_k of the input signal X_k is defined:

$$R_k = \sum_{l=0}^k \lambda^{k-l} \|X_l\|^2,$$

together with a cross-correlation vector P_k between the input signal X_k and the desired signal S_k :

$$P_k = \sum_{l=0}^k \lambda^{k-l} S_l X_l^H.$$

WO 02/05505

PCT/EP01/07244

7

Utilizing these two correlation values within the cost function J_k , and after further simplification, the cost function J_k may be expressed as:

$$J_k = \sum_{i=0}^k \lambda^{k-i} \|S_i\|^2 + G_k R_k G_k^H - G_k P_k^H - P_k G_k^H. \quad (1)$$

Since R_k is a diagonal matrix and P_k is a vector, the partial differentiation of equation (1)

5 with respect to the elements of G_k yields:

$$\frac{\partial J_k}{\partial G_k^H} = G_k R_k - P_k.$$

The optimum value of G_k is then obtained from the solution of the set of equations

$G_k R_k - P_k = 0$, the solution to which yields

$$G_k = P_k R_k^{-1}. \quad (2)$$

10 Because $P_k = \lambda P_{k-1} + S_k X_k^H$, and assuming that $\overline{E}_k = S_k - G_{k-1} X_k$ is a prior estimate of the error E_k , the cross-correlation vector $P_k = \lambda P_{k-1} + \overline{E}_k X_k^H + G_{k-1} X_k X_k^H$ may be written as

$$P_k = \lambda(G_{k-1} R_{k-1}) + \overline{E}_k X_k^H + G_{k-1} X_k X_k^H$$

because $P_{k-1} = G_{k-1} R_{k-1}$. Substitution of this expression for the cross-correlation vector P_k in equation (2), with further simplification, yields

$$15 \quad G_k = G_{k-1} (\lambda R_{k-1} + X_k X_k^H) R_k^{-1} + \overline{E}_k X_k^H R_k^{-1}. \quad (3)$$

However, where R_{k-1} is initialized with a suitable constant, the correlation matrix R_k may also be described by the following recursive equation:

$$R_k = \lambda R_{k-1} + X_k X_k^H. \quad (4)$$

Use of this substitution in equation (3), after further simplification, results in

$$20 \quad G_k = G_{k-1} + \overline{E}_k X_k^H R_k^{-1}. \quad (5)$$

The equalized frequency domain output Y_k from signal multiplier 204 is input into IFFT unit 205 for conversion to the time domain. The output of IFFT unit 205 is passed to a discard unit 206, which discards M samples and passes the remaining samples to a trellis decoder (Viterbi) unit 207 which generates the decoded output 208 as well as tentative decisions 209 regarding the error. Error is calculated within error unit 210 in the time domain utilizing the conversion of the equalized frequency domain output Y_k from IFFT unit 205, then converted back into the frequency domain by FFT unit 211. The converted error is then

WO 02/05505

PCT/EP01/07244

8

employed by adaptive RLS inverse channel estimator 212 to compute the inverse channel estimate G_k .

Depending on the convergence status, error is calculated by error unit 210 utilizing the training sequence, blind algorithms, and/or the tentative decisions 209 from the trellis decoder 207. The above analysis of adaptive inverse channel estimation assumed that the transmitted and error sequences are a priori known, while in practice only the portion of the transmitted sequence is known and the error sequence is not often known. Accordingly, stochastic techniques must be employed to obtain equivalent error. Utilization of other techniques, such as constant modulus algorithm (CMA) and decision directed techniques, to calculate a substitute error may be accommodated by modifying equation (5) to

$$G_k = G_{k-1} + \mu E_k X_k^* R_k^{-1} \quad (6)$$

where μ is a positive constant controlling the adaptation speed and excess mean-square error (MSE).

In the case of VSB, the time distance between successive training sequences (training signals) is so far apart that other techniques must be employed to calculate the error in between training sequences. Depending on the severity of the inter symbol interference (ISI), blind algorithms and decision directed algorithms may be employed to calculate an equivalent error which may be substituted for the actual error.

A block delay unit 213 is also inserted within frequency domain equalizer 200 to reflect the implementation related estimator loop delay (i.e., delay relating to IFFT unit 205, error unit 210 and FFT unit 211). The inverse channel estimate G_k is therefore updated utilizing delayed versions of frequency domain input X_k and error E_k (and correlation matrix R_k employed in calculating error E_k).

Figure 3 depicts in greater detail an adaptive inverse channel estimator for a frequency domain equalizer according to one embodiment of the present invention. Adaptive inverse channel estimator 212 depicted in Figure 2 is implemented as shown. Since correlation matrix R_k is a diagonal matrix, the inverse operation involves only inversion of the diagonal elements. Denoting the n th frequency bin within the k th PPT frame as, for example, $G_{n,k}$, where $n = 1, \dots, N$, the frequency bin update for equations (4) and (6) reduce to

$$R_{n,k} = \lambda R_{n,k-1} + \|X_{n,k}\|^2 \quad (7)$$

and

WO 02/05505

PCT/EP01/07244

9

$$G_{n,k} = G_{n,k-1} + \mu E_{n,k} X_{n,k}^* R_{n,k}^{-1}, \quad (8)$$

where $R_{n,k}$, $X_{n,k}$, $G_{n,k}$, and $E_{n,k}$ are the diagonal elements of correlation matrix R_k , input signal X_k , inverse channel estimate G_k , and error E_k , respectively.

As illustrated in Figure 3, frequency bin update equations (7) and (8) require a few adders 301 and 302, two complex multipliers 303 and 304, and one complex divider 305. The delayed output X_{k-d} from block delay 213 is passed to signal complex conjugator 306 as well as multiplier 303. Multiplier 303 also receives the output of complex conjugator 306, as does divider 305. The output of multiplier 303, $\|X_{n,k}\|^2$, is added by adder 301 to the previous correlation matrix diagonal element $R_{n,k-1}$ from memory 307 after filtering by λ filter 308 to compute current correlation matrix diagonal element $R_{n,k}$.

Correlation matrix diagonal element $R_{n,k}$ is stored in memory 307 and passed to divider 305 to compute $X_{n,k}^* R_{n,k}^{-1}$, which is then passed to multiplier 304 to be multiplied with error diagonal element $E_{n,k}$, with the result being filtered by μ filter 309 before being passed to adder 302. Adder 302 also receives the previous inverse channel estimate diagonal element $G_{n,k-1}$ from memory 307, and the output of adder 302 is the current inverse channel estimate diagonal element $G_{n,k}$, which is passed to multiplier 204 and stored in memory 307.

The computational resources required for the RLS-based adaptive inverse channel estimator 212 utilizing equations (7) and (8) may be readily mapped onto hardware conventionally employed for existing OFDM algorithms. The values of λ and μ , which control the excess MSE and tracking/convergence behavior of the adaptation algorithm (although the correlation matrix R_k is also very useful for convergence and tracking), may be chosen in such a way that multiplication with these values may be implemented with shift and add operations only.

The approximate time domain behavior of the frequency domain equalizer depicted in Figures 2 and 3 includes a filtering part approximately equal to an FFT implementation of an FIR filter using cyclic convolution and an updating part equivalent to a block time domain RLS update converging approximately to a Wiener FIR filter solution:

$$G = \frac{H^*}{\|H\|^2 + \sigma},$$

WO 02/05505

PCT/EP01/07244

10

where H is the effective frequency response of the channel and σ is the additive white Gaussian noise (AWGN).

Figures 4A and 4B illustrate a multi-standard channel decoder including a frequency domain equalizer employing an adaptive inverse channel estimator according to one embodiment of the present invention. Figure 4A illustrates the VSB receiver portion of channel decoder 104, which includes a sample rate convert (SRC) unit 401 and a forward error correction (FEC) unit 402. A multiplier 403 receives the output of SRC unit 401 as well as the output of a carrier recovery (CR) unit 404, which operates under the control of a digital signal processor 405 and receives as an input the output of multiplier 403. The output of multiplier 403 is also passed to a square root raised cosine (SQRC) filter unit 406, the output of which is received by frequency domain equalizer 200 and timing recovery unit 407 coupled to SRC unit 401. The output of frequency domain equalizer 200 is passed to FEC unit 402.

Figure 4B illustrates a coded orthogonal frequency division multiplex (COFDM) portion of channel decoder 104. SRC unit 401, FEC unit 402 and multiplier 403 are reused for the COFDM decoder. The example shown employs a DSP-based synchronization loop 408 controlling SRC unit 401 and multiplier 403. The output of multiplier 403 is passed to FFT unit 409 for conversion to the frequency domain, from which the frequency domain signals are passed to both channel estimation and synch detection unit 410 and three symbol delay line 411. The outputs of units 410 and 411 are received by an equalizer 412, which is coupled to FEC unit 402. Channel estimation and synch detection unit 410 is also coupled to DSP-based synchronization loop 408.

The frequency domain equalizer 200 within the VSB portion of channel decoder 104 exchanges computationally-intensive time domain equalizer of conventional hardware implementing existing VSB algorithms with a memory intensive equalizer requiring only three FFT operations, a few blocks of memory (each 1K-2K samples) and a few arithmetic operations. The memory requirement of frequency domain equalizer 200 is fully satisfied by available memory within the typical hardware implementation for the existing COFDM algorithm. With the help of a reconfigurable data path unit (not shown), the arithmetic operations may also be mapped onto the COFDM operations, thereby making a complete mapping of the frequency domain equalizer 200 on the COFDM hardware possible with the help of a supporting architecture.

Figures 5 through 9 depict simulation results for a frequency domain equalizer employing adaptive inverse channel estimation in accordance with one embodiment of the

WO 02/05505

PCT/EP01/07244

11

present invention. Frequency domain equalizer 200 was simulated with a 2K FFT and 1 VSB field (832 segments) per FFT, and compared with simulation results for a time domain decision feedback equalizer (DFE) having 64 forward taps and 256 feedback taps with the center tap located at the middle of the forward equalizer. Both equalizers were started in training mode for one VSB segment (313 samples), then Goddard/trained mode was employed in subsequent fields. A training sequence was implemented for every VSB field (832 samples). Simulations were performed over 1200 segments and symbol error rate (SER) was calculated by the average of the symbol errors of each segment.

Figure 5 illustrates the impulse response of the channel employed in the simulations to study static behavior, while Figure 6 plots the SER curves for the static channel. Figure 7 shows the SER curves for a dynamic channel in which the 1.8 microsecond (μ s) path was modulated with a sinc wave of 5 Hertz (Hz) with a maximum amplitude set 10 decibels (dB) below the main path and a signal-to-noise ratio (SNR) of 20 dB.

Comparing the results of the DFE with the frequency domain equalizer 200 of the present invention in which the error is calculated in either a blind or trained mode, the frequency domain equalizer of the present invention shows a relatively modest performance improvement over the DFE performance. One reason is the relatively rapid tracking of the channel via the RLS adaptive inverse channel estimator. When the error in the frequency domain equalizer is calculated utilizing tentative decisions from a trellis (Viterbi) decoder, the performance improvement is more significant.

Figure 8 plots the simulation results when National Television System Committee (NTSC) co-channel interference is added to the VSB signal. The frequency domain equalizer shows better performance, due in part to the long tap behavior of the frequency domain equalizer which makes possible sufficient suppression of the interference signal.

Figure 9 plots the simulation results for far-end echo, where the DFE performed poorly primarily because the number of taps of the DFE is insufficient to cover the far-end echo. Either the number of taps must be increased or clustering algorithms must be employed to handle such far-end echoes in the time domain equalizer.

The suitability of a frequency domain equalizer for single carrier systems depends upon integrated circuit area cost-effectiveness and multi-path performance compared to a time domain alternative. For a multi-standard demodulator which includes COFDM, the frequency domain equalizer results in a cost-effective solution compared to a time domain equalizer. The frequency domain equalizer of the present invention also exhibited multi-path

WO 02/05505

PCT/EP01/07244

12

performance comparable to a practical decision feedback equalizer and even, in some cases such as dynamic and multi-path, co-channel interference and far-end echo, most to high performance advantages. Other potential advantages include flexibility in handling pre-cursor paths and possible improvement of carrier/timing recovery utilizing the frequency domain representation.

5 While optimal hardware sharing of COFDM and VSB is a main motivation for considering a frequency domain equalizer for a single carrier system, other advantages may also exist in utilizing such configurations. Since most of the equalizer operations are memory intensive, additional equalizer operations may also be implemented on the COFDM hardware

10 without significant additional hardware overhead. Such additional operations include diversity reception utilizing a dual adaptive linear filter, complex/real mode of operation and dual channel single-carrier (e.g., quadrature amplitude modulated and vestigial sideband) demodulation. Scalable channel decoding algorithms which utilize the existing COFDM resources with minimal additional hardware overhead are more attractive.

15 Although the present invention has been described in detail, those skilled in the art will understand that various changes, substitutions and alterations herein may be made without departing from the spirit and scope of the invention in its broadest form.

WO 02/05505

PCT/EP01/07244

13

CLAIMS:

1. For use in a single integrated circuit multi-standard demodulator 104, a frequency domain equalizer 200 for demodulation of a single carrier signal comprising:
a signal multiplier 204 producing an equalized output from a frequency domain input X_k and a frequency domain inverse channel estimate G_k ; and
5 an adaptive inverse channel estimator 212 calculating said frequency domain inverse channel estimate G_k utilizing a least square cost function.
2. The frequency domain equalizer 200 as set forth in Claim 1 wherein said adaptive inverse channel estimator 212 calculates said frequency domain inverse channel
10 estimate G_k utilizing a diagonal correlation matrix R_k .
3. The frequency domain equalizer 200 as set forth in Claim 2 wherein said adaptive inverse channel estimator 212 employs a memory 307, a forgetting factor λ employed to calculate a current diagonal element $R_{n,k}$ within said correlation matrix R_k from
15 a previous diagonal element $R_{n,k-1}$ within said correlation matrix R_k , and an adaptation and error control constant μ employed to alter a previous inverse channel estimate matrix element $G_{n,k-1}$ to derive a current inverse channel estimate matrix element $G_{n,k}$, wherein values for said forgetting factor λ and said adaptation and error control constant μ are selected such that multiplication by either said forgetting factor λ or said adaptation and
20 error control constant μ may be implemented by shift and add operations.
4. The frequency domain equalizer as set forth in Claim 3 wherein said adaptive inverse channel estimator 212 further comprises:
a complex conjugator 306 receiving a delayed input signal X_{k-d} ;
25 a signal multiplier 303 receiving both said delayed input signal X_{k-d} and an output of said complex conjugator 306;

WO 02/05505

PCT/EP01/07244

14

a signal adder 301 receiving an output of said signal multiplier 303 and said previous diagonal element $R_{n,n-1}$ within said correlation matrix R_k multiplied by said forgetting factor λ , an output of said signal adder 301 comprising said current diagonal element $R_{n,n}$ within said correlation matrix R_k .

5

5. The frequency domain equalizer as set forth in Claim 4 wherein said adaptive inverse channel estimator 212 further comprises:

a signal divider 305 receiving said output of said complex conjugator 306 and said output of said signal adder 301;

10

a second signal multiplier 304 receiving an output of said signal divider 305 and a frequency domain error estimate E_k ; and

a second signal adder 302 receiving an output of said second signal multiplier 304 multiplied by said adaptation and error control constant μ and said previous inverse channel estimate matrix element $G_{n,j-1}$, an output of said second signal adder 302 comprising

15

said current inverse channel estimate matrix element $G_{n,k}$.

6. A single integrated circuit multi-standard demodulator 104 comprising:

a first decoder 104b selectively demodulating a multi-carrier signal; and

a second decoder 104a selectively demodulating a single carrier signal, said

20

second decoder 104a including a frequency domain equalizer 200 comprising:

a signal multiplier 204 producing an equalized output from a frequency domain input X_k and a frequency domain inverse channel estimate G_k ; and

an adaptive inverse channel estimator 212 calculating said frequency domain inverse channel estimate G_k utilizing a least square cost function.

25

7. The demodulator 104 as set forth in Claim 6 wherein said adaptive inverse channel estimator 212 calculates said frequency domain inverse channel estimate G_k utilizing a diagonal correlation matrix R_k .

30

8. The demodulator as set forth in Claim 7 wherein said adaptive inverse channel estimator 212 employs a memory 307, a forgetting factor λ employed to calculate a current

WO 02/05505

PCT/EP01/07244

15

diagonal element $R_{n,k}$ within said correlation matrix R_k from a previous diagonal element $R_{n,k-1}$ within said correlation matrix R_k , and an adaptation and error control constant μ employed to alter a previous inverse channel estimate matrix element $G_{n,k-1}$ to derive a current inverse channel estimate matrix element $G_{n,k}$, wherein values for said forgetting factor λ and said adaptation and error control constant μ are selected such that multiplication by either said forgetting factor λ or said adaptation and error control constant μ may be implemented by shift and add operations.

9. The demodulator as set forth in Claim 8 wherein said adaptive inverse channel estimator 212 further comprises:

10 a complex conjugator 306 receiving a delayed input signal X_{k-d} ;
 a signal multiplier 303 receiving both said delayed input signal X_{k-d} and an output of said complex conjugator 306;
 a signal adder 301 receiving an output of said signal multiplier 303 and said previous diagonal element $R_{n,k-1}$ within said correlation matrix R_k multiplied by said forgetting factor λ , an output of said signal adder 301 comprising said current diagonal element $R_{n,k}$ within said correlation matrix R_k .

10. The demodulator as set forth in Claim 9 wherein said adaptive inverse channel estimator 212 further comprises:

20 a signal divider 305 receiving said output of said complex conjugator 306 and said output of said signal adder 301;
 a second signal multiplier 304 receiving an output of said signal divider 305 and a frequency domain error estimate E_n ; and
 25 a second signal adder 302 receiving an output of said second signal multiplier 304 multiplied by said adaptation and error control constant μ and said previous inverse channel estimate matrix element $G_{n,k-1}$, an output of said second signal adder 302 comprising said current inverse channel estimate matrix element $G_{n,k}$.

30 11. For use in a frequency domain equalizer 200, a method of adaptive inverse channel estimation comprising:

WO 02/05505

PCT/EP01/07244

16

multiplying a frequency domain input X_k from a single carrier and a frequency domain inverse channel estimate G_k to produce an equalized output Y_k ; and calculating the frequency domain inverse channel estimate G_k utilizing a least square cost function.

5

12. The method as set forth in Claim 11 wherein the step of calculating the frequency domain inverse channel estimate G_k utilizing a least square cost function further comprises:

calculating the frequency domain inverse channel estimate G_k utilizing a diagonal correlation matrix R_k .

10

13. The method as set forth in Claim 12 wherein the step of calculating the frequency domain inverse channel estimate G_k utilizing a least square cost function further comprises:

storing a previous diagonal element $R_{n,k-1}$ within the correlation matrix R_k and a previous inverse channel estimate matrix element $G_{n,k-1}$ within a memory 307;

15

employing a forgetting factor λ to calculate a current diagonal element $R_{n,k}$ within the correlation matrix R_k from the previous diagonal element $R_{n,k-1}$ within the correlation matrix R_k ; and

20

employing an adaptation and error control constant μ to alter the previous inverse channel estimate matrix element $G_{n,k-1}$ and derive a current inverse channel estimate matrix element $G_{n,k}$,

25

wherein values for the forgetting factor λ and the adaptation and error control constant μ are selected such that multiplication by either the forgetting factor λ or the adaptation and error control constant μ may be implemented by shift and add operations.

14. The method as set forth in Claim 13 wherein the step of calculating the frequency domain inverse channel estimate G_k utilizing a least square cost function further comprises:

computing a complex conjugate of a delayed input signal X_{k-d} ;

30

WO 02/05505

PCT/EP01/07244

17

multiplying the delayed input signal X_{k-d} with the complex conjugate; and
 adding a result of multiplying the delayed input signal X_{k-d} with the complex
 conjugate to the previous diagonal element $R_{n,k-1}$ within the correlation matrix R_k multiplied
 by the forgetting factor λ to produce the current diagonal element $R_{n,k}$ within the correlation
 5 matrix R_k .

15. The method as set forth in Claim 14 wherein the step of calculating the
 frequency domain inverse channel estimate G_k utilizing a least square cost function further
 comprises:

10 dividing the complex conjugate by the current diagonal element $R_{n,k}$ within
 the correlation matrix R_k ;

multiplying a result of dividing the complex conjugate by the current diagonal
 element $R_{n,k}$ within the correlation matrix R_k with a frequency domain error estimate E_k
 and the adaptation and error control constant μ ; and

15 adding the previous inverse channel estimate matrix element $G_{n,k-1}$ to a result
 of multiplying the result of dividing the complex conjugate by the current diagonal element
 $R_{n,k}$ within the correlation matrix R_k with a frequency domain error estimate E_k and the
 adaptation and error control constant μ to produce the current inverse channel estimate
 matrix element $G_{n,k}$.

20

16. A single integrated circuit multi-standard demodulator 104 comprising:
 an OFDM decoder 104b; and

a VSB decoder 104a, said VSB decoder 104a including a frequency domain
 equalizer 200 comprising:

25 a signal multiplier 204 producing an equalized output from a frequency
 domain input X_k and a frequency domain inverse channel estimate G_k ; and

an adaptive inverse channel estimator 212 calculating said frequency domain
 inverse channel estimate G_k utilizing a least square cost function,

30 wherein said frequency domain equalizer 200 utilizes hardware employed for
 said OFDM decoder 104b.

WO 02/05505

PCT/EP01/07244

18

17. The demodulator 104 as set forth in Claim 16 wherein said adaptive inverse channel estimator 21 calculates said frequency domain inverse channel estimate G_k utilizing:
a diagonal correlation matrix R_k ;

5 a forgetting factor λ in calculating a current diagonal element $R_{n,k}$ within said correlation matrix R_k from a previous diagonal element $R_{n,k-1}$ within said correlation matrix R_k ;

an adaptation and error control constant μ in altering a previous inverse channel estimate matrix element $G_{n,k-1}$ to derive a current inverse channel estimate matrix
10 element $G_{n,k}$,

wherein values for said forgetting factor λ and said adaptation and error control constant μ are selected such that multiplication by either said forgetting factor λ or said adaptation and error control constant μ may be implemented by shift and add operations within said hardware employed for said OFDM decoder 104b.

15 18. The demodulator 104 as set forth in Claim 17 wherein said adaptive inverse channel estimator 212 employs a memory 307 within said hardware employed for said OFDM decoder 104b to store said previous diagonal element $R_{n,k-1}$ for said correlation matrix R_k and said previous inverse channel estimate matrix element $G_{n,k-1}$.

20 19. The demodulator 104 as set forth in Claim 18 wherein said adaptive inverse channel estimator 212 further comprises:

a complex conjugator 306 receiving a delayed input signal X_{k-d} ;

25 a signal multiplier 303 receiving both said delayed input signal X_{k-d} and an output of said complex conjugator 306;

a signal adder 301 receiving an output of said signal multiplier 303 and said previous diagonal element $R_{n,k-1}$ within said correlation matrix R_k multiplied by said forgetting factor λ , an output of said signal adder 301 comprising said current diagonal element $R_{n,k}$ within said correlation matrix R_k .

30

WO 02/05505

PCT/EP01/07244

19

20. The demodulator 104 as set forth in Claim 19 wherein said adaptive inverse channel estimator 212 further comprises:

a signal divider 305 receiving said output of said complex conjugator 306 and said output of said signal adder 301;

5 a second signal multiplier 304 receiving an output of said signal divider 305 and a frequency domain error estimate E_k ; and

a second signal adder 302 receiving an output of said second signal multiplier 304 multiplied by said adaptation and error control constant μ and said previous inverse channel estimate matrix element $G_{n,k-1}$; an output of said second signal adder 302 comprising

10 said current inverse channel estimate matrix element $G_{n,k}$.

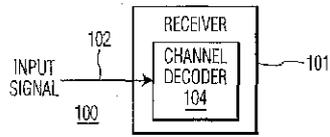


FIG. 1

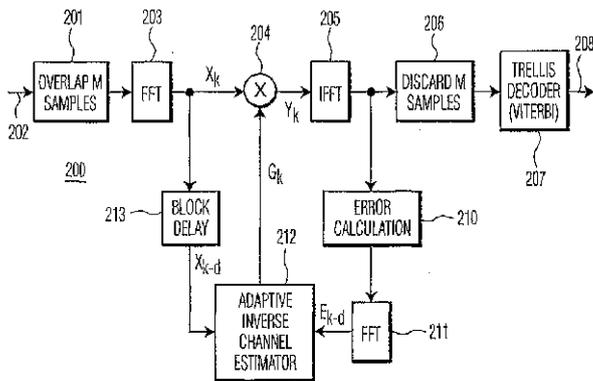


FIG. 2

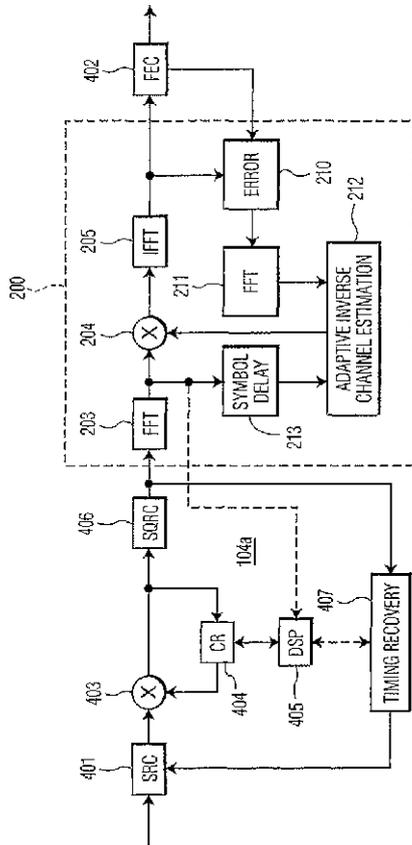


FIG. 4A

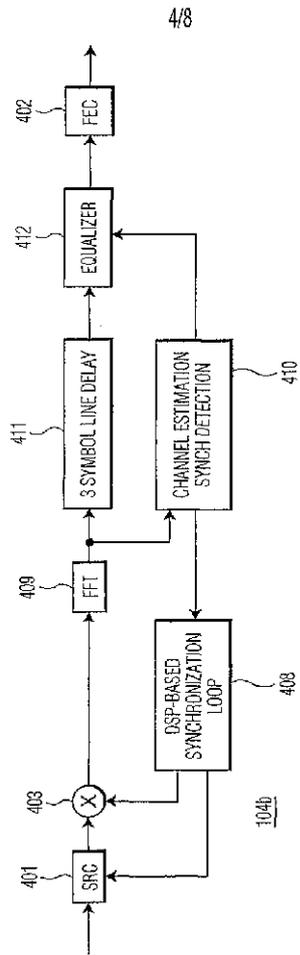


FIG. 4B

WO 02/05505

PCT/EP01/07244

5/8

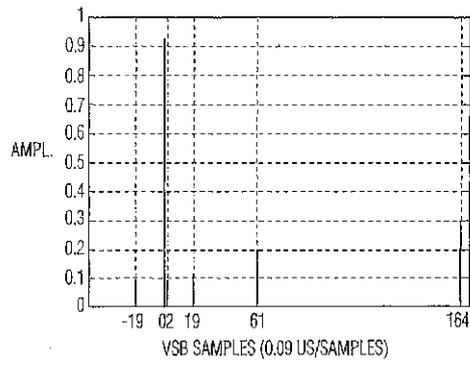


FIG. 5

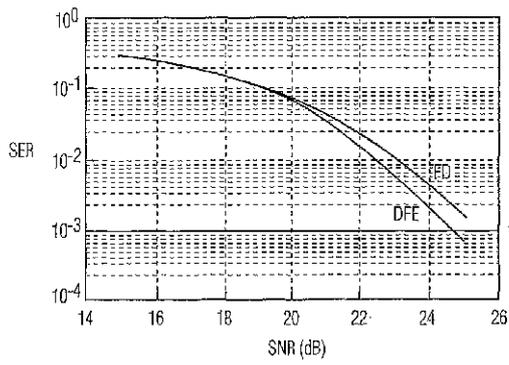


FIG. 6

WO 02/05505

PCT/EP01/07244

6/8

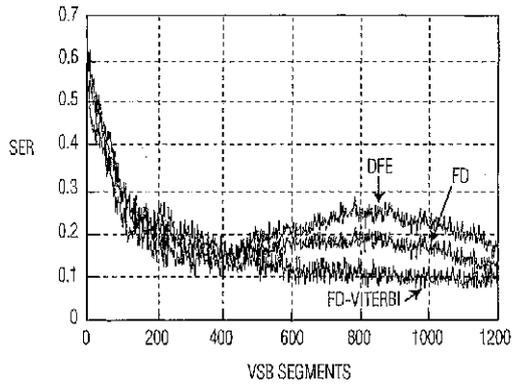


FIG. 7

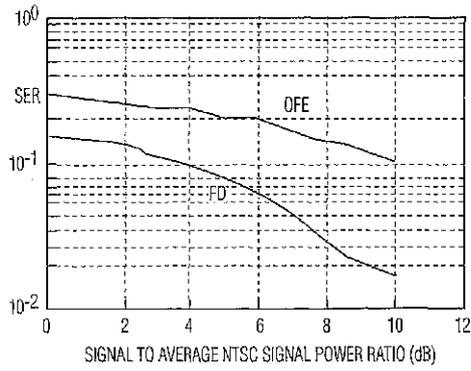


FIG. 8

7/8

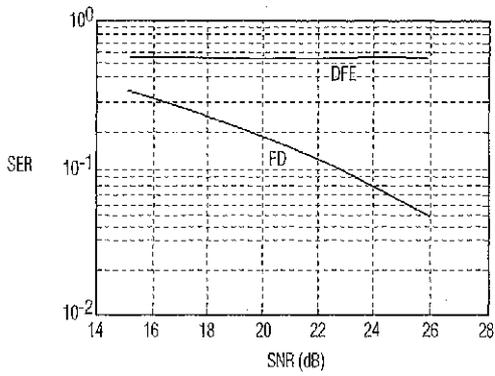


FIG. 9

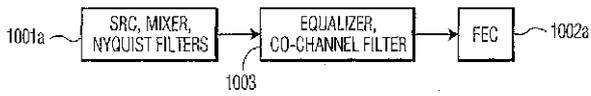


FIG. 10A

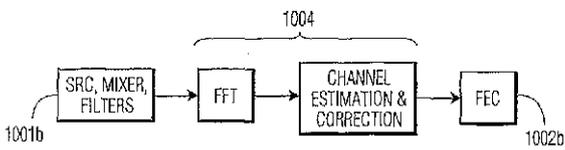


FIG. 10B

8/8

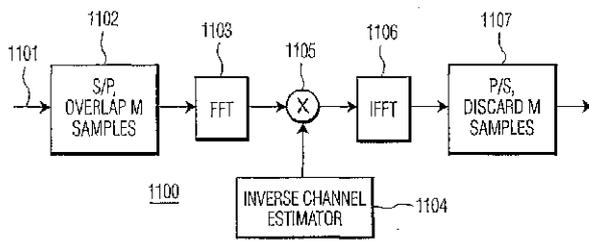


FIG. 11

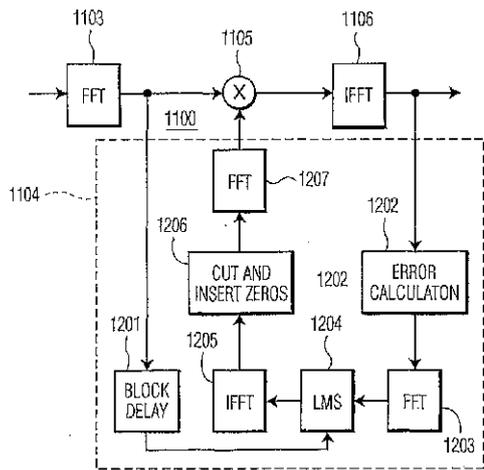


FIG. 12

【国際公開パンフレット(コレクトバージョン)】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
17 January 2002 (17.01.2002)

PCT

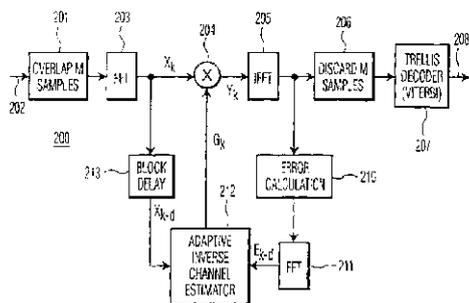
(10) International Publication Number
WO 02/005505 A3

- (51) International Patent Classification: H04L 27/02, 25/03
- (74) Agent: GROENENDAAL, Antonius, W., M.; International Detroobureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/EP01/07244
- (81) Designated States *national*: CN, JP, KR.
- (22) International Filing Date: 27 June 2001 (27.06.2001)
- (84) Designated States *regional*: European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 69217.143 7 July 2000 (07.07.2000) US; 09846.200 23 April 2001 (23.04.2001) NL
- (85) Date of publication of the international search report: 4 July 2002
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. (NL/NL); Groenewoudseweg 1, NL-5621 BA Eindhoven (NL).
- (72) Inventor: DAGNACHEW, Birru; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

Published:
with international search report
before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

For more details and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: A FREQUENCY-DOMAIN EQUALIZER FOR TERRESTRIAL DIGITAL TV RECEPTION.



(57) Abstract: A single integrated circuit multi-standard demodulator includes an adaptive inverse channel estimator for frequency domain equalization which employs a recursive least square cost function in estimating the inverse channel from the received signal and an error estimate. Utilizing a diagonal correlation matrix, the solution may be determined utilizing fewer computational resources than required by conventional frequency domain equalizers, shifting from a computational intensive to memory intensive implementation. The memory requirement is fully satisfied by memory available within conventional OFDM decoders, and the necessary computational resources may be readily mapped to the resources available within such decoders, improving integrated circuit cost-effectiveness of the multi-standard demodulator.



WO 02/005505 A3

【国際公開パンフレット(コレクトバージョン)】

(1)60202242573



(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
17 January 2002 (17.01.2002)

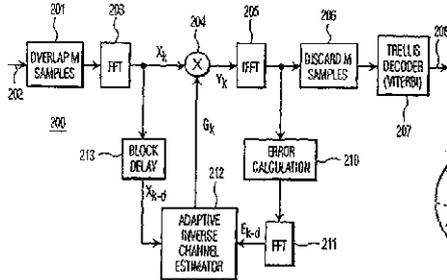
PCT

(11) International Publication Number
WO 02/005505 A3

- (51) International Patent Classification: H04L 27/02, 25/03
- (74) Agent: GROENENDAAL, Antonius, W., M.; International Octrooibureau B.V., Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).
- (21) International Application Number: PCT/EP01/07244
- (81) Designated States (national): CN, JP, KR.
- (22) International Filing Date: 27 June 2001 (27.06.2001)
- (84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data: 7 July 2000 (07.07.2000) US 60/217,143; 23 April 2001 (23.04.2001) US 09/640,200
- (85) Date of publication of the international search report: 4 July 2002
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRONICS N.V. [NL/NL]; Groenewoudseweg 1, NL-5621 EA Eindhoven (NL).
- (72) Inventor: BAGNACHEW, Biruta; Prof. Holstlaan 6, NL-5656 AA Eindhoven (NL).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: A FREQUENCY-DOMAIN EQUALIZER FOR TERRESTRIAL DIGITAL TV RECEPTION.



WO 02/005505 A3

(57) Abstract: A single integrated circuit multi-standard demodulator includes an adaptive inverse channel estimator for frequency domain equalization which employs a recursive least square cost function in estimating the inverse channel from the received signal and an error estimate. Utilizing a diagonal correlation matrix, the solution may be determined utilizing fewer computational resources than required by conventional frequency domain equalizers, shifting from a computational intensive to memory intensive implementation. The memory requirement is fully satisfied by memory available within conventional OFDM decoders, and the necessary computational resources may be readily mapped to the resources available within such decoders, improving integrated circuit cost-effectiveness of the multi-standard demodulator.

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/EP 01/07244
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04L27/02 H04L25/03		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
EPO-internal, WPI Data, PAJ, INSPEC, COMPEDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PUNJABI H S ET AL: "A MODIFIED MU-WEIGHTED NORMALIZED FREQUENCY-DOMAIN LMS ALGORITHM" PROCEEDINGS OF THE GLOBAL TELECOMMUNICATIONS CONFERENCE (GLOBECOM), SAN FRANCISCO, NOV. 28 - DEC. 2, 1994, NEW YORK, IEEE, US, vol. 1, 28 November 1994 (1994-11-28), pages 232-236, XP000488549 ISBN: 0-7803-1821-8 abstract page 233, left-hand column, line 4 -right-hand column, line 28 figure 1 --- -/--	1-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Parent family members are listed in annex		
* Special categories of cited documents: "A" document defining the general state of the art which is not recommended to be of particular relevance "F" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referred to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "I" also document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention can not be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search		Date of making of the international search report
26 April 2002		10/05/2002
Name and mailing address of the ISA European Patent Office, P.O. Box 5818, Paterhofstr. 2 NL - 2200 PH The Hague Tel: (+31-70) 340-2100, Tx: 31 651 upu nl, Fax: (+31-70) 340-2016		Authorized officer Marseille, M

Form PCT/ISA/210 (second sheet) (July 1999)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/EP 01/07244

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document with indications, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 00 16526 A (KONINKL PHILIPS ELECTRONICS NV) 23 March 2000 (2000-03-23) page 5, line 23 -page 6, line 18 figure 4	1, 2, 6, 7, 11, 12, 16 3-5, 8-10, 13-15, 17-20
X A	CLARK M V: "ADAPTIVE FREQUENCY-DOMAIN EQUALIZATION AND DIVERSITY COMBINING FOR BROADBAND WIRELESS COMMUNICATIONS" VEHICULAR TECHNOLOGY CONFERENCE, 1998, VTC 98, 48TH IEEE OTTAWA, ONT., CANADA 18-21 MAY 1998, NEW YORK, NY, USA, IEEE, US, 18 May 1998 (1998-05-18), pages 409-413, XP010287837 ISBN: 0-7803-4320-4 page 410, left-hand column, line 1 - line 8 page 410, right-hand column, line 1 -page 411, left-hand column, line 42 figure 2	1, 6, 11, 16 2-5, 7-10, 12-15, 17-20
X A	CZYLNIK A: "DEGRADATION OF MULTICARRIER AND SINGLE CARRIER TRANSMISSION WITH FREQUENCY DOMAIN EQUALIZATION DUE TO PILOT-AIDED CHANNEL ESTIMATION AND FREQUENCY SYNCHRONIZATION" IEEE GLOBAL TELECOMMUNICATIONS CONFERENCE, PHOENIX, ARIZONA, NOV. 3 - 8, 1997, GLOBAL TELECOMMUNICATIONS CONFERENCE (GLOBECOM), NEW YORK, IEEE, US, vol. 1, 3 November 1997 (1997-11-03), pages 27-31, XP000737505 ISBN: 0-7803-4199-6 page 28, left-hand column, line 26 -right-hand column, line 25 figure 2	1, 6, 11, 16 2-5, 7-10, 12-15, 17-20

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/EP 01/07244

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication where appropriate of the relevant passages	Relevant to claim No.
A	<p>SARI H ET AL: "FREQUENCY-DOMAIN EQUALIZATION OF MOBILE RADIO AND TERRESTRIAL BROADCAST CHANNELS" PROCEEDINGS OF THE GLOBAL TELECOMMUNICATIONS CONFERENCE (GLOBECOM), SAN FRANCISCO, NOV. 28 - DEC. 2, 1994, NEW YORK, IEEE, US, vol. 1, 28 November 1994 (1994-11-28), pages 1-5, XP00488507 ISBN: 0-7803-1821-8</p> <p>page 2, right-hand column, line 36 -page 3, right-hand column, line 22</p> <p>page 5, right-hand column, line 1 - line 14</p> <p>figure 2</p>	<p>6-10, 16-20</p>

1

Form PCT/ISA/EPO (continuation of second sheet) July 1999

INTERNATIONAL SEARCH REPORT
Information on patent family members

International Application No.
PCT/EP 01/07244

Patent document cited in search report:	Publication date	Patent family member(s)	Publication date
WO 0016526	A	WO 0016526 A1	23-03-2000
		EP 1046265 A1	25-10-2000

Form PCT/ISearch/2001 (patent family members) (July 1992)

フロントページの続き

(51)Int.Cl.⁷ F I テーマコード(参考)
H 0 4 N 5/455 H 0 4 L 27/00 K

(74)代理人 100107766

弁理士 伊東 忠重

(72)発明者 ダグナチェウ, ビリユー

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

Fターム(参考) 5C025 AA17 DA01

5K004 AA01 AA03 BD01 DA15 DG01

5K022 DD01 DD13 DD19 DD33 DD34

5K046 AA05 BB03 EE05 EE10 EE37 EE48 EF13