



---

(21)申請案號：112127300

(22)申請日：中華民國 112 (2023) 年 07 月 21 日

(51)Int. Cl. : **H01L23/535 (2006.01)**

(71)申請人：力晶積成電子製造股份有限公司 (中華民國) POWERCHIP SEMICONDUCTOR  
MANUFACTURING CORPORATION (TW)

新竹市力行一路十八號

(72)發明人：宋志峯 SUNG, CHIH-FENG (TW)；莊志豪 CHUANG, CHIH-HAO (TW)；呂俊麟  
LU, CHUN-LIN (TW)；李世平 LEE, SHIH-PING (TW)；邱立翰 CHIU, LI-HAN  
(TW)；吳翊楷 WU, YI-KAI (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW 202236515A

CN 113517203A

US 20170186730A1

審查人員：施喻懷

申請專利範圍項數：4 項 圖式數：14 共 25 頁

---

(54)名稱

晶圓堆疊製程

(57)摘要

本發明提出了一種晶圓堆疊製程，包含在一犧牲性載板上形成一氧化矽層、將該氧化矽層與一矽基板正面上的介電層接合、從該矽基板背面進行薄化製程露出其中的矽穿孔結構、將該矽基板背面與另一矽基板接合、重複上述薄化製程以及接合另一矽基板的製程，如此形成一晶圓堆疊結構、以及進行一移除製程完全移除該犧牲性載板。

A wafer stacking process is provided in the present invention, including steps of forming a silicon oxide layer on a sacrificial carrier, bonding the silicon oxide layer with a dielectric layer on a front side of a silicon substrate, performing a thinning process on the back side of the silicon substrate to expose TSVs therein, bonding the back side of the silicon substrate with another silicon substrate, repeating the thinning process and the process of bonding another silicon substrate above so as to form a wafer stacking structure, and performing a removing process to completely remove the sacrificial carrier.

指定代表圖：

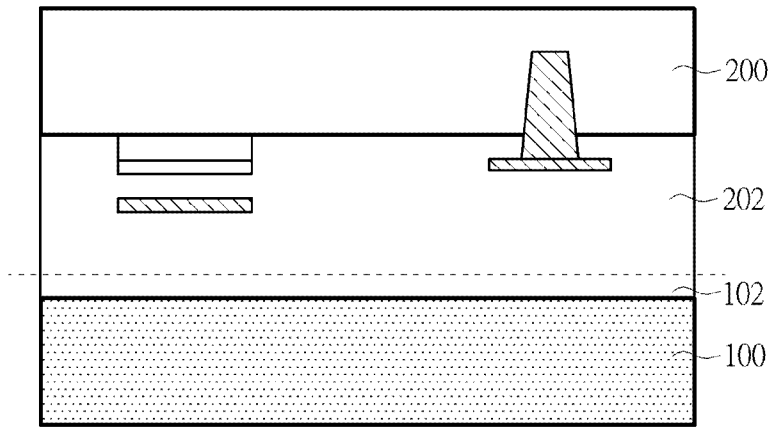
符號簡單說明：

100:犧牲性載板

102:氧化矽層

200:矽基板

202:介電層



第2圖



I842598

## 【發明摘要】

【中文發明名稱】晶圓堆疊製程

【英文發明名稱】Wafer Stacking Process

## 【中文】

本發明提出了一種晶圓堆疊製程，包含在一犧牲性載板上形成一氧化矽層、將該氧化矽層與一矽基板正面上的介電層接合、從該矽基板背面進行薄化製程露出其中的矽穿孔結構、將該矽基板背面與另一矽基板接合、重複上述薄化製程以及接合另一矽基板的製程，如此形成一晶圓堆疊結構、以及進行一移除製程完全移除該犧牲性載板。

## 【英文】

A wafer stacking process is provided in the present invention, including steps of forming a silicon oxide layer on a sacrificial carrier, bonding the silicon oxide layer with a dielectric layer on a front side of a silicon substrate, performing a thinning process on the back side of the silicon substrate to expose TSVs therein, bonding the back side of the silicon substrate with another silicon substrate, repeating the thinning process and the process of bonding another silicon substrate above so as to form a wafer stacking structure, and performing a removing process to completely remove the sacrificial carrier.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

100 犧牲性載板

102 氧化矽層

200 矽基板

202 介電層

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】晶圓堆疊製程

【英文發明名稱】Wafer Stacking Process

【技術領域】

【0001】 本發明大體上與一種晶圓堆疊製程有關，更具體言之，其係關於一種採用氧化層對氧化層(oxide-to-oxide)接合的晶圓堆疊製程。

【先前技術】

【0002】 在現今的半導體領域，由於製程上的限制以及物理極限等因素，半導體元件的微縮以及元件密度的提升變得日益困難，為了要在有限的佈局面積下設置更多的元件，將多顆晶片進行三維空間垂直整合的3D IC技術應運而生，其特點在於在同樣的佈局面積上以堆疊的方式設置或形成多種不同的晶片。除了可以在同樣的佈局面積下大幅增加元件密度以外，將各種不同性質與作用的晶片整合在同一基底上也可大幅簡化整體製程並提升裝置的性能，同時也使得一些高階應用得以實現，如人工智能CMOS影像感測器(AI CIS)和記憶體內運算技術(in-memory computing)等。

【0003】 晶圓接合是多種3D IC技術中的關鍵步驟之一，其透過將多片晶圓對位堆疊並彼此接合的方式來實現多片晶圓在三維空間的垂直整合，矽穿孔結構(through-silicon via, TSV)可作為連接這些晶圓中電路與元件的垂直互連結構。現今的晶圓堆疊製程通常都會透過黏膠將要接合的元件晶圓先暫時性地固定在一載板上，以在接合製程期間提供結構支撐，待元件晶圓與另一晶圓接合後再行將載板移除。一般來說，載板可以採用加熱滑動、

機械剝離或是雷射解離等習知方式移除，這些方法都有其明顯的缺點。例如，加熱滑動方法受限於製程溫度的限制（如 $<250^{\circ}\text{C}$ ），機械剝離方法容易對較薄的晶圓造成損傷，而雷射解離方法則限定載板使用透明的玻璃基板，其與矽晶圓的熱膨脹係數高度不匹配且容易在既有機台上引起異常警報，例如因透明無法對位或是因導電性不同而使靜電吸盤失效等。故此，本領域的技術人士仍需對現有的晶圓接合製程進行改良，以其能夠將更多的晶圓整合進3D IC結構中。

### 【發明內容】

【0004】 有鑑於前述習知做法的缺點，本發明於此提出了一種新穎的晶圓堆疊製程，其特點在於採用氧化層對氧化層(oxide-to-oxide)接合而非黏膠的方式，載板則是直接透過物理方式磨掉或蝕除，而非從黏膠介面進行處理來脫離，故不會有前述加熱、機械或是雷射等移除方式的缺點或限制。

【0005】 本發明的其一面向在於提出一種晶圓堆疊製程，包含提供一犧牲性載板；在該犧牲性載板的正面形成一氧化矽層；提供一矽基板，該矽基板中形成有矽穿孔結構，且該矽基板的正面上具有後段互連結構以及介電層；將該犧牲性載板正面的該氧化矽層與該矽基板正面的該介電層接合；從該矽基板的背面進行薄化製程，以移除部分的該矽基板並露出其中的矽穿孔結構；將該矽基板的背面與另一矽基板的正面接合，其中該矽基板背面露出的該矽穿孔結構與該另一矽基板正面上的後段互連結構電性連接；重複上述薄化製程以及接合另一矽基板的製程，如此形成一晶圓堆疊結構；以及從該犧牲性載板的背面進行一移除製程，以完全移除該犧牲性載板。

【0006】 本發明的另一面向在於提出一種晶圓堆疊製程，包含提供一犧

犧牲載板；在該犧牲載板的正面形成一氧化矽層；提供一矽基板，該矽基板中形成有矽穿孔結構，且該矽基板的正面上具有後段互連結構以及介電層；將該犧牲載板正面的該氧化矽層與該矽基板正面的該介電層接合；從該矽基板的背面進行薄化製程，以移除部分的該矽基板並露出其中的矽穿孔結構，此時接合後的該犧牲載板與該矽基板為一晶圓接合單元，該晶圓接合單元的正面具有露出的該矽穿孔結構，背面為該犧牲載板；將該晶圓接合單元的正面與另一矽基板的正面接合，其中該晶圓接合單元正面露出的該矽穿孔結構與該另一矽基板正面上的後段互連結構電性連接；完全移除該晶圓接合單元的背面的該犧牲載板；在該矽基板的該介電層上或者該犧牲載板的該氧化矽層上形成重佈層連接該矽基板正面的後段互連結構；在該重佈層上接合另一晶圓接合單元，其中該重佈層與該另一晶圓接合單元的矽穿孔結構電性連接；以及重複上述移除犧牲載板、形成重佈層以及接合另一晶圓接合單元的製程，如此形成一晶圓堆疊結構。

【0007】 本發明的這類目的與其他目的在閱者讀過下文中以多種圖示與繪圖來描述的較佳實施例之細節說明後應可變得更加明瞭顯見。

#### 【圖式簡單說明】

#### 【0008】

第1圖至第7圖為根據本發明一實施例中一晶圓堆疊製程的截面示意圖；以及

第8圖至第14圖為根據本發明另一實施例中一晶圓堆疊製程的截面示意圖。

須注意本說明書中的所有圖示皆為圖例性質，為了清楚與方便圖示說

明之故，圖示中的各部件在尺寸與比例上可能會被誇大或縮小地呈現，一般而言，圖中相同的參考符號會用來標示修改後或不同實施例中對應或類似的元件特徵。

### 【實施方式】

【0009】 現在下文將詳細說明本發明的示例性實施例，其會參照附圖示出所描述之特徵以便閱者理解並實現技術效果。閱者將可理解文中之描述僅透過例示之方式來進行，而非意欲要限制本案。本案的各種實施例和實施例中彼此不衝突的各種特徵可以以各種方式來加以組合或重新設置。在不脫離本發明的精神與範疇的情況下，對本案的修改、等同物或改進對於本領域技術人員來說是可以理解的，並且旨在包含在本案的範圍內。

【0010】 閱者應能容易理解，本案中的「在…上」、「在…之上」和「在…上方」的含義應當以廣義的方式來解讀，以使得「在…上」不僅表示「直接在」某物「上」而且還包括在某物「上」且其間有居間特徵或層的含義，並且「在…之上」或「在…上方」不僅表示「在」某物「之上」或「上方」的含義，而且還可以包括其「在」某物「之上」或「上方」且其間沒有居間特徵或層（即，直接在某物上）的含義。此外，諸如「在…之下」、「在…下方」、「下部」、「在…之上」、「上部」等空間相關術語在本文中為了描述方便可以用於描述一個元件或特徵與另一個或多個元件或特徵的關係，如在附圖中示出的。

【0011】 如本文中使用的，術語「基底」是指向其上增加後續材料的材料。可以對基底自身進行圖案化。增加在基底的頂部上的材料可以被圖案化或可以保持不被圖案化。此外，基底可以包括廣泛的半導體材料，例如矽、鍺、砷化鎵、磷化銦等。或者，基底可以由諸如玻璃、塑膠或藍寶石



晶圓的非導電材料製成。

【0012】 如本文中使用的，術語「層」是指包括具有厚度的區域的材料部分。層可以在下方或上方結構的整體之上延伸，或者可以具有小於下方或上方結構範圍的範圍。此外，層可以是厚度小於連續結構的厚度的均質或非均質連續結構的區域。例如，層可以位於在連續結構的頂表面和底表面之間或在頂表面和底表面處的任何水平面對之間。層可以水準、豎直和/或沿傾斜表面延伸。基底可以是層，其中可以包括一個或多個層，和/或可以在其上、其上方和/或其下方具有一個或多個層。層可以包括多個層。例如，互連層可以包括一個或多個導體和接觸層（其中形成觸點、互連線和/或通孔）和一個或多個介電層。

【0013】 閱者通常可以至少部分地從上下文中的用法理解術語。例如，至少部分地取決於上下文，本文所使用的術語「一或多個」可以用於以單數意義描述任何特徵、結構或特性，或者可以用於以複數意義描述特徵、結構或特性的組合。類似地，至少部分地取決於上下文，諸如「一」、「一個」、「該」或「所述」之類的術語同樣可以被理解為傳達單數用法或者傳達複數用法。另外，術語「基於」可以被理解為不一定旨在傳達排他性的因素集合，而是可以允許存在不一定明確地描述的額外因素，這同樣至少部分地取決於上下文。

【0014】 閱者更能了解到，當「包含」與/或「含有」等詞用於本說明書時，其明定了所陳述特徵、區域、整體、步驟、操作、要素以及/或部件的存在，但並不排除一或多個其他的特徵、區域、整體、步驟、操作、要素、部件以及/或其組合的存在或添加的可能性。

【0015】 現在下文將參照第1圖至第7圖的截面圖來說明根據本發明一實施例中的晶圓堆疊製程。本發明方法所形成的晶圓堆疊結構大體上是由多

個矽基底以及其上的元件層與互連層所構成，其間透過垂直異質接合(hybrid bonding)製程接合在一起，並透過矽穿孔結構彼此連接來達到3D IC整合，其特別適用於人工智能(AI)與高效能運算等運用領域。須注意在本發明實施例中，元件晶圓的正面係指其形成有半導體元件以及後段互連結構(BEOL interconnects)的那一面，背面通常是矽基底表面或是其上形成的重佈層等。此外，本發明實施例中所使用的載體是犧牲性的，意指其在製程中會透過物理方式被整個磨掉或是蝕除，並非是從黏膠介面剝離。

【0016】 請參照第1圖。製程一開始，首先提供一犧牲性載板100作為元件晶圓在接合製程期間的支撐基礎。在本發明實施例中，犧牲性載板100可為矽基板或是玻璃基板，其上並透過沉積製程或熱氧化製程形成一氧化矽層102作為接合層。以沉積製程形成的氧化矽層102可為PETEOS（電漿輔助型四乙氧基矽烷），而以熱氧化製程來形成氧化矽層102則需要使用矽基板作為犧牲性載板100，其所形成的氧化矽層102較為緻密、接合力較高。另一方面，提供一要進行晶圓堆疊的元件晶圓，如一邏輯晶圓，其可包含一矽基板200，其中可形成有矽穿孔結構(through-silicon via, TSV)204，如一中段製程(via middle)TSV。矽基板200的正面上已透過前段製程(FEOL)與後段製程(BEOL)形成半導體元件206（如CMOS元件或是記憶體）、介電層202（如金屬間介電層IMD）以及位於介電層202中的後段互連結構208。

【0017】 請參照第2圖。準備好上述犧牲性載板100以及元件晶圓後，將犧牲性載板100正面的氧化矽層102與矽基板200正面的介電層202接合。有別於習知技術使用接合膠接合載板，須注意本發明實施例係採用氧化層對氧化層的對接方式，即前述矽基板200上氧化矽材質的介電層202接合犧牲性載板100上的氧化矽層102，其可採用融接方式(fusion bonding)，透過同質材料間的凡得瓦力來達成接合。接合介面兩邊的氧化矽層可分別為PETEOS

與熱氧化矽材質，不以此為限。

【0018】 請參照第3圖。接合犧牲性載板100與矽基板200後，接著從矽基板200的背面進行一薄化製程，如化學機械平坦化(CMP)製程，移除部分的矽基板200並露出其中的矽穿孔結構204。再者，露出矽穿孔結構204後，接著在薄化後的晶背上形成一重佈層(redistribution layer, RDL)210，其與矽基板200中的矽穿孔結構204電性連接，可重新分佈矽基板200上電路的輸出/入位置並提供後續製程所需的接合介面。

【0019】 請參照第4圖。晶背薄化製程以及重佈層210形成後，接著將矽基板200背面的重佈層210與另一矽基板300的正面接合。此矽基板300的正面上同樣已透過前段製程與後段製程形成有半導體元件306（如CMOS元件或是記憶體）、介電層302（如金屬間介電層IMD）以及位於介電層302中的後段互連結構308等結構，且表面還形成有對應矽基板200重佈層210的重佈層310，以與之接合。此步驟中重佈層210對重佈層310的接合可採用金屬熱壓接合，使重佈層中銅材質的接合部位軟化對接。重佈層其餘的介電質部位則同時以融接方式對接。如此，矽基板200上的半導體元件與電路可透過其矽穿孔結構204與矽基板300上的後段互連結構308以及半導體元件306電性連接。

【0020】 請參照第5圖。完成上述矽基板200與矽基板300的接合後，接下來重複前述第3圖的薄化製程以及第4圖接合另一矽基板的步驟，在矽基板300上接合更多的矽基板，如矽基板400，其正面上同樣具有半導體元件406、介電層402、後段互連結構408以及重佈層410等結構，其內部也可形成有矽穿孔結構404。如此，即構成一晶圓堆疊結構。須注意本發明方法可接合的矽基板數目並不受限，第5圖中僅以三個矽基板200, 300, 400為例。

【0021】 請參照第6圖。完成所有矽基板的接合後，接下來將整個晶圓堆

疊結構翻面，使得犧牲性載板100的背面朝上，如此可進行移除製程將不需要的犧牲性載板100移除。須注意在本發明實施例中，該移除製程是從犧牲性載板100的背面（相對於氧化矽層102的那一面）開始進行，其可為化學機械平坦化製程、濕蝕刻製程或是乾蝕刻製程，可將犧牲性載板100完全移除，並停止在氧化矽層102上。在一些實施例中，氧化矽層102也可在此製程中移除。

【0022】 請參照第7圖。犧牲性載板100移除後，接下來製作整個晶圓堆疊結構的電路輸出端。如圖所示，在氧化矽層 102或者在最上層的介電層202（氧化矽層102被移除的場合）之中或之上形成一重佈層210，重佈層210上還可製作接墊510作為晶圓堆疊結構最終的電路輸出端，晶圓堆疊結構最外側的表面還可形成一鈍化層500來提供保護效果。如此，即完成本發明的晶圓堆疊製程。

【0023】 從上述的實施例可知，本發明採用氧化層對氧化層的接合而非習知黏膠的方式來接合犧牲性載板與元件晶圓，且犧牲性載板是透過物理方式直接磨掉或蝕刻移除，而非從黏膠介面進行處理來脫離，故不會有加熱、機械或是雷射等習知移除方式的缺點或限制。

【0024】 現在下文將參照第8圖至第14圖的截面圖來說明根據本發明另一實施例中的晶圓堆疊製程。

【0025】 請參照第8圖。第8圖中所示結構與前述第3圖結構相同，其包含了接合後的犧牲性載板100與矽基板200。矽基板200中形成有矽穿孔結構204，且其正面上已透過前段製程與後段製程形成半導體元件206、介電層202以及位於介電層202中的後段互連結構208。矽基板200背面已完成薄化製程且形成有重佈層210與其內部的矽穿孔結構204電性連接。須注意者，上述包含犧牲性載板100在內的整個結構在此實施例被定義為一晶圓接合

單元10，其為後續每次晶圓堆疊步驟所疊加之單元。

【0026】 請參照第9圖。如同第4圖之步驟，將上述晶圓接合單元10與另一矽基板300的正面接合。矽基板300的正面上同樣已透過前段製程與後段製程形成有半導體元件306、介電層302、後段互連結構308以及重佈層310等結構，其內部也可形成有矽穿孔結構304。此步驟同樣是透過重佈層210對重佈層310的對接，其可採用金屬熱壓接合方式。如此，矽基板200上的半導體元件與電路可透過其矽穿孔結構204與矽基板300上的後段互連結構308以及半導體元件306連接。

【0027】 請參照第10圖。將晶圓接合單元10與矽基板300接合後，與前述實施例不同的是，在此實施例中，矽基板200上的犧牲性載板100在此階段就會被移除，而非是在將所有矽基板接合後才移除。犧牲性載板100的移除同樣是從其背面開始進行，其可採用化學機械平坦化製程、濕蝕刻製程或是乾蝕刻製程，並停止在氧化矽層102上。在一些實施例中，氧化矽層102也可在此製程中移除。

【0028】 請參照第11圖。移除犧牲性載板100後，與前述實施例不同的是，此時僅會在介電層202之中或之上形成重佈層210，不會製作接墊510等最終的電路輸出端。所製作的重佈層210會與介電層202中的後段互連結構電性連接。

【0029】 請參照第12圖。重佈層210形成後，接著在重佈層210上接合另一晶圓接合單元20。晶圓接合單元20與前述的晶圓接合單元10具有完全相同的結構，包含犧牲性載板21、氧化矽層211、介電層24、矽基板22、重佈層23等部位。晶圓接合單元20同樣是透過其重佈層23與對應的矽基板200重佈層210對接之方式接合。

【0030】 請參照第13圖。接合另一晶圓接合單元20之後，接下來可重複

前述第10圖移除犧牲性載板、第11圖形成重佈層以及第12圖接合另一晶圓接合單元之步驟，如此在整個結構上堆疊更多的晶圓。須注意本發明方法可接合的矽基板數目並不受限，第13圖中僅以三個矽基板22, 200, 300為例。

【0031】 請參照第14圖。完成最後矽基板22的接合並移除其犧牲性載板21後，接下來如同第7圖的步驟，製作整個晶圓堆疊結構的電路輸出端。在氧化矽層211或者在最上層的介電層24之中或之上形成一重佈層26，其與介電層24中的後段互連結構25電性連接。重佈層26上還可製作接墊510作為晶圓堆疊結構最終的電路輸出端，最外側的表面還可形成一鈍化層500來提供保護效果。如此，即完成本發明的晶圓堆疊製程。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

#### 【符號說明】

#### 【0032】

10	晶圓接合單元
20	晶圓接合單元
21	犧牲性載板
22	矽基板
23	重佈層
24	介電層
25	後段互連結構
26	重佈層
100	犧牲性載板
102	氧化矽層

200	矽基板
202	介電層
204	矽穿孔結構
206	半導體元件
208	後段互連結構
210	重佈層
211	氧化矽層
300	矽基板
302	介電層
304	矽穿孔結構
306	半導體元件
308	後段互連結構
310	重佈層
400	矽基板
402	介電層
404	矽穿孔結構
406	半導體元件
408	後段互連結構
410	重佈層
500	鈍化層
510	接墊

**【發明申請專利範圍】**

**【請求項1】** 一種晶圓堆疊製程，包含：

提供一犧牲性載板；

在該犧牲性載板的正面形成一氧化矽層；

提供一矽基板，該矽基板中形成有矽穿孔結構，且該矽基板的正面上具有後段互連結構以及介電層；

將該犧牲性載板正面的該氧化矽層與該矽基板正面的該介電層接合；

從該矽基板的背面進行薄化製程，以移除部分的該矽基板並露出其中的矽穿孔結構，此時接合後的該犧牲性載板與該矽基板為一晶圓接合單元，該晶圓接合單元的正面具有露出的該矽穿孔結構，背面為該犧牲性載板；

將該晶圓接合單元的正面與另一矽基板的正面接合，其中該晶圓接合單元正面露出的該矽穿孔結構與該另一矽基板正面上的後段互連結構電性連接；

完全移除該晶圓接合單元的背面的該犧牲性載板；

移除該犧牲性載板之後，在暴露出的該矽基板的該介電層上或者餘留的該犧牲性載板的該氧化矽層上形成重佈層；

在該重佈層上接合另一晶圓接合單元，其中該重佈層與該另一晶圓接合單元的矽穿孔結構電性連接；以及

重複上述移除犧牲性載板、形成重佈層以及接合另一晶圓接合單元的製程，如此形成一晶圓堆疊結構。

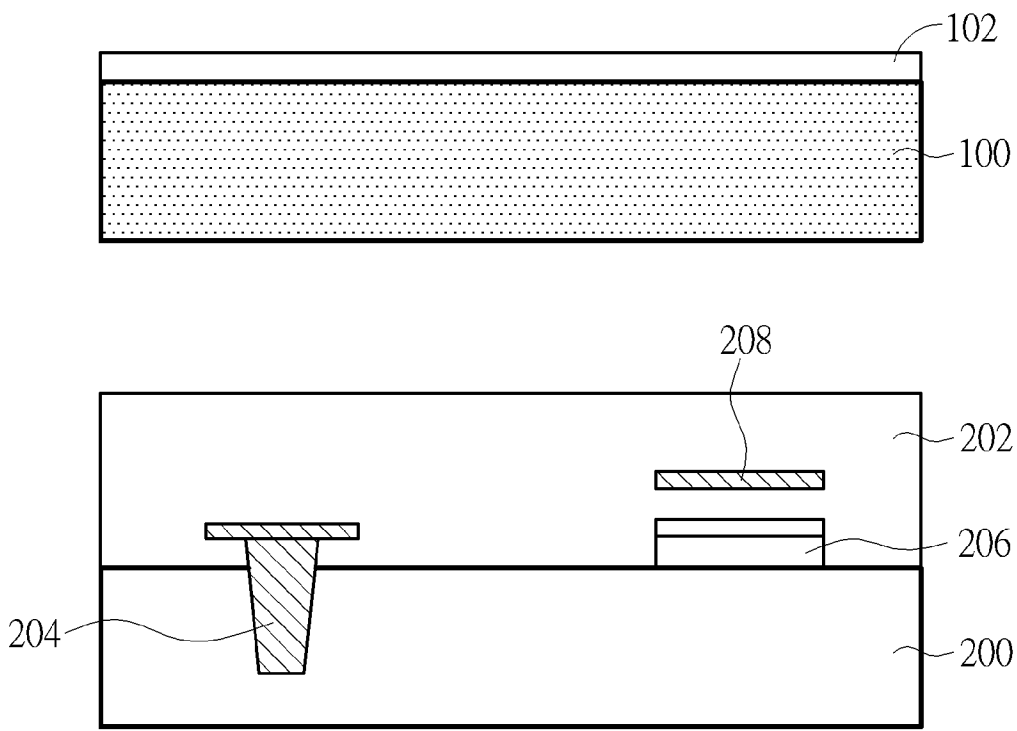
**【請求項2】** 如申請專利範圍第1項所述之晶圓堆疊製程，其中該犧牲性載板為一矽基板，該氧化矽層為一熱氧化層。



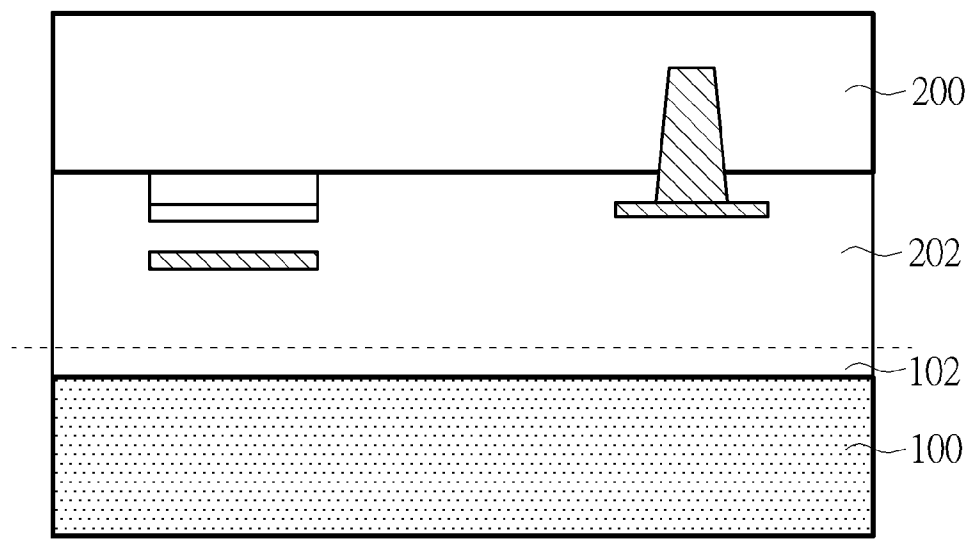
【請求項3】 如申請專利範圍第1項所述之晶圓堆疊製程，其中該犧牲性載板為一玻璃基板，該氧化矽層為一沉積氧化層。

【請求項4】 如申請專利範圍第1項所述之晶圓堆疊製程，其中移除該犧牲性載板的製程包含化學機械平坦化製程或是乾蝕刻製程、濕蝕刻製程。

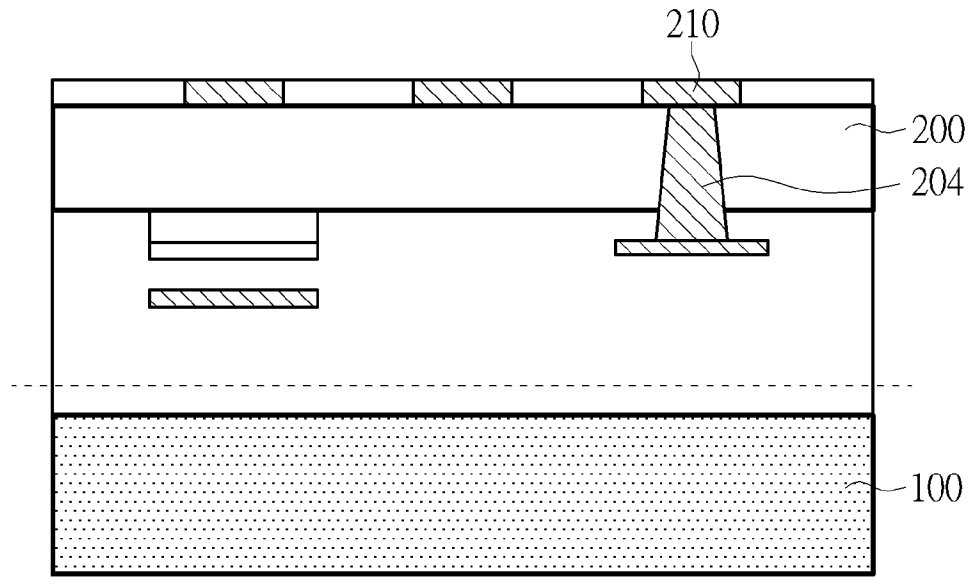
【發明圖式】



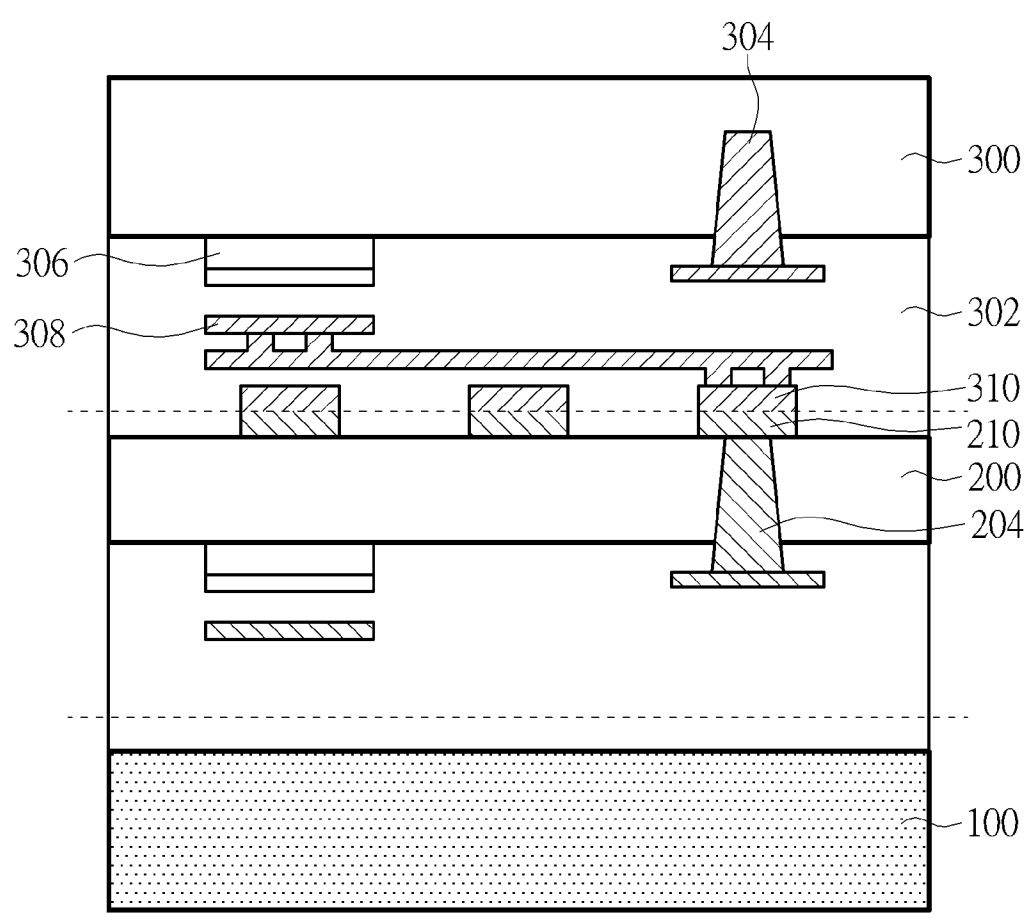
第1圖



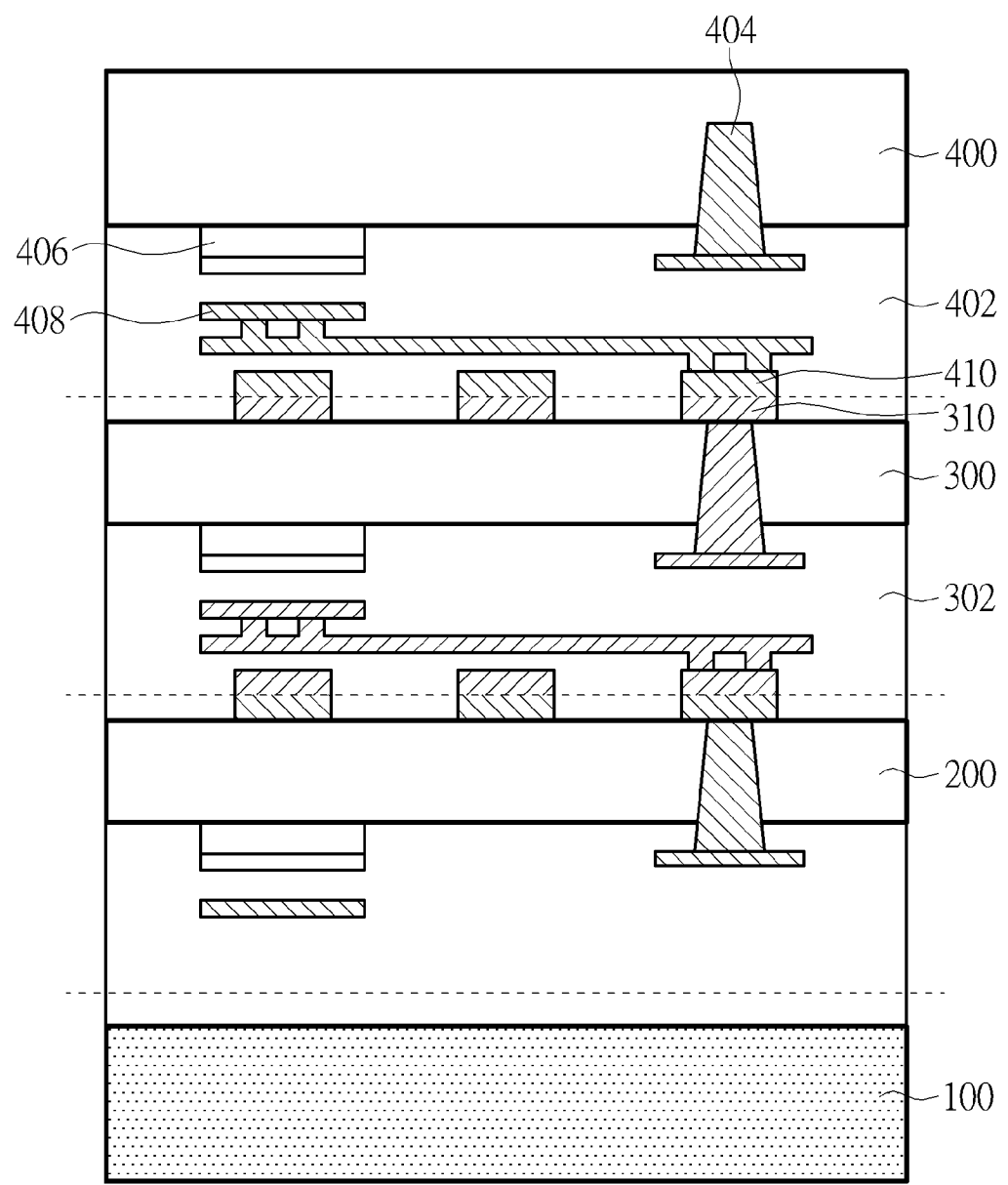
第2圖



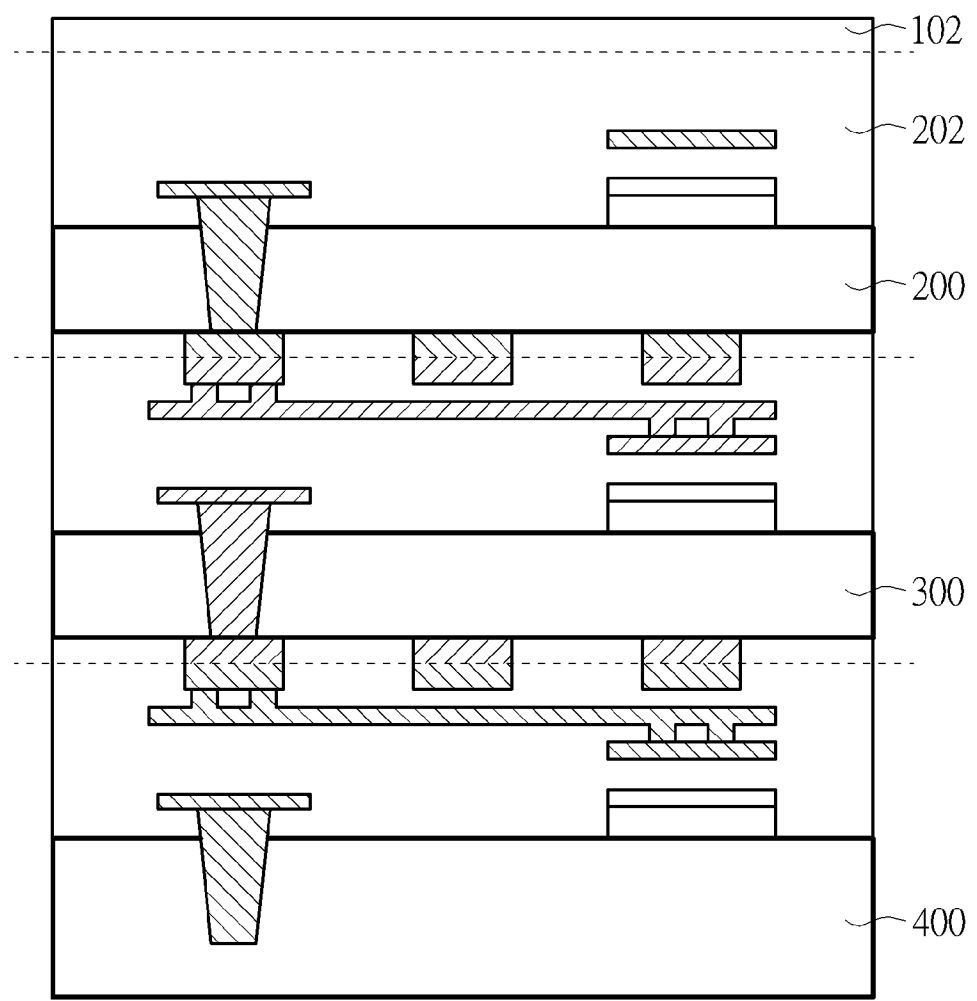
第3圖



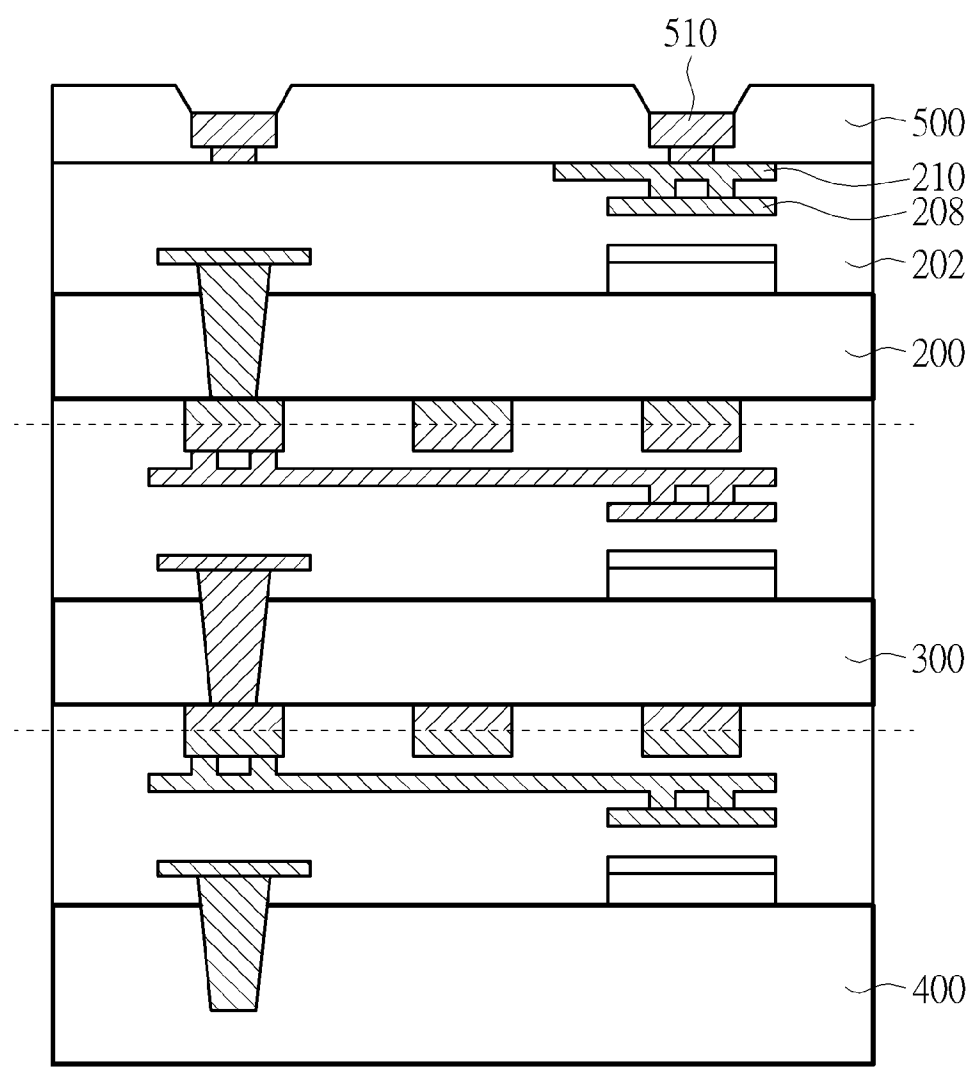
第4圖



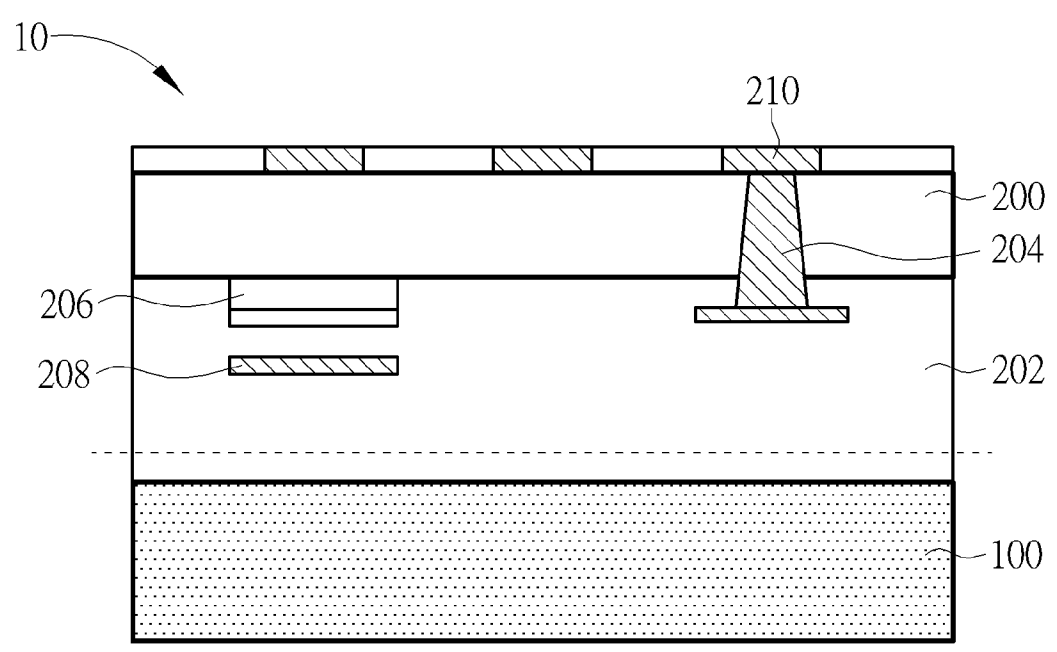
第5圖



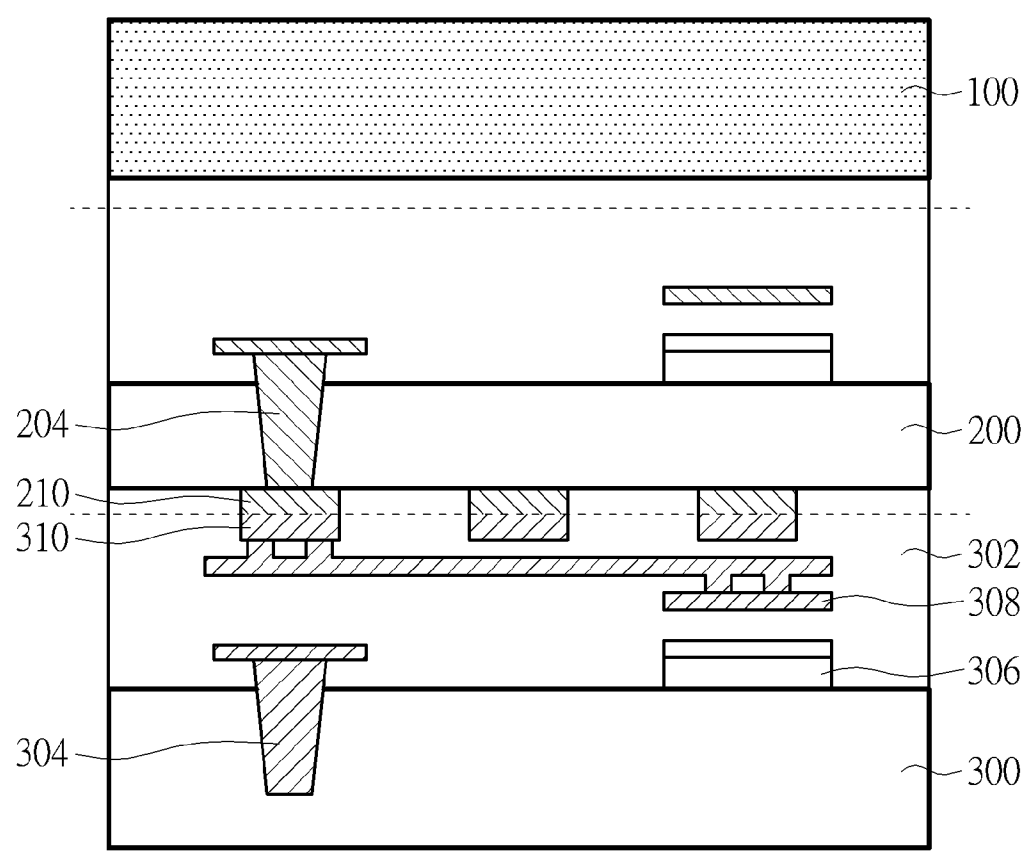
第6圖



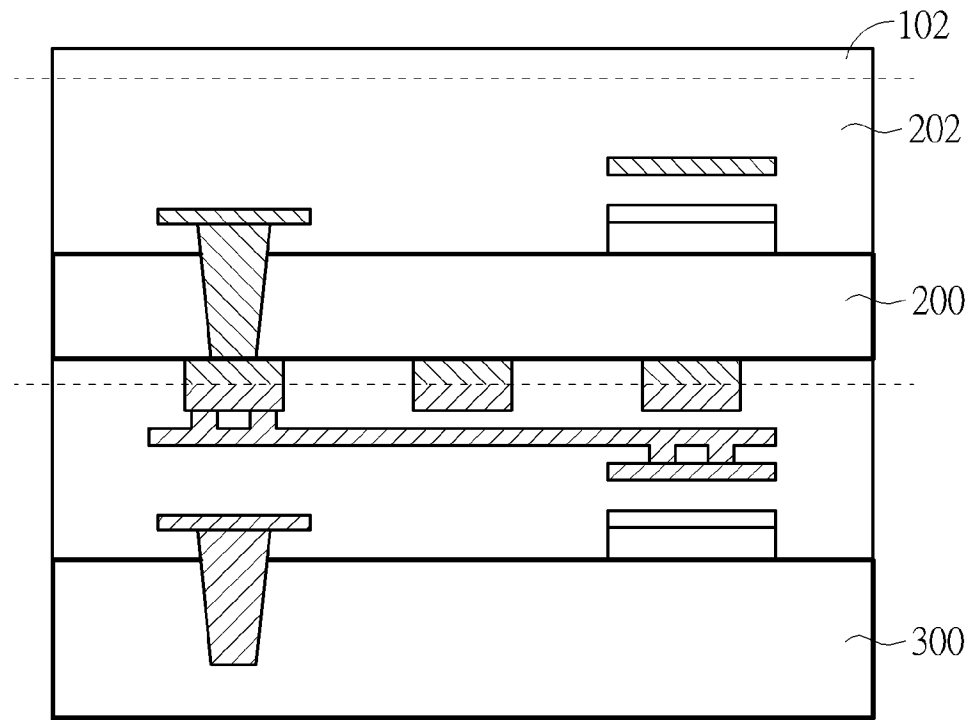
第7圖



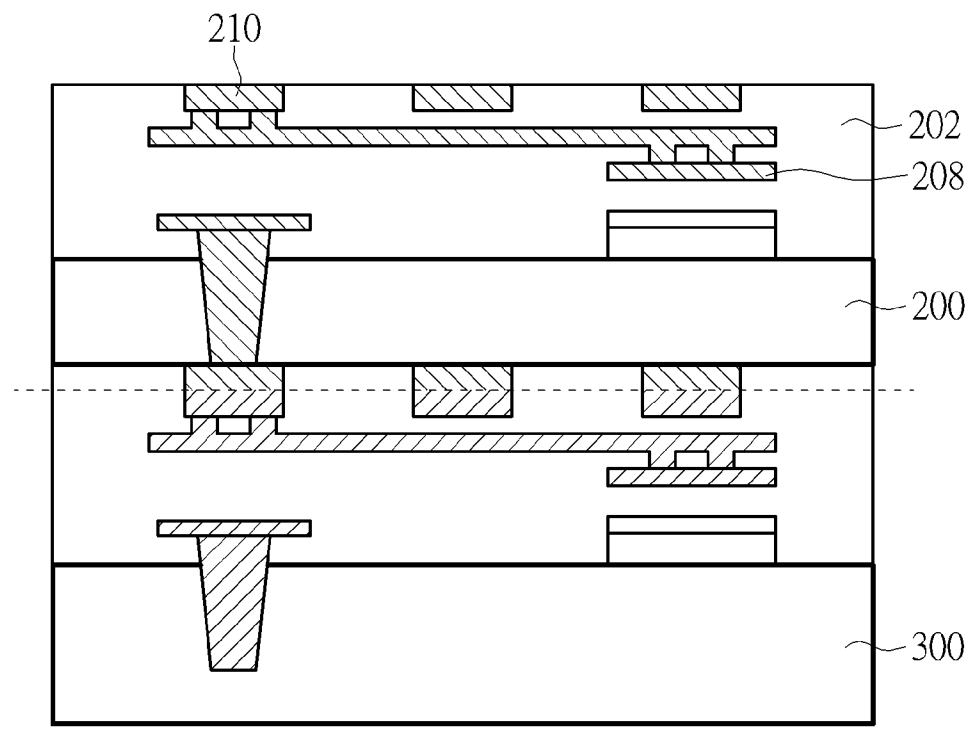
第8圖



第9圖

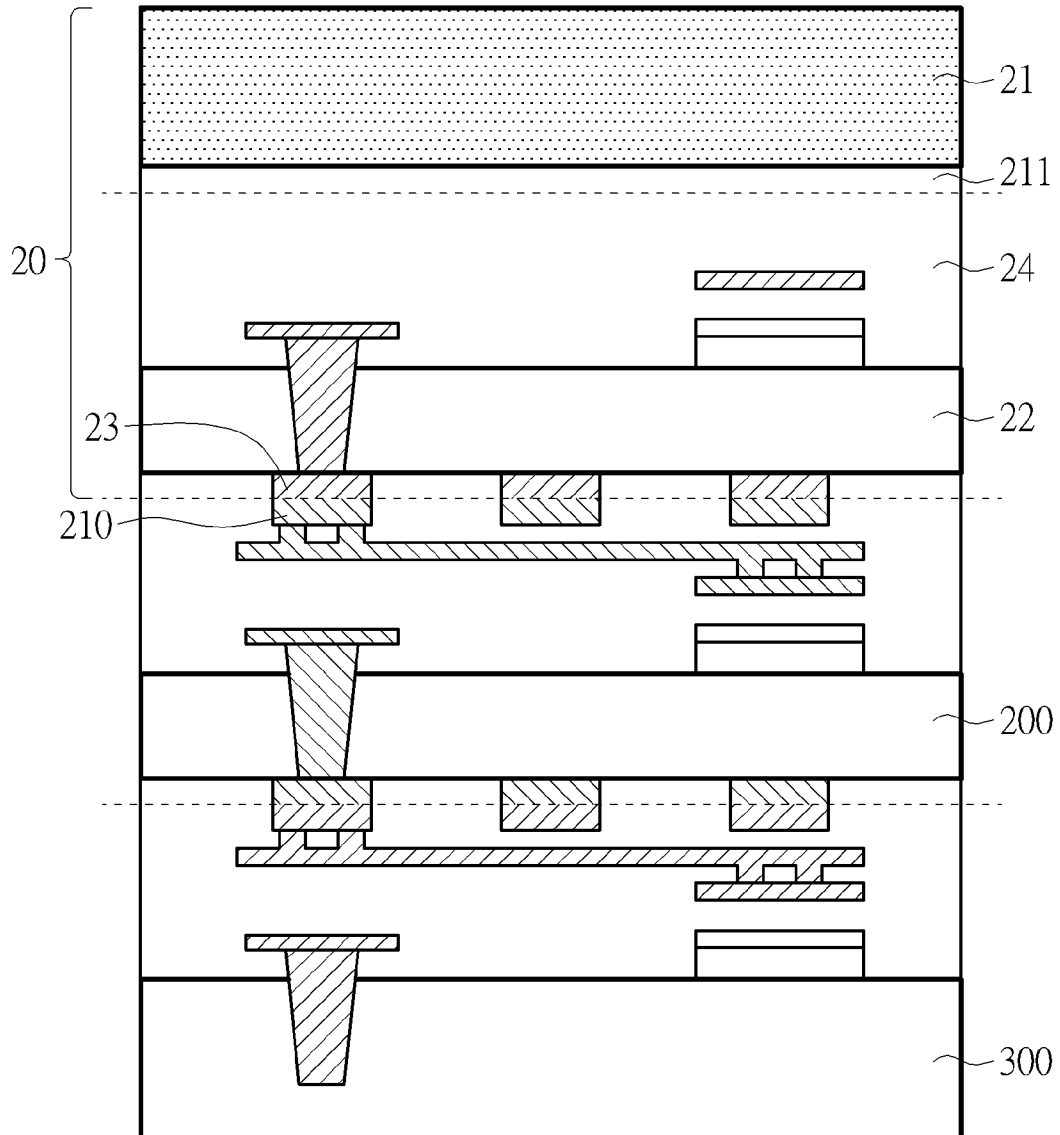


第10圖

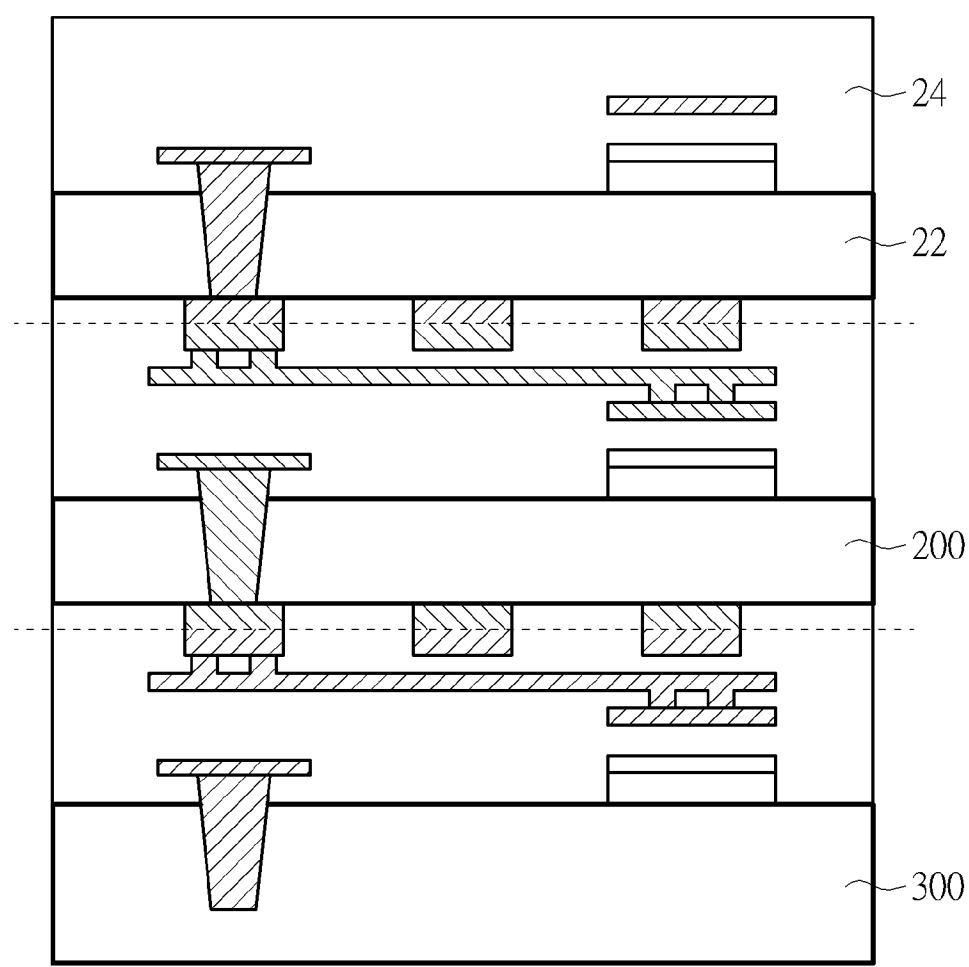


第11圖

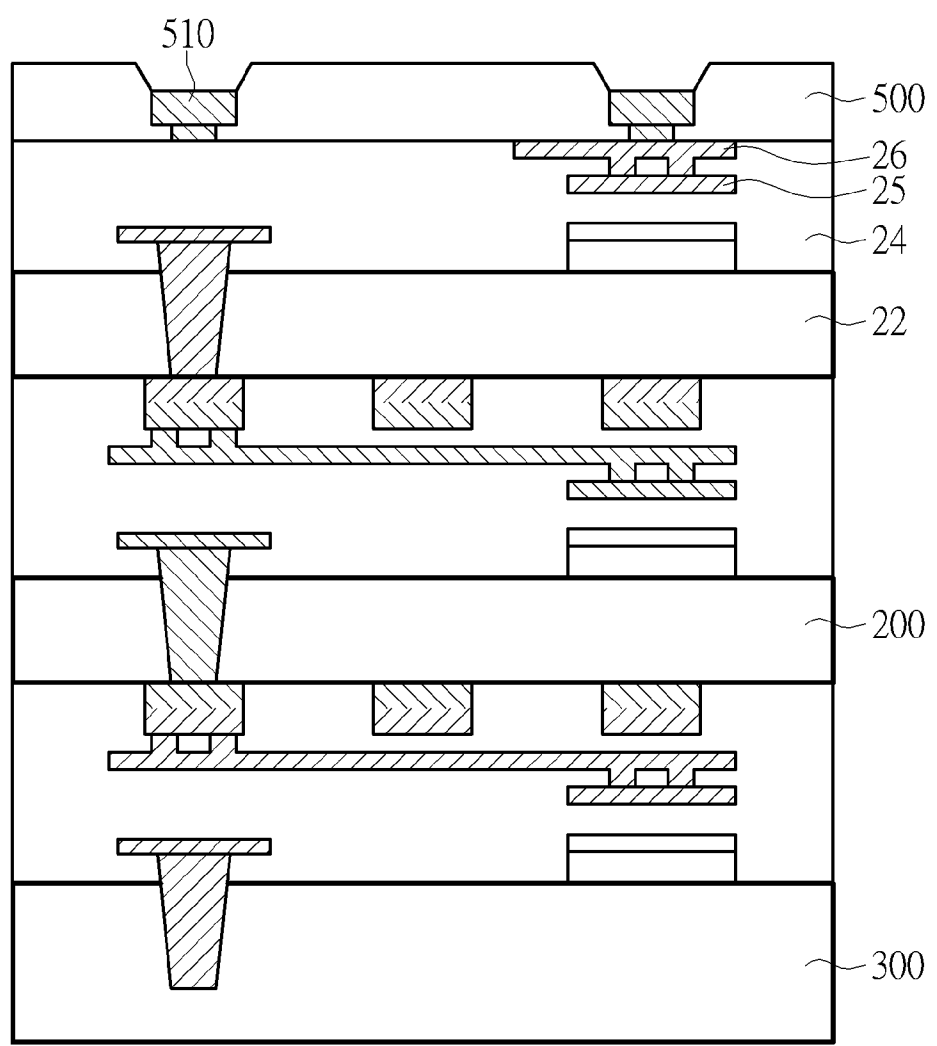




第12圖



第13圖



第14圖