

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 29/786

(45) 공고일자 2005년08월30일
(11) 등록번호 10-0510934
(24) 등록일자 2005년08월22일

(21) 출원번호 10-2003-0028829
(22) 출원일자 2003년05월07일

(65) 공개번호 10-2003-0087560
(43) 공개일자 2003년11월14일

(30) 우선권주장 JP-P-2002-00132310 2002년05월08일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753

(72) 발명자 오쿠무라히로시
일본국가나가와켄가와사키시나카하라구시모누마베1753엔이씨엘씨디
테크놀로지스,엘티디.내

(74) 대리인 최달용

심사관 : 김기현

(54) 박막 트랜지스터 및 그 제조 방법

요약

본 발명의 박막 트랜지스터는 박막부와 후막부를 갖는 다결정 실리콘막으로 이루어지고, 박막부는 적어도 채널부로서 이용된다. 다결정 실리콘막은, 박막부가 완전 용융되고 후막부가 완전 용융하지 않는 에너지 밀도의 레이저 어닐링에 의해 형성된다. 박막부와 후막부와의 계면으로부터 성장한 크고 굽은 결정 입자에 의해 채널부가 구성되기 때문에, 일반적인 레이저 어닐링 장치를 이용하여 높은 캐리어 이동도 및 낮은 누설 전류 등의 성능을 간단하게 실현할 수 있다.

대표도

도 2

색인어

트랜지스터, 다결정

명세서

도면의 간단한 설명

도 1의 (A) 내지 (D)는 본 발명에 따른 TFT의 제 1의 실시예를 제조 공정 순으로 도시한 단면도.

도 2의 (A)는 도 1의 (D)의 평면도, 도 2의 (B)는 도 1의 (D)의 다음의 제조 공정을 도시한 단면도.

도 3의 (A)는 제 1의 비교예를 도시한 단면도, 도 3의 (B)는 제 2의 비교예를 도시한 평면도.

도 4의 (A)는 본 발명에 따른 TFT의 제 2의 실시예를 도시한 단면도, 도 4의 (B)는 본 발명에 따른 TFT의 제 3의 실시예를 도시한 단면도.

♣도면의 주요 부분에 대한 부호의 설명♣

16 : 박막부

18 : 후막부

24 : 다결정 실리콘막

26 : 크고 굽은 결정 입자

37, 49, 57 : 채널부

42, 54, 62 : TFT

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

기술분야

본 발명은, 액티브 매트릭스형 디스플레이 등에 사용되는 박막 트랜지스터 및 그 제조 방법에 관한 것이다.

종래의 기술

근래, 유리 기판상에 집적 회로를 형성하는 박막 소자로서, 다결정 실리콘 TFT의 개발이 활발히 행하여지고 있다. 다결정 실리콘 박막의 형성법으로서, 일단 비정질 실리콘막(amorphous silicon film)을 형성한 후에 엑시머 레이저광을 조사함에 의해, 비정질 실리콘막을 용융 및 재결정화 시켜서 다결정 실리콘막을 얻는 엑시머 레이저법이 일반적이다.

엑시머 레이저법에서 사용되는 레이저 어닐링 장치(laser annealing apparatus)로서는, 조사 구경이 330mm×0.4mm 정도의 레이저광을 단축(短軸) 방향으로 수십 μ m 피치로 스캔 조사하는 장치가 시판되고 있다. 이 장치를 이용하면, μ m 이하 크기의 결정 입자(crystal grain)가 랜덤하게 배치된 다결정 실리콘막을 형성하는 것이 가능하기 때문에, 이동도 150cm²/Vs 정도의 TFT를 수율 좋게 양산 가능하게 된다. 또한, 금후의 TFT의 고성능화에는, 결정 입자의 크기의 확대와 결정 입자의 위치 제어가 필요하다.

크고 굽은 결정 입자를 갖는 다결정 실리콘막을 달성하기 위한 기술로서, 예를 들면, 일본 특허 제2689596호 공보에는, 이층의 비정질 실리콘막을 이용하여, 박막부에서 결정 크기를 증가시키는 기술이 개시되어 있다.

그러나, 이 공보에는, 레이저 조사 조건에 의거한 막의 용융 상태 및 막 두께 이외의 막 구조에 관해서는, 전혀 기재도 시사도 없다.

또한, 결정 입자의 위치 제어에 관한 기재도 시사도 없다.

한편, 엑시머 레이저 어닐을 개량하여, TFT의 채널 길이와 거의 동일한 결정 입자를 그 발생 위치를 제어하면서 형성함에 의해, 의사 단결정 실리콘 TFT(pseudo-single-crystalline silicon TFT)의 개발도 진행되고 있다.

예를 들면, MRS Bulletin 21권(1996년), 3월호, 39페이지에 Im 등에 의해 개시되어 있는 바와 같이, 섬 모양으로 형성된 비정질 실리콘 박막에, 폭 5 μm 의 극히 미세한 선상 빔을 0.75 μm 피치로 조사함에 의해, 결정 입자가 거의 평행하게 정렬되어 있는 일방향 성장 다결정 실리콘 박막이 형성 가능하게 된다.

또한, 제 61회 응용물리학회 학술강연 예고집(2000년), No.2, 759페이지, 5p-ZD-4 및 5p-ZD-5에 개시되어 있는 바와 같이, 위상 시프트 마스크를 이용하여 μm 크기의 강도 주기를 갖는 레이저광을 생성함에 의해, 3 μm 정도로 성장한 실리콘 결정 입자를 위치 제어하여 형성하는 것이 가능하게 된다.

이들의 방법에 의해, TFT 채널 위치에 균일한 대입자 직경 다결정 실리콘 박막을 양호한 제어성으로 형성할 수 있게 된다.

이들 레이저광의 강도 프로파일을 μm 크기로 제어하는 방법을 이용하는 경우, 광학계의 분해 성능을 μm 이하의 크기로 향상시킬 필요가 있다.

그러나, 이렇게 하면, 광학계의 비용이 증대한다는 문제, 레이저광의 이용 효율이 저하된다는 문제, 및 광학계의 초점 심도가 좁아진다는 문제가 생긴다. 광학계의 초점 심도가 기관의 젓혀진 양이나 휘어진 양보다 좁아지면, 기관 스테이지에 높이 조정 기능을 마련할 필요가 생긴다.

또한, 기관 스테이지 동작도 μm 이하의 크기로 제어하는 것이 필요해진다. 또한, 위상 시프트 마스크를 이용한 경우에는, 마스크를 비정질 실리콘 표면에는 거의 밀착시킬 필요가 있기 때문에, 레이저 어닐링중에 비정질 실리콘막 표면으로부터 유리된 실리콘 원자가 마스크를 오염시켜, 고가인 마스크를 빈번하게 교환하여야 한다.

따라서 생산 설비로서의 레이저 어닐 장치가 복잡하게 되어, 가격이 고가로 됨과 함께, 가동율이 저하된다는 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

따라서, 상기 언급된 문제점을 해결하기 위해서, 본 발명은 하기와 같은 기본적인 기술적 구성을 갖는다.

구체적으로는, 본 발명의 제 1의 양상은 기관 상에 형성된 다결정 실리콘막층과, 게이트 절연층을 통해 상기 다결정 실리콘막층 상에 형성된 게이트 전극, 및 상기 게이트 전극의 양측에 정렬되며 상기 다결정 실리콘막층에 연결되는 소스 및 드레인 전극을 포함하는 박막 트랜지스터에 관한 것으로, 상기 다결정 실리콘막층의 일부는 박막부와 후막부를 포함하고 상기 박막부의 적어도 일부는 상기 트랜지스터의 채널부로서 적어도 사용되며, 상기 박막부는 크고 굽은 결정 입자를 포함하는 것을 특징으로 한다.

본 발명의 제 2의 양상은 상기의 본 발명의 제 1의 양상에서 언급된 바와 같은 구성을 포함하는 박막 트랜지스터에 관한 것으로, 상기 후막부는 상기 박막부에 형성된 상기 크고 굽은 결정 입자의 크기보다 더 작은 크기의 결정 입자를 포함하는 것을 특징으로 한다.

본 발명의 제 3의 양상은 기관 상에 형성된 다결정 실리콘막층과, 게이트 절연층을 통해 상기 다결정 실리콘막층 상에 형성된 게이트 전극, 및 상기 게이트 전극의 양측에 정렬되며 상기 다결정 실리콘막층에 연결되는 소스 및 드레인 전극을 포함하는 박막 트랜지스터에 관한 것으로, 상기 다결정 실리콘막층의 일부는 박막부와 후막부를 포함하고 상기 박막부의 적어도 일부는 상기 트랜지스터의 채널부로서 적어도 사용되며, 상기 박막부의 적어도 일부는 완전히 용융되는 상태에 있고, 상기 후막부의 적어도 일부는 완전히 용융되지 않는 상태에 있는 것을 특징으로 한다.

본 발명의 제 4의 양상은 박막 트랜지스터에 관한 것으로, 상기 박막 트랜지스터는, 박막부와 후막부를 포함하는 다결정 실리콘막을 포함하며, 상기 박막부는 채널부로서 적어도 사용되며, 상기 다결정 실리콘막은 상기 박막부를 완전히 용융시키지만 상기 후막부는 완전히 용융시키지 않는 에너지 밀도의 레이저 어닐링에 의해 형성되는 것을 특징으로 한다.

본 발명의 제 5의 양상은 기관 상에 형성된 다결정 실리콘막층과, 게이트 절연층을 통해 상기 다결정 실리콘막 상에 형성된 게이트 전극 및 상기 게이트 전극의 양측에 정렬되며 상기 다결정 실리콘막층에 연결된 소스 및 드레인 전극을 포함하는 박막 트랜지스터 제조 방법에 관한 것으로,

기관 상에 비정질 실리콘막의 후막부와 박막부를 형성하는 단계와;

상기 박막부를 완전히 용융시키며 상기 후막부를 완전히 용융시키지 않는 에너지 밀도를 사용하여 상기 비정질 실리콘막을 레이저 어닐링하는 것에 의해 상기 후막부와 상기 박막부를 다결정화하는 단계; 및

상기 박막부를 적어도 채널부로서 갖는 박막 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 한다.

발명의 구성 및 작용

본 발명의 실시예가 첨부된 도면과 연계하여 상세히 설명될 것이다.

먼저, 본 발명의 구체예가 도 2의 (B)에 개시되어 있다.

도 2의 (B)를 참조하면, 절연막(21)을 통해 기관(10) 상에 형성된 다결정 실리콘막층(24)과, 게이트 절연층(34)을 통해 다결정 실리콘막층(24) 상에 형성된 게이트 전극(36) 및 상기 게이트 전극(36)의 양측에 정렬되며 상기 다결정 실리콘막층(24)과 접촉된 소스 및 드레인 전극(71, 72)을 포함하는 박막 트랜지스터(42)가 도시되어 있는데, 다결정 실리콘막층(24)의 일부는 박막부(16)와 후막부(thick-film part; 18)를 포함하며 박막부(16)의 적어도 일부는 트랜지스터(42)의 채널부(37)로서 적어도 사용되며, 박막부(16)는 도 2의 (A)에 도시된 바와 같은 크고 굽은 결정 입자(26)를 포함한다.

또한, 도 2의 (B)를 참조하면, 본 발명의 TFT(42)의 후막부(18)는 박막부(16)에 형성된 크고 굽은 결정 입자(26)보다 그 크기가 더 작은 결정 입자(27)를 포함한다.

본 발명의 TFT에 있어서, 박막부(16)의 적어도 일부는 완전히 용융된 상태에 있고, 동시에 후막부(18)의 적어도 일부는 완전히 용융되지 않은 상태에 있다.

본 발명의 TFT의 특정 구성을 달성하기 위해서, 박막부(16)와 후막부(18)를 갖도록 다결정 실리콘막(24)이 먼저 형성되고, 박막부(16)는 완전히 용융시키지만 후막부(18)는 완전히 용융시키지 않는 에너지 밀도의 레이저로 다결정 실리콘막(24)을 어닐링 처리한다.

본 발명에 있어서, 박막부를 완전히 용융시키는 에너지 밀도는 박막부(16)의 미세결정화 임계값(microcrystallization threshold value) 이상의 에너지 밀도이고, 후막부(18)를 완전히 용융시키지 않는 에너지 밀도는 후막부(18)의 미세 결정화 임계값보다 작은 에너지 밀도이다.

상기 본원에서 언급된 "완전히 용융시키는 에너지 밀도"는 미세 결정화 임계값 이상의 에너지 밀도를 의미한다. 비정질 실리콘막의 레이저 어닐링에 의해 형성된 다결정 실리콘막에서의 결정 입자 직경은 레이저 에너지에 의존한다.

레이저 에너지 밀도가 증가하면, 결정 입자 직경도 증가한다. 그러나, 소정의 에너지 밀도를 초과한 이후부터는, 그 직경은 20nm 이하의 아주 작은 값이 된다는 것이 알려져 있다(막 두께에 따라서는, 레이저 광 조사에 의한 용융 후에 결정화보다는 비정질로 된다). 이때의 에너지 밀도는 미세 결정화 임계값으로 알려져 있다.

미세 결정화는, 비정질 실리콘막의 용융 상태가 비완전 용융으로부터 완전 용융으로 변화함에 의해, 재결정화시의 핵 발생 기구(nucleation mechanism)가, 기관과 비정질 실리콘막 사이에 형성되는 계면을 핵 발생 사이트로 사용하는 불균일 핵 발생(heterogeneous nucleation)으로부터, 특이한 핵 발생 사이트가 없는 균일 핵 발생(homogeneous nucleation)으로 변화함에 의해 발생한다고 생각되고 있다.

이 핵 발생 기구의 변화는, 기관과 비정질 실리콘막 사이의 계면의 도달 온도, 막 두께 방향의 온도 분포, 냉각 속도 등에 의존한다.

따라서, 미세 결정화 임계값은, 비정질 실리콘막의 막 두께, 비정질 실리콘막의 구조, 비정질 실리콘막의 광학 정수(optical constants), 펄스 레이저광의 파장 및 펄스 폭과 같은 파라미터에 의존하여 변화한다. 예를 들면, 일단 레이저 어닐링된 다결정 실리콘막(24)의 미세 결정화 임계값은, 레이저 어닐링 전의 비정질 실리콘막(14)보다 약 14% 큰 값을 나타낸다. 또한, 더욱 에너지 밀도가 증대하면, 어블레이션에 의해 막 박리가 발생한다.

박막부(16)를 완전 용융시키지만 후막부(18)는 비완전 용융시키는 에너지 밀도를 사용하는 레이저 어닐링에 있어서, 후막부(18)에서의 온도는 미세 결정화 임계값의 온도보다 아래이다.

이 때문에, 후막부(18)에 있어서 기판과 비정질 실리콘막 사이의 계면은 핵 발생 사이트의 주요 장소가 되고, 기판과 비정질 실리콘막 사이의 계면으로부터 비정질 실리콘막의 표면으로 진행되는 결정 성장이 나타나게 된다.

한편, 박막부(16)에서는, 완전 용융하고 있음에 의해, 기판과 비정질 실리콘막 사이의 계면에서의 핵 발생이 억제되기 때문에, 후막부(18)에서 형성된 결정 입자가 씨드 결정(seed crystal; 22)으로 되어, 횡방향(막 면방향)으로 성장한 크고 굵은 결정 입자(26)가 얻어진다. 따라서 이들 크고 굵은 결정 입자(26)는 일차원으로 위치 제어되고 있다고 말할 수 있다.

따라서, 본 발명의 박막 트랜지스터(TFT)는, 박막부(16)에 형성되는 크고 굵은 결정 입자(26)가 채널부(37)의 표면과 평행한 방향을 따라 성장되고, 후막부(18)에 형성되는 결정 입자(27)는 기판(10)의 표면으로부터 다결정 실리콘막층(24)의 표면으로의 방향을 따라 성장됨을 특징으로 한다.

에너지 밀도가 과도하게 높아서, 박막부뿐만 아니라 후막부까지 완전히 용융되면, 미세 결정화된 조직이 박막부와 후막부 둘 다에 형성된다.

한편, 에너지 밀도가 너무 작아서, 후막부의 용융이 불충분하면, 기판(또는 SiO₂와 같은 절연막(12)을 갖는 기판)과 비정질 실리콘막 사이의 계면 근처의 영역에 잔여 비정질 실리콘막이 남게 된다.

이렇게 되면, 박막부와 후막부 사이의 계면보다 박막부측 상에 씨드 결정이 더 많이 형성되기 때문에, 크고 굵은 결정 입자의 입자 직경은 감소된다.

부가적으로, 에너지 밀도가 과도하게 낮아서 박막부를 완전히 용융시키지 못하는 경우에 있어서, 기판(또는 SiO₂와 같은 절연막(12)을 갖는 기판)과 비정질 실리콘막 사이의 계면에서 핵 발생이 일어나기 때문에, 1 μ m 보다 작은 비균일한 결정 입자가 박막부(16)와 후막부(18) 둘 다에서 랜덤하게 형성된다.

상기에 있어서, 조사 에너지 밀도는 박막부(16)에서 미세 결정화 임계값 이상이면서 어블레이션 임계값 미만이고, 후막부(18)에서 막 두께 방향으로 전체 비정질 실리콘막이 다결정화하는 값 이상이면서 미세 결정화 임계값 미만인 것으로 되는 조건을 선정한다.

따라서, 본 발명에 따른 TFT에 있어서, 박막부(16)가 완전히 용융되는 에너지 밀도는 박막부(16)의 미세 결정화 임계값 이상의 에너지 밀도이고, 후막부(18)가 비완전 용융되는 에너지 밀도는 후막부의 미세 결정화 임계값보다 작은 에너지 밀도이다.

또한, 본 발명에 따른 TFT에 있어서, 본 발명의 제 3의 양상에 따른 TFT에 있어서, 박막부(16)가 완전히 용융되는 에너지 밀도는 박막부 미세 결정화 임계값 이상이고 어블레이션 임계값 미만의 에너지 밀도이고, 후막부(18)가 완전히 용융되지 않는 에너지 밀도는 후막부의 다결정화 임계값 이상이고 미세 결정화 임계값 미만의 에너지 밀도이다.

상기 언급된 바와 같이, 본 발명에 따른 TFT에 있어서, 소스 전극(71)은 후막부(181)의 하나 상에 형성되고, 드레인 전극(72)은 다른 후막부(182) 상에 형성되는 것이 바람직하다.

또한, 본 발명에 있어서, 채널부(37)에 부가하여, LDD(약하게 도핑된 드레인) 영역(38)과 소스-드레인 영역(40)의 일부는 박막부(16)의 채널부(37)의 일부에 형성되는 것이 바람직하다.

상기 언급된 TFT에 있어서, 채널부(37)에 부가하여, 약하게 도핑된 드레인(LDD) 영역(38)과 소스-드레인 영역(40)의 일부가 박막부(16) 내에 형성됨을 주목하여야 한다.

LDD 영역(38)과 소스-드레인 영역(39)의 일부가 크고 굵은 결정 입자를 갖는 박막부 내에도 형성되기 때문에, LDD 영역(38)에서의 낮은 누설 전류와 소스-드레인 영역(40)에서의 낮은 저항을 달성할 수 있다.

한편, 본 발명에 있어서, 결정 입자의 적어도 두 행(26, 26')이, 도 2의 (A)에 도시된 바와 같이, 박막부(16)의 채널 길이 방향으로 형성될 수 있다.

또한, 본 발명에 있어서, 결정 입자의 두 행(26, 26')은 채널 길이 방향으로 박막부(42) 내에 형성된다. 박막부(16)와 후막부(18) 사이에 형성된 계면(73 또는 74)이 소스-드레인 영역(40)에 존재하는 경우, 결정 입자는 이들 계면(73 및 74) 둘다로부터 성장을 시작하기 때문에, 결정 입자의 두 행(26 및 26')은 박막부(16)의 채널 폭 방향으로 성장한다.

즉, 박막부(16)에 있어서, 채널 길이 방향과 교차하는 결정 입자 계면이 거의 평면이기 때문에, 캐리어 이동성이 향상하게 된다.

또한, 본 발명에 있어서, TFT의 채널부(16)는 결정 입자의 두 행(26 및 26')에서 선택된 한 행(26')에만 형성될 것이다.

본 발명의 이 실시예에 있어서, 채널 길이 방향과 교차하는 결정 입자 계면이 거의 없기 때문에, 캐리어 이동성이 더 향상한다.

본 발명에 있어서, 박막부의 채널 길이 방향의 길이는 약 $8\mu\text{m}$ 이하로 설정될 수 있는데, 이 경우 $4\mu\text{m}$ 까지의 직경을 갖는 크고 굵은 결정 입자를 상대적으로 쉽게 형성할 수 있다. 채널 길이 방향에서의 박막부의 길이가 $8\mu\text{m}$ 이하이면, 도 2의 (A) 및 (B)에 도시된 바와 같이 박막부의 채널 폭 방향에서 결정 입자의 두 행을 쉽게 형성할 수 있다.

본 발명의 TFT의 다른 실시예에 있어서, 미세 결정화 조직(32)은, 도 3의 (B)에 도시된 바와 같이, 채널부(37)로서의 기능을 하는 박막부(16)의 결정 입자의 두 행(26 및 26') 사이에서 결정 입자(26 및 26')의 두 행 사이에 형성되는 경계선(28)을 따라 또한 형성될 수 있다.

본 발명에 따른 TFT 제조 방법은 상기 언급된 TFT를 제조하는 방법이다.

여기서, 본 발명은 하기의 구성을 채택할 수 있다.

(1) 활성층으로서 박막부와 후막부를 갖는 다결정 실리콘막을 사용하는 TFT로서, 채널부와, LDD 영역, 및 소스-드레인 영역의 일부가 박막부에 형성되는 TFT.

(2) 박막부가 결정 입자의 두 행으로 형성되는 상기 (1)의 TFT.

(3) 활성층으로서 박막부와 후막부를 갖는 다결정 실리콘막을 사용하는 TFT 제조 방법으로서, 박막부를 완전히 용융시키지만 후막부를 완전히 용융시키지 않는 에너지 밀도를 갖는 엑시머 레이저로 어닐링을 수행하는 TFT 제조 방법.

(4) 박막부 영역 폭이 $8\mu\text{m}$ 이하인 상기 (3)의 TFT 제조 방법.

다결정 실리콘막 제조 방법에 의하면, 비정질 실리콘 박막은 엑시머 레이저로 조사되고, 비정질 실리콘 박막은 두 형태의 막 두께를 가지며, 엑시머 레이저광의 조사 강도는 비정질 실리콘 박막의 박막부를 완전히 용융시키고, 비정질 실리콘 박막의 후막부를 완전히 용융시키지 않는 강도이다. 이 방법은 박막부에 LDD 영역과 채널 영역을 갖는 TFT를 제공한다.

이하, 본 발명의 TFT의 보다 구체적인 예를 첨부된 도면과 연계하여 상세히 설명될 것이다.

먼저, PECVD(Plasma Enhanced CVD) 방법을 사용하여, 유리 기판(10) 상에 하부층을 형성하는 절연막인 SiO_2 막(12)이 형성되고 그 다음 비정질 실리콘막(14)이 형성된다(도 1의 (A)).

두 막의 두께는 100nm이다.

다음에, 유리 기판(10) 등은 500°C 에서 5분동안 탈수소되고, 종래의 포토리소그래피와 드라이 에칭을 사용하여 비정질 실리콘막(14) 상에 박막부(16)와 후막부(18)를 형성한다(도 1의 (B)).

박막부(16)는 40nm의 막두께를 가지며 3 μ m의 영역 폭을 갖는다. 후막부(18)의 막두께는 100nm 그대로 이다. 다음에, 비정질 실리콘막(14)의 표면을 엑시머 레이저광(15)으로 조사한다(도 1의 (C)).

사용되는 어닐링 장치는 200mm \times 0.4mm 광학계를 갖는 종래의 대량 생산된 장치이다. 어닐링 조건으로서, 에너지 밀도는 박막부(16)를 완전히 용융시키는 430mJ/cm²로 하고, 주사 피치는 40 μ m로 하였다.

상기 언급된 바와 같이, "완전히 용융시키는 에너지 밀도"는 미세 결정화 임계값 이상의 에너지 밀도를 의미한다.

예를 들면, 일본 특개평 제 11-274095호에 개시된 바와 같이, 비정질 실리콘막(14)의 레이저 어닐링에 있어서, 형성된 다결정 실리콘막(24)에서의 결정 입자 직경은 레이저 에너지 밀도에 의존한다.

에너지 밀도가 증가하면, 입자 직경은 증가한다. 그러나, 어느 특정한 에너지 밀도를 넘으면 직경이 20nm 이하로 극히 미세하게 되는 것이 알려져 있다(막 두께에 따라서는, 레이저 조사에 의한 용융 후에 결정화 하는 일 없이 비정질화 한다). 이때의 에너지 밀도를, 미세 결정화 임계값이라고 한다.

40nm의 막두께를 갖는 비정질 실리콘막의 미세 결정화 임계값은 10mJ/cm²이었다.

이 때문에, 동일한 두께를 갖는 비정질 실리콘막의 경우에 있어서, 430mJ/cm²로 조사가 수행되면, 미세 결정화된 조직이 발생할 것이다. 그러나, 본 실시예에 있어서, 430mJ/cm²을 갖는 레이저의 조사 후에, 박막부(16)에 있어서, 박막부(16) 폭의 대략 절반인 1.5 μ m의 입자 직경을 갖는 크고 굵은 결정 입자(26)가 도 1의 (D)에 도시된 바와 같이 형성되었다.

이러한 크고 굵은 결정 입자의 생성은 박막부(16)의 양측 상에 후막부(18)가 존재하기 때문이다.

후막부(18)에 있어서, 430mJ/cm²의 에너지 밀도가 미세 결정화 임계값(대략 570mJ/cm²) 이하이기 때문에, 기판/실리콘 계면(19)은 주요 핵 발생 사이트(20)가 되고, 기판/실리콘 계면(19)으로부터 비정질 실리콘막(14)의 표면을 향해 결정이 성장한다.

한편, 박막부(16)에서는, 완전히 용융되고 기판/실리콘 계면(19)에서의 핵 발생이 억제되기 때문에, 후막부(18)에 형성된 결정 입자는 씨드 결정(22)의 역할을 하게 되고, 그 결과 횡방향(막 표면 방향)으로 성장하는 크고 굵은 결정 입자(26)가 얻어지게 된다. 따라서, 크고 굵은 결정 입자(26)는 일차원으로 위치 제어되어 있다고 할 수 있다.

도 2의 (A)에 도시된 바와 같이, 크고 굵은 결정 입자(26)가 박막부(16)의 양단으로부터 성장하기 때문에, 결정 입자 경계(28)는 박막부(16)를 두 부분으로 분할하도록 형성된다.

과도하게 높은 에너지 밀도에서는, 후막부(18)를 완전히 용융시키기 때문에, 미세 결정화 조직이 박막부(16)와 후막부(18) 둘 다에서 형성된다.

에너지 밀도가 불충분하여 후막부(18)가 완전히 용융되지 않는 경우에 있어서는, 도 3의 (A)에 도시된 바와 같이, 기판/실리콘 계면(19)의 근처 영역에 잔여 비정질 실리콘막(30)이 존재하게 된다.

이 경우, 박막부(16)와 후막부(18) 사이의 경계에서보다 박막부(16)측 상에 씨드 결정이 형성되기 때문에, 크고 굵은 결정 입자(26) 각각의 입자 직경은 감소된다.

또한, 에너지 밀도가 과도하게 낮아서 박막부(16)가 완전 용융하지 않는 경우에는, 기판/실리콘 계면(19)에서 핵 발생이 일어나기 때문에, 1 μ m보다 작은 비균질한 결정 입자가 후막부(18)와 함께 박막부(16)에서도 랜덤하게 형성된다.

따라서, 조사 에너지 밀도는, 박막부(16)에서 미세 결정화 임계값 이상이면서 어블레이션 임계값 미만이고, 후막부(18)에서 막 두께 방향으로 전체 비정질 실리콘막이 다결정화하는 값 이상이면서 미세 결정화 임계값 미만인 것이 되는 조건을 선정한다.

본 실시 형태에서는, 상기한 값은 각각, 410mJ/cm², 600mJ/cm² 이상, 250mJ/cm², 570mJ/cm²이기 때문에, 410 내지 570mJ/cm²의 에너지 밀도가, 균질하며 위치 제어된 크고 굵은 결정 입자(26)를 갖는 다결정 실리콘막(24)를 얻는데 필요한 조사 제어 조건으로 된다.

크고 굵은 결정 입자(26)의 입자 직경은, 조사 에너지 밀도나 박막부(16)와 후막부(18)와의 막 두께 차에도 의존하지만, 주로 기관 온도 등에 의존하기 때문에, 기관 온도가 실온인 때, 대략적인 한도는 약 $2\mu\text{m}$ 이다. 또한, 영역 폭이 $5\mu\text{m}$ 인 박막부(16)로 하였을 때, 도 3의 (B)에 도시한 바와 같이, 박막부(16)의 양 측에 $2\mu\text{m}$ 의 크고 굵은 결정 입자(26)가 형성되지만, 중앙부 $1\mu\text{m}$ 의 영역에는 미세 결정화 조직(32)이 형성된다. 또한 기관 온도를 400°C 로 하였을 때, 크고 굵은 결정 입자(26)의 입자 직경은 약 $4\mu\text{m}$ 까지 증가하였다.

이상의 1차원으로 위치 제어된 크고 굵은 결정 입자(26)로 이루어지는 다결정 실리콘막(24)을 이용하여, 도 2의 (B)에 도시한 바와 같이, 게이트 절연막(34), 게이트 전극(36), 게이트 전극(36)의 양측의 LDD 영역(38), 소스-드레인 영역(40)을 형성하였다.

여기서 게이트 전극 폭(TFT 채널 길이)은 $1.5\mu\text{m}$, LDD 길이는 $0.5\mu\text{m}$ 으로 하였다. 그 후, 도시하지 않았지만, 층간 절연막(34) 및 소스-드레인 전극 배선(71, 72)을 형성하여, TFT(42)를 완성한다.

즉, TFT(42)는 박막부(16)와 후막부(18)를 갖는 다결정 실리콘막(24)으로 이루어지고, 박막부(16)가 적어도 채널부(37)로서 이용된다. 그리고, 다결정 실리콘막은 박막부(16)가 완전 용융함과 함께 후막부(18)가 완전 용융하지 않는 에너지 밀도의 레이저 어닐링에 의해 형성된다.

이와 같이 제작된 TFT(42)는, 캐리어의 이동을 현저하게 방해하는 채널 길이 방향에 대해 거의 수직인 결정 입자 경계(28)가 단일 면으로 제어되기 때문에, 이동도가 높고, 소자간의 편차도 작다.

또한, 채널/LDD 경계(44)와 LDD/소스-드레인 경계(46)가 채널 길이 방향으로 동일한 크고 굵은 결정 입자(26) 내에 형성되어 있기 때문에, 누설 전류도 단결정 실리콘 기관상의 TFT 수준으로 극히 낮은 값을 나타낸다.

또한, 소스-드레인 영역(40)에는 후막부(18)를 포함하는 쪽이, 시트 저항의 저감, 불순물 도입시의 프로파일 제어성, 컨택트 홀 형성시의 에칭 제어성 등에 유리하다. LDD 영역(38)이 없는 셀프 얼라인 TFT의 경우, 누설 전류는 높아지지만, 그래도 채널/소스-드레인 단자가 채널 길이 방향으로 동일한 결정 입자 내에 형성되어 있기 때문에, 보통의 셀프 얼라인 다결정 실리콘 TFT에 비하면 낮은 값을 나타낸다.

또한 비정질 실리콘막 두께차를 형성하는 경우, 일본 특허 제2689596호 공보에 개시된바와 같이, 비정질 실리콘막을 2회 성막할 수도 있지만, 이 때 두 비정질 실리콘막의 계면에 자연 산화막이 잔존하게 된다.

이와 같은 막 내에 자연 산화막이 잔존한 후막부를 TFT의 소스-드레인 영역에 이용하면, 소스-드레인 저항이 증대하기 때문에 바람직하지 않다.

도 4의 (A)는, 본 발명의 다른 실시예에 따른 TFT를 도시한 단면도이다. 이하, 이 도면에 의거하여 설명한다. 본 실시예에 있어서, 도 2의 (B)와 같은 부분은 같은 부호를 붙이고 그 설명은 생략한다.

상기 언급된 실시예에 관해 설명한 것과 마찬가지로, 400°C 에서 레이저 어닐링을 수행하고, $3\mu\text{m}$ 의 2열로 배열한 크고 굵은 결정 입자(26)로 이루어진 다결정 실리콘막(24)을 형성하였다. 이 다결정 실리콘막(24)을 이용하여, 게이트 절연막(34), 게이트 전극(48), 게이트 전극(48)의 양측의 LDD 영역(50), 소스-드레인 영역(52)을 형성하였다.

이로써, 채널 길이 $0.8\mu\text{m}$, LDD 길이 $0.5\mu\text{m}$ 의 양측 LDD 구조의 TFT(54)를 제작하였다. 여기서 채널부(49)는, 한쪽의 크고 굵은 결정 입자(26) 내에 형성함에 의해, 박막부(16)를 2분하는 결정 입자 경계(28)를 포함하지 않도록 하였다.

결정 입자 경계(28)는, 소스-드레인 영역(52)에 있는 것이 바람직하지만, 게이트 길이나 LDD 길이 및 포토리소그래피 정렬 정밀도에 따라서는, 소스측 또는 드레인측의 LDD 영역(50)의 어느 하나에 포함되어 버릴 가능성이 있다.

낮은 누설 전류의 관점에서는, 소스측의 LDD 영역(50)에 결정 입자 경계(28)가 있는 것이 바람직하다.

도 4의 (B)는, 본 발명에 따른 TFT의 다른 실시예를 도시한 단면도로서, 이하, 이 도면에 의거하여 설명한다.

도 2의 (B)와 같은 부분은 같은 부호를 붙이고 그 설명을 생략한다.

제 1의 실시예와 마찬가지로, 1.5 μ m의 2열로 배열한 크고 굵은 결정 입자(26)로 이루어진 다결정 실리콘막(24)을 형성하였다. 이 다결정 실리콘막(24)을 이용하여, 게이트 절연막(34), 게이트 전극(56), 게이트 전극(56)의 편측의 LDD 영역(58), 소스-드레인 영역(60)을 형성하였다.

이로써, 채널 길이 0.8 μ m, LDD 길이 0.2 μ m의 편측 LDD 구조의 TFT(62)를 제작하였다. 여기서 채널부(57)는, 한쪽의 크고 굵은 결정 입자(26) 내에 형성되어 있다. 박막부(16)를 2분하는 결정 입자 경계(28)는, 채널부(57) 및 LDD 영역(58)에 는 위치하지 않는다.

상기 언급한 바와 같이, 상기 설명된 박막 트랜지스터 제조 방법의 기본적인 기술적 개념은,

기판 상에 비정질 실리콘막의 후막부와 박막부를 형성하는 단계와;

박막부를 완전히 용융시키며 후막부를 완전히 용융시키지 않는 에너지 밀도를 사용하여 상기 비정질 실리콘막을 레이저 어닐링하는 것에 의해 상기 후막부와 상기 박막부를 다결정화하는 단계와;

상기 박막부를 적어도 채널부로서 갖는 박막 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 한다.

또한, 상기 언급된 박막 트랜지스터 제조 방법에 있어서, 기판 상에 비정질 실리콘막의 후막부와 박막부를 형성하는 단계는,

상기 기판 상에 비정질 실리콘막을 형성하는 단계; 및

상기 비정질 실리콘막의 일부의 표면이 상기 비정질 실리콘막의 나머지 부분의 표면보다 더 낮게 되도록 상기 비정질 실리콘막의 상기 일부의 표면을 부분적으로 에칭하는 단계를 포함하는 것이 바람직하다.

한편, 상기 언급된 박막 트랜지스터 제조 방법에 있어서, 기판 상에 비정질 실리콘막의 후막부와 박막부를 형성하는 단계는,

상기 기판 상에 제 1의 비정질 실리콘막을 형성하는 단계와;

상기 제 1의 비정질 실리콘막의 일부를 에칭하는 단계; 및

이렇게 에칭된 상기 제 1의 비정질 실리콘막을 포함하는 상기 기판 상에 제 2의 비정질 실리콘막을 형성하는 단계를 포함하는 것이 바람직하다.

또한, 상기 언급된 박막 트랜지스터 제조 방법에 있어서, 박막부를 완전히 용융시키는 에너지 밀도는 박막부의 미세 결정화 임계값 이상의 에너지 밀도이고, 후막부를 완전히 용융시키지 않는 에너지 밀도는 후막부의 미세 결정화 임계값보다 낮은 에너지 밀도인 것이 더 바람직하다.

또한, 상기 언급된 박막 트랜지스터 제조 방법에 있어서, 박막부를 완전히 용융시키는 에너지 밀도는 박막부의 미세 결정화 임계값 이상이고 어블레이션 임계값 미만의 에너지 밀도이고 후막부를 완전히 용융시키지 않는 에너지 밀도는 후막부의 다결정화 임계값 이상이며 미세 결정화 임계값 미만의 에너지 밀도인 것이 더 바람직하다.

본 발명은, 예로서 제시된 상기 언급된 실시예에 제한되는 것은 아니다. 예를 들면, 기판 상에 제 1의 비정질 실리콘막을 형성하고, 그 다음, 상기 제 1의 비정질 실리콘막의 일부를 에칭하여, 상기 제 1의 비정질 실리콘막을 포함하는 기판 상에 제 2의 비정질 실리콘막을 형성하고, 이에 의해 박막부와 후막부를 형성할 수도 있다.

발명의 효과

상기 상세히 설명된 본 발명에 따르면, 박막부를 완전히 용융시키며 후막부를 완전히 용융시키지 않는 에너지 밀도를 갖는 레이저로 어닐링하는 것에 의해 다결정 실리콘막을 형성함으로써, 박막부와 후막부 사이의 계면으로부터 성장된 크고 굵은 결정 입자로 채널부가 형성되기 때문에, 일반적인 레이저 어닐링 장치를 이용하여 높은 캐리어 이동도 및 낮은 누설 전류 등의 성능을 간단하게 실현할 수 있다.

채널부 이외에, LDD 영역과 소스-드레인 영역의 일부를 박막부에 형성함에 의해, LDD 영역 및 소스-드레인 영역의 일부도 크고 굽은 결정 입자로 형성되기 때문에, LDD 영역에서의 낮은 리크 전류화, 소스-드레인 영역에서의 저저항화가 도모될 수 있다.

채널 길이 방향의 2열의 결정 입자로 박막부를 구성함으로써, 박막부에서는 채널 길이 방향과 교차하는 결정 입자 경계가 대략 한 면으로 되기 때문에, 캐리어 이동도가 보다 향상한다.

2열의 결정 입자의 한쪽에만 채널부가 형성되기 때문에, 채널 길이 방향과 교차하는 결정 입계가 거의 없어지게 되고, 그 결과 캐리어 이동도가 보다 향상된다.

박막부의 채널 길이 방향을 8 μm 이하로 함에 의해, 4 μm 이하의 크고 굽은 결정 입자는 비교적 용이하게 형성할 수 있고, 그 결과, 박막부의 채널 폭방향으로 2열의 결정 입자를 용이하게 형성할 수 있다.

(57) 청구의 범위

청구항 1.

기관 상에 형성된 다결정 실리콘막층과, 게이트 절연층을 통해 상기 다결정 실리콘막층 상에 형성된 게이트 전극, 및 상기 게이트 전극의 양측에 정렬되며 상기 다결정 실리콘막층에 연결되는 소스 및 드레인 전극을 포함하는 박막 트랜지스터에 있어서,

상기 다결정 실리콘막층의 일부는 박막부와 후막부를 포함하고 상기 박막부의 적어도 일부는 상기 트랜지스터의 채널부로서 적어도 사용되며, 상기 박막부는 크고 굽은 결정 입자를 포함하고,

상기 후막부는 상기 박막부에 형성된 상기 크고 굽은 결정 입자의 크기보다 더 작은 크기의 결정 입자를 포함하며,

상기 박막부에 형성된 상기 크고 굽은 결정 입자는 상기 채널부의 표면과 평행한 방향을 따라 성장되며, 상기 후막부에 형성된 상기 결정 입자는 상기 기관 표면으로부터 상기 다결정 실리콘막층 표면으로의 방향을 따라 성장되는 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

제 1항에 있어서,

상기 소스 전극은 상기 후막부의 하나 상에 형성되고, 상기 드레인 전극은 다른 후막부 상에 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

제 1항에 있어서,

상기 채널부에 부가하여, LDD 영역과 소스-드레인 영역의 일부가 상기 박막부의 상기 채널부의 일부에 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

제 1항에 있어서,

상기 결정 입자의 적어도 두 옆은 상기 박막부의 채널 길이 방향으로 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

제 6항에 있어서,

상기 결정 입자의 상기 두 옆 중 하나의 옆에만 채널부가 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 8.

제 7항에 있어서,

상기 결정 입자의 상기 두 옆 사이에 형성된 경계선을 따라 상기 채널부의 상기 결정 입자의 상기 두 옆 사이에 미세 결정화 조직이 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 9.

제 1항에 있어서,

상기 박막부의 채널 길이 방향은 $8\mu\text{m}$ 이하인 것을 특징으로 하는 박막 트랜지스터.

청구항 10.

기판 상에 형성된 다결정 실리콘막층과, 게이트 절연층을 통해 상기 다결정 실리콘막층 상에 형성된 게이트 전극, 및 상기 게이트 전극의 양측에 정렬되며 상기 다결정 실리콘막층에 연결되는 소스 및 드레인 전극을 포함하는 박막 트랜지스터에 있어서,

상기 다결정 실리콘막층의 일부는 박막부와 후막부를 포함하고 상기 박막부의 적어도 일부는 상기 트랜지스터의 채널부로서 적어도 사용되며, 상기 박막부의 적어도 일부는 완전히 용융된 상태로 있고, 상기 후막부의 적어도 일부는 완전히 용융되지 않는 상태로 있는 것을 특징으로 하는 박막 트랜지스터.

청구항 11.

박막 트랜지스터에 있어서,

박막부와 후막부를 포함하는 다결정 실리콘막을 포함하며,

상기 박막부는 채널부로서 적어도 사용되며,

상기 다결정 실리콘막은 상기 박막부를 완전히 용융시키지만 상기 후막부는 완전히 용융시키지 않는 에너지 밀도의 레이저 어닐링에 의해 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 12.

제 11항에 있어서,

상기 박막부를 완전히 용융시키는 상기 에너지 밀도는 상기 박막부의 미세 결정화 임계값 이상의 에너지 밀도이고, 상기 후막부를 완전히 용융시키지 않는 상기 에너지 밀도는 상기 후막부의 미세 결정화 임계값 미만의 에너지 밀도인 것을 특징으로 하는 박막 트랜지스터.

청구항 13.

제 11항에 있어서,

상기 박막부를 완전히 용융시키는 상기 에너지 밀도는 상기 박막부의 미세 결정화 임계값 이상이며 상기 박막부의 어블레이션 임계값 미만의 에너지 밀도이고, 상기 후막부를 완전히 용융시키지 않는 상기 에너지 밀도는 상기 후막부의 다결정화 임계값 이상이며 미세 결정화 임계값 미만의 에너지 밀도인 것을 특징으로 하는 박막 트랜지스터.

청구항 14.

제 11항에 있어서,

상기 채널부에 부가하여, LDD 영역과 소스-드레인 영역의 일부가 상기 박막부의 상기 채널부의 일부에 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 15.

제 11항에 있어서,

상기 결정 입자의 적어도 두 옆은 상기 박막부의 채널 길이 방향으로 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 16.

제 15항에 있어서,

상기 결정 입자의 상기 두 옆 중 하나의 옆에만 채널부가 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 17.

제 16항에 있어서,

상기 결정 입자의 상기 두 옆 사이에 형성된 경계선을 따라 상기 채널부의 상기 결정 입자의 상기 두 옆 사이에 미세 결정화 조직이 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 18.

제 11항에 있어서,

상기 박막부의 채널 길이 방향은 $8\mu\text{m}$ 이하인 것을 특징으로 하는 박막 트랜지스터.

청구항 19.

기관 상에 형성된 다결정 실리콘막층과, 게이트 절연층을 통해 상기 다결정 실리콘막 상에 형성된 게이트 전극 및 상기 게이트 전극의 양측에 정렬되며 상기 다결정 실리콘막층에 연결된 소스 및 드레인 전극을 포함하는 박막 트랜지스터 제조 방법에 있어서,

기관 상에 비정질 실리콘막의 후막부와 박막부를 형성하는 단계와;

상기 박막부를 완전히 용융시키며 상기 후막부를 완전히 용융시키지 않는 에너지 밀도를 사용하여 상기 비정질 실리콘막을 레이저 어닐링하는 것에 의해 상기 후막부와 상기 박막부를 다결정화하는 단계; 및

상기 박막부를 적어도 채널부로서 갖는 박막 트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 20.

제 19항에 있어서,

기관 상에 비정질 실리콘막의 후막부와 박막부를 형성하는 상기 단계는,

상기 기관 상에 비정질 실리콘막을 형성하는 단계; 및

상기 비정질 실리콘막의 일부의 표면이 상기 비정질 실리콘막의 나머지 부분의 표면보다 더 낮게 되도록 상기 비정질 실리콘막의 상기 일부의 표면을 부분적으로 에칭하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 21.

제 19항에 있어서,

기관 상에 비정질 실리콘막의 후막부와 박막부를 형성하는 상기 단계는,

상기 기관 상에 제 1의 비정질 실리콘막을 형성하는 단계와;

상기 제 1의 비정질 실리콘막의 일부를 에칭하는 단계; 및

이렇게 에칭된 상기 제 1의 비정질 실리콘막을 포함하는 상기 기관 상에 제 2의 비정질 실리콘막을 형성하는 단계를 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 22.

제 19항에 있어서,

상기 박막부를 완전히 용융시키는 상기 에너지 밀도는 박막부의 미세 결정화 임계값 이상의 에너지 밀도이고, 상기 후막부를 완전히 용융시키지 않는 상기 에너지 밀도는 상기 후막부의 미세 결정화 임계값보다 낮은 에너지 밀도인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

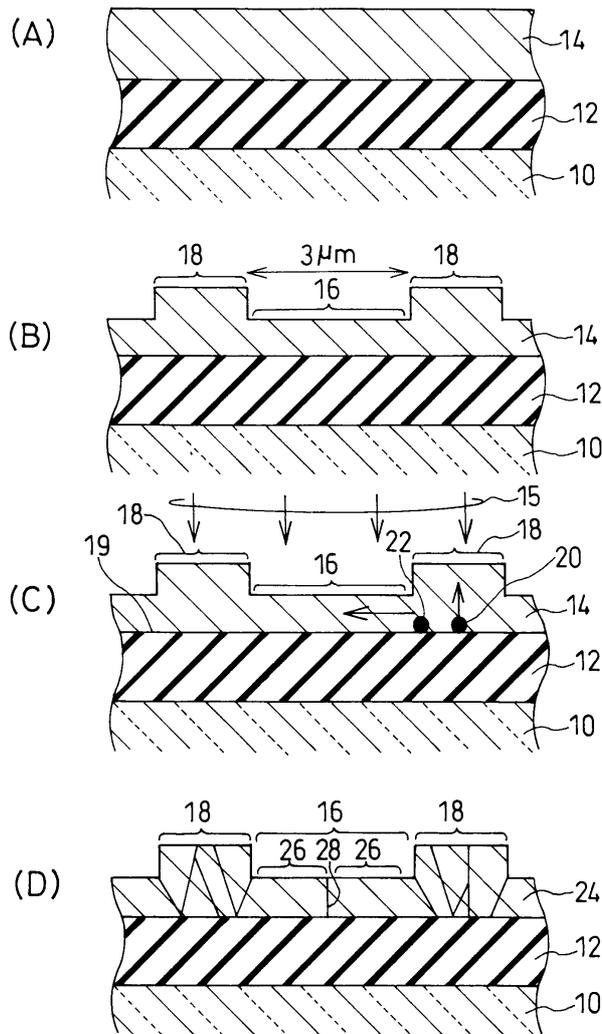
청구항 23.

제 19항에 있어서,

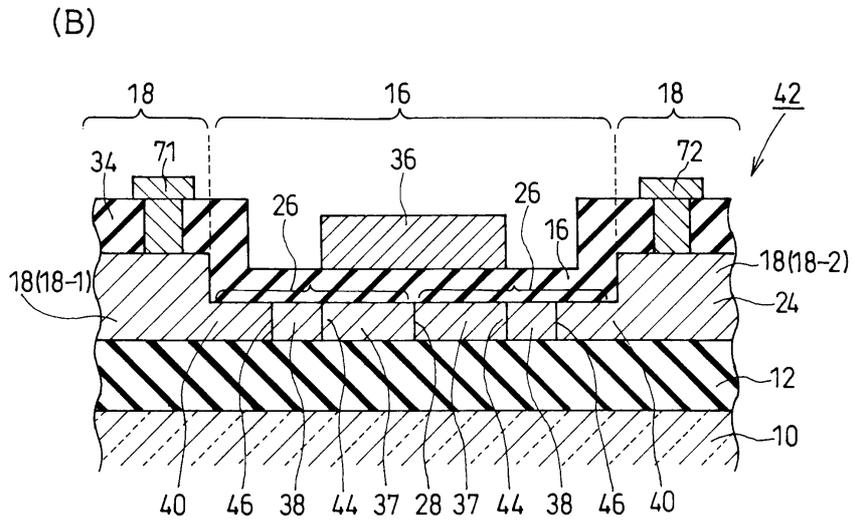
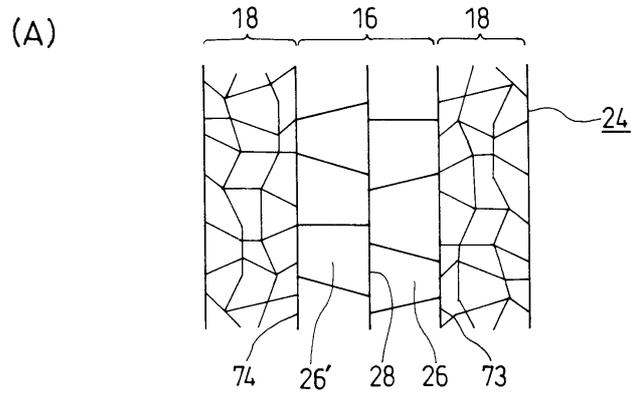
상기 박막부를 완전히 용융시키는 상기 에너지 밀도는 상기 박막부의 미세 결정화 임계값 이상이고 어블레이션 임계값 미만의 에너지 밀도이고 상기 후막부를 완전히 용융시키지 않는 상기 에너지 밀도는 후막부의 다결정화 임계값 이상이며 미세 결정화 임계값 미만의 에너지 밀도인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

도면

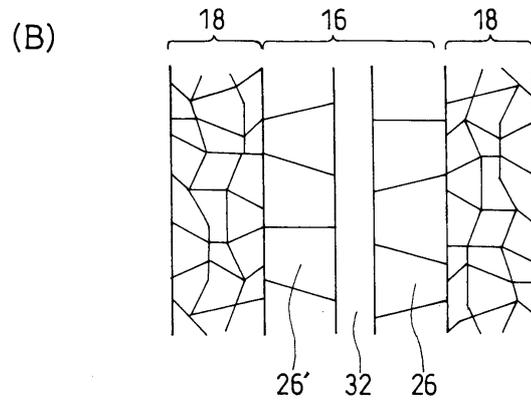
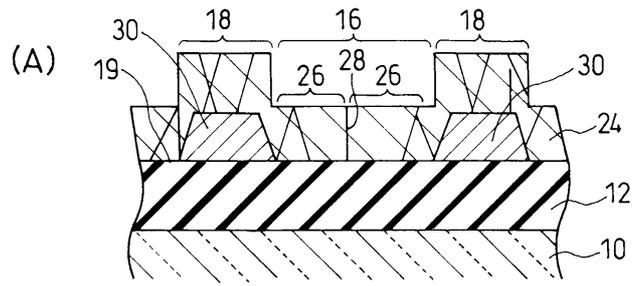
도면1



도면2



도면3



도면4

