

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4766288号  
(P4766288)

(45) 発行日 平成23年9月7日(2011.9.7)

(24) 登録日 平成23年6月24日(2011.6.24)

(51) Int.Cl.		F I			
<b>HO4J</b>	<b>3/00</b>	<b>(2006.01)</b>	HO4J	3/00	A
<b>G06T</b>	<b>1/20</b>	<b>(2006.01)</b>	G06T	1/20	A

請求項の数 2 (全 16 頁)

(21) 出願番号	特願2000-186331 (P2000-186331)	(73) 特許権者	000002185
(22) 出願日	平成12年6月21日(2000.6.21)		ソニー株式会社
(65) 公開番号	特開2002-7117 (P2002-7117A)		東京都港区港南1丁目7番1号
(43) 公開日	平成14年1月11日(2002.1.11)	(74) 代理人	100082131
審査請求日	平成19年2月7日(2007.2.7)		弁理士 稲本 義雄
		(72) 発明者	近藤 哲二郎
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	中屋 秀雄
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	三坂 敏夫

最終頁に続く

(54) 【発明の名称】 情報処理装置

(57) 【特許請求の範囲】

【請求項1】

所定の単位の入力単位データの連続である入力画像データに対して、時間 T に入力される 1 つの前記入力単位データを、N 個の連続する前記入力単位データに順次変換し、前記 N 個の連続する前記入力単位データを T 時間で出力する生成手段と、

前記入力単位データに付加されているヘッダの同期情報に基づいて、前記入力単位データの区切りに対応する T / N 時間周期の同期信号を生成する同期信号生成手段と、

前記 N 個の前記入力単位データそれぞれに対応する前記 N 個の出力先と接続する接続手段と、

前記生成手段により生成された前記 N 個の連続する前記入力単位データを順次取得するとともに、前記 N 個の前記入力単位データに対して、対応する前記出力先に応じた信号処理を実行する実行手段と、

前記実行手段が前記出力先に応じた信号処理を実行する際に必要となる処理関連情報を記憶し、前記実行手段に時分割に供給する処理関連情報管理手段と、

前記入力単位データに付加されているヘッダの情報と前記 T / N 時間周期の同期信号に基づいて、前記前記実行手段により取得された前記入力単位データが、N 個中の何番目のデータかを検出し、その検出結果を前記処理関連情報管理手段に供給し、前記実行手段に供給する前記処理関連情報を前記処理関連情報管理手段に切り換えさせることで、前記実行手段で実行される前記信号処理を切り換える切り換え手段と、

前記実行手段により前記信号処理が施された、N 個の前記入力単位データのそれぞれを

10

20

、前記接続手段を介して、対応する前記出力先に出力させる出力制御手段とを備え、

前記実行手段は、前記入力単位データに前記信号処理が施された画像を構成する画素を、順次、注目画素とし、

その注目画素に対して、クラスタップおよび予測タップとして選択される前記注目画素周辺の前記入力単位データの画素を特定する情報をクラスタップ形成情報および予測タップ形成情報として取得するとともに、前記予測タップを構成する画素と乗算される予測係数のセットを取得し、

取得された前記クラスタップ形成情報に基づいて、前記クラスタップとしての画素を選択し、

選択された前記クラスタップから、前記注目画素を所定のクラスに分類した結果であるクラスコードを生成し、

生成された前記クラスコードに対応する前記予測係数のセットを用いて、前記予測タップを構成する画素と前記予測係数の線形結合演算を行うことで、前記注目画素の画素値を求めるクラス分類適応処理を実行し、

前記処理関連情報管理手段は、前記出力先に応じた信号処理に対応する前記クラスタップ形成情報、前記予測タップ形成情報、および前記予測係数のセットを、前記処理関連情報として前記実行手段に時分割に供給する

ことを特徴とする情報処理装置。

#### 【請求項 2】

前記実行手段が行う前記信号処理の少なくとも 1 つは、ノイズ除去処理または輝度補正処理である

ことを特徴とする請求項 1 に情報処理装置。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、情報処理装置に関し、特に、入力されたデータに対し、出力先に応じた異なる処理を行うことができるようにした情報処理装置に関する。

##### 【0002】

##### 【従来の技術】

基本的なハードウェア構成を変更せずに、複数の処理を実行することができる装置が、開発されている。

##### 【0003】

##### 【発明が解決しようとする課題】

しかしながら、出力先に応じて実行する処理を切り換えるとともに、その処理を施したデータを、対応する出力先に出力する装置は、開示されていない。

##### 【0004】

本発明は、このような状況に鑑みてなされたものであり、出力先に応じて実行する処理を切り換え、その処理を施したデータを、対応する出力先に出力することができるようにするものである。

##### 【0005】

##### 【課題を解決するための手段】

本発明の情報処理装置は、所定の単位の入力単位データの連続である入力画像データに対して、時間 T に入力される 1 つの入力単位データを、N 個の連続する入力単位データに順次変換し、N 個の連続する入力単位データを T 時間で出力する生成手段と、入力単位データに付加されているヘッダの同期情報に基づいて、入力単位データの区切りに対応する T / N 時間周期の同期信号を生成する同期信号生成手段と、N 個の入力単位データそれぞれに対応する N 個の出力先と接続する接続手段と、生成手段により生成された N 個の連続する入力単位データを順次取得するとともに、N 個の入力単位データに対して、対応する出力先に応じた信号処理を実行する実行手段と、実行手段が出力先に応じた信号処理を実

10

20

30

40

50

行する際に必要となる処理関連情報を記憶し、実行手段に時分割に供給する処理関連情報管理手段と、入力単位データに付加されているヘッダの情報とT/N時間周期の同期信号に基づいて、実行手段により取得された入力単位データが、N個中の何番目のデータかを検出し、その検出結果を処理関連情報管理手段に供給し、実行手段に供給する処理関連情報を処理関連情報管理手段に切り換えさせることで、実行手段で実行される信号処理を切り換える切り換え手段と、実行手段により信号処理が施された、N個の入力単位データのそれぞれを、接続手段を介して、対応する出力先に出力させる出力制御手段とを備え、実行手段は、入力単位データに信号処理が施された画像を構成する画素を、順次、注目画素とし、その注目画素に対して、クラスタップおよび予測タップとして選択される注目画素周辺の入力単位データの画素を特定する情報をクラスタップ形成情報および予測タップ形成情報として取得するとともに、予測タップを構成する画素と乗算される予測係数のセットを取得し、取得されたクラスタップ形成情報に基づいて、クラスタップとしての画素を選択し、選択されたクラスタップから、注目画素を所定のクラスに分類した結果であるクラスコードを生成し、生成されたクラスコードに対応する予測係数のセットを用いて、予測タップを構成する画素と予測係数の線形結合演算を行うことで、注目画素の画素値を求めるクラス分類適応処理を実行し、処理関連情報管理手段は、出力先に応じた信号処理に対応するクラスタップ形成情報、予測タップ形成情報、および予測係数のセットを、処理関連情報として実行手段に時分割に供給することを特徴とする。

【0008】

実行手段が行う信号処理の少なくとも1つは、ノイズ除去処理または輝度補正処理であることを特徴とする。

【0009】

本発明の情報処理装置においては、所定の単位の入力単位データの連続である入力画像データに対して、時間Tに入力される1つの入力単位データがN個の連続する入力単位データに順次変換されて、T時間で出力され、入力単位データに付加されているヘッダの同期情報に基づいて、入力単位データの区切りに対応するT/N時間周期の同期信号が生成され、入力単位データに付加されているヘッダの情報とT/N時間周期の同期信号に基づいて、実行手段により取得された入力単位データが、N個中の何番目のデータかが検出され、その検出結果を処理関連情報管理手段に供給し、実行手段に供給する処理関連情報を処理関連情報管理手段に切り換えさせることで、実行手段で実行される信号処理が切り換えられ、N個の入力単位データに対して、対応する出力先に応じた信号処理が実行手段により実行され、実行手段により信号処理が施された、N個の入力単位データのそれぞれが、接続手段を介して、対応する出力先に出力される。実行手段では、入力単位データに信号処理が施された画像を構成する画素が、順次、注目画素とされ、その注目画素に対して、クラスタップおよび予測タップとして選択される注目画素周辺の入力単位データの画素を特定する情報がクラスタップ形成情報および予測タップ形成情報として取得されるとともに、予測タップを構成する画素と乗算される予測係数のセットが取得され、取得されたクラスタップ形成情報に基づいて、クラスタップとしての画素が選択され、選択されたクラスタップから、注目画素を所定のクラスに分類した結果であるクラスコードが生成され、生成されたクラスコードに対応する予測係数のセットを用いて、予測タップを構成する画素と予測係数の線形結合演算を行うことで、注目画素の画素値が求められる。処理関連情報管理手段では、出力先に応じた信号処理に対応するクラスタップ形成情報、予測タップ形成情報、および予測係数のセットが、処理関連情報として実行手段に時分割に供給される。

【0010】

【発明の実施の形態】

図1は、本発明を適用したデータ処理装置1の利用例を示している。データ処理装置1には、複数の外部装置(図1の例では、表示装置や印刷装置)が接続されており、データ処理装置1は、入力されたデータD(例えば、画像データ)に対して、出力先の外部装置に応じた処理を選択的に施し、その結果生成されたデータを、対応する外部装置に出力する

10

20

30

40

50

。

## 【 0 0 1 1 】

データ処理装置 1 の動作の概略を説明する。この例の場合、データ処理装置 1 に入力されるデータ D は、図 2 ( A ) に示すように、所定の大きさのデータ ( データ D - 1 , D - 2 , D - 3 , . . . ) ( 以下、適宜、入力単位データと称する ) 毎に時分割多重されているものとする。

## 【 0 0 1 2 】

データ処理装置 1 は、データ D ( 図 2 ( A ) ) が入力されると、データ D における各入力単位データが、出力先の外部装置の数 ( N 個 ) ずつ時分割された時分割多重データを生成する。

10

## 【 0 0 1 3 】

例えば、表示装置と印刷装置の 2 つの外部装置が出力先である場合、図 2 ( B ) に示すように、データ D における各入力単位データが、2 個ずつ時分割多重された ( 図中、繋がって配置された ) 時分割多重データが生成される。なお、図 2 ( B ) において、以下の説明を簡単にするために、2 個ずつ繋がって配置された同一の入力単位データのうち、先頭 ( 第 1 番目 ) に配置された入力単位データには、" A " を、その後 ( 第 2 番目 ) に配置された入力単位データには、" B " を付している。

## 【 0 0 1 4 】

次に、データ処理装置 1 は、生成した時分割多重データに時分割多重されている順番に従って入力単位データを処理する。このとき、データ処理装置 1 は、入力単位データが、N 個の繋がりの中で何番目に配置されているかによって、実行する処理を切り換える。すなわち、出力先に応じて処理が切り換えられる。

20

## 【 0 0 1 5 】

例えば、図 2 ( B ) の例では、2 個の繋がりの中で第 1 番目に配置された入力単位データ ( " A " が付された入力単位データ D - 1 , D - 2 , D - 3 , . . . ) には、表示装置に対応した、ノイズを除去するための処理が施される。また、第 2 番目に配置された入力単位データ ( " B " が付された入力単位データ D - 1 , D - 2 , D - 3 , . . . ) には、印刷装置に対応した、輝度を補正する処理が施される。

## 【 0 0 1 6 】

データ処理装置 1 は、このように、時分割多重データに対して処理を実行するが、このときの処理速度は、データ D の入力速度の N 倍の速度とされる。このようにすることより、処理が施されたデータは、データ D の入力速度に対応した速度で、外部装置のそれぞれに出力される。

30

## 【 0 0 1 7 】

図 2 の例では、データ D ( 図 2 ( A ) ) は、時間 T に、1 個の入力単位データが入力される速度で入力される。すなわち、この場合、時分割多重データは、データ D の入力速度の 2 倍の、時間 T に、2 個の入力単位データが処理される速度で処理される。このことより、ノイズが除去されたデータ D または輝度が補正されたデータ D が、データ D の入力速度と同じ速度に対応した速度で、表示装置または印刷装置に出力される。

## 【 0 0 1 8 】

図 3 は、データ処理装置 1 の構成例を示している。

40

## 【 0 0 1 9 】

データ処理装置 1 に入力される、データ D は、入力制御部 1 0 に供給される。入力制御部 1 0 は、データ D から、その入力単位データが、N 個ずつ時分割多重された時分割多重データを生成し、それを、データ D の入力速度の N 倍の速度で、同期信号生成部 1 1 および総合情報処理部 1 2 に供給する。

## 【 0 0 2 0 】

この例の場合、入力制御部 1 0 は、2 つの FIFO 2 1 , 2 2 とスイッチ 2 3 を有しており、データ D の入力単位データの、FIFO 2 1 または FIFO 2 2 に対する書き込みおよび読み出しを、スイッチ 2 3 を利用して制御することで、図 2 ( B ) に示したように、データ D の入

50

力単位データが、それぞれ2個ずつ時分割多重された時分割多重データを生成し、それを、データDの入力速度の2倍の速度で、同期信号生成部11および総合情報処理部12に出力する。

【0021】

同期信号生成部11は、入力制御部10から供給された時分割多重データの入力単位データに付加されたヘッダを参照して、同期情報を読み取るとともに、読み取った同期情報に基づいて同期信号を生成し、総合情報処理部12に供給する。例えば、図2(C)に示すように、時分割多重データ(図2(B))の入力単位データの位置に対応するクロックが同期信号として生成される。

【0022】

総合情報処理部12は、入力制御部10から供給された時分割多重データに対して、出力先(例えば、表示装置または印刷装置)に応じた処理(例えば、ノイズを除去する処理または輝度を補正する処理)(以下、適宜、信号処理と称する)を実行する。

【0023】

総合情報処理部12はまた、出力先に応じた(実行する信号処理に応じた)ストレージ部13のストレージ14とFIFO部15のFIFO16を選択する処理(以下、適宜、選択処理と称する)を実行する。

【0024】

総合情報処理部12は、信号処理を実行する際、信号処理を実行する上で必要な各種データ(以下、適宜、必要データと称する)を、選択したストレージ部13のストレージ14に、適宜、供給し、蓄積させる。そして総合情報処理部12は、必要に応じて、ストレージ部13のストレージ14から、必要データを読み出し、それを利用して信号処理を実行する。

【0025】

総合情報処理部12は、信号処理を実行した結果生成されたデータ(以下、処理済みデータと称する)を、選択したFIFO部15のFIFO16に供給する。

【0026】

ストレージ部13は、N個のストレージ14-1乃至14-Nから構成されている。総合情報処理部12により選択されたストレージ14は、総合情報処理部12から供給された必要データを蓄積するとともに、要求に応じて、これらのデータを、総合情報処理部12に供給する。

【0027】

FIFO部15は、外部装置とそれぞれ接続されるFIFO16-1乃至16-Nから構成されている。総合情報処理部12により選択されたFIFO16は、総合情報処理部12から供給された処理済みデータを、一時的に記憶するとともに、それを、接続される外部装置に出力する。なお、この例の場合、FIFO16-1には、表示装置が、そしてFIFO16-2には、印刷装置が接続されている。

【0028】

次に、データ処理装置1の動作を説明する。

【0029】

この例の場合、データ処理装置1には、図4(A)に示すように、時分割多重されたデータDが入力される。なお、図4(A)は、図2(A)のデータDを、後述する図4(B)乃至(G)に示すデータと共通の時間軸に対応させて表したものである。

【0030】

入力制御部10(FIFO21)に、例えば、入力単位データのデータD-1(図4(A))が入力されたとする。このとき、FIFO21は、入力されたデータD-1を一時的に保持した後、FIFO22およびスイッチ23に出力する。スイッチ23は、このタイミングで、FIFO21と接続して、FIFO21の出力であるデータD-1を入力し、同期信号生成部11および総合情報処理部12に出力する。

【0031】

10

20

30

40

50

FIFO 2 2 は、FIFO 2 1 からのデータ D -1 を、所定の時間（FIFO 2 1 に保持されていたデータ D -1 が同期信号生成部 1 1 および総合情報処理部 1 2 に出力されるまでの時間）保持した後、スイッチ 2 3 に出力する。スイッチ 2 3 は、このタイミングで、FIFO 2 2 と接続して（接続を、FIFO 2 1 から FIFO 2 2 に切り換えて）、FIFO 2 2 の出力であるデータ D -1 を入力し、同期信号生成部 1 1 および総合情報処理部 1 2 に出力する。すなわち、ここまでの処理により、図 4（B）に示すように、繋がって配置された 2 個のデータ D -1（図中、“A” と “B” が付されたデータ D -1）が、同期信号生成部 1 1 および総合情報処理部 1 2 に出力される。

【 0 0 3 2 】

FIFO 2 2 からのデータ D -1 が、スイッチ 2 3 を介して、同期信号生成部 1 1 および総合情報処理部 1 2 に出力されている間、FIFO 2 1 には、データ D -2（図 4（A））が入力される。FIFO 2 1 は、データ D -2 を所定の時間（FIFO 2 2 に保持されていたデータ D -1 が同期信号生成部 1 1 および総合情報処理部 1 2 に出力されるまでの時間）保持した後、FIFO 2 2 およびスイッチ 2 3 に出力する。スイッチ 2 3 は、このタイミングで、FIFO 2 1 と接続し（接続を、FIFO 2 2 から FIFO 2 1 に切り換えて）、FIFO 2 1 の出力であるデータ D -2 を入力し、同期信号生成部 1 1 および総合情報処理部 1 2 に出力する。

【 0 0 3 3 】

FIFO 2 2 は、FIFO 2 1 からのデータ D -2 を所定の時間保持した後、スイッチ 2 3 に出力する。スイッチ 2 3 は、このタイミングで、FIFO 2 2 と接続し、FIFO 2 2 の出力であるデータ D -2 を入力し、同期信号生成部 1 1 および総合情報処理部 1 2 に出力する。すなわち、ここまでの処理により、図 4（B）に示すように、繋がって配置された 2 個のデータ D -2（図中、“A” と “B” が付されたデータ D -2）が、同期信号生成部 1 1 および総合情報処理部 1 2 にさらに出力される。

【 0 0 3 4 】

入力制御部 1 0 の FIFO 2 1 乃至スイッチ 2 3 は、時間 T に、2 個の入力単位データが、同期信号生成部 1 1 および総合情報処理部 1 2 に出力されるように（データ D の入力速度の 2 倍の速度で出力されるように）、上述した処理を実行する。

【 0 0 3 5 】

以上のような処理が、データ D -3 以降の入力単位データ（図 4（A））に対しても行われる。すなわち、これにより、データ D の各入力単位データが、2 個ずつ時分割多重された時分割多重データ（図 4（B））が、データ D の入力速度の 2 倍の速度で、同期信号生成部 1 1 および総合情報処理部 1 2 に出力される。なお、図 4（B）は、図 2（B）の時分割多重データを、図 4（A）のデータ D の他、後述する図 4（C）乃至図 4（G）のデータと共通の時間軸に対応させて表したものである。

【 0 0 3 6 】

同期信号生成部 1 1 は、入力制御部 1 0 から供給された時分割多重データに基づいて、同期信号を生成し（図 4（C））、総合情報処理部 1 2 に供給する。

【 0 0 3 7 】

総合情報処理部 1 2 は、図 4（B）中、“A” が付されたデータ D -1 が、入力制御部 1 0 から供給されると、すなわち、2 個ずつ繋がって配置されている同一の入力単位データのうち、第 1 番目に配置された入力単位データが供給されると、表示装置に対応した（ノイズを除去する信号処理に対応した）ストレージ部 1 3 のストレージ 1 4 - 1 と FIFO 部 1 5 の FIFO 1 6 - 1 を選択する（選択処理を実行する）。

【 0 0 3 8 】

そして総合情報処理部 1 2 は、選択したストレージ部 1 3 のストレージ 1 4 - 1 に必要データを供給したり、またそれを読み出すようにして、“A” が付されたデータ D -1 に対してノイズを除去するための信号処理を実行する。総合情報処理部 1 2 は、その処理の結果生成された処理済みデータ Da -1 を、選択した FIFO 部 1 5 の FIFO 1 6 - 1 に供給する。

【 0 0 3 9 】

FIFO 部 1 5 の FIFO 1 6 - 1 に供給された、総合情報処理部 1 2 からの処理済みデータ Da -

10

20

30

40

50

1 (ノイズが除去された、図4(B)中、“A”が付されたデータD-1)は、図4(D)に示すようなタイミングで、そこに書き込まれる。そして、所定の時間保持された後、図4(E)に示すようなタイミングで、表示装置に出力される。

【0040】

次に、図4(B)中、“B”が付されたデータD-1が、入力制御部10から入力されると、すなわち、2個ずつ繋がって配置されている同一の入力単位データのうち、第2番目に配置された入力単位データが供給されると、総合情報処理部12は、印刷装置に対応した(輝度を補正する信号処理に対応した)ストレージ部13のストレージ14-2とFIFO部15のFIFO16-2を選択する。

【0041】

そして総合情報処理部12は、選択したストレージ部13のストレージ14-2に必要なデータを供給したり、またそれを読み出すようにして、“B”が付されたデータD-1に対して、輝度を補正するための信号処理を実行する。総合情報処理部12は、その処理の結果生成された処理済みデータDb-1を、選択したFIFO部15のFIFO16-2に供給する。

【0042】

FIFO部15のFIFO16-2に供給された、総合情報処理部12からの処理済みデータDb-1(輝度が補正された、図4(B)中、“B”が付されたデータD-1)は、図4(F)に示すようなタイミングで、そこに書き込まれる。そして、所定の期間保持された後、図4(G)に示すようなタイミングで、印刷装置に出力される。

【0043】

次に、図4(B)中、“A”が付されたデータD-2(第1番目に配置された入力単位データ)が総合情報処理部12に供給されると、ストレージ部13のストレージ14-1とFIFO部15のFIFO16-1が再び選択される。そして“A”が付されたデータD-2に対して、ノイズを除去するための信号処理が実行され、その結果生成された処理済みデータDa-2が、選択されたFIFO部15のFIFO16-1に供給される。

【0044】

FIFO部15のFIFO16-1に供給された、総合情報処理部12からの処理済みデータDa-2(ノイズが除去された、図4(B)中、“A”が付されたデータD-2)は、図4(D)に示すようなタイミングで、そこに書き込まれる。そして、所定の時間保持された後、図4(E)に示すようなタイミングで、表示装置に出力される。すなわち、表示装置には、データDの入力速度に対応した速度で、処理済みデータDaが出力される。

【0045】

次に、図4(B)中、“B”が付されたデータD-2(第2番目に配置された入力単位データ)が総合情報処理部12に供給されると、ストレージ部13のストレージ14-2とFIFO部15のFIFO16-2が選択される。そして“B”が付されたデータD-2に対して、輝度を補正するための信号処理が実行され、その結果生成された処理済みデータDb-2が、選択されたFIFO部15のFIFO16-2に供給される。

【0046】

FIFO部15のFIFO16-2に供給された、総合情報処理部12からの処理済みデータDb-2(輝度が補正された、図4(B)中、“B”が付されたデータD-2)は、図4(F)に示すようなタイミングで、そこに書き込まれる。そして、所定の期間保持された後、図4(G)に示すようなタイミングで、印刷装置に出力される。すなわち、印刷装置には、データDの入力速度に対応した速度で、処理済みデータDbが出力される。

【0047】

以上のような処理が、時分割多重データ(図4(B))に時分割多重されているデータD-3以降に供給される入力単位データに対しても行われる。

【0048】

このようにして、入力されたデータDに対して、出力先に応じたそれぞれ異なる処理が施され、その結果生成されたデータが、対応する出力先に出力される。なお、ここでは、データDが、時分割多重されて入力される場合を例としているが、例えば、周波数多重など

10

20

30

40

50

の他の多重が施された状態で入力される場合においても、本発明を適用することができる。なお、この場合、入力制御部 10 は、入力された周波数多重されたデータ D から、上述したような時分割データを生成することができる構成を有する。

【0049】

図 5 は、総合情報処理部 12 の構成例を示している。

【0050】

総合情報処理部 12 は、切り換え信号生成回路 31、処理関連情報管理部 32、処理実行部 33、蓄積データ入出力制御部 34、および出力データ出力制御部 35 から構成されている。

【0051】

総合情報処理部 12 に供給された時分割多重データは、切り換え信号生成回路 31 および処理実行部 33 にそれぞれ供給される。また総合情報処理部 12 に供給された、同期信号生成部 11 からの同期信号は、切り換え信号生成回路 31 に供給される。

【0052】

切り換え信号生成回路 31 は、供給された、時分割多重データの入力単位データに付加されているヘッダを参照し、その入力単位データが、時分割多重データにおける N 個の繋がりの中で、何番目に配置されているものかを検出し、その検出結果を含む信号（以下、切り換え信号と称する）を生成する。

【0053】

図 4 (B) の例では、第 1 番目に配置されている入力単位データ（図中、“A” が付されている入力単位データ）であるか、または第 2 番目に配置されている入力単位データ（図中、“B” が付されている入力単位データ）であるかが検出され、その検出結果を含む切り換え信号が生成される。

【0054】

切り換え信号生成回路 31 は、生成した切り換え信号を、同期信号生成部 11 から供給された同期信号に対応するタイミングで、処理関連情報管理部 32 乃至出力データ出力制御部 35 に出力する。例えば、図 4 (C) に示す同期信号に対応するタイミングで、切り換え信号が出力される。

【0055】

処理関連情報管理部 32 は、処理実行部 33 で実行される信号処理に関連する情報（以下、処理関連情報と称する）を記憶しており、切り換え信号生成回路 31 から、切り換え信号が供給されたとき、その切り換え信号に対応する信号処理の処理関連情報を、処理実行部 33 に供給する。

【0056】

図 4 (B) の例では、第 1 番目に配置されている入力単位データ（図中、“A” が付されている入力単位データ）を検出した旨が、切り換え信号に含まれている場合、ノイズを除去する信号処理の処理関連情報が、処理実行部 33 に供給される。一方、第 2 番目に配置されている入力単位データ（図中、“B” が付されている入力単位データ）を検出した旨が、切り換え信号に含まれている場合、輝度を補正する信号処理の処理関連情報が、処理実行部 33 に供給される。

【0057】

処理実行部 33 は、供給される、時分割多重データの入力単位データに対して、切り換え信号生成回路 31 からの切り換え信号に対応する信号処理を、処理関連情報管理部 32 から供給された処理関連情報に基づいて実行する。

【0058】

図 4 (B) の例では、第 1 番目に配置されている入力単位データを検出した旨が、切り換え信号に含まれている場合、ノイズを除去する信号処理が実行され、第 2 番目に配置されている入力単位データを検出した旨が、切り換え信号に含まれている場合、輝度を補正する信号処理が実行される。

【0059】

10

20

30

40

50



蓄積データ入出力制御部 34 は、切り換え信号生成回路 31 からの切り換え信号に対応したストレージ部 13 のストレージ 14 を選択する（選択処理を実行する）。このことより、処理実行部 33 は、信号処理を実行する上での必要データを、適宜、蓄積データ入出力制御部 34 を介して、選択されたストレージ部 13 のストレージ 14 に供給し、蓄積させる。そして処理実行部 33 は、必要に応じて、蓄積データ入出力制御部 34 を介して、必要データを読み出すとともに、それを利用して信号処理を実行する。

【0060】

図 4 (B) の例では、第 1 番目に配置されている入力単位データを検出した旨が、切り換え信号に含まれている場合、ストレージ部 13 のストレージ 14 - 1 が選択される。これにより、処理実行部 33 は、ノイズを除去する信号処理を実行する上での必要データを、適宜、蓄積データ入出力制御部 34 を介して、選択されたストレージ部 13 のストレージ 14 - 1 に供給し、蓄積させる。そして処理実行部 33 は、必要に応じて、蓄積データ入出力制御部 34 を介して、その必要データを読み出すとともに、それを利用してノイズを除去する信号処理を実行する。

10

【0061】

一方、第 2 番目に配置されている入力単位データを検出した旨が、切り換え信号に含まれている場合、ストレージ部 13 のストレージ 14 - 2 が選択される。これにより、処理実行部 33 は、輝度を補正する信号処理を実行する上での必要データを、適宜、蓄積データ入出力制御部 34 を介して、選択されたストレージ部 13 のストレージ 14 - 2 に供給し、蓄積させる。そして処理実行部 33 は、必要に応じて、蓄積データ入出力制御部 34 を介して、その必要データを読み出すとともに、それを利用して輝度を補正する信号処理を実行する。

20

【0062】

出力データ出力制御部 35 は、切り換え信号生成回路 31 からの切り換え信号に対応した FIFO 部 15 の FIFO 16 を選択する（選択処理を実行する）。このことより、処理実行部 33 は、入力単位データに対して、信号処理を施した結果生成された処理済みデータを、出力データ出力制御部 35 を介して、選択された FIFO 部 15 の FIFO 16 に出力する。

【0063】

図 4 (B) の例では、第 1 番目に配置されている入力単位データを検出した旨が、切り換え信号に含まれている場合、FIFO 部 15 の FIFO 16 - 1 が選択される。これにより、処理実行部 33 は、ノイズを除去する信号処理を実行した結果生成された処理済みデータ（図 4 (D) 中、データ Da-1, Da-2, Da-3, …）を、出力データ出力制御部 35 を介して、選択された FIFO 部 15 の FIFO 16 - 1 に出力する。

30

【0064】

一方、第 2 番目に配置されている入力単位データを検出した旨が、切り換え信号に含まれている場合、FIFO 部 15 の FIFO 16 - 2 が選択される。これにより、処理実行部 33 は、輝度を補正する信号処理を実行した結果生成された処理済みデータ（図 4 (F) 中、データ Db-1, Db-2, Db-3, …）を、出力データ出力制御部 35 を介して、選択された FIFO 部 15 の FIFO 16 - 2 に出力する。

【0065】

次に、図 6 を参照して、処理実行部 33 の構成について説明する。

40

【0066】

処理実行部 33 は、2 つのデータ生成回路 41, 44、3 つの制御メモリ 42, 45, 47、1 つの制御信号生成回路 43、および 1 つの演算回路 46 を有している。

【0067】

制御メモリ 42、制御メモリ 45、および制御メモリ 47 のそれぞれは、処理関連情報管理部 32 から供給された処理関連情報を記憶するとともに、必要に応じて、データ生成回路 41, 44、および演算回路 46 に供給する。なお、制御メモリ 42, 45, 47 に、それぞれ供給される処理関連情報は、データ生成回路 41, 44 が生成するデータ、または演算回路 46 が実行する演算によって異なる。すなわち、処理実行部 33 が実行する信

50

号処理（例えば、ノイズ除去処理または輝度補正処理）によって異なる。その具体例は、後述する。

【 0 0 6 8 】

処理実行部 3 3 に供給された時分割多重データは、データ生成回路 4 1 およびデータ生成回路 4 4 に供給される。処理実行部 3 3 に供給された、切り換え信号生成回路 3 1 からの切り換え信号は、データ生成回路 4 1 , 4 4、制御信号生成回路 4 3、および演算回路 4 6 にそれぞれ供給される。

【 0 0 6 9 】

データ生成回路 4 1 は、切り換え信号生成回路 3 1 からの切り換え信号に対応する信号処理を実行する上で必要なデータ（以下、生成データと称する）を、制御メモリ 4 2 より供給された処理関連情報に基づいて生成し、制御信号生成回路 4 3 に供給する。なお、データ生成回路 4 1 が生成する生成データの具体例は、後述する。

10

【 0 0 7 0 】

また、データ生成回路 4 1 はこのとき、生成データを生成する上で必要なデータ（必要データ）を、蓄積データ入出力制御部 3 4 を介して、ストレージ部 1 3 のストレージ 1 4 に、適宜、供給し、蓄積させる。そしてデータ生成回路 4 1 は、必要に応じて、蓄積データ入出力制御部 3 4 を介して、必要データを読み出すとともに、それを利用して生成データを生成する。

【 0 0 7 1 】

制御信号生成回路 4 3 は、データ生成回路 4 1 から供給された生成データに基づいて、切り換え信号生成回路 3 1 からの切り換え信号に対応する信号処理において必要な制御信号を生成し、制御メモリ 4 5 および制御メモリ 4 7 に供給する。制御信号生成回路 4 3 が生成する制御信号の具体例は、後述する。

20

【 0 0 7 2 】

制御メモリ 4 5 は、記憶する処理関連情報のうち、制御信号生成回路 4 3 から供給された制御信号に対応するアドレスに記憶している処理関連情報を、データ生成回路 4 4 に供給する。

【 0 0 7 3 】

データ生成回路 4 4 は、切り換え信号生成回路 3 1 からの切り換え信号に対応した信号処理を実行する上で必要な生成データを、制御メモリ 4 5 より供給された処理関連情報に基づいて生成し、演算回路 4 6 に供給する。なお、データ生成回路 4 4 が生成する生成データの具体例は、後述する。

30

【 0 0 7 4 】

また、データ生成回路 4 4 はこのとき、生成データを生成する上で必要なデータ（必要データ）を、蓄積データ入出力制御部 3 4 を介して、ストレージ部 1 3 のストレージ 1 4 に、適宜、供給し、蓄積させる。そしてデータ生成回路 4 4 は、必要に応じて、蓄積データ入出力制御部 3 4 を介して、必要データを読み出すとともに、それを利用して生成データを生成する。

【 0 0 7 5 】

制御メモリ 4 7 は、記憶する処理関連情報のうち、制御信号生成回路 4 3 から供給された制御信号に対応するアドレスに記憶している処理関連情報を、演算回路 4 6 に供給する。

40

【 0 0 7 6 】

演算回路 4 6 は、データ生成回路 4 4 から供給された生成データおよび制御メモリ 4 7 から供給された処理関連情報を利用して、切り換え信号生成回路 3 1 からの切り換え信号に対応する演算を実行し、その結果算出されたデータ（処理済みデータ）を、出力データ出力制御部 3 5 を介して、FIFO部 1 5 の所定のFIFO 1 6 に供給する。

【 0 0 7 7 】

次に、ノイズ除去処理としてのクラス分類適応処理を実行する場合の処理実行部 3 3 の動作を説明する。すなわち、この例の場合、データ生成回路 4 1 は、生成データとして、クラスタップを生成し、制御信号生成回路 4 3 は、制御信号としてクラスコードを生成し、

50

データ生成回路44は、生成データとして予測タップを生成し、そして演算回路46は、注目画素の画素値を予測する演算を行う。

【0078】

つまり、このとき、制御メモリ42に記憶される、処理関連情報管理部32からの処理関連情報は、このクラス分類適応処理においてクラスタップとして選択される画素に関する情報（以下、適宜、クラスタップ形成情報と称する）であり、制御メモリ45に記憶される処理関連情報は、このクラス分類適応処理において予測タップとして選択される画素に関する情報（以下、適宜、予測タップ形成情報と称する）である。また、制御メモリ47に記憶される処理関連情報は、このクラス分類適応処理における予測値算出のための予測係数セットである。

10

【0079】

データ生成回路41は、このクラス分類適応処理により最終的に得られる画像（ノイズが除去された画像）を構成する画素を、順次、注目画素とし、その注目画素に対して、制御メモリ42から供給されたクラスタップ形成情報で示される画素を、データDの画像（入力画像）から選択し、それを、クラスタップとして、制御信号生成回路43に供給する。例えば、図7に示すように、注目画素に対応する入力画像の画素X1を中心とする3行3列の画素（図中、点線の枠内の画素）が、クラスタップとして選択される。

【0080】

制御信号生成回路43は、データ生成回路41から供給されたクラスタップを構成する入力画像の画素（以下、入力画素と称する）の画素値の特徴（例えば、分布）を検出し、その特徴にあらかじめ割り当てられた値を、注目画素のクラスとして、制御メモリ45、47に供給する。

20

【0081】

ところで、画素には、一般的に、8ビットのデータが割り当てられているので、この例の場合においても、入力画素に8ビットのデータが割り当てられているとすると、クラスタップを構成する画素の、例えば、画素値の数は、莫大になり、係数を記憶するメモリ等の記憶容量を大きくしなければならないなどの問題が生じる。

【0082】

そこで、この例の場合、制御信号生成回路43は、実際は、クラス分類を行うための前処理として、クラスタップを構成する画素のビット数を低減（圧縮）する処理を行う。このビット数の圧縮処理方法として、例えば、ADRC（Adaptive Dynamic Range Coding）処理がある。

30

【0083】

このADRC処理では、処理ブロック（クラスタップ）を構成する画素から、最大の画素値MAXと最小の画素値MINがそれぞれ検出されるとともに、画素値MAXと画素値MINとの差分DR（=画素値MAX - 画素値MIN）が演算され、このDRが処理ブロックの局所的なダイナミックレンジDRとされる。そして、処理ブロックを構成する各画素値から画素値MINが減算され、その減算値が、 $DR / 2^k$ でそれぞれ除算される。その結果、処理ブロックであるクラスタップを構成する各画素値が、元の割り当てビット数（8ビット）より少ないKビットに再量子化される。これにより、ADRC処理を行わない場合に比較して、クラス数を少ないものとする

40

【0084】

なお、制御信号生成回路43における圧縮処理は、ADRC処理に限定されるものではなく、その他の、例えば、ベクトル量子化等を用いることも可能である。

【0085】

制御信号生成回路43は、このようにして得られた、クラスタップを構成する入力画素についてのKビットの画素値から、そのクラスを検出し、その検出結果に基づいて、注目画素のクラスコードを決定する。

【0086】

データ生成回路44は、入力画像から、注目画素に対して、制御メモリ45から供給され

50

た予測タップ形成情報（制御メモリ45にこのとき記憶されている予測タップ形成情報のうち、制御信号生成回路43から供給されたクラスコードに対応するアドレスに記憶されている予測タップ形成情報）で示される入力画素を選択し、これを予測タップとして、演算回路46に供給する。なお、この例の場合、予測タップは、クラスタップと同様に、注目画素に対応する画素を中心とする3行3列の画素から形成されるものとする。

【0087】

演算回路46は、データ生成回路44から供給された予測タップを構成する入力画素の画素値（画素値 $x_1, x_2, \dots$ ）と、制御メモリ47からこのとき供給された予測係数セット（制御メモリ47にこのとき記憶されている予測係数セットのうち、制御信号生成回路43から供給されたクラスコードに対応するアドレスに記憶されている予測係数セット）（予測係数セット $w_1, w_2, \dots$ ）とを用いて、その予測係数セット $w$ と各画素値 $x$ の、例えば、線形結合により規定される線形1次結合モデルである式（1）に従って演算を行い、注目画素 $y$ の予測値 $E[y]$ を算出する。その予測値 $E[y]$ が、この例の場合における処理済みデータであり、最終的に生成される画像の画素値を表す。

10

【0088】

$$E[y] = w_1 x_1 + w_2 x_2 + \dots$$

なお、非線形結合によるモデルを利用して、演算を行うこともできる。

【0089】

演算回路46は、このようにして算出した処理済みデータを、出力データ出力制御部35に供給する。

20

【0090】

以上のようにして、ノイズを除去するためのクラス分類適応処理が実行される。なお、ノイズを除去するためのクラス分類適応処理は、本出願人が先に出願した特開平7-115569号公報に、より詳細に示されている。

【0091】

次に、輝度補正処理に対応するクラス分類適応処理を実行する場合の処理実行部33の動作を説明する。すなわち、この例の場合、制御メモリ42に記憶される処理関連情報としてのクラスタップ形成情報、制御メモリ45に記憶される処理関連情報としての予測タップ形成情報、そして制御メモリ47に記憶される処理関連情報としての予測係数セットのそれぞれは、輝度を補正するためのクラス分類適応処理に対応するものである。

30

【0092】

データ生成回路41は、入力画像の、例えば、1フィールドまたは1フレーム内の画素の輝度値を、制御信号生成回路43に供給する。

【0093】

データ生成回路41はまた、制御メモリ42から供給されるクラスタップ形成情報に基づいて、クラスタップを形成し、制御信号生成回路43に供給する。

【0094】

制御信号生成回路43は、データ生成回路41から供給された、1フィールドまたは1フレームの画素の輝度値に基づいて、 $n$ ビットのコードを生成する。具体的には、輝度値が、 $s$ 個の領域に分けられ、その領域毎の、供給された1フィールドまたは1フレーム内の度数が積算される。そして積算された度数に基づいて、領域毎に $a$ ビットの量子化が行われ、合計 $n (= s \times a)$ ビットのコードが生成される。なお、ここで生成されたコード（以下、第1のクラスコードと称する）は、輝度値の分布の偏り（暗い方に偏っているか、または明るい方に偏っているか）を表す。

40

【0095】

制御信号生成回路43はまた、データ生成回路41から供給されたクラスタップを構成する入力画素から、輝度値の最大値と最小値を検出し、検出した輝度値の最大値と最小値に基づいて、 $m$ ビットのコードを生成する。ここで生成されるコード（以下、第2のクラスコードと称する）は、いわゆる空間の輝度の変化の様子を示す。

50

## 【 0 0 9 6 】

制御信号生成回路 4 3 はさらに、データ生成回路 4 1 から供給されたクラスタップを構成する入力画素の輝度値の平均値を算出し、算出したその平均値を、シフトして、ビットに量子化し、第 3 のクラスコードを生成する。

## 【 0 0 9 7 】

制御信号生成回路 4 3 は、生成した第 1 のクラスコード、第 2 のクラスコード、および第 3 のクラスコードに基づいて、最終的なクラスコードを決定し、制御メモリ 4 5 および制御メモリ 4 7 に供給する。

## 【 0 0 9 8 】

この例の場合におけるデータ生成回路 4 4 乃至制御メモリ 4 7 の処理は、上述した、ノイズを除去するためのクラス分類適応処理を実行する場合と基本的に同様であるので、その詳細な説明は省略する。

10

## 【 0 0 9 9 】

以上のようにして、輝度を補正するためのクラス分類適応処理が実行される。なお、輝度を補正するためのクラス分類適応処理は、本出願人が先に出願した特開平9-147101号公報に、より詳細に示されている。

## 【 0 1 0 0 】

## 【 発明の効果 】

本発明の情報処理装置によれば、入力されたデータに対し、複数の出力先に応じた信号処理を施して、対応する出力先に出力することができる。

20

## 【 図面の簡単な説明 】

【 図 1 】 本発明を適用したデータ処理装置 1 の利用例を示す図である。

【 図 2 】 時分割多重入力データの構成を示す図である。

【 図 3 】 図 1 のデータ処理装置 1 の構成例を示すブロック図である。

【 図 4 】 データ処理のタイミングチャートである。

【 図 5 】 図 3 の総合情報処理部 1 2 の構成例を示すブロック図である。

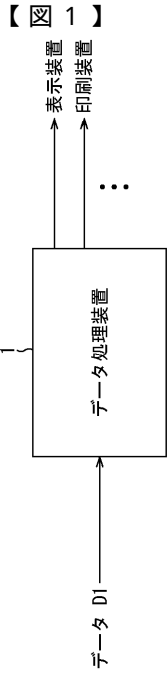
【 図 6 】 図 5 の共通処理実行部 3 3 の構成例を示すブロック図である。

【 図 7 】 クラスタップを説明するための図である。

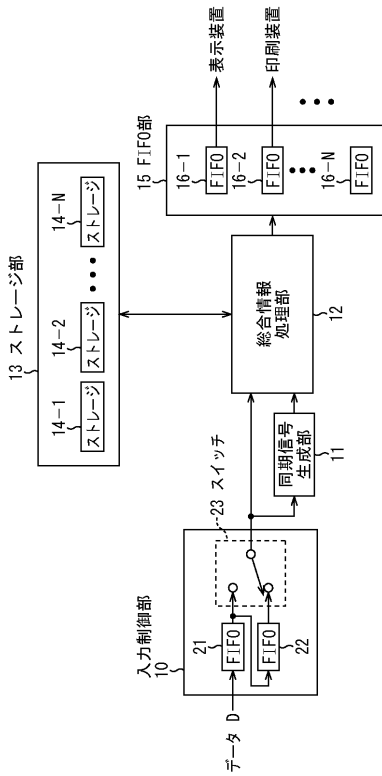
## 【 符号の説明 】

1 データ処理装置, 1 0 入力制御部, 1 1 同期信号生成部, 1 2 総合情報処理部, 1 3 ストレージ部, 1 4 ストレージ, 1 5 FIFO部, 1 6 FIFO, 3 1 切り換え信号生成回路, 3 2 処理関連情報管理部, 3 3 処理実行部, 3 4 蓄積データ入出力制御部, 3 5 出力データ出力制御部, 4 1 データ生成回路, 4 2 制御メモリ, 4 3 制御信号生成回路, 4 4 データ生成回路, 4 5 制御メモリ, 4 6 演算回路, 4 7 制御メモリ

30

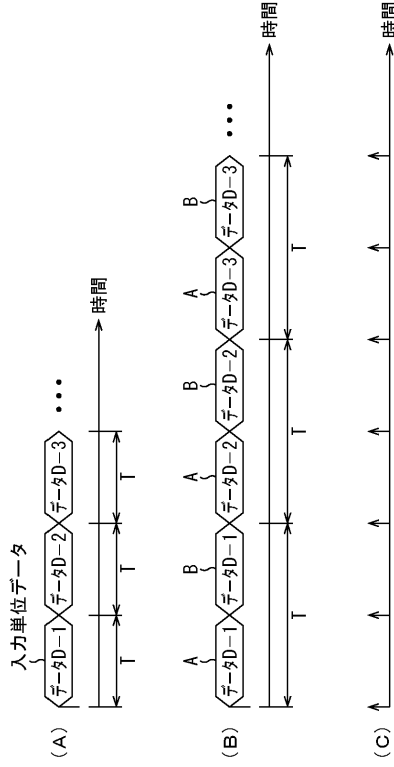


【図 3】

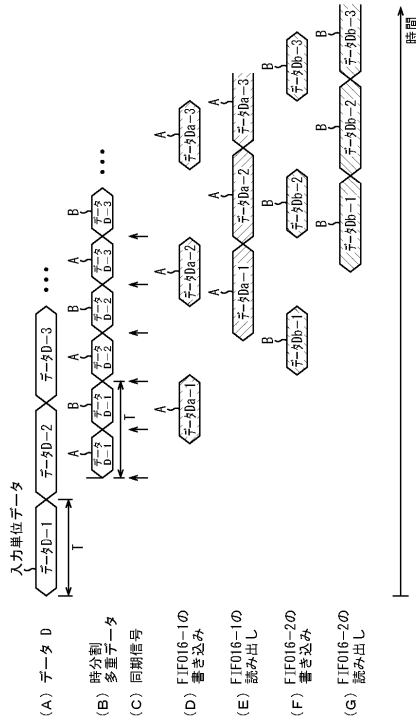


データ処理装置 1

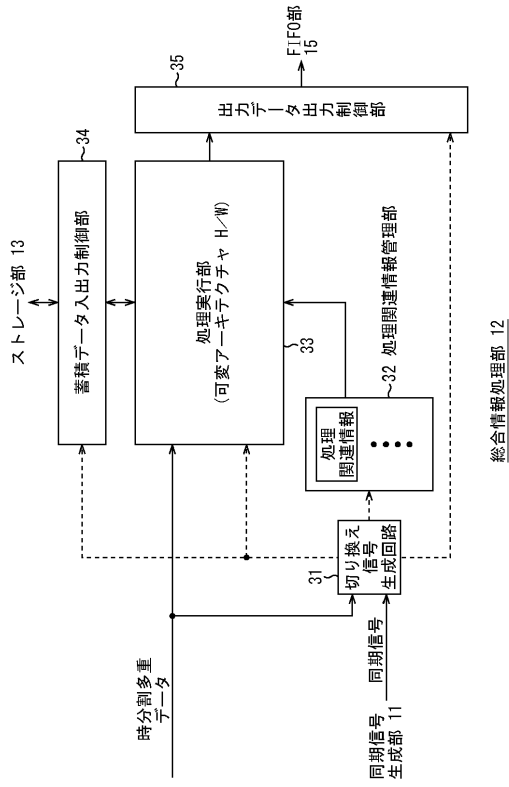
【図 2】



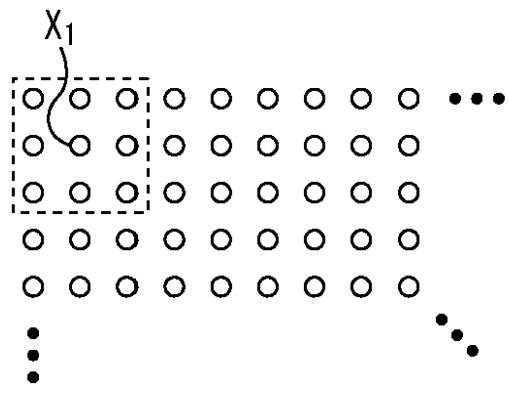
【図 4】



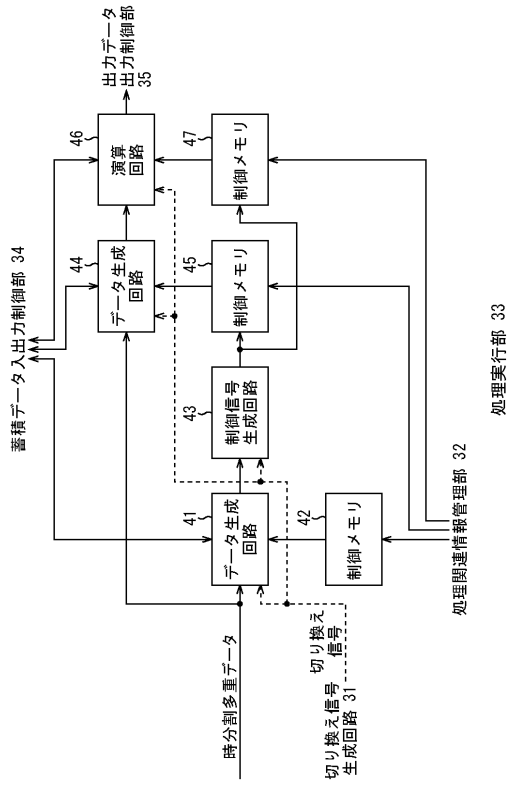
【図 5】



【図 7】



【図 6】



処理実行部 33

処理関連情報管理部 32

---

フロントページの続き

- (56)参考文献 特開平 1 1 - 0 3 2 3 3 0 ( J P , A )  
特開平 1 1 - 1 9 1 8 8 0 ( J P , A )  
特開 2 0 0 1 - 3 3 9 6 9 9 ( J P , A )  
特開平 0 8 - 0 3 2 5 9 4 ( J P , A )  
特開平 0 5 - 3 0 0 0 6 8 ( J P , A )  
特開平 0 7 - 1 1 5 5 6 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H04J 3/00  
G06T 1/20