



(12) 发明专利

(10) 授权公告号 CN 101227141 B

(45) 授权公告日 2011. 01. 12

(21) 申请号 200710196006. 0

US 6891736 B2, 2005. 05. 10, 全文 .

(22) 申请日 2007. 11. 28

CN 1295374 A, 2001. 05. 16, 全文 .

(30) 优先权数据

审查员 吴伟

2006-322824 2006. 11. 30 JP

(73) 专利权人 三美电机株式会社

地址 日本东京都

(72) 发明人 远藤直人 岛仁志

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静

(51) Int. Cl.

H02M 3/00(2006. 01)

(56) 对比文件

JP 平 6-351236 A, 1994. 12. 22, 全文 .

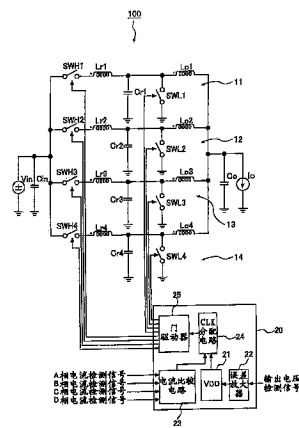
权利要求书 1 页 说明书 8 页 附图 9 页

(54) 发明名称

多相 DC-DC 变换器

(57) 摘要

本发明的目的是,在多相方式的 DC-DC 变换器中,不管各 DC-DC 变换器电路是怎样的控制方式,也能够容易地做到使各变换器的输出调整和多相方式的驱动控制并存。本发明提供一种多相 DC-DC 变换器 (100),其并联多个 DC-DC 变换器电路 (11 ~ 14),按照输出相位分别不同的方式驱动这些多个 DC-DC 变换器电路,同时相加各输出作为一个输出。具有:生成所述多个 DC-DC 变换器电路的各驱动定时的定时生成电路 (21);进行所述多个 DC-DC 变换器电路的各输出电流的检测的电流检测电路;以及与所述定时生成电路 (21) 的定时信号同步来驱动所述多个 DC-DC 变换器电路的某一个的控制电路 (23, 24),所述控制电路根据所述电流检测电路的输出选择下一个要驱动的 DC-DC 变换器电路。



1. 一种多相 DC-DC 变换器,其并联连接多个 DC-DC 变换器电路、驱动这些多个 DC-DC 变换器电路使输出相位分别不同,同时将各输出相加成为一个输出来作为所述多相 DC-DC 变换器的输出,其特征在于,

具有:

生成所述多个 DC-DC 变换器电路的各驱动定时的定时生成电路;

与从该定时生成电路输出的驱动定时同步选择地顺序驱动所述多个 DC-DC 变换器电路的某一个的控制电路;和

分别检测所述多个 DC-DC 变换器电路的输出电流的电流检测电路,

所述控制电路根据所述电流检测电路的输出,为了使所述多个 DC-DC 变换器电路间的输出电流的差变小,选择下一个要驱动的 DC-DC 变换器电路。

2. 根据权利要求 1 所述的多相 DC-DC 变换器,其特征在于,

所述控制电路对应一个所述驱动定时驱动所述多个 DC-DC 变换器电路之一。

3. 根据权利要求 1 所述的多相 DC-DC 变换器,其特征在于,

所述控制电路,把所述多个 DC-DC 变换器电路中被判断为输出电流最小的 DC-DC 变换器电路选择为下一个要驱动的 DC-DC 变换器电路。

4. 根据权利要求 1 所述的多相 DC-DC 变换器,其特征在于,

所述控制电路,在所述多个 DC-DC 变换器电路中,除过去以 n 次的驱动定时驱动的 DC-DC 变换器电路以外,把被判断为输出电流最小的 DC-DC 变换器电路选择为下一个要驱动的 DC-DC 变换器电路, n 是比 DC-DC 变换器电路的个数小的自然数。

5. 根据权利要求 3 所述的多相 DC-DC 变换器,其特征在于,

所述控制电路,在所述多个 DC-DC 变换器电路中,存在过去以 m 次的驱动定时仍未驱动的 DC-DC 变换器电路的情况下,把该 DC-DC 变换器电路选择为下一个要驱动的 DC-DC 变换器电路, m 是 DC-DC 变换器电路的个数以上的整数。

6. 根据权利要求 5 所述的多相 DC-DC 变换器,其特征在于,

所述电流检测电路是对于被驱动的 DC-DC 变换器电路,从进行驱动动作开始进行规定相位时的输出电流的检测的结构。

7. 根据权利要求 1 ~ 6 中任何一项所述的多相 DC-DC 变换器,其特征在于,

所述多相 DC-DC 变换器是通过 PFM 控制被驱动的开关变换器。

8. 根据权利要求 7 所述的多相 DC-DC 变换器,其特征在于,

所述多相 DC-DC 变换器是使用共振开关的电压共振型或者电流共振型的开关变换器。

9. 根据权利要求 1 ~ 6 中任何一项所述的多相 DC-DC 变换器,其特征在于,

所述定时生成电路是根据所述多相 DC-DC 变换器的输出来使所述驱动定时的输出频率变化的结构。

多相 DC-DC 变换器

技术领域

[0001] 本发明涉及多相 DC-DC 变换器,特别涉及在利用 PFM 控制的 DC-DC 变换器电路的多相 DC-DC 变换器中利用的有用的技术。

背景技术

[0002] 以前,有并列设置多个 DC-DC 变换器电路、使输出相位错开来驱动各 DC-DC 变换器电路,并且将各输出相加作为一个输出的多相方式的 DC-DC 变换器。通过这样的多相 DC-DC 变换器,作为全体能够得到低波动而大的输出。

[0003] 在专利文献 1 中,公开了并列设置 PWM 控制的 DC-DC 变换器电路的多相方式的 DC-DC 变换器。另外,在专利文献 2 或 3 中,公开了不是多相方式的控制但是并列设置多个 DC-DC 变换器电路的电源电路。

[0004] 【专利文献 1】特开 2003-284333 号公报

[0005] 【专利文献 2】特开平 11-127573 号公报

[0006] 【专利文献 3】特开平 8-84465 号公报

发明内容

[0007] 在多相方式中,因为使输出相位互相错开来驱动各 DC-DC 变换器电路,所以容易在 PWM(脉冲宽度调制)控制的 DC-DC 变换器电路中使用,但是为要在 PFM(脉冲频率调制)控制的 DC-DC 变换器电路中使用有困难。

[0008] 亦即,如图 12(a) 所示,在 PWM 控制中,为使 DC-DC 变换器电路的输出变动,通过不使驱动脉冲的周期变化而使驱动脉冲的脉冲宽度变化就能够应对。因此,即使在使多个 DC-DC 变换器电路各自一边每个移动规定的相位角一边以决定的驱动定时对其进行驱动的场所,对于多个 DC-DC 变换器电路也能够分别进行输出调整。

[0009] 但是,在图 12(b) 的 PFM 控制中,因为为使输出变动需要使驱动脉冲的频率变化,所以在对于多个 DC-DC 变换器电路分别进行输出调整的场所,和使多个 DC-DC 变换器电路各自一边每个移动规定的相位角一边以决定的驱动定时对其进行驱动这样的多相方式的动作不能并存。

[0010] 即使在 PFM 控制的 DC-DC 变换器电路中,也可以构成为全部使用相同的电路元件把多个 DC-DC 变换器电路做成相同的电路结构,在用同一频率驱动的场所只要构成为从各变换器可得到均等的输出即可,但是在实际的电路中,得不到这样理想的动作。亦即,在实际的电路中,因为在各电路元件中有特性分散,所以即使以同一频率对于各变换器进行相同的驱动,在每一变换器中也会产生输出电压的差。再有,在多相方式中,因为各变换器的输出间直接连接,所以输出电压的微小的差,就会表现为输出电流的大小的差。

[0011] 例如,如图 13 所示,在相加 4 个 DC-DC 变换器电路的输出来进行 10A 的电流输出的场合,当不对每一 DC-DC 变换器电路进行个别的输出调整时,电路元件的微小的特性分散表现为大到 10A ~ 40A 的输出分散。进而,还会发生这样的状态:在一个 DC-DC 变换器电

路中输出变得过大,在一个 DC-DC 变换器电路中电流逆流。

[0012] 本发明的目的是,在多相方式的 DC-DC 变换器中,不管各 DC-DC 变换器电路是怎样的控制方式,都能够容易地使各变换器的输出调整和多相方式的驱动控制并存。

[0013] 为实现上述目的,本发明是并联多个 DC-DC 变换器电路 (11 ~ 14)、驱动这些多个 DC-DC 变换器电路使输出相位分别不同、同时将各输出相加做成一个输出的多相 DC-DC 变换器 (100),具有生成所述多个 DC-DC 变换器电路的各驱动定时的定时生成电路 (21)、与从该定时生成电路输出的定时信号同步选择地顺序驱动所述多个 DC-DC 变换器电路的某一个的控制电路 (23, 24)、分别检测所述多个 DC-DC 变换器电路的输出电流的电流检测电路 (31a ~ 31c),所述控制电路根据所述电流检测电路的输出选择下一个要驱动的 DC-DC 变换器电路。

[0014] 具体说,当所述控制电路构成为根据所述电流检测电路的输出使所述多个 DC-DC 变换器电路间的输出电流的差变小那样地选择下一要驱动的 DC-DC 变换器电路是适宜的。

[0015] 进一步具体说,当所述控制电路做成与下一定时信号同步驱动所述多个 DC-DC 变换器电路中被判断为输出电流最小的 DC-DC 变换器电路时是适宜的。

[0016] 通过这样的方法,各 DC-DC 变换器电路的控制方式是 PWM 也好、还是 PFM 也好,在不管其控制方式进行输出调整以使多个 DC-DC 变换器电路的输出成为均等方面,能够进行多相方式的驱动控制。各 DC-DC 变换器电路,因为与定时生成电路的定时信号同步被驱动,所以多个 DC-DC 变换器电路的输出相位分别以每一个决定的相位角移动,不会损失降低波动等多相方式的优点。

[0017] 另外,具体说,所述控制电路,在所述多个 DC-DC 变换器电路中,除过去以 n 次 (n 是比 DC-DC 变换器电路的个数小的自然数) 的定时信号驱动的 DC-DC 变换器电路外,也可以把判断为输出电流最小的 DC-DC 变换器电路选择为下一要驱动的 DC-DC 变换器电路。

[0018] 根据这样的结构,即使在电流检测中发生延迟的场合,也能够无问题地进行各 DC-DC 变换器电路的输出调整。亦即,当在电流检测中有定时信号的一次或者二次的延迟时,检测到输出电流低后,A 相的 DC-DC 变换器电路被驱动一次,即使在其输出上升后,因为在检测到该输出上升部分之前产生延迟,所以有可能连续 2 次 3 次驱动一个 DC-DC 变换器电路。于是,此连续 2 次 3 次,各 DC-DC 变换器电路间的输出就不能进行平均化。在这样的场合,通过使用上述的结构,就能够排除由于电流检测的延迟的影响。

[0019] 更理想的是,也可以在所述多个 DC-DC 变换器电路中、有过去 m 次 (m 是 DC-DC 变换器电路的个数以上的整数) 的定时信号未驱动的 DC-DC 变换器电路的场合,把该 DC-DC 变换器电路选择为下一要驱动的 DC-DC 变换器电路。

[0020] 根据这样的结构,即使不是对于多个 DC-DC 变换器电路并行进行输出电流的检测,而是例如仅对被驱动的 DC-DC 变换器电路进行输出电流的检测的结构,也能够无问题地进行各 DC-DC 变换器电路的输出调整。

[0021] 亦即,在电流检测的方法中可能有各种变种,但是例如为利用高侧的开关元件的导通电阻进行输出电流的检测,仅能够在该开关元件的导通期间进行电流检测。另外,为使用了共振开关的开关变换器根据共振电路的动作进行电流检测,当不导通共振开关时不能进行电流检测。因此,在使用这样的电流检测方法的场合,DC-DC 变换器电路的电流检测在未开关驱动该 DC-DC 变换器电路时不进行,而当在一个 DC-DC 变换器电路中不进行

开关驱动的期间持续时间长时,该 DC-DC 变换器电路的电流检测值的信息就只剩下旧的信息。因此,当总使输出电流的检测值低的 DC-DC 变换器电路优先驱动时,一次判断为在一个 DC-DC 变换器电路中检测电流大,而其后,在使全体的输出降低的场合等,就会发生不更新一个 DC-DC 变换器电路的电流检测,而继续该状态这样的事态。

[0022] 但是,在这样的场合,通过使用上述的结构,就回避了总是不更新电流检测这样的不恰当的事态,就能够均等地控制各 DC-DC 变换器电路间的输出。

[0023] 另外,通过使用这样的控制方式,作为所述电流检测电路,也可以使用对于被驱动的 DC-DC 变换器电路从驱动动作的开始进行规定相位时的输出电流的检测的结构。

[0024] 通过做成这样的电流检测电路,能够对于多个 DC-DC 变换器电路不分别个别地设置电流检测电路,而使用共同的电流检测电路进行各 DC-DC 变换器电路的输出电流的检测。因此,能够削减电路面积以及降低成本。另外,因为增加了能够采用的电流检测方式的自由度,所以例如也能够采用有关电流检测的损失低的电流检测电路、或者不依存于温度而能够正确地检测的电流检测电路等各种有利的电流检测电路。

[0025] 此外,所述控制电路通常做成对应一个定时信号驱动一个 DC-DC 变换器电路的结构。但是,在并列设置的 DC-DC 变换器电路的数目多的场合,即使是用一个定时信号同时驱动 2 个或 3 个 DC-DC 变换器电路那样的电路,本发明也同样能够适用。

[0026] 另外,本发明的多相 DC-DC 变换器,作为所述多个 DC-DC 变换器电路,在使用用 PFM 控制驱动的开关变换器的场合是有效的。特别,在使用使用共振开关的电压共振型或者电流共振型的开关变换器的场合有效。另外,在这样的控制方式中,定时生成电路成为根据输出电压变化定时信号的输出频率的结构。

[0027] 共振型的开关变换器,因为具有开关损失或者开关噪声小这样有利的效果,所以能够提供在这样的电路上进一步兼具多相方式的效果的 DC-DC 变换器。

[0028] 此外,在该项目的说明中,用括弧括起来记述表示和实施形态的对应关系的符号,但是本发明不限于此。

[0029] 遵照本发明,各 DC-DC 变换器电路的控制方式不管是 PWM 还是 PFM,都具有能够个别进行多个 DC-DC 变换器电路的输出调整,且用多个 DC-DC 变换器电路实现多相方式的输出动作这样的效果。

附图说明

[0030] 图 1 是表示本发明的实施形态的多相 DC-DC 变换器的结构图。

[0031] 图 2 表示表示图 1 的多相 DC-DC 变换器的控制系统结构的概略的说明图。

[0032] 图 3 是表示电流检测方式的变种的说明图。

[0033] 图 4 表示由 VCO 供给的时钟信号和通过时钟分配电路分配的同步信号,是各相的输出差异小时的波形图。

[0034] 图 5 表示图 4 的时钟信号和同步信号,是根据各相输出差异同步信号的分配变化的状态的波形图。

[0035] 图 6 表示图 4 的时钟信号和同步信号,是接近实际的场合的状态的波形图。

[0036] 图 7 是表示通过时钟信号的分配的各相的输出电流的变化的波形图。

[0037] 图 8 是表示通过时钟信号的分配实现的各相的输出状态的说明图。

[0038] 图 9 是表示在时钟信号的分配有变化的场合的各相的输出和合计它们的输出的波形图。

[0039] 图 10 是表示通过时钟分配电路的时钟信号的分配过程的第一例的流程图。

[0040] 图 11 是表示通过时钟分配电路的时钟信号的分配过程的第二例的流程图。

[0041] 图 12 是说明多相方式和 PFM 控制并存的困难性的波形图。

[0042] 图 13 是表示在多相方式的电路中不进行各相的输出调整的场合的输出例的说明图。

[0043] 符号说明

[0044]	11 ~ 14	A 相 ~ D 相的 DC-DC 变换器电路
[0045]	20	控制块
[0046]	21	VCO
[0047]	22	误差放大器
[0048]	23	电流比较电路
[0049]	24	时钟分配电路
[0050]	25	门驱动器
[0051]	31a ~ 31c	电流检测电路
[0052]	100	多相 DC-DC 变换器
[0053]	SWH1 ~ SWH4	开关元件
[0054]	SWL1 ~ SWL4	同步整流开关
[0055]	Lo1 ~ Lo4	电抗器
[0056]	Lr1 ~ Lr4	共振电感器
[0057]	Cr1 ~ Cr4	共振电容器
[0058]	Cin	输入电容器
[0059]	Co	输出电容器

具体实施方式

[0060] 下面根据附图说明本发明的实施形态。

[0061] 图 1 是表示本发明的实施形态的多相 DC-DC 变换器的结构图,图 2 表示表示该多相 DC-DC 变换器的控制系统结构的概略的说明图。

[0062] 该实施形态的多相 DC-DC 变换器 100,并列设置多个 DC-DC 变换器电路 11 ~ 14,一边使各 DC-DC 变换器电路 11 ~ 14 的输出相位移动一边驱动,同时相加各输出作为一个输出。这些多个 DC-DC 变换器电路 11 ~ 14 从上开始记为 A 相 ~ D 相。

[0063] 多相 DC-DC 变换器 100,具有这些 A 相 ~ D 相的 DC-DC 变换器电路 11 ~ 14、进行它们的驱动控制的控制块 20、在图 1 中省略的检测各 DC-DC 变换器电路 11 ~ 14 的输出电流的电流检测电路 (31a ~ 31c :图 3)、和检测合计的输出的输出电压的电压检测电路等。

[0064] A 相的 DC-DC 变换器电路 11 是使用电流共振开关的降压型的开关变换器,具有在 A 相 ~ D 相中共同的输入电容器 Cin、向内部输入输入电压 Vin 的开关元件 SWH1、使流过该开关元件 SWH1 的电流以正弦波形状振动的共振电感器 Lr1 以及共振电容器 Cr1、接受输入电压 Vin 积蓄电力的电抗器 Lo1、在开关元件 SWH1 关闭时向电抗器 Lo1 供给电流的同步整

流开关 SWL1、和在输出端子间连接的在 A 相～D 相中共同的输出电容器 Co 等。

[0065] 开关元件 SWH1 或者同步整流开关 SWL1, 例如可以由 MOSFET 等构成, 但是也可以使用双极晶体管等其他的晶体管。

[0066] B 相～D 相的 DC-DC 变换器电路 12～14, 是使用和 A 相的 DC-DC 变换器电路 11 相同的电路元件的相同的电路结构。

[0067] 控制块 20, 具有生成 DC-DC 变换器电路 11～14 的各驱动定时的 VCO(电压控制振荡电路)21、接受合计的输出的电压检测信号并与参照电压比较的误差放大器 22、进行 A 相～D 相的 DC-DC 变换器电路 11～14 的输出电流的电流比较电路 23、分配 VCO21 的时钟信号(定时信号)使驱动根据电流比较所选择的 DC-DC 变换器电路的时钟分配电路 24、以及与时钟信号同步对分配的目的地 DC-DC 变换器电路进行开关驱动的门驱动器 25。

[0068] 在电流共振型的开关变换器中, 因为开关元件 SWH1～SWH4 的导通期间大体固定在 LC 共振电路(Lr1～Lr4, Cr1～Cr4)的共振动作的一周期或半周期, 所以输出控制基本上成为 PFM 控制。电路全体的开关频率的控制, 通过误差放大器 22 和 VCO21 进行, 如果合计的输出的输出电压低下来则使 VCO21 的振荡频率增大, 反之如果输出电压增高, 则减小 VCO21 的振荡频率。这样可使输出电压维持一定。

[0069] 电流比较电路 23 和时钟分配电路 24, 为使 A 相～D 相的 DC-DC 变换器电路 11～14 的输出电流均等, 遵照规定的算法分配时钟信号的供给目的地。时钟信号的供给目的地是在 A 相～D 相中某一相的 DC-DC 变换器电路, 给每一个时钟进行分配。另外, 在电流比较电路 23 中, 输入分别表示 A 相～D 相的输出电流量的检测信号, 但是这些检测信号也可以是分别表示各 DC-DC 变换器电路 11～14 的实时的输出电流量的信号。另外, 即使是表示在特定定时的输出电流量的信号也可以应对。

[0070] 通过这样的时钟的分配, 对于由于电路元件的特性分散而容易引起输出降低的 DC-DC 变换器电路多供给时钟信号, 而对于输出容易引起升高的 DC-DC 变换器电路少供给时钟信号, 这样就能够实现各 DC-DC 变换器电路 11～14 的输出电流的均衡。

[0071] 图 3 表示表示电流检测方式的变种的说明图。

[0072] 在电流检测电路中可以使用各种结构。

[0073] 例如, 如图 3(a) 所示, 可以使用在电流路径上连接检测电阻 R、从该电阻上的电压检测输出电流的结构。根据这样的电流检测电路 31a, 有在检测电阻 R 上发生损失的缺点, 但是有能够经常实时地检测各 DC-DC 变换器电路 11～14 的输出电流这样的优点。

[0074] 另外, 如图 3(b) 所示, 也可以做成利用同步整流开关 SWL 的导通电阻、在使同步整流开关 SWL 导通期间从该期间的电压检测输出电流的电路 31b。根据这样的电流检测电路 31b, 有由于同步整流开关 SWL 的导通电阻非常小或该同步整流开关 SWL 的温度特性比较大而难以进行高精度的电流检测这样的缺点, 和在开关元件 SWH 的导通期间中等中断规定期间的电流检测这样的缺点, 但是有不增加电路元件或导通损失能够进行电流检测这样的优点。

[0075] 另外, 在电流共振型的开关变换器中, 如图 3(c) 所示, 也可以使用根据从开关定时到开始共振电路的共振动作的延迟时间检测输出电流的结构。在电流共振型的开关变换器中, 因为具有上述的延迟时间依赖于输出电流量的性质, 所以进行开关元件 SWH 的导通

定时、和共振电容器 C_r 的电容器电压超过阈值电压的定时的检测,能够从这些期间检测输出电流。

[0076] 根据这样的电流检测电路 31c,有 DC-DC 变换器电路仅在被开关驱动的定时才能进行电流检测的缺点,但是与此相应,却有用一个电流检测电路 31c 能够共同进行 A 相~D 相的 DC-DC 变换器电路 11~14 的电流检测的优点。此外也有温度依赖性小能够正确检测的优点。

[0077] 下面说明上述结构的多相 DC-DC 变换器 100 的动作。

[0078] 图 4~图 6 是表示从 VC021 输出的时钟信号和给 A 相~D 相的 DC-DC 变换器电路 11~14 从时钟分配电路 24 分配的同步信号的波形图。

[0079] 多相 DC-DC 变换器 100,在标准状态下,如图 4 所示,每次 1 时钟顺序给 A 相~D 相的 DC-DC 变换器电路 11~14 分配通过 VC021 生成的时钟信号,在 A 相~D 相的 DC-DC 变换器电路 11~14 中根据该分配的同步信号导通·关断驱动高侧的开关元件 SWH1~SWH4 或者低侧的同步整流元件 SWL1~SWL4,使之动作。

[0080] 另一方面,当发生各相间的输出电流的差异时,如图 5 所示,为使该差变小,时钟分配电路 24,不是以 A 相~D 相的顺序,而是变化时钟信号的分配,使给输出小的 DC-DC 变换器电路多分配同步信号,给输出大的 DC-DC 变换器电路少分配同步信号。关于该分配的算法后述。

[0081] 此外,在实际电路中,不会是如图 5 那样频繁变化时钟信号的分配,而是如图 6 所示那样在长的时期内分散进行。

[0082] 图 7 是表示通过时钟信号的分配的各相的输出电流的变化的波形图,图 8 是表示通过时钟信号的分配实现的各相的输出状态的说明图。

[0083] 例如,如图 7(a) 所示,假定时钟分配电路 24 把第四号和第八号时钟信号变化为 A 相的同步信号,把第六号时钟信号变化为 C 相的同步信号。

[0084] 在进行这样的分配的场合,如图 7(b) 所示,在 A 相的 DC-DC 变换器电路 11 中因为被开关驱动的次数增加,所以和标准分配的场合(用虚线表示)比较,流过电抗器 L_{o1} 的输出电流的平均值增加。

[0085] 另外,如图 7(c) 所示,在 C 相的 DC-DC 变换器电路 13 中因为被开关驱动的次数减少,所以和标准分配的场合(用虚线表示)比较,流过电抗器 L_{o3} 的输出电流的平均值减少。

[0086] 于是,通过进行这样的时钟信号的分配来使各相间的输出电流的差变小,如图 8 所示,就可以将各相的输出电流控制成大体为均等。

[0087] 图 9 是表示在时钟信号的分配有变化的场合的各相的输出和合计它们的输出的波形图。

[0088] 如上述即使不按顺序进行时钟信号的分配,如图 9 所示,因为与从 VC021 输出的一个时钟信号对应开关驱动一个 DC-DC 变换器电路,所以和通常的多相方式的电路相同,合计的输出波动被平均化变小。

[0089] 下面说明通过时钟分配电路 24 的时钟信号的分配方法。时钟分配电路 24,通过电压比较器等的模拟电路或者逻辑电路的组合通过硬件处理实现下述的算法。

[0090] 图 10 是表示通过时钟分配电路 24 的时钟信号的分配过程的第一例的流程图。

[0091] 第一例的分配算法,每次从 VC021 供给时钟信号时(步骤 S1),在该定时从全部相的 DC-DC 变换器电路 11 ~ 14 取得实时的输出电流信息(步骤 S2),将它们进行比较,向输出电流成为最小的相的 DC-DC 变换器电路输出时钟信号(步骤 S3)。

[0092] DC-DC 变换器电路 11 ~ 14 的电抗器 Lo1 ~ Lo4 的电流,如图 9 所示,供给时钟信号后,在高侧的开关元件 SWH1 ~ SWH4 导通期间使电流值上升,在高侧的开关元件 SWH1 ~ SWH4 关断期间使电流值慢慢下降。

[0093] 因此,根据上述那样的分配方法,一方面在大部分期间向 A 相 ~ D 相的 DC-DC 变换器电路 11 ~ 14 顺序分配时钟信号,一方面以比时钟周期非常长的周期移动该顺序,给输出电流低的 DC-DC 变换器电路提早移动时钟信号的顺序,或者给输出电流高的 DC-DC 变换器电路延迟移动时钟信号的顺序,来进行控制以使各相间的输出电流的差异变小。

[0094] 此外,该分配方法,如图 3(a) 的电流检测电路 31a 那样,可在任何一个定时进行电流检测,另外,在使用电流检测或者电流比较花费的延迟时间与时钟信号的周期相比变短的电流检测电路的场合也可以使用。

[0095] 图 11 是表示通过时钟分配电路 24 的时钟信号的分配过程的第二例的流程图。

[0096] 第二例的分配算法,对于每一从 VC021 供给的时钟信号要判断时钟信号的分配目的地后输出时钟信号这点,和第一例的分配算法是相同的,但是在第二例中该分配目的地的判断的方法不同。

[0097] 在该第二例中,首先,把在此前 n 次(例如 2 次)的期间分配了时钟信号的相(A 相 ~ D 相)从下次的分配目的地中除去(步骤 S12)。进而,确认是否没有 m 次(例如 4 次)连续未分配时钟信号的相(步骤 S13),如果有相应的相则优先给该相供给时钟信号(步骤 S14)。

[0098] 另一方面,如果没有 m 次连续未分配时钟信号的相,则仍然把此前在 n 次的期间分配时钟信号的相除外,给输出电流的检测值最低的相分配时钟信号(步骤 S15)。

[0099] 这里,步骤 S12 的 n 次的值,可以在比使输出相位不同驱动的 DC-DC 变换器电路 11 ~ 14 的个数小的范围内适宜设定。

[0100] 另外,步骤 S13 的 m 次的值,可以在比使输出相位不同驱动的 DC-DC 变换器电路 11 ~ 14 的个数以上的范围内适宜设定。

[0101] 根据这样的分配方法,使时钟信号的分配目的地适当分散,同时进行 A 相 ~ D 相的 DC-DC 变换器电路 11 ~ 14 的输出调整,能够控制成缩小各相间的输出差。

[0102] 另外,通过适宜设定上述的 n 值或 m 值,如图 5 所示,即使在种种重新排列了时钟信号的分配顺序的场合,对于完全未分配时钟信号的最长期间 t1、和相邻的时钟信号的最短期间 t2 附加限制,这样可以使各相的输出不急剧变化,而以缓慢的变化维持输出的均衡。

[0103] 此外,在该分配方法中,作为电流检测电路可以使用图 3(a) ~ (c) 所示那样的各种电路。亦即,各相的电流检测也可以不实时进行,甚至,即使在到电流检测延迟时钟信号的一周期左右那样的电路中也可以使用。作为时钟信号的分配目的地通过除去在此前 n 次的期间已经开关驱动过的相,即使电流检测延迟,也可以排除该检测延迟的影响,而进行正确的输出比较。亦即,避免在开关驱动而输出上升的情况下却将输出低时的检测信号使用在了时钟信号分配目的地的判断材料中这样的不恰当的情况。

[0104] 另外,如图 3(c) 所示,即使是不进行开关驱动时不能进行电流检测那样的电流检测电路也可以没有问题地使用。亦即,因为通过上述 m 值的设定限制了完全未分配时钟信号的期间,所以例如在 A 相中输出高时进行电流检测,其后,即使在假定全体输出降低等,不发生其他相的检测电流比先前检测到的 A 相的检测电流值高这样的状态继续的场合,因为即使最低在 m 时钟的期间再次在全部相中进行开关驱动,所以也能避免仅一相完全未分配时钟信号这样的不恰当的情况。

[0105] 如上所述,根据该实施形态的多相 DC-DC 变换器 100,具有如下的效果:能够使用通过 PFM 控制驱动电流共振型 DC-DC 变换器电路 11 ~ 14 进行多相方式的驱动,再者,在各 DC-DC 变换器电路 11 ~ 14 间也能够进行使输出电流均等那样的调整。

[0106] 另外,因为用共振型 DC-DC 变换器电路进行多相方式的驱动控制,所以得到能够享受开关损失或开关噪声小这样的共振型的优点和稳定地获得低波动大输出这样的多相方式的优点双方这样的效果。另外,通过这些能够谋求电源装置的高效率化。

[0107] 此外,本发明不限于上述实施形态,可以进行各种变更。例如,作为 DC-DC 变换器电路表示出了使用电流共振型的变换器电路的例子,但是也可以使用电压共振型的变换器电路。另外,不限于共振型而可以使用 PFM 型的所有变换器电路。再有,不仅 PFM 控制的变换器电路,也可以使用 PWM 控制的 DC-DC 变换器电路。因此,即使是对应输出切换 PWM 控制和 PFM 控制动作的 DC-DC 变换器电路,也可以适用本发明的多相方式的变换器电路。

[0108] 另外,在上述实施形态中,作为 DC-DC 变换器电路,使用非绝缘型中降压型的开关变换器,但是也可以使用绝缘型的升压型或降压型的开关变换器。另外,通过在输入级设置整流电路,也可以做成 AC/DC 变换器。

[0109] 此外,并联的 DC-DC 变换器电路的数(相数)、或者 DC-DC 变换器电路或者电流检测电路的具体的电路结构、以及分配时钟信号的算法等,在上述实施形态中具体表示的细节等可以在不脱离发明的主旨的范围内进行适宜变更。

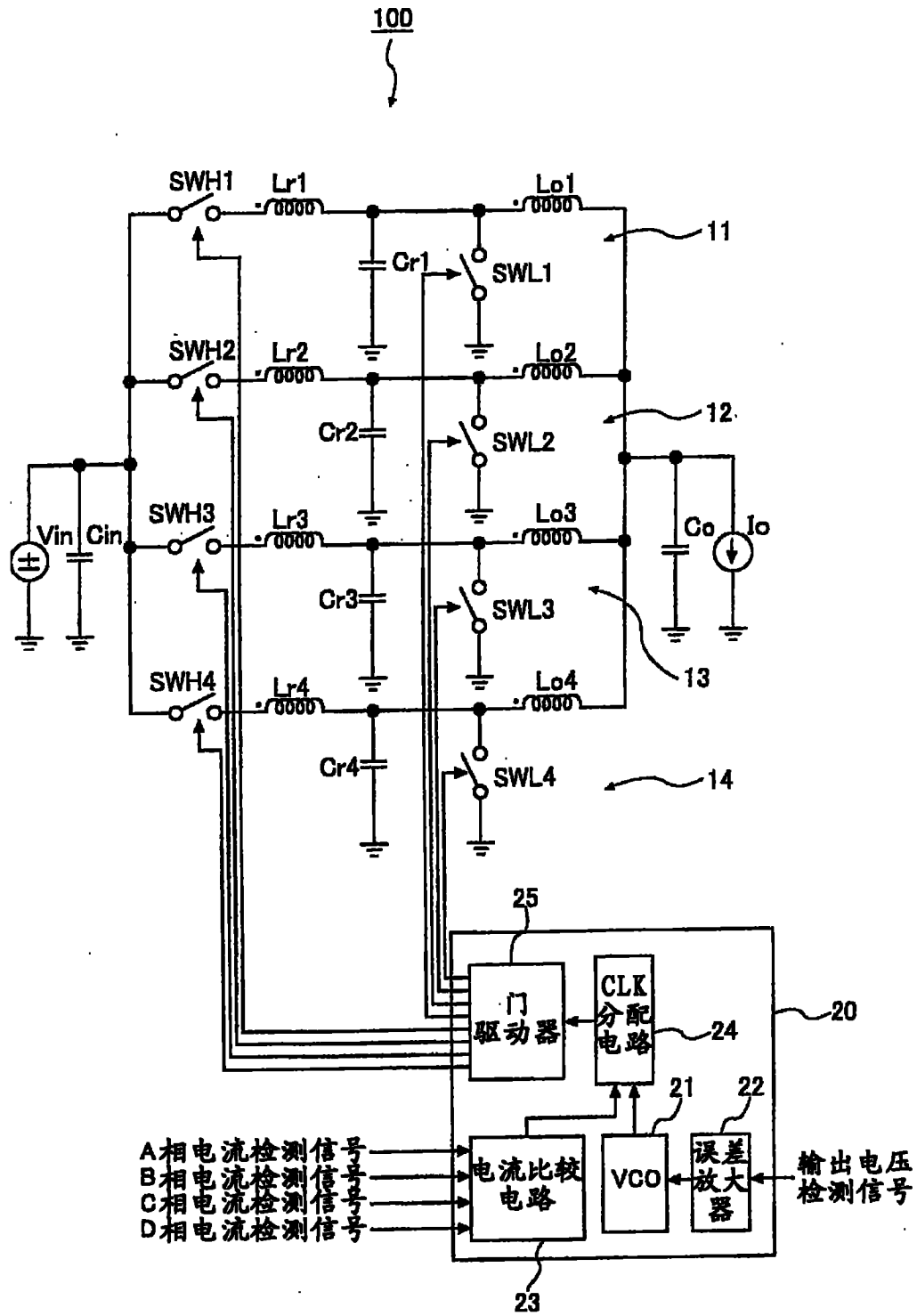


图 1

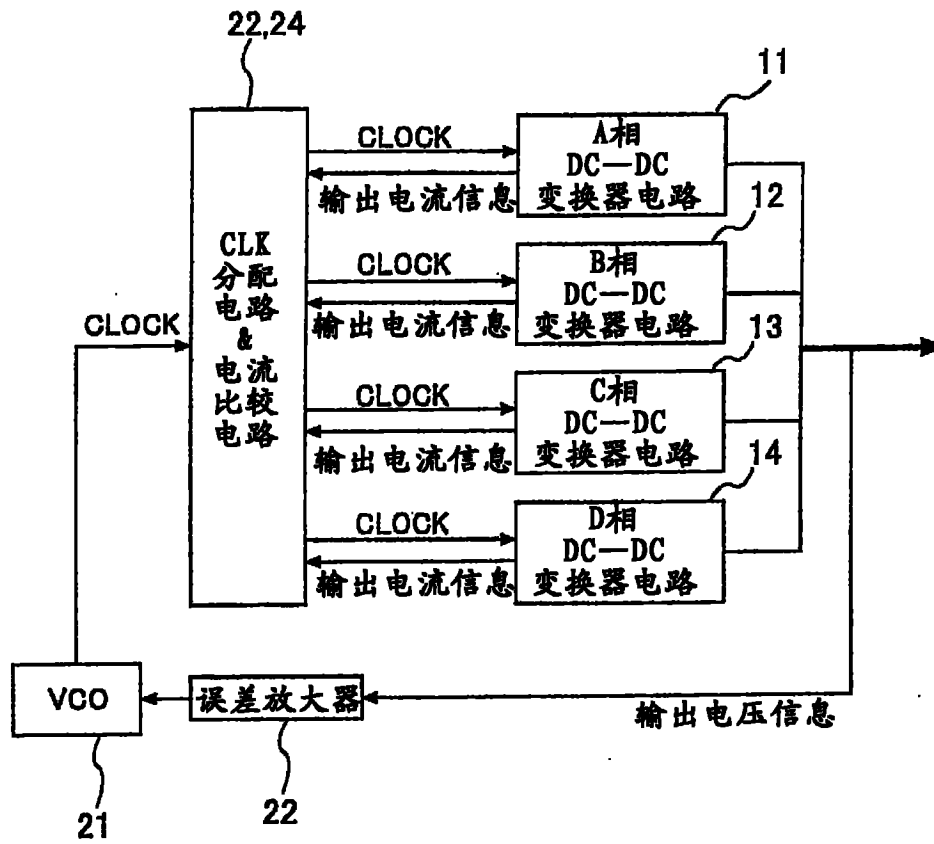


图 2

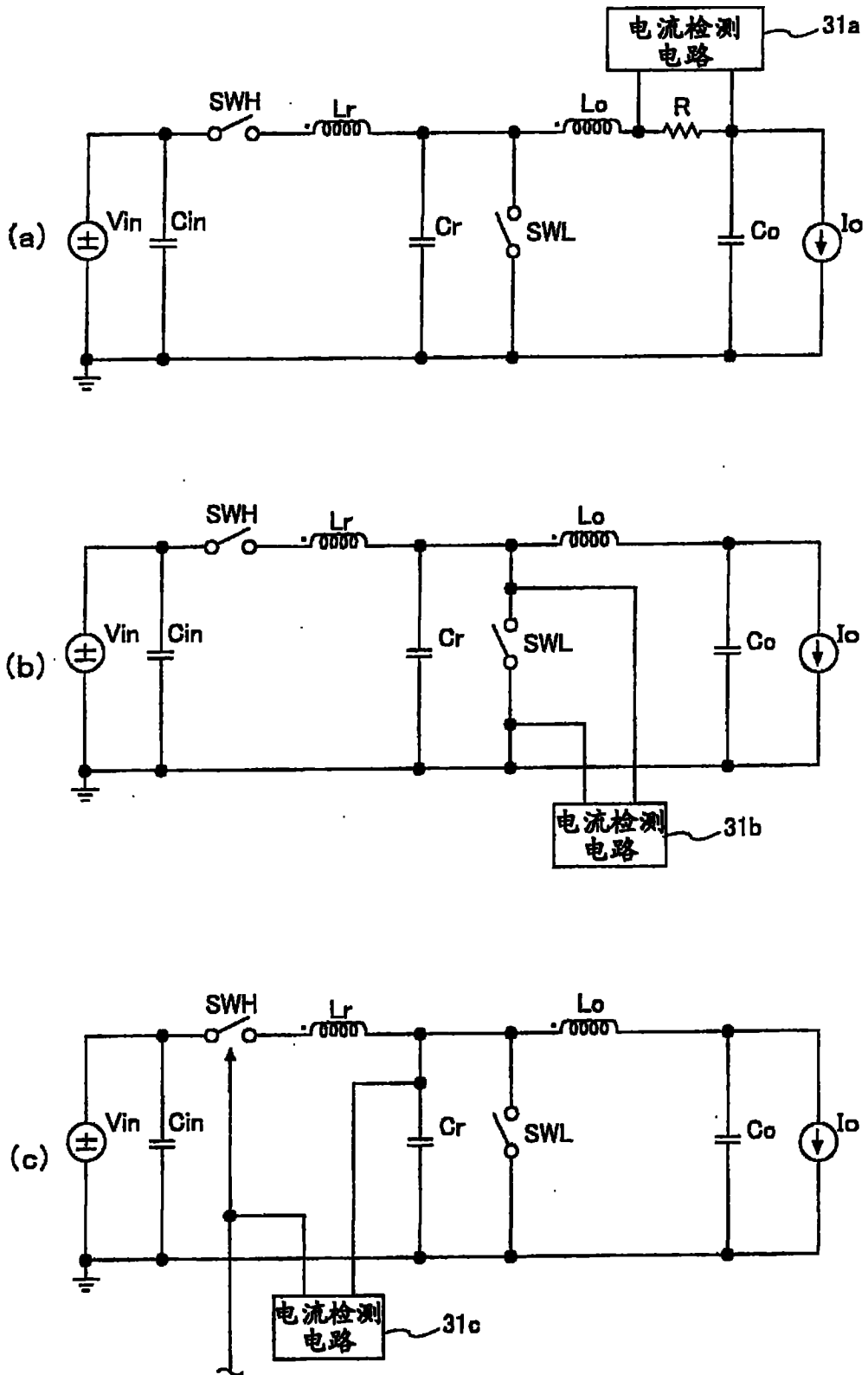


图 3

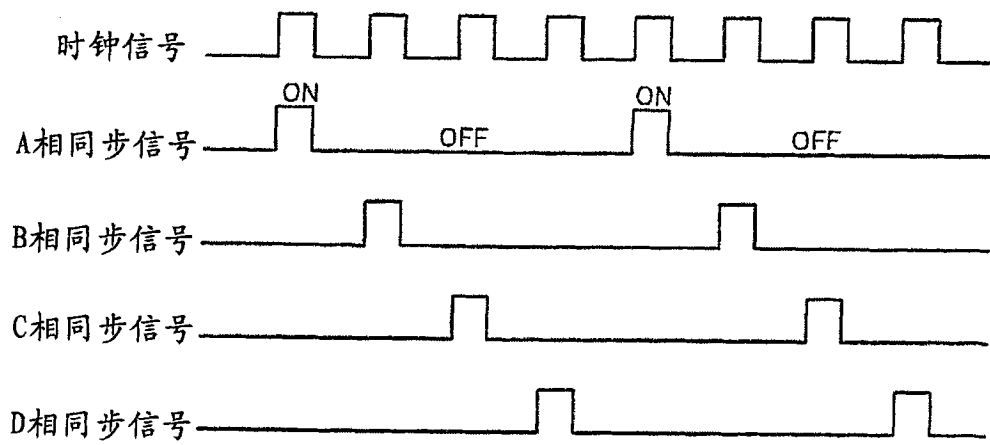


图 4

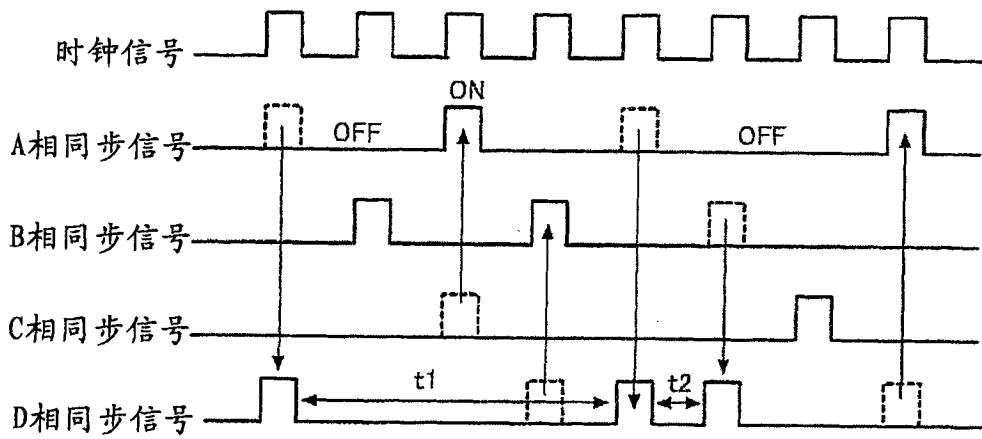


图 5

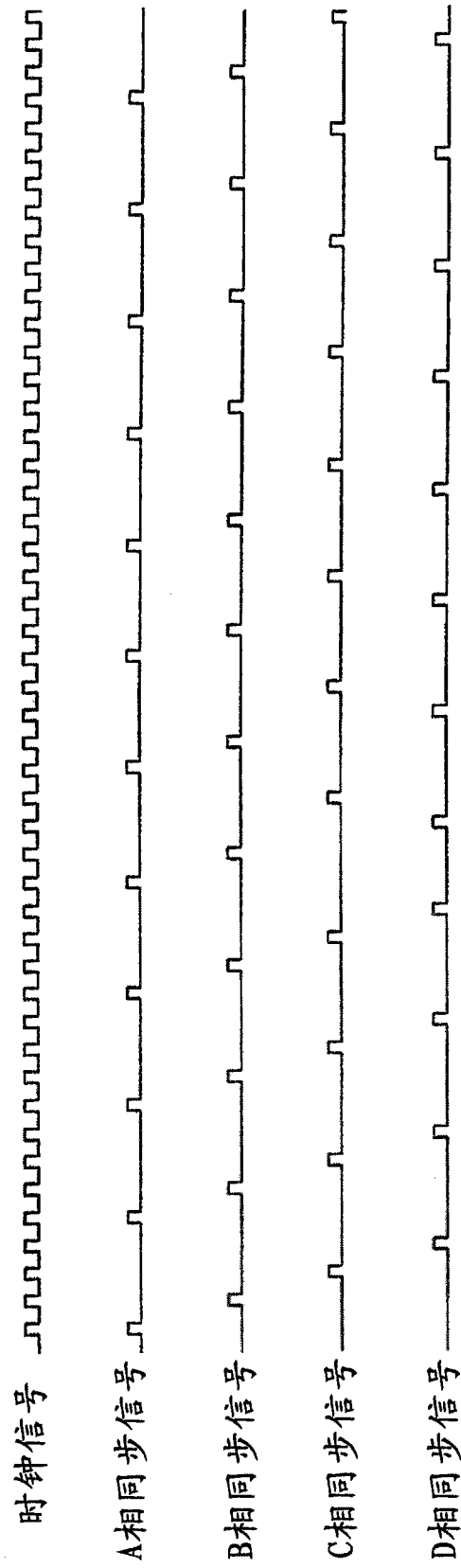
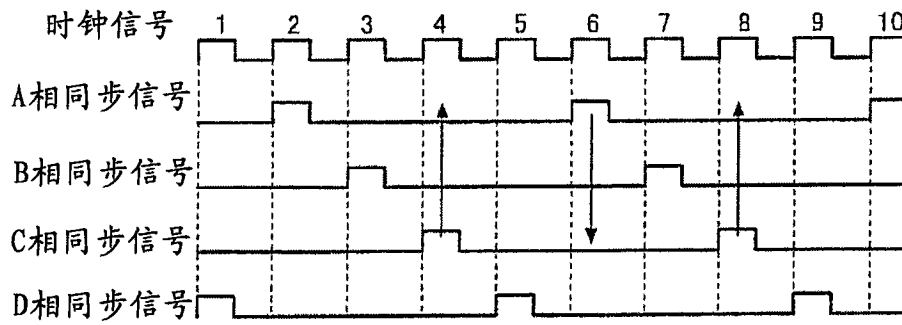
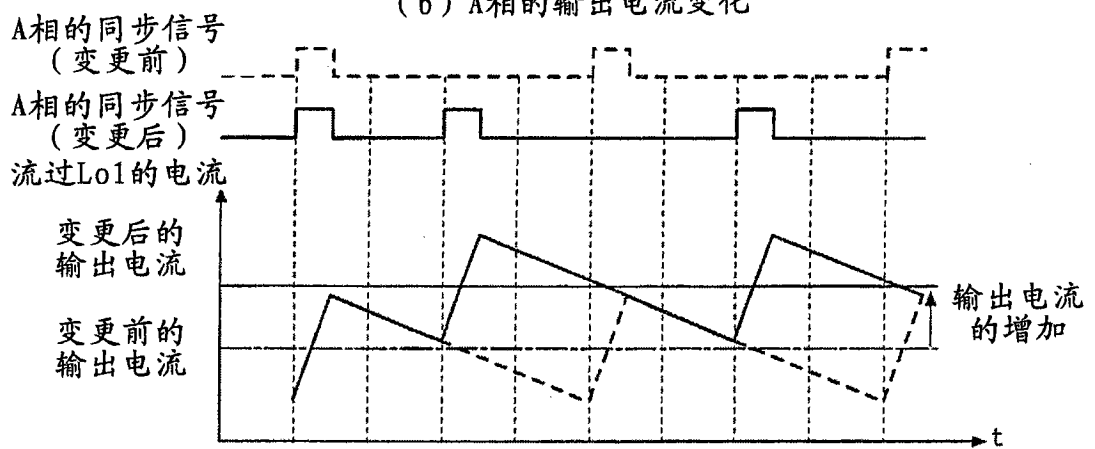


图 6

(a) 时钟信号的分配



(b) A相的输出电流变化



(c) C相输出电流的减小

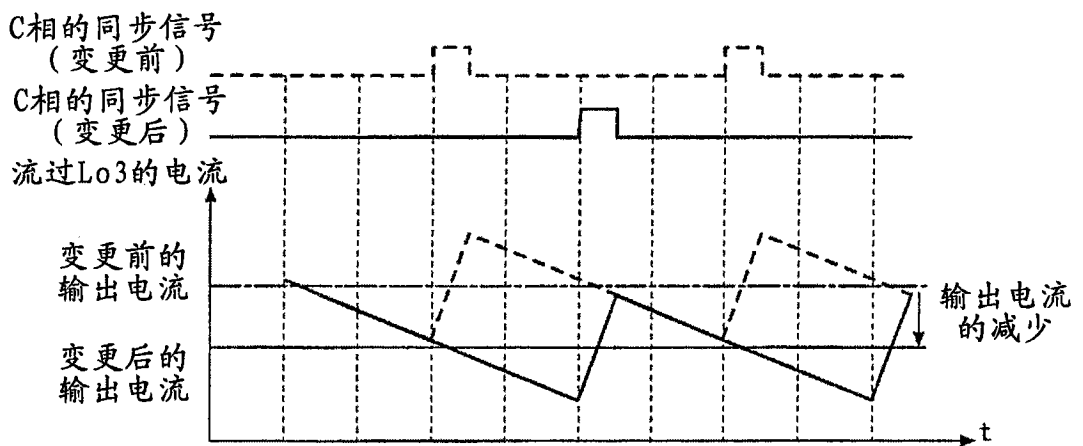


图 7

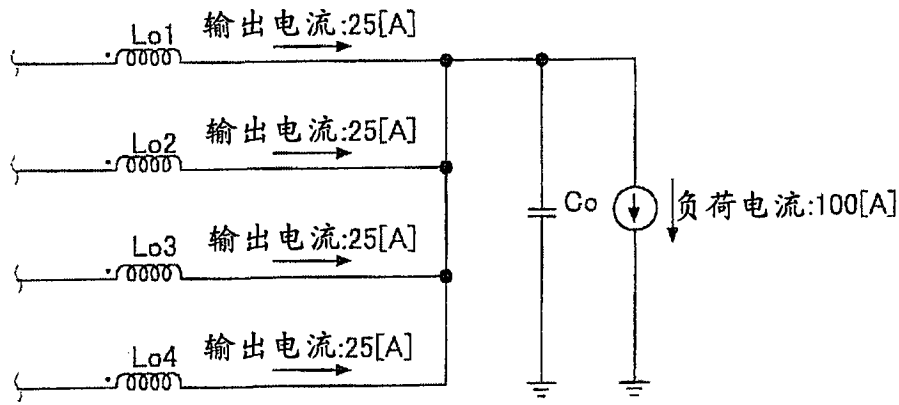


图 8

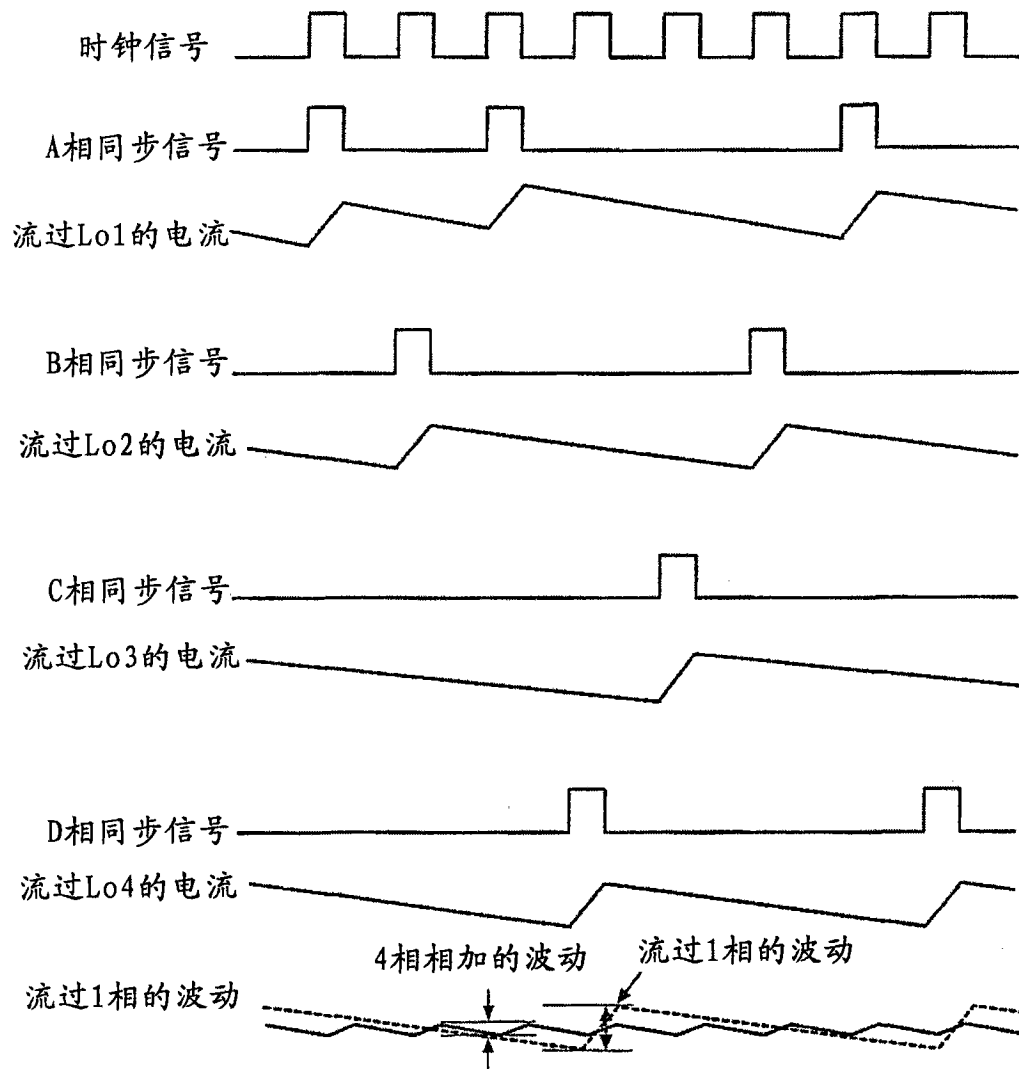


图 9

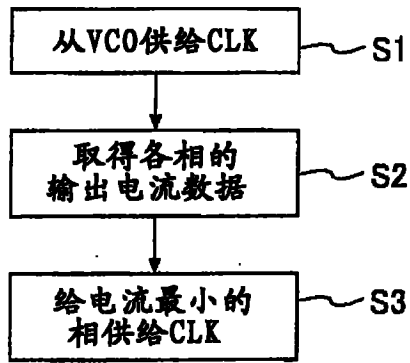


图 10

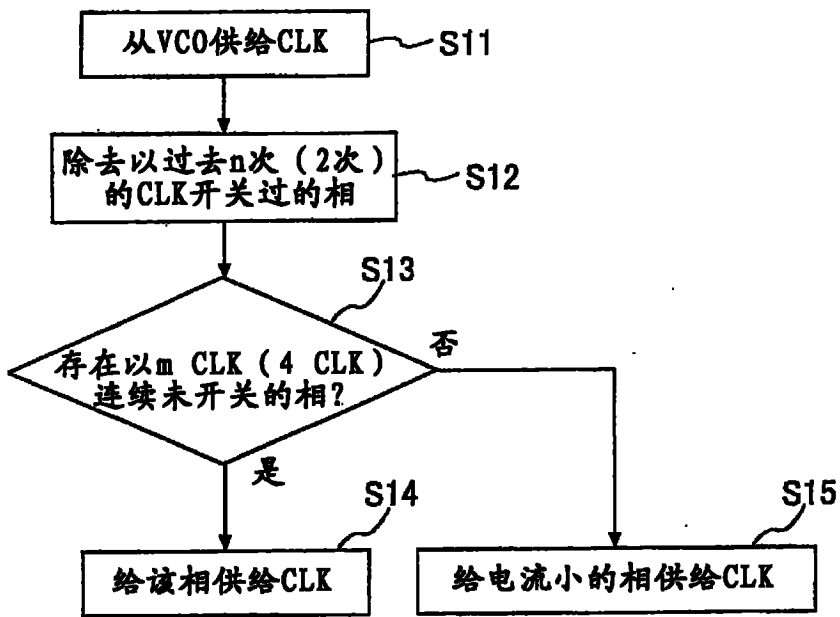
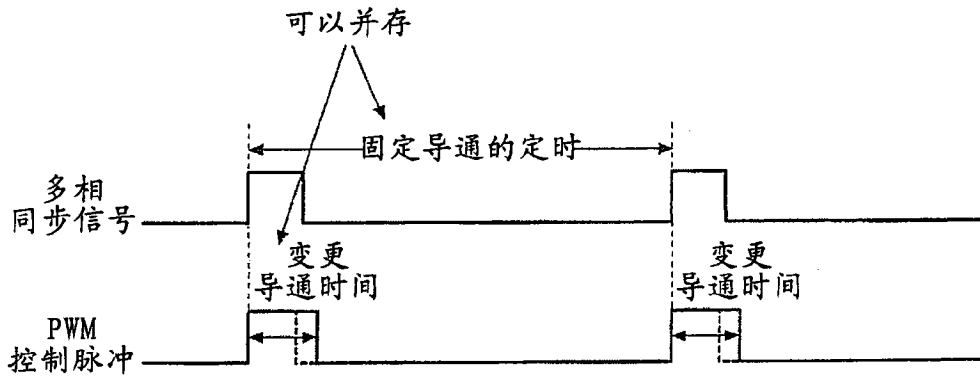
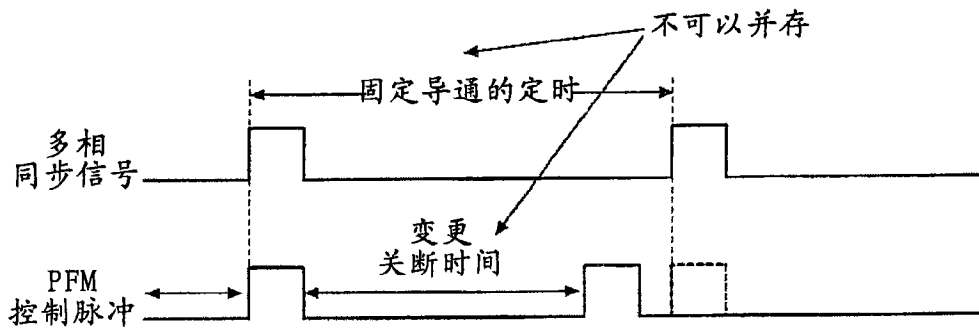


图 11



(a) PWM控制的场合



(b) PFM控制的场合

图 12

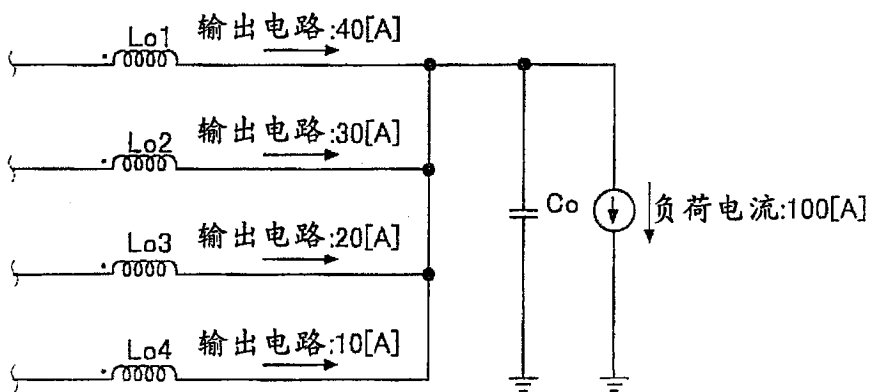


图 13