(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월12일
(11) 등록번호 10-0837335
(24) 등록일자 2008년06월04일

(51) Int. Cl.
G09G 3/30 (2006.01) *G09G 3/32* (2006.01)
G09G 3/20 (2006.01) *H05B 33/12* (2006.01)
(21) 출원번호 10-2006-0127289
(22) 출원일자 2006년12월13일
심사청구일자 2006년12월13일
(56) 선행기술조사문헌
JP2006308845 A
KR1020050110823 A
KR1020050115346 A
KR1020060099456 A

(73) 특허권자
재단법인서울대학교산학협력재단
서울특별시 관악구 봉천7동 산4의 2번지
(72) 발명자
한민구
서울 강남구 압구정동 현대아파트 85-201
한상면
서울 동작구 노량진1동 325번지 신동아아파트 701-1605
박현상
경기 성남시 분당구 구미동 무지개마을 청구아파트 511-1402
(74) 대리인
서경민, 서만규

전체 청구항 수 : 총 20 항 심사관 : 김남인

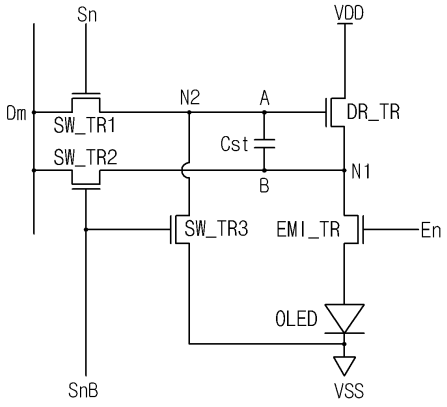
(54) 평판 표시 장치의 화소 회로

(57) 요 약

본 발명은 평판 표시 장치의 화소 회로에 관한 것으로서, 해결하고자 하는 기술적 과제는 구동 트랜지스터의 열화 현상을 최소화하는데 있다.

이를 위해 본 발명은 데이터 신호를 공급하는 데이터선, 주사 신호를 공급하는 주사선, 주사선에 제어 전극이 연결되며, 데이터선으로부터의 데이터 신호를 전달하는 제1스위칭 트랜지스터, 제1스위칭 트랜지스터에 제어 전극이 연결된 구동 트랜지스터, 구동 트랜지스터에 연결되며, 구동 트랜지스터에 의해 공급되는 전류에 의해 화상을 표시하는 유기 전계 발광 소자, 구동 트랜지스터에 연결되며, 구동 트랜지스터의 전류를 차단하는 발광 제어 트랜지스터, 구동 트랜지스터의 제어 전극에 제1전극이 연결되고, 구동 트랜지스터와 발광 제어 트랜지스터의 사이에 제2전극이 연결된 용량성 소자, 용량성 소자의 제2전극과 데이터선 사이에 연결된 제2스위칭 트랜지스터, 제1스위칭 트랜지스터와 구동 트랜지스터의 사이에 제1전극이 연결되고, 제어 전극이 제2스위칭 트랜지스터의 제어 전극에 연결된 제3스위칭 트랜지스터를 포함하는 평판 표시 장치의 화소 회로를 개시한다.

대표도 - 도5



특허청구의 범위

청구항 1

데이터 신호를 공급하는 데이터선;

주사 신호를 공급하는 주사선;

상기 주사선에 제어 전극이 연결되며, 상기 데이터선으로부터의 데이터 신호를 전달하는 제1스위칭 트랜지스터;

상기 제1스위칭 트랜지스터에 제어 전극이 연결된 구동 트랜지스터;

상기 구동 트랜지스터에 연결되며, 상기 구동 트랜지스터의 전류를 차단하는 발광 제어 트랜지스터;

상기 발광 제어 트랜지스터 또는 상기 구동 트랜지스터에 연결되며, 상기 구동 트랜지스터에 의해 흐르는 전류로 화상을 표시하는 유기 전계 발광 소자;

상기 구동 트랜지스터의 제어 전극에 제1전극이 연결되고, 상기 구동 트랜지스터와 발광 제어 트랜지스터의 사이에 제2전극이 연결된 용량성 소자;

상기 용량성 소자의 제2전극과 상기 데이터선 사이에 연결된 제2스위칭 트랜지스터; 및,

상기 제1스위칭 트랜지스터와 구동 트랜지스터의 사이에 제1전극이 연결되고, 제어 전극이 상기 제2스위칭 트랜지스터의 제어 전극에 연결된 제3스위칭 트랜지스터를 포함하는 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 2

청구항 1 항에 있어서, 상기 구동 트랜지스터는 제1전원전압선에 연결되고, 상기 유기 전계 발광 소자는 제2전원전압선에 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 3

청구항 2 항에 있어서, 상기 제3스위칭 트랜지스터는 제2전극이 상기 제2전원전압선에 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 4

청구항 2 항에 있어서, 상기 발광 제어 트랜지스터는 상기 구동 트랜지스터와 상기 유기 전계 발광 소자 사이에 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 5

청구항 1 항에 있어서, 상기 유기 전계 발광 소자는 제1전원전압선에 연결되고, 상기 발광 제어 트랜지스터는 제2전원전압선에 연결되며, 상기 구동 트랜지스터는 상기 유기 전계 발광 소자와 상기 발광 제어 트랜지스터 사이에 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 6

청구항 1 항에 있어서, 상기 제3스위칭 트랜지스터의 제1전극은 상기 제1스위칭 트랜지스터와 용량성 소자의 제1전극 사이에 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 7

청구항 1 항에 있어서, 상기 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터의 제어 전극에는 부주사 신호를 공급하는 부주사선이 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 8

청구항 1 항에 있어서, 상기 발광 제어 트랜지스터는 제어 전극에 발광 제어선이 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 9

청구항 1 항에 있어서, 상기 제1스위칭 트랜지스터, 구동 트랜지스터, 발광 제어 트랜지스터, 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터는 N형 채널 트랜지스터인 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 10

청구항 2 항 내지 청구항 9 항중 어느 한 항에 있어서,

한 프레임의 화상 표시 기간중 상기 제1스위칭 트랜지스터, 구동 트랜지스터 및 발광 제어 트랜지스터가 턴온되고, 상기 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터가 턴오프되면, 상기 데이터선으로부터의 데이터 신호가 상기 용량성 소자의 제1전극 및 구동 트랜지스터의 제어 전극에 인가되고, 상기 제2전원전압선으로부터의 제2전원전압은 상기 용량성 소자의 제2전극에 인가됨을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 11

청구항 2 항 내지 청구항 9 항중 어느 한 항에 있어서,

한 프레임의 화상 표시 기간중 상기 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터가 턴온되고, 상기 제1스위칭 트랜지스터 및 발광 제어 트랜지스터가 턴오프되면, 상기 데이터선으로부터의 데이터 신호가 상기 용량성 소자의 제2전극에 인가되고, 상기 제2전원전압선으로부터의 제2전원전압은 상기 용량성 소자의 제1전극 및 구동 트랜지스터의 제어 전극에 인가됨을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 12

청구항 1 항에 있어서, 상기 유기 전계 발광 소자는 제1전원전압선에 연결되고, 상기 구동 트랜지스터는 제2전원전압선에 연결되며, 상기 유기 전계 발광 소자와 상기 구동 트랜지스터 사이에 발광 제어 트랜지스터가 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 13

청구항 1 항에 있어서, 상기 발광 제어 트랜지스터는 제1전원전압선에 연결되고, 상기 유기 전계 발광 소자는 제2전원전압선에 연결되며, 상기 발광 제어 트랜지스터와 상기 유기 전계 발광 소자 사이에 구동 트랜지스터가 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 14

청구항 12 항에 있어서, 상기 제3스위칭 트랜지스터는 제2전극이 상기 제1전원전압선에 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 15

청구항 13 항에 있어서, 상기 제3스위칭 트랜지스터는 제2전극이 상기 제1전원전압선에 연결된 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 16

청구항 12 항 내지 청구항 15 항중 어느 한 항에 있어서, 상기 제1스위칭 트랜지스터, 구동 트랜지스터, 발광 제어 트랜지스터, 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터는 P형 채널 트랜지스터인 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 17

청구항 1 항에 있어서, 상기 유기 전계 발광 소자는 발광층을 구비하고 있으며, 상기 발광층은 형광 재료 및 인광 재료중 선택된 어느 하나 또는 그 혼합물인 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 18

청구항 17 항에 있어서, 상기 발광층은 적색 발광 재료, 녹색 발광 재료, 청색 발광 재료중 선택된 어느 하나 또는 그 혼합물인 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 19

청구항 1 항에 있어서, 상기 구동 트랜지스터는 비정질 실리콘 박막 트랜지스터, 폴리 실리콘 박막 트랜지스터, 유기 박막 트랜지스터 및 나노 박막 반도체 트랜지스터중 선택된 어느 하나인 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 20

청구항 1 항에 있어서, 상기 구동 트랜지스터는 니켈(Ni), 카드뮴(Cd), 코발트(Co), 티타늄(Ti), 팔라듐(Pd), 텅스텐(W) 및 알루미늄(Al) 중 선택된 어느 하나를 갖는 폴리 실리콘 트랜지스터인 것을 특징으로 하는 평판 표시 장치의 화소 회로.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<26> 본 발명은 평판 표시 장치의 화소 회로에 관한 것으로서, 보다 상세히는 유기 전계 발광 표시 장치의 화소 회로 내 구동 트랜지스터의 열화 현상을 최소화할 수 있는 평판 표시 장치의 화소 회로에 관한 것이다.

<27> 일반적으로 유기 전계 발광 표시 장치는 얇은 두께와 넓은 시야각 그리고 빠른 반응 속도 등의 장점으로 많은 관심을 끌고 있다. 이러한 유기 전계 발광 표시 장치는 각 화소의 유기 전계 발광 소자에 흐르는 전류의 양을 제어함으로써, 각 화소의 밝기를 제어하고 영상을 표시하게 된다.

<28> 통상 비정질 실리콘 박막 트랜지스터를 구동 소자로 이용할 경우 전류 구동 능력은 상대적으로 낮지만 표시 장치의 균일도가 우수하고 대면적 공정에 유리한 장점을 가진다. 그러나, 전류를 흐르게 하는 화소 회로내의 구동 트랜지스터는 제어 전극에 전압이 인가되어 전류가 흐르게 됨에 따라 실리콘 구조가 손상되어 점차 문턱 전압이 증가하게 된다. 이와 같은 문턱 전압의 증가는 아래의 수학식 1의 트랜지스터 전류식에서 볼 수 있는 바와 같이, 유기 전계 발광 소자에 인가되는 전류의 양을 감소시키게 된다. 물론, 이로 인하여 각 화소의 밝기가 감소됨으로써, 상기 화소 회로를 채택한 평판 표시 장치의 밝기가 시간이 지남에 따라 점차 감소하는 문제가 있다.

<29> 더욱이, 화소 회로마다의 문턱 전압 열화 정도는 이전까지 각 화소 회로에 인가되었던 데이터 전압에 따라 달라지므로 결과적으로 평판 표시 장치 전체의 휘도가 불균일해지는 문제가 있다.

<30> [수학식 1]

<31> $$I=\frac{1}{2}\beta(V_G-V_T)^2$$

<32> 여기서, I는 구동 트랜지스터와 유기 전계 발광 소자에 흐르는 전류, V_G는 구동 트랜지스터의 제어 전극 전압,

V_T는 구동 트랜지스터의 문턱 전압, β는 구동 트랜지스터의 전기 전도도에 관계된 상수이다.

발명이 이루고자 하는 기술적 과제

<33> 본 발명은 상술한 종래의 문제점을 극복하기 위한 것으로서, 본 발명의 목적은 한 프레임의 화상 표시 기간을 제1기간과 제2기간으로 나누고, 제1기간에는 데이터 신호로서 구동 트랜지스터의 제어 전극에 양의 전압(또는 음의 전압)을 인가하여 유기 전계 발광 소자가 발광하도록 하고, 제2기간에는 구동 트랜지스터의 제어 전극에 음의 전압(또는 양의 전압)을 인가하여 유기 전계 발광 소자를 끄는 동시에 구동 트랜지스터가 네거티브 어닐링 또는 포지티브 어닐링(Negative Annealing or Positive Annealing)되도록 함으로써, 구동 트랜지스터의 문턱 전압 변이 즉, 열화 현상을 최소화할 수 있는 평판 표시 장치의 화소 회로를 제공하는데 있다.

<34> 본 발명의 다른 목적은 제1기간에 구동 트랜지스터에 제어 전극에 인가된 양의 전압(또는 음의 전압)만큼, 제2기간에 구동 트랜지스터의 제어 전극에 음의 전압(또는 양의 전압)을 인가함으로써, 표시 장치 전체의 휘도 균일도를 향상시킬 수 있는 평판 표시 장치의 화소 회로를 제공하는데 있다.

<35> 본 발명의 또다른 목적은 한 프레임의 화상 표시 기간중 발광 기간과 어닐링 기간의 비율을 1:1 또는 그 외의 비율로 다양하게 조절하여, 자연스럽게 한 프레임과 다음 프레임 사이에 제1화상이 표시되도록 함으로써, 모션 블러(Motion Blur) 현상이 방지되도록 하고 또한 높은 명암비 구현이 가능한 평판 표시 장치의 화소 회로를 제공하는데 있다.

발명의 구성 및 작용

<36> 일반적으로 기 전계 발광 소자는 도 1에 도시된 바와 같이 양극(Anode), 유기층 및 음극(Cathode)으로 이루어져 있다. 상기 유기층은 전자와 정공이 만나 여기자(Exciton)를 형성하여 발광하는 발광층(EMitting Layer, EML), 전자를 수송하는 전자 수송층(Electron Transport Layer, ETL), 정공을 수송하는 정공 수송층(Hole Transport Layer, HTL)으로 이루어질 수 있다. 또한, 상기 전자 수송층의 일측면에는 전자를 주입하는 전자 주입층(Electron Injecting Layer, EIL)이 형성되고, 상기 정공 수송층의 일측면에는 정공을 주입하는 정공 주입층(Hole Injecting Layer, HIL)이 더 형성될 수 있다. 더불어, 인광형 유기 전계 발광 소자의 경우에는 정공 억제층(Hole Blocking Layer, HBL)이 발광층(EML)과 전자수송층(ETL) 사이에 선택적으로 형성될 수 있으며, 전자 억제층(Electron Blocking Layer, EBL)이 발광층(EML)과 정공 수송층(HTL) 사이에 선택적으로 형성될 수 있다.

<37> 또한, 상기 유기층은 두종류의 층을 혼합하여 그 두께를 감소시키는 슬림형 유기 전계 발광 소자(Slim OLED)로 형성할 수도 있다. 예를 들면, 정공 주입층과 정공 수송층을 동시에 형성하는 정공 주입 수송층(Hole Injection Transport Layer, HITL) 구조 및 전자 주입층과 전자 수송층을 동시에 형성하는 전자 주입 수송층(Electron Injection Transport Layer, EITL) 구조를 선택적으로 형성할 수 있다. 상기와 같은 슬림형 유기 전계 발광 소자는 발광 효율을 증가시키는데 그 사용의 목적이 있다.

<38> 또한, 양극과 발광층 사이에는 선택층으로서 버퍼층(Buffer Layer)을 형성할 수 있다. 상기 버퍼층은 전자를 버퍼링하는 전자 버퍼층(Electron Buffer Layer)과 정공을 버퍼링하는 정공 버퍼층(Hole Buffer Leyer)으로 구분할 수 있다. 상기 전자 버퍼층은 음극과 전자 주입층(EIL) 사이에 선택적으로 형성할 수 있으며, 상기 전자 주입층(EIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 발광층(EML)/전자 수송층(ETL)/전자 버퍼층(Electron Buffer Layer)/음극이 될 수 있다. 또한, 상기 정공 버퍼층은 양극과 정공 주입층(HIL) 사이에 선택적으로 형성할 수 있으며, 정공 주입층(HIL)의 기능을 대신하여 형성할 수 있다. 이때 상기 유기층의 적층 구조는 양극/정공 버퍼층(Hole Buffer Leyer)/정공 수송층(HTL)/발광층(EML)이 될 수 있다.

<39> 상기 구조에 대하여 가능한 적층 구조를 기재하면 다음과 같다.

<40> a) 정상 적층 구조(Normal Stack Structure)

<41> 1) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<42> 2) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<43> 3) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극

<44> 4) 양극/정공 버퍼층/정공 주입층/정공 수송층/발광층/전자 수송층/전자 주입층/전자 버퍼층/음극

<45> 5)양극/정공 주입층/정공 버퍼층/정공 수송층/발광층/전자 수송층/전자 주입층/음극

<46> 6) 양극/정공 주입층/정공 수송층/발광층/전자 수송층/전자 버퍼층/전자 주입층/음극

<47> b) 정상 슬림 구조(Normal Slim Structure)

<48> 1) 양극/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극

<49> 2) 양극/정공 버퍼층/정공 주입 수송층/발광층/전자 수송층/전자 주입층/음극

<50> 3) 양극/정공 주입층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극

<51> 4) 양극/정공 버퍼층/정공 수송층/발광층/전자 주입 수송층/전자 버퍼층/음극

<52> 5) 양극/정공 주입 수송층/정공 버퍼층/발광층/전자 수송층/전자 주입층/음극

<53> 6) 양극/정공 주입층/정공 수송층/발광층/전자 버퍼층/전자 주입수송층/음극

<54> c) 역상 적층구조(Inverted Stack Structure)

<55> 1) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/양극

<56> 2) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/정공 버퍼층/양극

<57> 3) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 주입층/양극

<58> 4) 음극/전자 버퍼층/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/양극

<59> 5) 음극/전자 주입층/전자 수송층/발광층/정공 수송층/정공 버퍼층/정공 주입층/양극

<60> 6) 음극/전자 주입층/전자 버퍼층/전자 수송층/발광층/정공 수송층/정공 주입층/양극

<61> d) 역상 슬림 구조 (Inverted Silm Structure)

<62> 1) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/양극

<63> 2) 음극/전자 주입층/전자 수송층/발광층/정공 주입 수송층/정공 버퍼층/양극

<64> 3) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 주입층/양극

<65> 4) 음극/전자 버퍼층/전자 주입 수송층/발광층/정공 수송층/정공 버퍼층/양극

<66> 5) 음극/전자 주입층/전자 수송층/발광층/정공 버퍼층/정공 주입 수송층/양극

<67> 6) 음극/전자 주입 수송층/전자 버퍼층/발광층/정공 수송층/정공 주입층/양극

<68> 이와 같은 유기 전계 발광 소자를 구동하는 방식으로서는 수동 매트릭스(Passive Matrix) 방식과 능동 매트릭스(Active Matrix) 방식이 알려져 있다. 상기 수동 매트릭스 방식은 양극과 음극을 직교하도록 형성하고 라인을 선택하여 구동함으로써 제작 공정이 단순하고 투자비가 적으나 대화면 구현시 전류 소모량이 많다는 단점이 있다. 상기 능동 매트릭스 방식은 박막 트랜지스터와 같은 능동 소자 및 용량성 소자를 각 화소에 형성함으로써 전류 소모량이 적고 화질 및 수명이 우수하며 중대형까지 확대 가능하다는 장점이 있다.

<69> 상술한 바와 같이 능동 매트릭스 방식에서는 유기 전계 발광 소자와 박막 트랜지스터를 기반으로 한 화소 회로 구성이 필수적인데, 이때 상기 박막 트랜지스터로서는 비정질 실리콘 박막 트랜지스터 또는 다결정 실리콘 박막 트랜지스터를 이용하게 된다. 도 2를 참조하면, 평판 표시 장치의 화소 회로가 도시되어 있고, 도 3을 참조하면, 도 2에 도시된 화소 회로의 구동 타이밍도가 도시되어 있다. 이러한 화소 회로는 n×m개의 화소중 하나를 대표적으로 도시한 것이다.

<70> 도 2에 도시된 바와 같이 평판 표시 장치의 화소 회로는 주사 신호를 공급하는 주사선(Sn), 데이터 신호를 공급하는 데이터선(Dm), 제1전원전압을 공급하는 제1전원전압선(VDD), 제2전원전압을 공급하는 제2전원전압선(VSS), 구동 트랜지스터(DR_TR), 스위칭 트랜지스터(SW_TR), 용량성 소자(Cst) 및 유기 전계 발광 소자(OLED)를 포함한다. 여기서, 상기 제1전원전압은 상기 제2전원전압에 비해 상대적으로 높은 레벨일 수 있다.

<71> 이러한 화소 회로의 한 프레임(1 frame) 동안의 동작을 도 3을 참조하여 설명한다.

<72> 도 3에 도시된 바와 같이, 주사선(Sn)으로부터 주사 신호가 공급되면, 스위칭 트랜지스터(SW_TR)가 턴온된다. 따라서, 데이터선(Dm)으로부터의 데이터 신호(전압)는 구동 트랜지스터(DR_TR)의 제어 전극 및 용량성 소자(Cst)의 제1전극(A)에 공급된다. 따라서, 제1전원전압선(VDD)으로부터의 제1전원전압이 상기 구동 트랜지스터

(DR_TR)를 통하여 유기 전계 발광 소자(OLED)에 공급됨으로써, 상기 유기 전계 발광 소자(OLED)는 한 프레임동안 일정 휘도로 발광하게 된다. 물론, 상기 용량성 소자(Cst)에는 상기 데이터선(Dm)으로부터 공급되는 데이터 전압이 저장되기 때문에, 주사선(Sn)으로부터의 주사 신호 공급이 차단된다고 해도 한 프레임동안 상기 구동 트랜지스터(DR_TR)는 계속 턴온 상태를 유지한다.

<73> 여기서, 상기 구동 트랜지스터(DR_TR)의 제어 전극 및 용량성 소자(Cst)의 제1전극(A)에는 양의 전압 범위를 갖는 데이터 전압이 공급되고, 구동 트랜지스터의 소스 전극 및 용량성 소자(Cst)의 제2전극(B)에는 제2전원전압에 가까운 음의 전압으로 유지가 되어, 실제로 제어 전극과 소스 전극 사이에는 양의 전압이 인가된 상태가 된다.

<74> 이와 같은 양의 전압(즉, V_{GS} 전압)은 제어 전극 하부에 형성된 실리콘의 전자(Electron) 농도를 높임으로써, 결국 실리콘 구조가 점차 손상되고, 따라서 상기 구동 트랜지스터(DR_TR)의 문턱 전압(V_{TH})을 점차 증가시키는 한 원인이 되고 있다. 더불어, 상기와 같이 구동 트랜지스터(DR_TR)의 문턱 전압이 점차 증가됨으로써, 같은 데이터 전압에도 불구하고 상기 구동 트랜지스터(DR_TR)의 충분한 전류 구동이 어렵게 된다.

<75> 상기한 문제를 해결하기 위해 본 발명에 의한 평판 표시 장치는 데이터 신호를 공급하는 데이터선과, 주사 신호를 공급하는 주사선과, 상기 주사선에 제어 전극이 전기적으로 연결되며, 상기 데이터선으로부터의 데이터 신호를 전달하는 제1스위칭 트랜지스터와, 상기 제1스위칭 트랜지스터에 제어 전극이 전기적으로 연결된 구동 트랜지스터와, 상기 구동 트랜지스터에 전기적으로 연결되며, 상기 구동 트랜지스터에 의해 공급되는 전류에 의해 화상을 표시하는 유기 전계 발광 소자와, 상기 구동 트랜지스터에 전기적으로 연결되며, 상기 구동 트랜지스터의 전류를 차단하는 발광 제어 트랜지스터와, 상기 구동 트랜지스터의 제어 전극에 제1전극이 전기적으로 연결되고, 상기 구동 트랜지스터와 발광 제어 트랜지스터의 사이에 제2전극이 전기적으로 연결된 용량성 소자와, 상기 용량성 소자의 제2전극과 상기 데이터선 사이에 전기적으로 연결된 제2스위칭 트랜지스터와, 상기 제1스위칭 트랜지스터와 구동 트랜지스터의 사이에 제1전극이 전기적으로 연결되고, 제어 전극이 상기 제2스위칭 트랜지스터의 제어 전극에 전기적으로 연결된 제3스위칭 트랜지스터를 포함한다.

<76> 상기 구동 트랜지스터는 제1전원전압선에 전기적으로 연결되고, 상기 발광 제어 트랜지스터는 제2전원전압선에 전기적으로 연결될 수 있다.

<77> 상기 제3스위칭 트랜지스터는 제2전극이 상기 제2전원전압선에 전기적으로 연결될 수 있다.

<78> 상기 유기 전계 발광 소자는 상기 발광 제어 트랜지스터와 제2전원전압선 사이에 전기적으로 연결될 수 있다.

<79> 상기 유기 전계 발광 소자는 상기 제1전원전압선과 구동 트랜지스터 사이에 전기적으로 연결될 수 있다.

<80> 한 개의 프레임의 화상 표시 기간중 상기 제1스위칭 트랜지스터, 구동 트랜지스터 및 발광 제어 트랜지스터가 턴온되고, 상기 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터가 턴오프되면, 상기 데이터선으로부터의 데이터 신호가 상기 용량성 소자의 제1전극 및 구동 트랜지스터의 제어 전극에 인가되고, 상기 제2전원전압선으로부터의 제2전원전압은 상기 용량성 소자의 제2전극에 인가될 수 있다.

<81> 한 개의 프레임의 화상 표시 기간중 상기 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터가 턴온되고, 상기 제1스위칭 트랜지스터 및 발광 제어 트랜지스터가 턴오프되면, 상기 데이터선으로부터의 데이터 신호가 상기 용량성 소자의 제2전극에 인가되고, 상기 제2전원전압선으로부터의 제2전원전압은 상기 용량성 소자의 제1전극 및 구동 트랜지스터의 제어 전극에 인가될 수 있다.

<82> 상기 제3스위칭 트랜지스터의 제1전극은 상기 제1스위칭 트랜지스터와 용량성 소자의 제1전극 사이에 전기적으로 연결될 수 있다.

<83> 상기 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터의 제어 전극에는 부주사 신호를 공급하는 부주사선이 전기적으로 연결될 수 있다.

<84> 상기 발광 제어 트랜지스터는 제어 전극에 발광 제어선이 전기적으로 연결될 수 있다.

<85> 상기 제1스위칭 트랜지스터, 구동 트랜지스터, 발광 제어 트랜지스터, 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터는 N채널 트랜지스터일 수 있다.

<86> 상기 발광 제어 트랜지스터는 제1전원전압선에 전기적으로 연결되고, 상기 구동 트랜지스터는 제2전원전압선에 전기적으로 연결될 수 있다.

<87> 상기 제3스위칭 트랜지스터는 제2전극이 상기 제1전원전압선에 전기적으로 연결될 수 있다.

<88> 상기 유기 전계 발광 소자는 상기 제1전원전압선과 발광 제어 트랜지스터 사이에 전기적으로 연결될 수 있다.

<89> 상기 유기 전계 발광 소자는 상기 구동 트랜지스터와 제2전원전압선 사이에 전기적으로 연결될 수 있다.

<90> 상기 제1스위칭 트랜지스터, 구동 트랜지스터, 발광 제어 트랜지스터, 제2스위칭 트랜지스터 및 제3스위칭 트랜지스터는 P채널 트랜지스터일 수 있다.

<91> 상기 유기 전계 발광 소자는 발광층을 구비하고 있으며, 상기 발광층은 형광 물질 및 인광 물질중 선택된 어느 하나 또는 그 혼합물일 수 있다.

<92> 상기 발광층은 적색 발광 재료, 녹색 발광 재료, 청색 발광 재료중 선택된 어느 하나 또는 그 혼합물일 수 있다.

<93> 상기 구동 트랜지스터는 비정질 실리콘 박막 트랜지스터, 폴리 실리콘 박막 트랜지스터, 유기 박막 트랜지스터 및 나노 박막 반도체 트랜지스터중 선택된 어느 하나일 수 있다.

<94> 상기 구동 트랜지스터는 니켈(Ni), 카드뮴(Cd), 코발트(Co), 티타늄(Ti), 팔라듐(Pd), 텅스텐(W) 및 알루미늄(Al) 중 선택된 어느 하나의 성분을 함유하는 폴리 실리콘 트랜지스터일 수 있다.

<95> 상술한 바와 같이, 본 발명에 따른 평판 표시 장치의 화소 회로는 한 프레임의 화상 표시 기간을 제1기간과 제2기간으로 나누고, 제1기간에는 데이터 신호로서 구동 트랜지스터의 제어 전극에 양의 전압(또는 음의 전압)을 인가하여 유기 전계 발광 소자가 발광하도록 하고, 제2기간에는 구동 트랜지스터의 제어 전극에 음의 전압(또는 양의 전압)을 인가하여 유기 전계 발광 소자를 끄는 동시에 구동 트랜지스터가 네거티브 어닐링(Negative Annealing, 또는 포지티브 어닐링(Positive Annealing))되도록 함으로써, 구동 트랜지스터의 문턱 전압이 변이되는 현상 즉, 열화 현상을 방지하게 된다.

<96> 또한, 상기와 같이 하여 본 발명에 의한 평판 표시 장치의 화소 회로는 제1기간에 구동 트랜지스터에 제어 전극에 인가된 양의 전압(또는 음의 전압)만큼, 제2기간에 구동 트랜지스터의 제어 전극에 음의 전압(또는 양의 전압)을 인가함으로써, 표시 장치 전체의 휘도 균일도를 향상시킬 수 있게 된다.

<97> 또한, 상기와 같이 하여 본 발명에 의한 평판 표시 장치의 화소 회로는 한 프레임의 화상 표시 기간중 발광 기간과 네거티브 어닐링(또는 포지티브 어닐링) 기간의 비율을 1:1 또는 그 외의 비율로 다양하게 조절하여, 자연스럽게 한 프레임과 다음 프레임 사이에 제1화상(예를 들면, 블랙 화상(Black Image))이 표시되도록 함으로써, 모션 블러(Motion Blur) 현상이 방지되고 또한 높은 명암비 구현이 가능하다.

<98> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<99> 본 발명을 명확하게 설명하기 위해 첨부된 도면에서 발명과 관계없는 부분은 생략하였다. 명세서 전체를 통하여 유사한 구성 및 동작을 갖는 부분에 대해서는 동일한 도면 부호를 붙였다. 어떤 부분이 다른 부분과 전기적으로 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐만 아니라 그 중간에 다른 소자를 사이에 두고 연결되어 있는 경우도 포함한다.

<100> 도 4를 참조하면, 본 발명에 따른 평판 표시 장치의 구성이 블록도로서 도시되어 있다.

<101> 도 4에 도시된 바와 같이 평판 표시 장치(100)는 주사 구동부(110), 데이터 구동부(120), 발광 제어 구동부(130), 유기 전계 발광 표시 패널(140)(이하, 패널(140)), 제1전원전압 공급부(150) 및 제2전원전압 공급부(160)를 포함할 수 있다.

<102> 상기 주사 구동부(110)는 다수의 주사선(S1,...,Sn)을 통하여 상기 패널(140)에 주사 신호를 순차적으로 공급할 수 있다.

<103> 상기 데이터 구동부(120)는 다수의 데이터선(D1,...,Dm)을 통하여 상기 패널(140)에 데이터 신호를 공급할 수 있다.

<104> 상기 발광 제어 구동부(130)는 다수의 발광 제어선(E1,...,En)을 통하여 상기 패널(140)에 발광 제어 신호를 순차적으로 공급할 수 있다.

<105> 또한, 상기 패널(140)은 열방향으로 배열되어 있는 다수의 주사선(S1,...,Sn) 및 발광 제어선(E1,...,En)과, 행

방향으로 배열되는 다수의 데이터선(D1,...,Dm)과, 상기 주사선(S1,...,Sn) 및 발광 제어선(E1,...,En)과 데이터선(D1,...,Dm)에 의해 정의되는 화소 회로(142,Pixel)를 포함할 수 있다.

<106> 여기서, 상기 화소 회로(Pixel)는 이웃하는 두 주사선(또는 발광 제어선)과 이웃하는 두 데이터선에 의해 정의되는 화소 영역에 형성될 수 있다. 물론, 상술한 바와 같이 상기 주사선(S1,...,Sn)에는 상기 주사 구동부(110)로부터 주사 신호가 공급될 수 있고, 상기 데이터선(D1,...,Dm)에는 상기 데이터 구동부(120)로부터 데이터 신호가 공급될 수 있으며, 상기 발광 제어선(E1,...,En)에는 상기 발광 제어 구동부(130)로부터 발광 제어 신호가 공급될 수 있다.

<107> 또한, 상기 제1전원전압 공급부(150) 및 제2전원전압 공급부(160)는 상기 패널(140)에 구비된 각 화소 회로(142)에 제1전원전압 및 제2전원전압을 공급하는 역할을 한다.

<108> 한편, 도 4에 도시된 바와 같이 이러한 주사 구동부(110), 데이터 구동부(120), 발광 제어 구동부(130), 패널(140), 제1전원전압 공급부(150) 및 제2전원전압 공급부(160)는 하나의 기판(102)에 모두 형성될 수 있다. 특히, 상기 구동부들 및 전원 공급부들(110,120,130,150,160)은 집적회로 형태로 하나의 기판(102)에 형성될 수 있다. 더욱이, 상기 구동부들 및 전원 공급부들(110,120,130,150,160)은 주사선(S1,...,Sn), 데이터선(D1,...,Dm), 발광 제어선(E1,...,En) 및 화소 회로(142)의 트랜지스터(도시되지 않음)를 형성하는 층과 동일층에 형성될 수도 있다. 물론, 상기 구동부들 및 전원 공급부들(110,120,130,150,160)은 상기 기판(102)과 별도의 다른 기판(도시되지 않음)에 형성하고, 이를 상기 기판(102)에 전기적으로 연결할 수도 있다. 더불어, 상기 구동부들 및 전원 공급부들(110,120,130,150,160)은 상기 기판(102)에 전기적으로 연결하는 TCP(Tape Carrier Package), FPC(Flexible Printed Circuit), TAB(Tape Automatic Bonding), COG(Chip On Glass) 및 그 등가물 중 선택된 어느 하나의 형태로 형성할 수 있으며, 본 발명에서 상기 구동부들 및 전원 공급부들(110,120,130,150,160)의 형태 및 형성 위치 등을 한정하는 것은 아니다.

<109> 도 5를 참조하면, 본 발명의 일실시예에 의한 평판 표시 장치의 화소 회로가 도시되어 있다. 이하에서 설명하는 화소 회로는 모두 도 4에 개시된 평판 표시 장치(100)중 하나의 화소 회로(Pixel)를 의미한다.

<110> 도 5에 도시된 바와 같이, 본 발명에 따른 평판 표시 장치의 화소 회로는 주사선(Sn), 부주사선(SnB), 데이터선(Dm), 발광 제어선(En), 제1전원전압선(VDD), 제2전원전압선(VSS), 제1스위칭 트랜지스터(SW_TR1), 구동 트랜지스터(DR_TR), 유기 전계 발광 소자(OLED), 발광 제어 트랜지스터(EMI_TR), 용량성 소자(Cst), 제2스위칭 트랜지스터(SW_TR2) 및 제3스위칭 트랜지스터(SW_TR3)를 포함할 수 있다.

<111> 상기 주사선(Sn)은 켜고자 하는 유기 전계 발광 소자(OLED)를 선택하는 주사 신호를 상기 제1스위칭 트랜지스터(SW_TR1)의 제어 전극에 공급하는 역할을 한다. 물론, 이러한 주사선(Sn)은 주사 신호를 생성하는 주사 구동부(110, 도 4 참조)에 전기적으로 연결될 수 있다.

<112> 상기 부주사선(SnB)은 데이터 신호와 반대 극성의 전압이 상기 용량성 소자(Cst)의 제1전극(A) 및 구동 트랜지스터(DR_TR)의 제어 전극에 공급되도록, 상기 제2스위칭 트랜지스터(SW_TR2) 및 제3스위칭 트랜지스터(SW_TR3)의 제어 전극에 전기적으로 연결되어 있다. 물론, 이러한 부주사선(SnB)은 부주사 신호를 생성하는 주사 구동부(110, 도 4 참조, 실질적으로 이러한 부주사 신호는 주사 신호를 출력하는 출력단 또는 이전단에 인버터를 전기적으로 연결하여 쉽게 얻을 수 있음)에 전기적으로 연결될 수 있다.

<113> 상기 데이터선(Dm)은 발광 휘도에 비례하는 데이터 신호(전압)를 상기 용량성 소자(Cst)의 제1전극(A) 및 구동 트랜지스터(DR_TR)의 제어 전극에 공급하는 역할을 한다. 물론, 이러한 데이터선(Dm)은 데이터 신호를 생성하는 데이터 구동부(120, 도 4 참조)에 전기적으로 연결될 수 있다.

<114> 상기 발광 제어선(En)은 실질적으로 상기 유기 전계 발광 소자(OLED)의 발광 시간을 제어할 수 있도록, 상기 발광 제어 트랜지스터(EMI_TR)의 제어 전극에 전기적으로 연결될 수 있다. 물론, 이러한 발광 제어선(En)은 발광 제어 신호를 생성하는 발광 제어 구동부(130, 도 4 참조)에 전기적으로 연결될 수 있다.

<115> 상기 제1전원전압선(VDD)은 제1전원전압이 유기 전계 발광 소자(OLED)에 공급되도록 한다. 물론, 이러한 제1전원전압선(VDD)은 제1전원전압을 공급하는 제1전원전압 공급부(150, 도 4 참조)에 연결될 수 있다.

<116> 상기 제2전원전압선(VSS)은 제2전원전압이 유기 전계 발광 소자(OLED)에 공급되도록 한다. 물론, 이러한 제2전원전압선(VSS)은 제2전원전압을 공급하는 제2전원전압 공급부(160, 도 4 참조)에 연결될 수 있다. 여기서, 상기 제1전원전압은 통상적으로 상기 제2전원전압에 비해 하이 레벨(High Level)일 수 있다.

<117> 상기 제1스위칭 트랜지스터(SW_TR1)는 제1전극(드레인 전극 또는 소스 전극)이 상기 데이터선(Dm)에 전기적으로

연결되고, 제2전극(소스 전극 또는 드레인 전극)이 구동 트랜지스터(DR_TR)의 제어 전극(게이트 전극)에 전기적으로 연결되며, 제어 전극이 주사선(Sn)에 전기적으로 연결될 수 있다. 이러한 제1스위칭 트랜지스터(SW_TR1)는 N형 채널 트랜지스터로서 주사선(Sn)을 통하여 제어 전극에 하이 레벨의 주사 신호가 인가되면 턴온되어, 데이터 신호를 용량성 소자(Cst)의 제1전극(A) 및 구동 트랜지스터(DR_TR)의 제어 전극에 공급한다.

<118> 상기 구동 트랜지스터(DR_TR)는 제1전극이 상기 제1전원전압선(VDD)에 전기적으로 연결되고, 제2전극이 발광 제어 트랜지스터(EMI_TR)의 제1전극에 전기적으로 연결되며, 제어 전극이 상기 제1스위칭 트랜지스터(SW_TR1)의 제2전극에 전기적으로 연결될 수 있다. 이러한 구동 트랜지스터(DR_TR)는 N형 채널 트랜지스터로서 제어 전극을 통하여 하이 레벨(또는 양의 전압)의 데이터 신호가 인가되면 턴온되어, 제1전원전압선(VDD)으로부터 일정량의 전류를 유기 전계 발광 소자(OLED) 쪽으로 공급하는 역할을 한다. 물론, 상기 하이 레벨(또는 양의 전압)의 데이터 신호는 용량성 소자(Cst)의 제1전극(A)에 공급되어 그것을 충전시키므로, 상기 제1스위칭 트랜지스터(SW_TR1)가 턴오프된다고 해도 일정 시간동안 상기 용량성 소자(Cst)의 충전 전압에 의해 상기 구동 트랜지스터(DR_TR)의 제어 전극에 하이 레벨(또는 양의 전압)의 데이터 신호가 계속 인가된다.

<119> 여기서, 상기 구동 트랜지스터(DR_TR)는 비정질 실리콘 박막 트랜지스터, 폴리 실리콘 박막 트랜지스터, 유기 박막 트랜지스터, 나노 박막 반도체 트랜지스터 및 그 등가물중 선택된 어느 하나일 수 있으나 여기서 그 재질 또는 종류를 한정하는 것은 아니다.

<120> 또한, 상기 구동 트랜지스터(DR_TR)가 폴리 실리콘 박막 트랜지스터일 경우, 이는 레이저 결정화 방법, 금속 유도 결정화 방법, 고압 결정화 방법 및 그 등가 방법중 선택된 어느 하나의 방법으로 형성될 수 있으나, 본 발명에서 상기 폴리 실리콘 박막 트랜지스터의 제조 방법을 한정하는 것은 아니다.

<121> 참고로, 상기 레이저 결정화 방법은 비정질 실리콘에 예를 들면 엑시머 레이저를 조사하여 결정화하는 방법이고, 상기 금속 유도 결정화 방법은 비정질 실리콘 위에 예를 들면 금속을 위치시킨 채 소정 온도를 가하여 상기 금속으로부터 결정화가 시작되도록 하는 방법이며, 상기 고압 결정화 방법은 비정질 실리콘에 예를 들면 소정 압력을 가하여 결정화하는 방법이다.

<122> 더불어, 상기 금속 유도 결정화 방법에 의해 구동 트랜지스터(DR_TR)가 제조되었을 경우, 상기 구동 트랜지스터(DR_TR)에는 니켈(Ni), 카드뮴(Cd), 코발트(Co), 티타늄(Ti), 팔라듐(Pd), 텅스텐(W), 알루미늄(Al) 및 그 등가물중 선택된 어느 하나가 더 포함될 수 있다.

<123> 상기 유기 전계 발광 소자(OLED)는 애노드가 발광 제어 트랜지스터(EMI_TR)의 제2전극에 전기적으로 연결되고, 캐소드가 제2전원전압선(VSS)에 전기적으로 연결될 수 있다. 이러한 유기 전계 발광 소자(OLED)는 상기 발광 제어 트랜지스터(EMI_TR)가 턴온되어 있는 동안, 상기 구동 트랜지스터(DR_TR)를 통하여 제어되는 전류에 의해 소정 밝기로 발광하는 역할을 한다.

<124> 여기서, 상기 유기 전계 발광 소자(OLED)는 발광층(도시되지 않음)을 구비하고 있으며, 상기 발광층은 형광 재료, 인광 재료, 그 혼합물 및 그 등가물중 선택된 어느 하나일 수 있다. 그러나, 여기서 상기 발광층의 재질 또는 종류를 한정하는 것은 아니다.

<125> 또한, 상기 발광층은 적색 발광 재료, 녹색 발광 재료, 청색 발광 재료, 그 혼합물질 및 그 등가물중 선택된 어느 하나일 수 있으나, 여기서 그 재질 또는 종류를 한정하는 것은 아니다.

<126> 더불어, 상기 유기 전계 발광 소자(OLED)는 상술한 정상 적층 구조(Normal Stack Structure), 정상 슬림 구조(Normal Slim Structure), 역상 적층구조(Inverted Stack Structure), 역상 슬림 구조 (Inverted Silm Structure)가 가능함은 당연하다.

<127> 상기 발광 제어 트랜지스터(EMI_TR)는 제1전극이 상기 구동 트랜지스터(DR_TR)의 제2전극에 전기적으로 연결되고, 제2전극이 유기 전계 발광 소자(OLED)의 애노드에 전기적으로 연결되며, 제어 전극이 발광 제어선(En)에 전기적으로 연결될 수 있다. 이러한 발광 제어 트랜지스터(EMI_TR)는 N형 채널 트랜지스터로서 발광 제어선(En)을 통하여 제어 전극에 하이 레벨의 발광 제어 신호가 인가되면 턴온되어, 구동 트랜지스터(DR_TR)로부터의 전류를 유기 전계 발광 소자(OLED)로 흐르게 한다.

<128> 상기 용량성 소자(Cst)는 제1전극(A)이 제1스위칭 트랜지스터(SW_TR1)의 제2전극과 구동 트랜지스터(DR_TR)의 제어 전극 사이에 전기적으로 연결되고, 제2전극(B)이 상기 구동 트랜지스터(DR_TR)의 제2전극과 발광 제어 트랜지스터(EMI_TR)의 제1전극 사이에 전기적으로 연결될 수 있다. 다르게 표현하면, 상기 용량성 소자(Cst)의 제2전극(B)은 제2스위칭 트랜지스터(SW_TR2)의 제2전극과 제1노드(N1) 사이에 전기적으로 연결될 수 있다.

<129> 이러한 용량성 소자(Cst)는 한 프레임동안 제1기간에는 구동 트랜지스터(DR_TR)의 제어 전극에 하이 레벨(또는 양의 전압)의 데이터 신호를 공급하는 역할을 하고, 나머지 제2기간에는 구동 트랜지스터(DR_TR)의 제어 전극에 로우 레벨(또는 음의 전압)의 신호를 공급하는 역할을 한다. 다르게 표현하면, 상기 용량성 소자(Cst)는 한 프레임의 제1기간과 제2기간에 서로 반대 극성의 데이터 신호를 상기 구동 트랜지스터(DR_TR)의 제어 전극에 공급하는 역할을 한다.

<130> 상기 제2스위칭 트랜지스터(SW_TR2)는 제1전극이 상기 데이터선(Dm)에 전기적으로 연결되고, 제2전극이 용량성 소자(Cst)의 제2전극(B)에 전기적으로 연결되며, 제어 전극이 부주사선(SnB)에 전기적으로 연결될 수 있다. 이러한 제2스위칭 트랜지스터(SW_TR2)는 N형 채널 트랜지스터로서 부주사선(SnB)을 통하여 제어 전극에 하이 레벨의 부주사 신호가 인가되면 턴온되어, 데이터선(Dm)으로부터의 하이 레벨(또는 양의 전압)의 데이터 신호를 용량성 소자(Cst)의 제2전극(B) 및 구동 트랜지스터(DR_TR)의 제2전극에 공급하는 역할을 한다.

<131> 상기 제3스위칭 트랜지스터(SW_TR3)는 제1전극이 상기 제1스위칭 트랜지스터(SW_TR1)의 제2전극과 용량성 소자(Cst)의 제1전극 사이 즉, 제2노드(N2)에 전기적으로 연결되고, 제2전극이 제2전원전압선(VSS)에 전기적으로 연결되며, 제어 전극이 상기 부주사선(SnB)에 전기적으로 연결될 수 있다. 이러한 제3스위칭 트랜지스터(SW_TR3)는 N형 채널 트랜지스터로서 부주사선(SnB)을 통하여 제어 전극에 하이 레벨의 부주사 신호가 인가되면 턴온되어, 제2전원전압선(VSS)으로부터의 제2전원전압이 용량성 소자(Cst)의 제1전극(A) 및 구동 트랜지스터(DR_TR)의 제어 전극에 공급되도록 한다.

<132> 여기서, 상기 제1스위칭 트랜지스터(SW_TR1), 구동 트랜지스터(DR_TR), 발광 제어 트랜지스터(EMI_TR), 제2스위칭 트랜지스터(SW_TR2) 및 제3스위칭 트랜지스터(SW_TR3)는 모두 N형 채널 트랜지스터 및 그 등가물중 선택된 어느 하나일 수 있으나 여기서 그 트랜지스터의 종류를 한정하는 것은 아니다.

<133> 도 6을 참조하면, 도 5에 도시된 화소 회로의 구동 타이밍도가 도시되어 있다.

<134> 도 6에 도시된 바와 같이 본 발명에 의한 평판 표시 장치의 화소 회로는 한 프레임이 제1기간과 제2기간으로 구분될 수 있다. 좀더 구체적으로, 한 프레임은 발광 기간(T1)과 네거티브 어닐링 기간(T2)으로 이루어질 수 있다. 바람직하기로, 상기 발광 기간(T1)과 네거티브 어닐링 기간(T2)은 1:1의 비율로 이루어질 수 있으나, 이러한 비율로 본 발명을 한정하는 것은 아니다.

<135> 상기 발광 기간(T1)은 실제로 유기 전계 발광 소자(OLED)가 소정 밝기로 발광하는 동시에 구동 트랜지스터(DR_TR)의 제어 전극에 소정 데이터 신호가 인가되는 기간이고, 상기 네거티브 어닐링 기간(T2)은 상기 유기 전계 발광 소자(OLED)가 꺼진 상태에서 상기 구동 트랜지스터(DR_TR)의 제어 전극에 상기 데이터 신호와 반대 극성의 신호가 인가되어 어닐링되는 기간이다.

<136> 도 7을 참조하면, 도 5에 도시된 화소 회로에서 발광 기간(T1)중 전류 흐름이 도시되어 있다. 여기서, 상기 화소 회로의 동작은 도 6의 타이밍도를 함께 참조하여 설명한다.

<137> 먼저 제1스위칭 트랜지스터(SW_TR1)의 제어 전극에 주사선(Sn)으로부터 하이 레벨의 주사 신호가 인가됨으로써 상기 제1스위칭 트랜지스터(SW_TR1)가 턴온된다.

<138> 또한, 구동 트랜지스터(DR_TR)의 제어 전극에는 상기 제1스위칭 트랜지스터(SW_TR1)를 통한 하이 레벨(또는 양의 전압)의 데이터 신호가 인가됨으로써, 그 데이터 신호에 비례하여 채널이 열리며 턴온된다. 물론, 이러한 하이 레벨의 데이터 신호는 용량성 소자(Cst)의 제1전극(A)에도 인가됨으로써, 상기 용량성 소자(Cst)는 충전된다.

<139> 또한, 발광 제어 트랜지스터(EMI_TR)의 제어 전극에 발광 제어선(En)으로부터 하이 레벨의 발광 제어 신호가 인가됨으로써, 상기 발광 제어 트랜지스터(EMI_TR)가 턴온된다.

<140> 이에 따라, 제1전원전압선(VDD)으로부터 공급되는 전류는 상기 구동 트랜지스터(DR_TR) 및 발광 제어 트랜지스터(EMI_TR)를 통하여 유기 전계 발광 소자(OLED)에 공급된다. 물론, 상기 유기 전계 발광 소자(OLED)의 밝기는 상기 데이터 신호의 크기와 비례한다. 즉, 상기 데이터 신호의 크기가 크면 상기 구동 트랜지스터(DR_TR)의 채널폭이 크게 열려 전류가 많이 흐름으로써 상기 유기 전계 발광 소자(OLED)의 밝기가 크고, 상기 데이터 신호의 크기가 작으면 상기 구동 트랜지스터(DR_TR)의 채널폭이 작게 열려 전류가 적게 흐름으로써 상기 유기 전계 발광 소자(OLED)의 밝기가 작다.

<141> 또한, 이후 상기 제1스위칭 트랜지스터(SW_TR1)의 제어 전극에 하이 레벨의 주사 신호 공급이 중단되고, 또한 하이 레벨의 데이터 전압 공급이 중단된다고 해도, 상기 발광 제어 트랜지스터(EMI_TR)가 턴오프되기 전까지는

상기 용량성 소자(Cst)가 양의 전압으로 충전되어 있는 상태이기 때문에, 상기 구동 트랜지스터(DR_TR)는 계속 턴온 상태를 유지한다. 따라서, 상기 유기 전계 발광 소자(OLED)를 통해서는 제1전원전압선(VDD)으로부터 일정한 전류가 계속 공급된다.

<142> 한편, 이때 상기 용량성 소자(Cst)의 제1전극(A)은 상술한 바와 같이 하이 레벨의 데이터 신호가 인가됨으로써 대략 양의 전압이고, 제2전극(B)은 발광 제어 트랜지스터(EMI_TR) 및 유기 전계 발광 소자(OLED)를 통하여 제2전원전압선(VSS)에 전기적으로 연결되어 있음으로써 대략 음의 전압이다. 다르게 말하면, 상기 용량성 소자(Cst)의 제1전극에는 대략 데이터 전압이 인가되고, 제2전극에는 대략 제2전원전압이 인가된다. 물론, 여기서 상기 데이터 전압이 상기 제2전원전압에 비해 상대적으로 하이 레벨이다.

<143> 더불어, 이때 부주사선(SnB)을 통해서는 로우 레벨의 신호가 인가되므로, 제2스위칭 트랜지스터(SW_TR2) 및 제3스위칭 트랜지스터(SW_TR3)는 턴오프 상태를 유지한다.

<144> 도 8을 참조하면, 도 5에 도시된 화소 회로에서 네거티브 어닐링(T2) 기간중 전류 흐름이 도시되어 있다. 여기서도, 상기 화소 회로의 동작은 도 6을 함께 참조하여 설명한다.

<145> 먼저 제2스위칭 트랜지스터(SW_TR2) 및 제3스위칭 트랜지스터(SW_TR3)의 제어 전극에 부주사선(SnB)으로부터 하이 레벨의 부주사 신호가 인가됨으로써, 상기 제2스위칭 트랜지스터(SW_TR2) 및 제3스위칭 트랜지스터(SW_TR3)가 턴온된다.

<146> 또한, 제1스위칭 트랜지스터(SW_TR1)의 제어 전극에는 로우 레벨의 주사 신호가 인가되어, 상기 제1스위칭 트랜지스터(SW_TR1)는 턴오프된다. 더불어, 발광 제어 트랜지스터(EMI_TR)의 제어 전극에도 로우 레벨의 발광 제어 신호가 인가되어, 상기 발광 제어 트랜지스터(EMI_TR)는 턴오프된다.

<147> 이때, 상기 데이터선(Dm)으로부터 하이 레벨(또는 양의 전압)의 데이터 신호가 공급된다. 여기서, 상기 네거티브 어닐링 기간(T2)중 공급되는 데이터 신호의 레벨은 발광 기간(T1)중 공급되는 데이터 신호의 레벨과 같다. 일례로, 발광 기간(T1)중 상대적으로 높은 전압의 데이터 신호가 공급되면 네거티브 어닐링 기간(T2)중 공급되는 데이터 신호 역시 높은 전압이다. 또한 발광 기간(T1)중 상대적으로 낮은 전압의 데이터 신호가 공급되면 네거티브 어닐링 기간(T2)중 공급되는 데이터 신호 역시 낮은 전압이다.

<148> 상기와 같이 데이터선(Dm)으로부터 공급된 하이 레벨의 데이터 신호는 상기 제2스위칭 트랜지스터(SW_TR2)를 통하여 용량성 소자(Cst)의 제2전극(B) 및 구동 트랜지스터(DR_TR)의 제2전극에 공급된다. 즉, 상기 용량성 소자(Cst)의 제2전극(B) 및 구동 트랜지스터(DR_TR)의 제2전극에 인가되던 대략 제2전원전압(또는 음의 전압)이 하이 레벨(또는 양의 전압)의 전압으로 바뀐 것이다.

<149> 더불어, 상기 제2전원전압선(VSS)으로부터의 제2전원전압은 상기 제3스위칭 트랜지스터(SW_TR3)를 통하여 용량성 소자(Cst)의 제1전극(A) 및 구동 트랜지스터(DR_TR)의 제어 전극에 공급된다. 즉, 상기 용량성 소자(Cst)의 제1전극(A) 및 구동 트랜지스터(DR_TR)의 제어 전극에 인가되던 하이 레벨(또는 양의 전압)의 데이터 신호가 대략 제2전원전압(또는 음의 전압)으로 바뀐 것이다.

<150> 더불어, 이후 상기 제2스위칭 트랜지스터(SW_TR2) 및 제3스위칭 트랜지스터(SW_TR3)의 각 제어 전극에 하이 레벨의 부주사 신호 공급이 중단되고, 또한 하이 레벨의 데이터 신호 공급이 중단된다고 해도, 상기 용량성 소자(Cst)의 제1전극(A)에 제2전원전압(또는 음의 전압)이 인가되고, 용량성 소자(Cst)의 제2전극(B)에 하이 레벨의 데이터 신호(또는 양의 전압)이 인가됨으로써, 상기 구동 트랜지스터(DR_TR)는 완전히 턴오프된 상태에서 한 프레임이 끝날때까지 계속 네거티브 어닐링된다.

<151> 여기서, 상술한 바와 같이 발광 기간(T1)과 네거티브 어닐링 기간(T2)에서 인가되는 데이터 신호의 크기는 동일하다. 즉, 본 발명은 발광시에 사용된 데이터 신호를 그대로 반영하여 음의 전압을 구동 트랜지스터의 제어 전극에 공급하므로, 직전 데이터 신호가 작으면 작은 음의 전압이 구동 트랜지스터(DR_TR)의 제어 전극에 인가되고, 반대로 직전 발광시 데이터 신호가 크면 큰 음의 전압이 구동 트랜지스터(DR_TR)의 제어 전극에 인가된다. 따라서, 본 발명은 화소 회로마다 공급된 데이터 신호에 비례하여 네거티브 어닐링함으로써, 패널 전체의 휘도 불균일 현상이 방지된다.

<152> 또한, 상술한 바와 같이 본 발명은 한 프레임내의 발광 기간(T1)과 네거티브 어닐링 기간(T2)의 비율을 1:1 또는 그 이외의 비율로 다양하게 조절할 수 있다. 예를 들어 발광 기간(T1)과 네거티브 어닐링 기간(T2)의 비율을 1:1로 할 경우 초당 60 프레임의 화면을 구현하기 위해 초당 120프레임의 속도로 데이터 신호를 인가하며, 각 화소에 같은 데이터 전압으로 발광 기간에 한번, 네거티브 어닐링 기간에 다시 한번, 인가하게 된다. 따라서,

화소의 발광 기간과 다음 발광 기간까지 네거티브 어닐링 기간이 존재하게 되며, 이때에는 발광을 하지 않는 기간이 되어 자연스럽게 제1화상(예를 들면, 블랙 화상(Black Image))이 프레임과 프레임 사이에 표시되어 모션 블러(Motion Blur) 현상이 자연스럽게 제거되고, 또한 높은 명암비를 얻을 수 있게 된다.

<153> 도 9를 참조하면, 도 5에 도시된 화소 회로에서 발광 기간(T1)과 네거티브 어닐링 기간(T2)에 인가되는 구동 트랜지스터의 제어 전극 전압의 시뮬레이션 결과가 도시되어 있다.

<154> 도 9에서 X축은 한 프레임 동안의 시간(ms)을 의미하고, Y축은 구동 트랜지스터(DR_TR)의 제어 전극과 제2전극 사이의 전압차(V_{GS})를 의미한다. 또한, 상술한 바와 같이 한 프레임 동안의 동작은 발광 기간(T1)(대략 0~8ms)과 네거티브 어닐링 기간(T2)(8~16ms)으로 이루어져 있다.

<155> 도 9에 도시된 바와 같이 발광 기간(T1)동안, 데이터선(Dm)으로부터 데이터 전압은 대략 12V이고, 구동 트랜지스터(DR_TR)의 V_{GS} 전압은 대략 6.5V이다. 그러나, 네거티브 어닐링 기간(T2)동안, 상기 V_{GS} 전압은 대략 -12V가 된다.

<156> 화소 회로에서 네거티브 어닐링 기간(T2)중의 전압은 발광 기간(T1)중 공급된 양의 데이터 전압에 비례하기 때문에, 높은 데이터 전압에 의해 구동 트랜지스터(DR_TR)가 더욱 열화하면, 네거티브 어닐링 전압은 더 크게 공급된다. 따라서, 각 화소 회로마다 공급되는 데이터 전압이 상이하므로, 각 화소 회로마다 네거티브 어닐링 전압도 자연스럽게 상이해지고, 이에 따라 패널의 휘도 불균일 현상이 방지된다.

<157> 도 10을 참조하면, 본 발명의 다른 실시예에 따른 평판 표시 장치의 화소 회로가 도시되어 있다.

<158> 도 10에 도시된 화소 회로는 도 5에 도시된 화소 회로와 유사하다. 다만, 도 10에 도시된 화소 회로에서는 유기 전계 발광 소자(OLED)가 제1전원전압선(VDD)과 구동 트랜지스터(DR_TR)의 제1전극 사이에 전기적으로 연결된다. 이러한 유기 전계 발광 소자(OLED)는 회로 설계상 도 5에 도시된 바와 같이 발광 제어 트랜지스터(EMI_TR)와 제2전원전압선(VSS) 사이에 위치시키거나, 또는 도 10에 도시된 바와 같이 제1전원전압선(VDD)과 구동 트랜지스터(DR_TR) 사이에 위치시킬 수 있는 것이다.

<159> 도 11을 참조하면, 본 발명의 다른 실시예에 따른 평판 표시 장치의 화소 회로가 도시되어 있다.

<160> 도 11에 도시된 화소 회로 역시 도 5에 도시된 화소 회로와 거의 같다. 다만, 도 5에 도시된 화소 회로에서는 모든 트랜지스터들이 N형 채널 트랜지스터들이었지만, 도 11에 도시된 모든 트랜지스터들은 P형 채널 트랜지스터들이다. 이에 따라 각 소자들 사이의 전기적 연결 관계가 상기 도 5에 도시된 것과 약간 상이해진다.

<161> 예를 들면, 구동 트랜지스터(DR_TR)의 제1전극이 발광 제어 트랜지스터(EMI_TR)의 제2전극에 전기적으로 연결되고, 제2전극이 제2전원전압선(VSS)에 전기적으로 연결될 수 있다.

<162> 또한, 유기 전계 발광 소자(OLED)의 애노드가 제1전원전압선(VDD)에 전기적으로 연결되고, 캐소드가 발광 제어 트랜지스터(EMI_TR)의 제1전극에 전기적으로 연결될 수 있다.

<163> 더불어, 제3스위칭 트랜지스터(SW_TR3)의 제1전극이 제1전원전압선(VDD)에 전기적으로 연결되고, 제2전극이 제1스위칭 트랜지스터(SW_TR1)와 구동 트랜지스터(DR_TR)의 사이 즉, 제2노드(N2)에 전기적으로 연결될 수 있다. 그밖의 구성은 도 5에 도시된 화소 회로와 같다.

<164> 도 12를 참조하면, 도 11에 도시된 화소 회로의 구동 타이밍도가 도시되어 있다.

<165> 도 12에 도시된 바와 같이, 도 11에 도시된 화소 회로의 동작은 도 5 및 도 6에 도시된 화소 회로 및 구동 타이밍도의 동작과 거의 동일하다. 다만, 모든 트랜지스터들이 P형 채널 트랜지스터들이므로, 제1스위칭 트랜지스터(SW_TR1), 제2스위칭 트랜지스터(SW_TR2), 제3스위칭 트랜지스터(SW_TR3), 발광 제어 트랜지스터(EMI_TR)를 턴온시키기 위해 제어 전극에 인가되는 전압이 로우 레벨이다. 또한, 구동 트랜지스터(DR_TR)의 제어 전극에 인가되는 데이터선(Dm)으로부터의 데이터 신호 역시 로우 레벨이다.

<166> 따라서, 도 11에 도시된 화소 회로는 한 프레임이 발광 기간과 포지티브 어닐링 기간으로 이루어진다. 다른 말로, 발광 기간중 데이터선(Dm) 및 제1스위칭 트랜지스터(SW_TR1)를 통하여 용량성 소자(Cst)의 제1전극(A) 즉, 구동 트랜지스터(DR_TR)의 제어 전극에 로우 레벨의 데이터 신호(또는 음의 전압)가 인가된다. 그러나, 포지티브 어닐링 기간중에는 제1전원전압선(VDD) 및 제3스위칭 트랜지스터(SW_TR3)를 통하여 양의 제1전원전압이 용량성 소자(Cst)의 제1전극(A) 즉, 구동 트랜지스터(DR_TR)의 제어 전극에 인가된다.

<167> 도 13은 본 발명의 다른 실시예에 따른 평판 표시 장치의 화소 회로를 도시한 회로도이다.

<168> 도 13에 도시된 화소 회로는 도 11에 도시된 화소 회로와 유사하다. 다만, 도 13에 도시된 화소 회로에서는 유기 전계 발광 소자(OLED)가 구동 트랜지스터(DR_TR)의 제2전극과 제2전원전압선(VSS) 사이에 전기적으로 연결될 수 있다. 이러한 유기 전계 발광 소자(OLED)는 회로 설계상 도 11에 도시된 바와 같이 제1전원전압선(VDD)과 발광 제어 트랜지스터(EMI_TR) 사이에 위치시키거나, 또는 도 13에 도시된 바와 같이 구동 트랜지스터(DR_TR)와 제2전원전압선(VSS) 사이에 위치시킬 수 있는 것이다.

<169> 도 14a 내지 도 14c를 참조하면, 본 발명에 의한 평판 표시 장치가 적용된 전자 제품의 예가 도시되어 있다.

<170> 도 14a에 도시된 바와 같이, 본 발명에 의한 화소 회로를 갖는 패널(140)은 휴대폰(210)의 표시 장치로 이용될 수 있다. 또한, 도 14b에 도시된 바와 같이, 본 발명에 의한 화소 회로를 갖는 패널(140)은 휴대형 멀티미디어 플레이어(220)의 표시 장치로 이용될 수 있다. 또한, 도 14c에 도시된 바와 같이, 본 발명에 의한 화소 회로를 갖는 패널(140)은 노트북(230)의 표시 장치로 이용될 수도 있다.

<171> 이밖에도 본 발명에 의한 화소 회로를 갖는 패널(140)은 텔레비젼, 데스크탑 컴퓨터의 모니터, MP3 플레이어, PDA(Personal Digital Assistants), 디지털 카메라, 디지털 캠코더 등의 모든 평판 표시 장치에 이용될 수 있으며, 여기서 평판 표시 장치의 종류를 한정하는 것은 아니다.

발명의 효과

<172> 상술한 바와 같이, 본 발명에 따른 평판 표시 장치의 화소 회로는 한 프레임의 화상 표시 기간을 제1기간과 제2기간으로 나누고, 제1기간에는 데이터 신호로서 구동 트랜지스터의 제어 전극에 양의 전압(또는 음의 전압)을 인가하여 유기 전계 발광 소자가 발광하도록 하고, 제2기간에는 구동 트랜지스터의 제어 전극에 음의 전압(또는 양의 전압)을 인가하여 유기 전계 발광 소자를 끄는 동시에 구동 트랜지스터가 네거티브 어닐링(또는 포지티브 어닐링)되도록 함으로써, 구동 트랜지스터의 문턱 전압이 변이되는 현상 즉, 열화 현상을 방지하는 효과가 있다.

<173> 또한, 상기와 같이 하여 본 발명에 의한 평판 표시 장치의 화소 회로는 제1기간에 구동 트랜지스터에 제어 전극에 인가된 양의 전압(또는 음의 전압)만큼, 제2기간에 구동 트랜지스터의 제어 전극에 음의 전압(또는 양의 전압)을 인가함으로써, 표시 장치 전체의 휘도 균일도를 향상시킬 수 있는 효과가 있다.

<174> 또한, 상기와 같이 하여 본 발명에 의한 평판 표시 장치의 화소 회로는 한 프레임의 화상 표시 기간중 발광 기간과 네거티브 어닐링(또는 포지티브 어닐링) 기간의 비율을 1:1 또는 그 외의 비율로 다양하게 조절하여, 자연스럽게 한 프레임과 다음 프레임 사이에 제1화상(예를 들면, 블랙 화상(Black Image))이 표시되도록 함으로써, 모션 블러(Motion Blur) 현상이 방지되고 또한 높은 명암비 구현이 가능한 효과가 있다.

<175> 이상에서 설명한 것은 본 발명에 따른 평판 표시 장치의 화소 회로를 실시하기 위한 하나의 실시예에 불과한 것으로서, 본 발명은 상기한 실시예에 한정되지 않고, 이하의 특허청구범위에서 청구하는 바와 같이 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능한 범위까지 본 발명의 기술적 정신이 있다고 할 것이다.

도면의 간단한 설명

<1> 도 1은 통상의 유기 전계 발광 소자를 도시한 개략도이다.

<2> 도 2는 평판 표시 장치의 화소 회로를 도시한 회로도이다.

<3> 도 3은 도 2에 도시된 화소 회로의 구동 타이밍도이다.

<4> 도 4는 본 발명에 따른 평판 표시 장치의 구성을 도시한 블록도이다.

<5> 도 5는 본 발명의 일실시예에 의한 평판 표시 장치의 화소 회로를 도시한 회로도이다.

<6> 도 6은 도 5에 도시된 화소 회로의 구동 타이밍도이다.

<7> 도 7은 도 5에 도시된 화소 회로에서 발광 기간중 전류 흐름을 도시한 것이다.

<8> 도 8은 도 5에 도시된 화소 회로에서 네거티브 어닐링(negative annealing) 기간중 전류 흐름을 도시한 것이다.

<9> 도 9는 도 5에 도시된 화소 회로에서 발광 기간과 네거티브 어닐링 기간에 인가되는 구동 트랜지스터의 제어 전극 전압을 도시한 시뮬레이션 그래프이다.

<10> 도 10은 본 발명의 다른 실시예에 따른 평판 표시 장치의 화소 회로를 도시한 회로도이다.

<11> 도 11은 본 발명의 다른 실시예에 따른 평판 표시 장치의 화소 회로를 도시한 회로도이다.

<12> 도 12는 도 11에 도시된 화소 회로의 구동 타이밍도이다.

<13> 도 13은 본 발명의 다른 실시예에 따른 평판 표시 장치의 화소 회로를 도시한 회로도이다.

<14> 도 14a 내지 도 14c는 본 발명에 의한 평판 표시 장치가 적용된 표시 장치를 도시한 사시도이다.

<15> < 도면의 주요 부분에 대한 부호의 설명 >

<16> 100; 본 발명에 의한 평판 표시 장치

<17> 110; 주사 구동부 120; 데이터 구동부

<18> 130; 발광 제어 구동부 140; 유기 전계 발광 표시 패널

<19> 142; 화소 회로 Dm; 데이터선

<20> Sn; 주사선 SnB; 부주사선

<21> En; 발광 제어선 VDD; 제1전원전압선

<22> VSS; 제2전원전압선 SW_TR1; 제1스위칭 트랜지스터

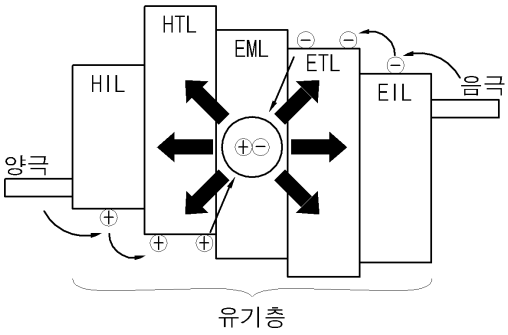
<23> SW_TR2; 제2스위칭 트랜지스터 SW_TR3; 제3스위칭 트랜지스터

<24> DR_TR; 구동 트랜지스터 EMI_TR; 발광 제어 트랜지스터

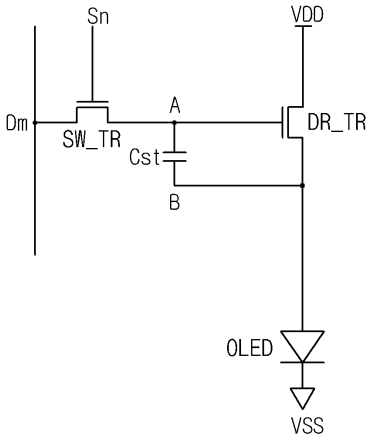
<25> OLED; 유기 전계 발광 소자 Cst; 용량성 소자

도면

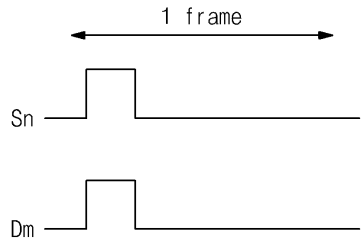
도면1



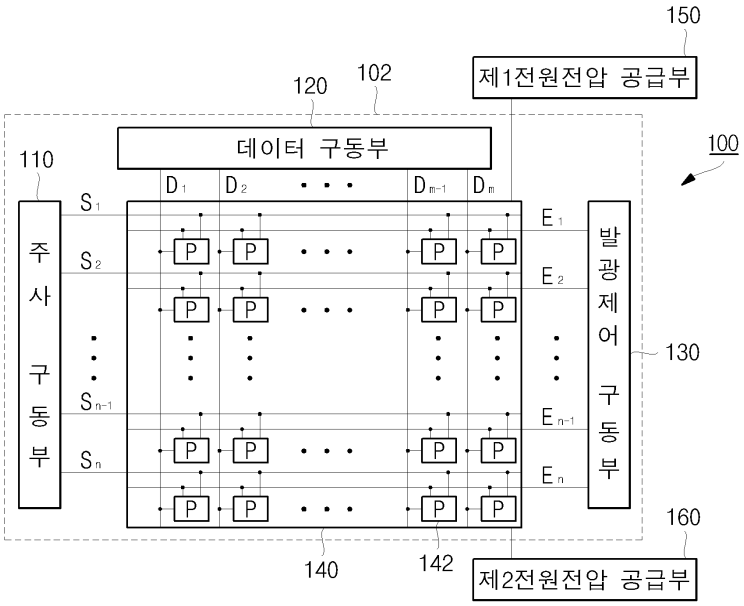
도면2


Sn
VDD
Dm
A
SW_TR
DR_TR
Cst
B
OLED
VSS

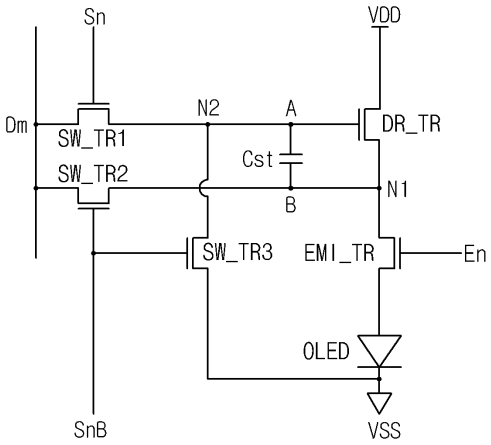
도면3


1 frame
Sn
Dm

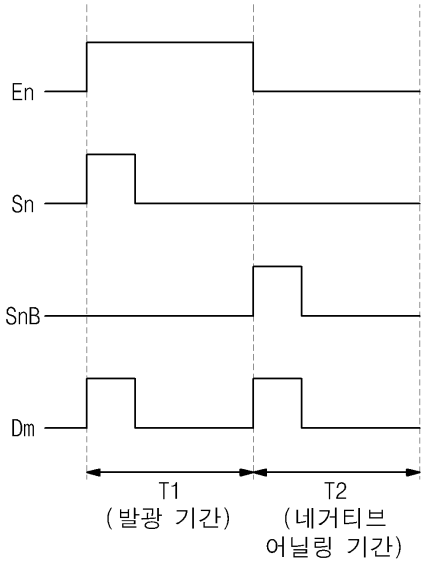
도면4


150
제1전원전압 공급부
120
102
데이터 구동부
100
110
주사 구동부
발광제어 구동부
130
140
142
160
제2전원전압 공급부

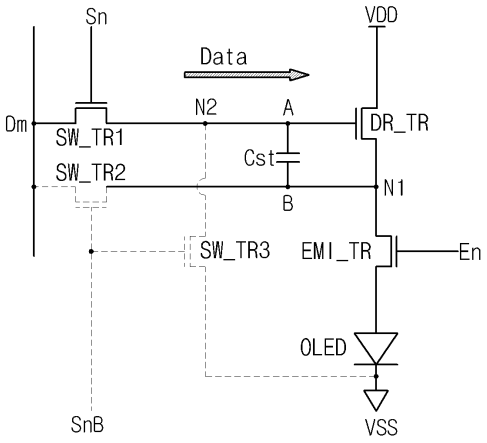
도면5


Sn
VDD
Dm
SW_TR1
N2
A
DR_TR
Cst
SW_TR2
B
N1
SW_TR3
EMI_TR
En
OLED
SnB
VSS

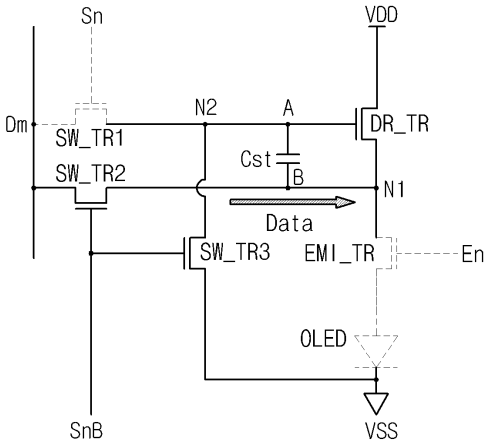
도면6


En
Sn
SnB
Dm
T1
(발광 기간)
T2
(네거티브
어닐링 기간)

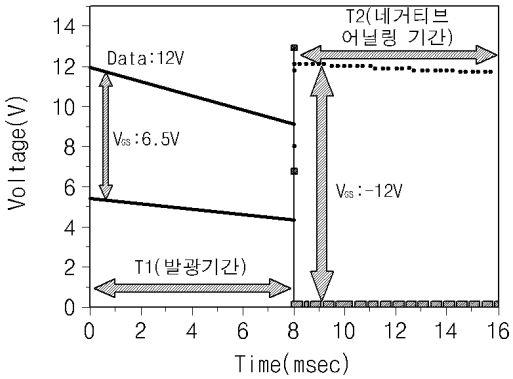
도면7


Sn
VDD
Data
Dm
N2
A
DR_TR
SW_TR1
Cst
SW_TR2
N1
B
SW_TR3
EMI_TR
En
OLED
SnB
VSS

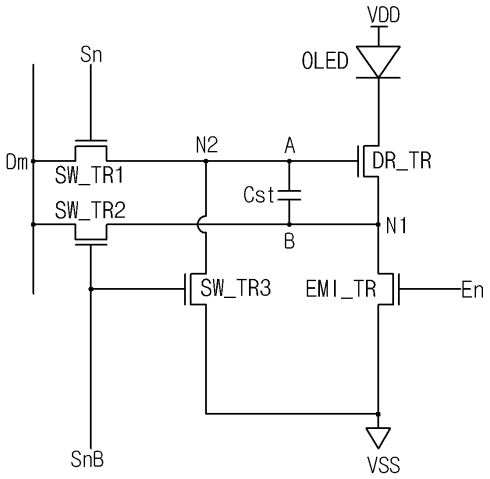
도면8


Sn
VDD
Dm
N2
A
DR_TR
SW_TR1
Cst
B
SW_TR2
N1
Data
SW_TR3
EMI_TR
En
OLED
SnB
VSS

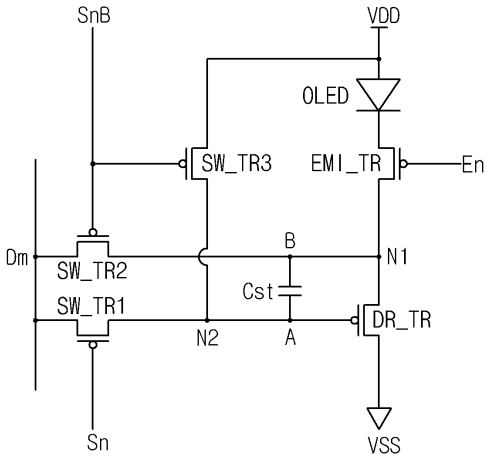
도면9


T2(네거티브
어닐링 기간)
Data:12V
Vgs:6.5V
Vgs:-12V
T1(발광기간)
Voltage(V)
Time(msec)
0
2
4
6
8
10
12
14
16

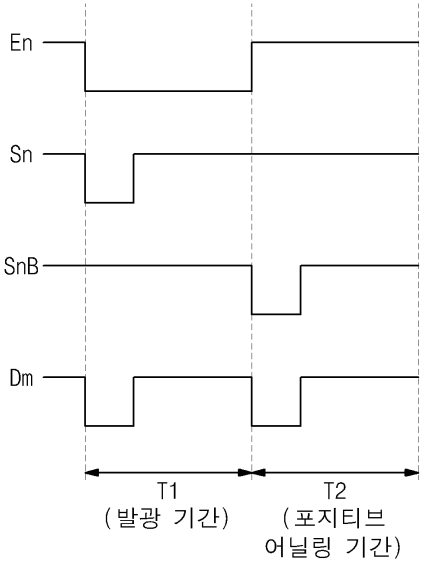
도면10


VDD
Sn
OLED
N2
A
Dm
SW_TR1
DR_TR
Cst
SW_TR2
B
N1
SW_TR3
EMI_TR
En
SnB
VSS

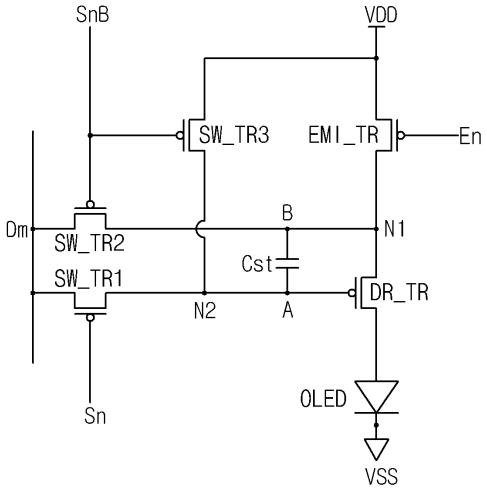
도면11


SnB
VDD
OLED
SW_TR3
EMI_TR
En
B
Dm
N1
SW_TR2
Cst
SW_TR1
DR_TR
N2
A
Sn
VSS

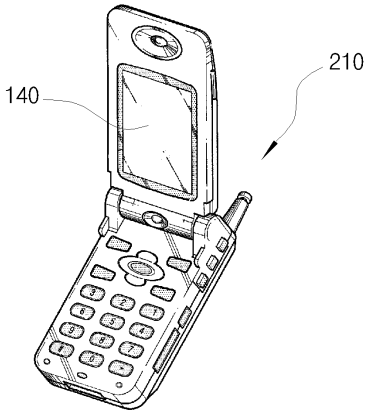
도면12


En
Sn
SnB
Dm
T1
(발광 기간)
T2
(포지티브
어닐링 기간)

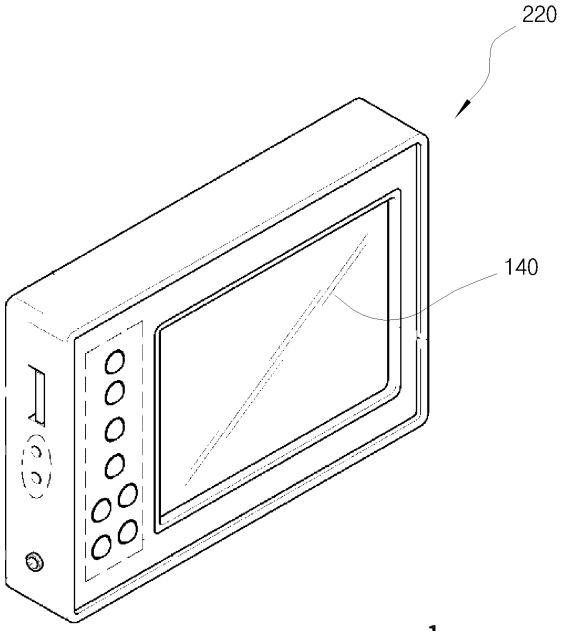
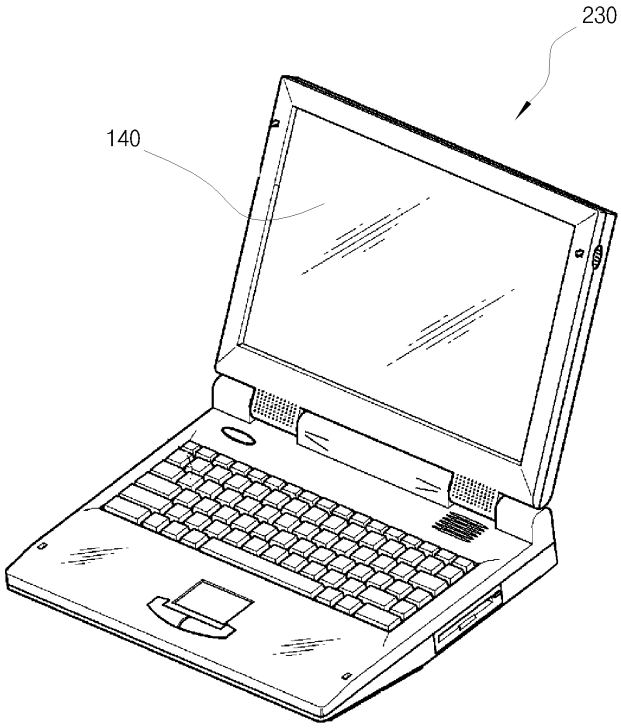
도면13


SnB
VDD
SW_TR3
EMI_TR
En
Dm
SW_TR2
B
N1
Cst
SW_TR1
DR_TR
N2
A
OLED
Sn
VSS

도면14a



도면14b



도면14c