



(12) 发明专利

(10) 授权公告号 CN 113450715 B

(45) 授权公告日 2022. 10. 28

(21) 申请号 202110710625.7

(56) 对比文件

(22) 申请日 2021.06.25

EP 3686875 A1, 2020.07.29

US 2020243012 A1, 2020.07.30

(65) 同一申请的已公布的文献号

申请公布号 CN 113450715 A

审查员 刘阳

(43) 申请公布日 2021.09.28

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 绵阳京东方光电科技有限公司

(72) 发明人 张林 季刘方 申清 邹志杰

张桂雪 张礼厅 潘文虎

(74) 专利代理机构 北京安信方达知识产权代理

有限公司 11262

专利代理师 陶丽 曲鹏

(51) Int. Cl.

G09G 3/3225 (2016.01)

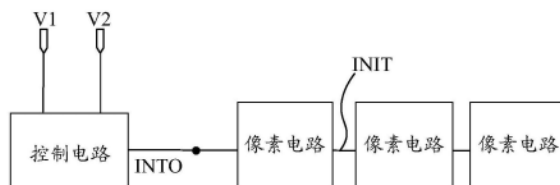
权利要求书3页 说明书19页 附图10页

(54) 发明名称

显示基板及其制备方法、显示装置

(57) 摘要

一种显示基板及其制备方法、显示装置，显示基板包括控制电路和像素电路，所述控制电路包括第一直流信号线、第二直流信号线和初始化输出线，所述像素电路包括初始信号线，所述初始化输出线与所述初始信号线电连接；所述像素电路，配置为在初始化阶段，使用所述初始信号线的信号进行初始化；所述控制电路，配置为在初始化阶段，向所述初始化输出线提供所述第一直流信号线的第一直流电压；在非初始化阶段，向所述初始化输出线提供所述第二直流信号线的第二直流电压，所述第一直流电压不同于所述第二直流电压。本公开减少了像素电路因晶体管漏电导致的显示不良，并使得低温多晶硅薄膜晶体管技术可以应用于低刷新频率显示产品。



1. 一种显示基板,其特征在于,包括控制电路和像素电路,所述控制电路包括第一直流信号线、第二直流信号线和初始化输出线,所述像素电路包括初始信号线,所述初始化输出线与所述初始信号线电连接;

所述像素电路,配置为在初始化阶段,使用所述初始信号线的信号进行初始化;

所述控制电路,配置为在初始化阶段,向所述初始化输出线提供所述第一直流信号线的第一直流电压;在非初始化阶段,向所述初始化输出线提供所述第二直流信号线的第二直流电压,所述第一直流电压不同于所述第二直流电压;

所述控制电路包括第一开关子电路、第二开关子电路和第三开关子电路,其中:

所述第一开关子电路分别与复位信号线、所述第一直流信号线和所述初始化输出线连接,配置为在所述复位信号线的信号的控制下,向所述初始化输出线提供所述第一直流信号线的第一直流电压;

所述第二开关子电路分别与扫描信号线、所述第二直流信号线和所述初始化输出线连接,配置为在所述扫描信号线的信号的控制下,向所述初始化输出线提供所述第二直流信号线的第二直流电压;

所述第三开关子电路分别与发光信号线、所述第二直流信号线和所述初始化输出线连接,配置为在所述发光信号线的信号的控制下,向所述初始化输出线提供所述第二直流信号线的第二直流电压;

所述复位信号线、所述扫描信号线和所述发光信号线分别与所述像素电路电连接。

2. 根据权利要求1所述的显示基板,其特征在于,所述初始信号线包括第一初始信号线和第二初始信号线,所述初始化输出线与所述第一初始信号线和所述第二初始信号线中的至少一个电连接。

3. 根据权利要求2所述的显示基板,其特征在于,包括多条栅线和多条数据线,所述栅线沿第一方向延伸,所述数据线沿第二方向延伸,所述栅线和数据线交叉限定出多个子像素,每个所述控制电路的初始化输出线与多个像素电路的第一初始信号线电连接,且所述多个像素电路位于同一行子像素中。

4. 根据权利要求3所述的显示基板,其特征在于,同一行子像素对应设置两个控制电路,所述两个控制电路分别设置在所述同一行子像素沿第一方向的两侧。

5. 根据权利要求3所述的显示基板,其特征在于,同一行子像素对应设置 n 个控制电路, n 为一行子像素中包含的像素电路的个数,所述控制电路与所述像素电路一一对应且相邻设置。

6. 根据权利要求1所述的显示基板,其特征在于,所述像素电路包括第一晶体管、第二晶体管、存储电容、第三晶体管、第四晶体管、第五晶体管、第六晶体管和第七晶体管,所述控制电路包括第八晶体管、第九晶体管和第十晶体管,其中:

所述第一晶体管的控制极与复位信号线连接,所述第一晶体管的第一极与第一初始信号线连接,所述第一晶体管的第二极与第一节点连接;

所述第二晶体管的控制极与扫描信号线连接,所述第二晶体管的第一极与所述第一节点连接,所述第二晶体管的第二极与第三节点连接;

所述存储电容的第一端与第一电源线连接,所述存储电容的第二端与所述第一节点连接;

所述第三晶体管的控制极与第一节点连接,所述第三晶体管的第一极与第二节点连接,所述第三晶体管的第二极与所述第三节点连接;

所述第四晶体管的控制极与扫描信号线连接,所述第四晶体管的第一极与数据信号线连接,所述第四晶体管的第二极与所述第二节点连接;

所述第五晶体管的控制极与发光信号线连接,所述第五晶体管的第一极与所述第一电源线连接,所述第五晶体管的第二极与所述第二节点连接;

所述第六晶体管的控制极与发光信号线连接,所述第六晶体管的第一极与所述第三节点连接,所述第六晶体管的第二极与发光元件的第一极连接;

所述第七晶体管的控制极与扫描信号线连接,所述第七晶体管的第一极与第二初始信号线连接,所述第七晶体管的第二极与所述发光元件的第一极连接;

所述第八晶体管的控制极与复位信号线连接,所述第八晶体管的第一极与所述第一直流信号线连接,所述第八晶体管的第二极与所述初始化输出线连接;

所述第九晶体管的控制极与扫描信号线连接,所述第九晶体管的第一极与所述第二直流信号线连接,所述第九晶体管的第二极与所述初始化输出线连接;

所述第十晶体管的控制极与发光信号线连接,所述第十晶体管的第一极与所述第二直流信号线连接,所述第十晶体管的第二极与所述初始化输出线连接;

所述初始化输出线与所述第一初始信号线连接。

7. 根据权利要求6所述的显示基板,其特征在于,在垂直于所述显示基板的平面上,所述显示基板包括基底以及依次设置在所述基底上的有源层、第一栅金属层、第二栅金属层和第一源漏金属层;

所述第一栅金属层包括所述第一直流信号线、所述第二直流信号线、第二初始信号总线、第一子复位信号线、第一子扫描信号线、第二子扫描信号线和第一子发光信号线,所述第二栅金属层包括第一初始信号线和第二初始信号线,第一源漏金属层包括第一电源线、数据信号线、第二子复位信号线、第三子扫描信号线和第二子发光信号线;所述第一直流信号线、第二直流信号线、第二初始信号总线沿第二方向延伸,所述第一子复位信号线、第一子扫描信号线、第二子扫描信号线和第一子发光信号线沿第一方向延伸;

所述第二子复位信号线与所述第一子复位信号线连接,所述第三子扫描信号线分别与所述第一子扫描信号线以及所述第二子扫描信号线连接,所述第二子发光信号线与所述第一子发光信号线连接,所述第二初始信号线与所述第二初始信号总线连接,本显示行的第一子复位信号线同时作为下一显示行的第二子扫描信号线,本显示行的第二子扫描信号线同时作为上一显示行的第一子复位信号线,本显示行的第一子扫描信号线不与上下显示行共用。

8. 根据权利要求7所述的显示基板,其特征在于,所述有源层包括第一晶体管的第一有源层至第十晶体管的第十有源层,其中:

所述第一子复位信号线与所述第一晶体管的第一有源层交叠区域作为所述第一晶体管的栅极,所述第一子复位信号线与所述第八晶体管的第八有源层交叠区域作为所述第八晶体管的栅极;

所述第一子扫描信号线与所述第二晶体管的第二有源层交叠区域作为所述第二晶体管的栅极,所述第一子扫描信号线与所述第四晶体管的第四有源层交叠区域作为所述第四

晶体管的栅极,所述第一子扫描信号线与所述第九晶体管的第九有源层交叠区域作为所述第九晶体管的栅极;

所述第二子扫描信号线与所述第七晶体管的第七有源层交叠区域作为所述第七晶体管的栅极;

所述第一子发光信号线与所述第五晶体管的第五有源层交叠区域作为所述第五晶体管的栅极,所述第一子发光信号线与所述第六晶体管的第六有源层交叠区域作为所述第六晶体管的栅极,所述第一子发光信号线与所述第十晶体管的第十有源层交叠区域作为所述第十晶体管的栅极。

9. 一种显示装置,其特征在于,包括:如权利要求1至8任一所述的显示基板。

10. 一种显示基板的制备方法,其特征在于,包括:

在基底上形成驱动结构层,所述驱动结构层包括控制电路和像素电路,所述控制电路包括第一直流信号线、第二直流信号线和初始化输出线,所述像素电路包括初始信号线,所述初始化输出线与所述初始信号线电连接,所述像素电路配置为在初始化阶段,使用所述初始信号线的信号进行初始化;所述控制电路配置为在初始化阶段,向所述初始化输出线提供所述第一直流信号线的第一直流电压;在非初始化阶段,向所述初始化输出线提供所述第二直流信号线的第二直流电压,所述第一直流电压不同于所述第二直流电压;所述控制电路包括第一开关子电路、第二开关子电路和第三开关子电路,其中:所述第一开关子电路分别与复位信号线、所述第一直流信号线和所述初始化输出线连接,配置为在所述复位信号线的信号的控制下,向所述初始化输出线提供所述第一直流信号线的第一直流电压;所述第二开关子电路分别与扫描信号线、所述第二直流信号线和所述初始化输出线连接,配置为在所述扫描信号线的信号的控制下,向所述初始化输出线提供所述第二直流信号线的第二直流电压;所述第三开关子电路分别与发光信号线、所述第二直流信号线和所述初始化输出线连接,配置为在所述发光信号线的信号的控制下,向所述初始化输出线提供所述第二直流信号线的第二直流电压;所述复位信号线、所述扫描信号线和所述发光信号线分别与所述像素电路电连接;

在所述驱动结构层上形成发光元件。

显示基板及其制备方法、显示装置

技术领域

[0001] 本公开实施例涉及但不限于显示技术领域,尤其涉及一种显示基板及其制备方法、显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode,OLED)为主动发光显示器件,具有自发光、广视角、高对比度、低耗电、极高反应速度等优点。随着显示技术的不断发展,以OLED为发光器件、由薄膜晶体管(Thin Film Transistor,TFT)进行信号控制的显示装置已成为目前显示领域的主流产品。

发明内容

[0003] 本公开实施例提供了一种显示基板及其制备方法、显示装置,能够提高显示效果。

[0004] 本公开实施例提供了一种显示基板,包括控制电路和像素电路,所述控制电路包括第一直流信号线、第二直流信号线和初始化输出线,所述像素电路包括初始信号线,所述初始化输出线与所述初始信号线电连接;所述像素电路,配置为在初始化阶段,使用所述初始信号线的信号进行初始化;所述控制电路,配置为在初始化阶段,向所述初始化输出线提供所述第一直流信号线的第一直流电压;在非初始化阶段,向所述初始化输出线提供所述第二直流信号线的第二直流电压,所述第一直流电压不同于所述第二直流电压。

[0005] 在示例性实施例中,所述控制电路包括第一开关子电路、第二开关子电路和第三开关子电路,其中:所述第一开关子电路分别与复位信号线、所述第一直流信号线和所述初始化输出线连接,配置为在所述复位信号线的信号的控制下,向所述初始化输出线提供所述第一直流信号线的第一直流电压;所述第二开关子电路分别与扫描信号线、所述第二直流信号线和所述初始化输出线连接,配置为在所述扫描信号线的信号的控制下,向所述初始化输出线提供所述第二直流信号线的第二直流电压;所述第三开关子电路分别与发光信号线、所述第二直流信号线和所述初始化输出线连接,配置为在所述发光信号线的信号的控制下,向所述初始化输出线提供所述第二直流信号线的第二直流电压;所述复位信号线、所述扫描信号线和所述发光信号线分别与所述像素电路电连接。

[0006] 在示例性实施例中,所述初始信号线包括第一初始信号线和第二初始信号线,所述初始化输出线与所述第一初始信号线和所述第二初始信号线中的至少一个电连接。

[0007] 在示例性实施例中,所述显示基板包括多条栅线和多条数据线,所述栅线沿第一方向延伸,所述数据线沿第二方向延伸,所述栅线和数据线交叉限定出多个子像素,每个所述控制电路的初始化输出线与多个像素电路的第一初始信号线电连接,且所述多个像素电路位于同一行子像素中。

[0008] 在示例性实施例中,同一行子像素对应设置两个控制电路,所述两个控制电路分别设置在所述同一行子像素沿第一方向的两侧。

[0009] 在示例性实施例中,同一行子像素对应设置n个控制电路,n为一行子像素中包含

的像素电路的个数,所述控制电路与所述像素电路一一对应且相邻设置。

[0010] 在示例性实施例中,所述像素电路包括第一晶体管、第二晶体管、存储电容、第三晶体管、第四晶体管、第五晶体管、第六晶体管和第七晶体管,所述控制电路包括第八晶体管、第九晶体管和第十晶体管,其中:所述第一晶体管的控制极与复位信号线连接,所述第一晶体管的第一极与第一初始信号线连接,所述第一晶体管的第二极与第一节点连接;所述第二晶体管的控制极与扫描信号线连接,所述第二晶体管的第一极与所述第一节点连接,所述第二晶体管的第二极与第三节点连接;所述存储电容的第一端与第一电源线连接,所述存储电容的第二端与所述第一节点连接;所述第三晶体管的控制极与第一节点连接,所述第三晶体管的第一极与第二节点连接,所述第三晶体管的第二极与所述第三节点连接;所述第四晶体管的控制极与扫描信号线连接,所述第四晶体管的第一极与数据信号线连接,所述第四晶体管的第二极与所述第二节点连接;所述第五晶体管的控制极与发光信号线连接,所述第五晶体管的第一极与所述第一电源线连接,所述第五晶体管的第二极与所述第二节点连接;所述第六晶体管的控制极与发光信号线连接,所述第六晶体管的第一极与所述第三节点连接,所述第六晶体管的第二极与发光元件的第一极连接;所述第七晶体管的控制极与扫描信号线连接,所述第七晶体管的第一极与第二初始信号线连接,所述第七晶体管的第二极与所述发光元件的第一极连接;所述第八晶体管的控制极与复位信号线连接,所述第八晶体管的第一极与所述第一直流信号线连接,所述第八晶体管的第二极与所述初始化输出线连接;所述第九晶体管的控制极与扫描信号线连接,所述第九晶体管的第一极与所述第二直流信号线连接,所述第九晶体管的第二极与所述初始化输出线连接;所述第十晶体管的控制极与发光信号线连接,所述第十晶体管的第一极与所述第二直流信号线连接,所述第十晶体管的第二极与所述初始化输出线连接;所述初始化输出线与所述第一初始信号线连接。

[0011] 在示例性实施例中,在垂直于所述显示基板的平面上,所述显示基板包括基底以及依次设置在所述基底上的有源层、第一栅金属层、第二栅金属层和第一源漏金属层;所述第一栅金属层包括所述第一直流信号线、所述第二直流信号线、第二初始信号总线、第一子复位信号线、第一子扫描信号线、第二子扫描信号线和第一子发光信号线,所述第二栅金属层包括第一初始信号线和第二初始信号线,第一源漏金属层包括第一电源线、数据信号线、第二子复位信号线、第三子扫描信号线和第二子发光信号线;所述第一直流信号线、第二直流信号线、第二初始信号总线沿第二方向延伸,所述第一子复位信号线、第一子扫描信号线、第二子扫描信号线和第一子发光信号线沿第一方向延伸;所述第二子复位信号线与所述第一子复位信号线连接,所述第三子扫描信号线分别与所述第一子扫描信号线以及所述第二子扫描信号线连接,所述第二子发光信号线与所述第一子发光信号线连接,所述第二初始信号线与所述第二初始信号总线连接,本显示行的第一子复位信号线同时作为下一显示行的第二子扫描信号线,本显示行的第二子扫描信号线同时作为上一显示行的第一子复位信号线,本显示行的第一子扫描信号线不与上下显示行共用。

[0012] 在示例性实施例中,所述有源层包括第一晶体管的第一有源层至第十晶体管的第十有源层,其中:所述第一子复位信号线与所述第一晶体管的第一有源层交叠区域作为所述第一晶体管的栅极,所述第一子复位信号线与所述第八晶体管的第八有源层交叠区域作为所述第八晶体管的栅极;所述第一子扫描信号线与所述第二晶体管的第二有源层交叠区

域作为所述第二晶体管的栅极,所述第一子扫描信号线与所述第四晶体管的第四有源层交叠区域作为所述第四晶体管的栅极,所述第一子扫描信号线与所述第九晶体管的第九有源层交叠区域作为所述第九晶体管的栅极;所述第二子扫描信号线与所述第七晶体管的第七有源层交叠区域作为所述第七晶体管的栅极;所述第一子发光信号线与所述第五晶体管的第五有源层交叠区域作为所述第五晶体管的栅极,所述第一子发光信号线与所述第六晶体管的第六有源层交叠区域作为所述第六晶体管的栅极,所述第一子发光信号线与所述第十晶体管的第十有源层交叠区域作为所述第十晶体管的栅极。

[0013] 本公开实施例还提供了一种显示装置,包括:如上所述的显示基板。

[0014] 本公开实施例还提供了一种显示基板的制备方法,包括:在基底上形成驱动结构层,所述驱动结构层包括控制电路和像素电路,所述控制电路包括第一直流信号线、第二直流信号线和初始化输出线,所述像素电路包括初始信号线,所述初始化输出线与所述初始信号线电连接,所述像素电路配置为在初始化阶段,使用所述初始信号线的信号进行初始化;所述控制电路配置为在初始化阶段,向所述初始化输出线提供所述第一直流信号线的第一直流电压;在非初始化阶段,向所述初始化输出线提供所述第二直流信号线的第二直流电压,所述第一直流电压不同于所述第二直流电压;在所述驱动结构层上形成发光元件。

[0015] 本公开实施例的显示基板及其制备方法、显示装置,通过控制电路在初始化阶段,向初始化输出线提供第一直流信号线的第一直流电压;在非初始化阶段,向初始化输出线提供第二直流信号线的第二直流电压,第一直流电压不同于第二直流电压,减少了像素电路因晶体管漏电导致的显示不良,并使得低温多晶硅薄膜晶体管技术可以应用于低刷新频率显示产品。此外,本公开的制备工艺可以很好地与现有制备工艺兼容,工艺实现简单,易于实施,生产效率高,生产成本低,良品率高。

[0016] 本公开的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本公开而了解。本公开的其他优点可通过在说明书以及附图中所描述的方案来实现和获得。

附图说明

[0017] 附图用来提供对本公开技术方案的理解,并且构成说明书的一部分,与本公开的实施例一起用于解释本公开的技术方案,并不构成对本公开技术方案的限制。

[0018] 图1为本公开实施例一种显示基板的结构示意图;

[0019] 图2为本公开实施例一种像素电路的结构示意图;

[0020] 图3为本公开实施例另一种像素电路的结构示意图;

[0021] 图4为本公开实施例一种像素电路的等效电路图;

[0022] 图5为本公开实施例一种控制电路的结构示意图;

[0023] 图6为本公开实施例一种控制电路的等效电路图;

[0024] 图7为本公开实施例一种像素电路和控制电路的等效电路图;

[0025] 图8为图7所示像素电路和控制电路的工作时序图;

[0026] 图9为本公开实施例又一种显示基板的结构示意图;

[0027] 图10为本公开实施例又一种显示基板的结构示意图;

[0028] 图11为本公开实施例一种显示基板的平面结构示意图;

- [0029] 图12为图11中AA区域的剖面结构示意图；
- [0030] 图13为本公开实施例一种显示基板形成有源层后的结构示意图；
- [0031] 图14为图13中AA区域的剖面结构示意图；
- [0032] 图15为本公开实施例一种显示基板形成第一栅金属层后的结构示意图；
- [0033] 图16为图15中AA区域的剖面结构示意图；
- [0034] 图17为本公开实施例一种显示基板形成第二栅金属层后的结构示意图；
- [0035] 图18为图17中AA区域的剖面结构示意图；
- [0036] 图19为本公开实施例一种显示基板形成第一源漏金属层后的结构示意图；
- [0037] 图20为图19中AA区域的剖面结构示意图。

具体实施方式

[0038] 为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

[0039] 在附图中，有时为了明确起见，夸大表示了各构成要素的大小、层的厚度或区域。因此，本公开的一个方式并不一定限定于该尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的一个方式不局限于附图所示的形状或数值等。

[0040] 本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

[0041] 在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

[0042] 在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

[0043] 在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极(漏电极端子、漏区域或漏电极)与源电极(源电极端子、源区域或源电极)之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

[0044] 在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变

化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换。

[0045] 在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

[0046] 在本说明书中，“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态，因此，也包括该角度为 -5° 以上且 5° 以下的状态。另外，“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态，因此，也包括 85° 以上且 95° 以下的角度的状态。

[0047] 在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

[0048] 本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

[0049] 图1为本公开实施例提供的显示基板的结构示意图，如图1所示，本公开实施例提供了一种显示基板，包括控制电路和像素电路，控制电路包括第一直流信号线、第二直流信号线和初始化输出线，像素电路包括初始信号线，初始化输出线与初始信号线电连接；

[0050] 像素电路，配置为在初始化阶段，使用初始信号线的信号进行初始化；

[0051] 控制电路，配置为在初始化阶段，向初始化输出线提供第一直流信号线的第一直流电压；在非初始化阶段，向初始化输出线提供第二直流信号线的第二直流电压，第一直流电压不同于第二直流电压。

[0052] 在一种示例性实施方式中，如图2所示，本公开实施例的像素电路可以包括复位子电路、写入子电路、第一发光控制子电路、第二发光控制子电路、驱动子电路和补偿子电路。

[0053] 其中，复位子电路分别与初始信号线INIT、复位信号线Reset、第一节点N1和第四节点N4连接，用于在复位信号线Reset的控制下，对第一节点N1和第四节点N4进行复位。

[0054] 写入子电路分别与数据信号线Data、扫描信号线Gate和第二节点N2连接，用于在扫描信号线Gate的控制下，向第二节点N2提供数据信号线Data的信号。

[0055] 第一发光控制子电路分别与发光信号线EM、第一电源线VDD和第二节点N2连接，用于在发光信号线EM的控制下，向第二节点N2提供第一电源线VDD的信号。

[0056] 第二发光控制子电路分别与发光控制信号线EM、第三节点N3和第四节点N4连接，用于在发光控制信号线EM的控制下，控制第三节点N3和第四节点N4导通。

[0057] 补偿子电路分别与第一节点N1、扫描信号线Gate、第一电源线VDD和第三节点N3连接，用于在扫描信号线Gate的控制下，对第一节点N1进行电压补偿；

[0058] 驱动子电路分别与第一节点N1、第二节点N2和第三节点N3连接，用于在第一节点N1的控制下，产生驱动发光元件发光的驱动电流。

[0059] 在一种示例性实施方式中，发光元件的第一极与第四节点N4连接，发光元件的第二极与第二电源线VSS连接，第二电源线VSS的信号为持续提供低电平信号，第一电源线VDD的信号为持续提供高电平信号。

[0060] 扫描信号线Gate为本显示行像素电路中的扫描信号线，复位信号线Reset为上一显示行像素电路中的扫描信号线，即对于第n显示行，扫描信号线Gate为S(n)，复位信号线Reset为S(n-1)，本显示行的复位信号线Reset与上一显示行像素电路中的扫描信号线Gate

为同一信号线,可以减少显示面板的信号线,实现显示面板的窄边框。

[0061] 在一种示例性实施方式中,如图3所示,复位子电路可以包括第一复位子电路和第二复位子电路,初始信号线INIT可以包括第一初始信号线INIT1和第二初始信号线INIT2,初始化输出线INT0可以与第一初始信号线INIT1和第二初始信号线INIT2中的至少一个电连接。

[0062] 第一复位子电路分别与第一初始信号线INIT1、复位信号线Reset和第一节点N1连接,用于在复位信号线Reset的控制下,向第一节点N1提供第一初始信号线INIT1的信号。

[0063] 第二复位子电路分别与第二初始信号线INIT2、扫描信号线Gate和第四节点N4连接,用于在扫描信号线Gate的控制下,向第四节点N4提供第二初始信号线INIT2的信号。

[0064] 在一种示例性实施方式中,初始化输出线INT0可以与第一初始信号线INIT1电连接。第二初始信号线INIT2的信号为持续提供一第二初始电压信号。本实施例中,由于第二初始电压和第二电源线VSS提供的第二电源电压非常接近,发光元件两端的压差较小,不易产生漏电,因此,第二初始信号线INIT2的信号可以为持续提供的一第二初始电压信号。

[0065] 在一种示例性实施方式中,初始化输出线INT0可以与第二初始信号线INIT2电连接。当发光元件两端的压差较大,较易产生漏电时,可以使用本公开实施例的控制电路为第二初始信号线INIT2在不同阶段提供差异化的电压信号,以减小发光元件两端的压差,减少漏电。

[0066] 在一种示例性实施方式中,如图4所示,第一复位子电路包括第一晶体管T1,补偿子电路包括第二晶体管T2和存储电容Cst,驱动子电路包括第三晶体管T3,写入子电路包括第四晶体管T4,第一发光控制子电路包括第五晶体管T5,第二发光控制子电路包括第六晶体管T6,第二复位子电路包括第七晶体管T7。

[0067] 其中,第一晶体管T1的控制极与复位信号线Reset连接,第一晶体管T1的第一极与第一初始信号线INIT1连接,第一晶体管T1的第二极与第一节点N1连接。当导通电平扫描信号施加到复位信号线Reset时,第一晶体管T1将第一初始化电压传输到第一节点N1(即第三晶体管T3的控制极),以使第三晶体管T3的控制极的电荷量初始化。

[0068] 第二晶体管T2的控制极与扫描信号线Gate连接,第二晶体管T2的第一极与第一节点N1连接,第二晶体管T2的第二极与第三节点N3连接。当导通电平扫描信号施加到扫描信号线Gate时,第二晶体管T2使第三晶体管T3的控制极与第二极连接。

[0069] 存储电容Cst的第一端与第一电源线VDD连接,存储电容Cst的第二端与第一节点N1连接,即存储电容Cst的第二端与第一节点N1(即第三晶体管T3的控制极)连接。

[0070] 第三晶体管T3的控制极与第一节点N1连接,即第三晶体管T3的控制极与存储电容Cst的第二端连接,第三晶体管T3的第一极与第二节点N2连接,第三晶体管T3的第二极与第三节点N3连接。第三晶体管T3可以称为驱动晶体管,第三晶体管T3根据其控制极与第一极之间的电位差来确定在第一电源线VDD与第二电源线VSS之间流动的驱动电流的量。

[0071] 第四晶体管T4的控制极与扫描信号线Gate连接,第四晶体管T4的第一极与数据信号线Data连接,第四晶体管T4的第二极与第二节点N2连接。第四晶体管T4可以称为开关晶体管、扫描晶体管等,当导通电平扫描信号施加到扫描信号线Gate时,第四晶体管T4使数据信号线Data的数据电压输入到像素电路。

[0072] 第五晶体管T5的控制极与发光信号线EM连接,第五晶体管T5的第一极与第一电源

线VDD连接,第五晶体管T5的第二极与第二节点N2连接。

[0073] 第六晶体管T6的控制极与发光信号线EM连接,第六晶体管T6的第一极与第三节点N3连接,第六晶体管T6的第二极与发光元件的第一极连接。第五晶体管T5和第六晶体管T6可以称为发光晶体管。当导通电平发光信号施加到发光信号线EM时,第五晶体管T5和第六晶体管T6通过在第一电源线VDD与第二电源线VSS之间形成驱动电流路径而使发光元件发光。

[0074] 第七晶体管T7的控制极与扫描信号线Gate连接,第七晶体管T7的第一极与第二初始信号线INIT2连接,第七晶体管T7的第二极与发光元件的第一极连接。当导通电平扫描信号施加到扫描信号线Gate时,第七晶体管T7将第二初始化电压传输到发光元件的第一极,以使发光元件的第一极中累积的电荷量初始化或释放发光元件的第一极中累积的电荷量。

[0075] 在一种示例性实施方式中,如图5所示,控制电路包括第一开关子电路、第二开关子电路和第三开关子电路,其中:

[0076] 第一开关子电路分别与复位信号线Reset、第一直流信号线V1和初始化输出线INT0连接,配置为在复位信号线Reset的信号的的控制下,向初始化输出线INT0提供第一直流信号线V1的第一直流电压;

[0077] 第二开关子电路分别与扫描信号线Gate、第二直流信号线V2和初始化输出线INT0连接,配置为在扫描信号线Gate的信号的的控制下,向初始化输出线INT0提供第二直流信号线V2的第二直流电压;

[0078] 第三开关子电路分别与发光信号线EM、第二直流信号线V2和初始化输出线INT0连接,配置为在发光信号线EM的信号的的控制下,向初始化输出线INT0提供第二直流信号线V2的第二直流电压;

[0079] 复位信号线Reset、扫描信号线Gate和发光信号线EM分别与像素电路电连接。

[0080] 在一种示例性实施方式中,如图6所示,第一开关子电路包括第八晶体管T8,第二开关子电路包括第九晶体管T9,第三开关子电路包括第十晶体管T10。

[0081] 其中,第八晶体管T8的控制极与复位信号线Reset连接,第八晶体管T8的第一极与第一直流信号线V1连接,第八晶体管T8的第二极与初始化输出线INT0连接。

[0082] 第九晶体管T9的控制极与扫描信号线Gate连接,第九晶体管T9的第一极与第二直流信号线V2连接,第九晶体管T9的第二极与初始化输出线INT0连接。

[0083] 第十晶体管T10的控制极与发光信号线EM连接,第十晶体管T10的第一极与第二直流信号线V2连接,第十晶体管T10的第二极与初始化输出线INT0连接。

[0084] 在一种示例性实施方式中,如图7所示,像素电路包括第一晶体管T1、第二晶体管T2、存储电容Cst、第三晶体管T3、第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7,控制电路包括第八晶体管T8、第九晶体管T9和第十晶体管T10。

[0085] 其中,第一晶体管T1的控制极与复位信号线Reset连接,第一晶体管T1的第一极与第一初始信号线INIT1连接,第一晶体管T1的第二极与第一节点N1连接。

[0086] 第二晶体管T2的控制极与扫描信号线Gate连接,第二晶体管T2的第一极与第一节点N1连接,第二晶体管T2的第二极与第三节点N3连接。

[0087] 存储电容Cst的第一端与第一电源线VDD连接,存储电容Cst的第二端与第一节点N1连接。

[0088] 第三晶体管T3的控制极与第一节点N1连接,第三晶体管T3的第一极与第二节点N2连接,第三晶体管T3的第二极与第三节点N3连接。

[0089] 第四晶体管T4的控制极与扫描信号线Gate连接,第四晶体管T4的第一极与数据信号线Data连接,第四晶体管T4的第二极与第二节点N2连接。

[0090] 第五晶体管T5的控制极与发光信号线EM连接,第五晶体管T5的第一极与第一电源线VDD连接,第五晶体管T5的第二极与第二节点N2连接。

[0091] 第六晶体管T6的控制极与发光信号线EM连接,第六晶体管T6的第一极与第三节点N3连接,第六晶体管T6的第二极与发光元件的第一极连接。

[0092] 第七晶体管T7的控制极与扫描信号线Gate连接,第七晶体管T7的第一极与第二初始信号线INIT2连接,第七晶体管T7的第二极与发光元件的第一极连接。

[0093] 第八晶体管T8的控制极与复位信号线Reset连接,第八晶体管T8的第一极与第一直流信号线V1连接,第八晶体管T8的第二极与初始化输出线INT0连接。

[0094] 第九晶体管T9的控制极与扫描信号线Gate连接,第九晶体管T9的第一极与第二直流信号线V2连接,第九晶体管T9的第二极与初始化输出线INT0连接。

[0095] 第十晶体管T10的控制极与发光信号线EM连接,第十晶体管T10的第一极与第二直流信号线V2连接,第十晶体管T10的第二极与初始化输出线INT0连接。

[0096] 初始化输出线INT0与第一初始信号线INIT1连接。

[0097] 在示例性实施方式中,第一晶体管T1到第十晶体管T10可以是P型晶体管,或者可以是N型晶体管。像素电路中采用相同类型的晶体管可以简化工艺流程,减少显示面板的工艺难度,提高产品的良率。在一些可能的实现方式中,第一晶体管T1到第十晶体管T10可以包括P型晶体管和N型晶体管。

[0098] 在示例性实施方式中,第一晶体管T1到第十晶体管T10可以采用低温多晶硅薄膜晶体管,或者可以采用氧化物薄膜晶体管,或者可以采用低温多晶硅薄膜晶体管和氧化物薄膜晶体管。低温多晶硅薄膜晶体管的有源层采用低温多晶硅(Low Temperature Poly-Silicon,LTPS),氧化物薄膜晶体管的有源层采用氧化物半导体(Oxide)。低温多晶硅薄膜晶体管具有迁移率高、充电快等优点,氧化物薄膜晶体管具有漏电流低等优点,将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个显示基板上,形成低温多晶氧化物(Low Temperature Polycrystalline Oxide,LTPO)显示基板,可以利用两者的优势,可以实现低频驱动,可以降低功耗,可以提高显示品质。

[0099] 本公开实施例的显示基板,通过控制电路在初始化阶段,向初始化输出线提供第一直流信号线的第一直流电压;在非初始化阶段,向初始化输出线提供第二直流信号线的第二直流电压,第一直流电压不同于第二直流电压,减少了像素电路因晶体管漏电导致的显示不良,并使得低温多晶硅薄膜晶体管技术可以应用于低刷新频率显示产品。

[0100] 在示例性实施方式中,发光元件可以是有机电致发光二极管(OLED),包括叠设的第一极(阳极)、有机发光层和第二极(阴极)。

[0101] 图8为本公开实施例的控制电路和像素电路的工作时序图。下面通过图7示例的控制电路和像素电路的工作过程说明本公开示例性实施例,图7中的像素电路包括7个晶体管(第一晶体管T1到第七晶体管T7)、1个存储电容Cst和8个信号线(数据信号线Data、扫描信号线Gate、复位信号线Reset、发光信号线EM、第一初始信号线INIT1、第二初始信号线

INIT2、第一电源线VDD和第二电源线VSS)。控制电路包括3个晶体管(第八晶体管T8到第十晶体管T10)和6个信号线(扫描信号线Gate、复位信号线Reset、发光信号线EM、第一直流信号线V1、第二直流信号线V2和初始化输出线INT0),10个晶体管均为P型晶体管。

[0102] 在示例性实施方式中,在一个显示周期内,该控制电路和像素电路的工作过程可以包括:

[0103] 第一阶段,称为复位阶段,复位信号线Reset的信号为低电平信号,扫描信号线Gate和发光信号线EM的信号为高电平信号。复位信号线Reset的信号为低电平信号,使第一晶体管T1和第八晶体管T8导通,第一直流信号线V1的第一直流电压通过第八晶体管T8提供至第一初始信号线INIT1,示例性的,第一直流电压 $v1 = -5V$,第一初始信号线INIT1的信号通过第一晶体管T1提供至第二节点N2,对存储电容Cst进行初始化,清除存储电容中原有数据电压。扫描信号线Gate和发光信号线EM的信号为高电平信号,使第二晶体管T2、第四晶体管T4、第五晶体管T5、第六晶体管T6和第七晶体管T7断开,此阶段发光元件OLED不发光。

[0104] 第二阶段,称为数据写入阶段或者阈值补偿阶段,扫描信号线Gate的信号为低电平信号,复位信号线Reset和发光信号线EM的信号为高电平信号,数据信号线Data输出数据电压。此阶段由于存储电容Cst的第二端为低电平,因此第三晶体管T3导通。扫描信号线Gate的信号为低电平信号使第二晶体管T2、第四晶体管T4、第七晶体管T7和第九晶体管T9导通。第二直流信号线V2的第二直流电压通过第九晶体管T9提供至第一初始信号线INIT1,由于第一直流电压 $v1 < \text{第二直流电压} v2$,示例性的, $v2 = -3V$,第一晶体管T1源漏两端压差减小,抑制了第一晶体管T1关态时产生的漏电,第二晶体管T2和第四晶体管T4导通使得数据信号线Data输出的数据电压经过第二节点N2、导通的第三晶体管T3、第三节点N3、导通的第二晶体管T2提供至第一节点N1,并将数据信号线Data输出的数据电压与第三晶体管T3的阈值电压之差充入存储电容Cst,存储电容Cst的第二端(第一节点N1)的电压为 $V_{data} - |V_{th}|$, V_{data} 为数据信号线Data输出的数据电压, V_{th} 为第三晶体管T3的阈值电压。第七晶体管T7导通使得第二初始信号线INIT2的第二初始电压提供至OLED的第一极,对OLED的第一极进行初始化(复位),清空其内部的预存电压,完成初始化,确保发光元件OLED不发光。复位信号线Reset的信号为高电平信号,使第一晶体管T1断开。发光信号线EM的信号为高电平信号,使第五晶体管T5和第六晶体管T6断开。

[0105] 第三阶段,称为发光阶段,发光信号线EM的信号为低电平信号,扫描信号线Gate和复位信号线Reset的信号为高电平信号。发光信号线EM的信号为低电平信号,使第五晶体管T5、第六晶体管T6和第十晶体管T10导通,第二直流信号线V2的第二直流电压通过第十晶体管T10提供至第一初始信号线INIT1,由于第一直流电压 $v1 < \text{第二直流电压} v2$,示例性的,第二直流电压 $v2 = -3V$,抑制了第一晶体管T1关态时产生的漏电,第一电源线VDD输出的第一电源电压通过导通的第五晶体管T5、第三晶体管T3和第六晶体管T6向发光元件OLED的第一极提供驱动电压,驱动发光元件OLED发光。

[0106] 在像素电路驱动过程中,流过第三晶体管T3(驱动晶体管)的驱动电流由其栅电极和第一极之间的电压差决定。由于第一节点N1的电压为 $V_{data} - |V_{th}|$,因而第三晶体管T3的驱动电流为:

$$[0107] \quad I = K * (V_{gs} - V_{th})^2 = K * [(V_{dd} - V_{data} + |V_{th}|) - V_{th}]^2 = K * [V_{dd} - V_{data}]^2$$

[0108] 其中,I为流过第三晶体管T3的驱动电流,也就是驱动OLED的驱动电流,K为常数,

V_{gs} 为第三晶体管T3的栅电极和第一极之间的电压差, V_{th} 为第三晶体管T3的阈值电压, V_{data} 为数据信号线Data输出的数据电压, V_{dd} 为第一电源线VDD输出的第一电源电压。

[0109] 在当前的像素电路中,在第一阶段(即初始化阶段),需要以较低的初始化电压完成对第一节点N1的初始化,由于第一晶体管T1在关态时(即第二阶段(数据写入阶段或者阈值补偿阶段)和第三阶段(发光阶段)),源漏两端存在较大的电位差 V_{ds} ,诱导第一晶体管T1产生漏电,关态电流 I_{off} 偏高,从而引起第一节点N1电位负偏,引起第三晶体管T3(驱动晶体管)开态电流 I_{on} 较大,严重时会引起画面偏亮类的显示不良,如亮点不良。通常,此种第一晶体管T1漏电所致亮点在所有亮点不良中的占比较大,且通过晶体管老化方案(通常称T-Aging,即对晶体管加载压力(Stress)电压,使晶体管的电流转移特性(ID-VG)曲线末端平坦化从而降低晶体管关态电流 I_{off} 的方法)无法对其改善。同时,基于低温多晶硅(Low Temperature Poly-silicon,LTPS)薄膜晶体管技术制作的晶体管固有的关态电流 I_{off} 偏大,低刷新频率下,第一节点N1的电位在第三阶段难以长期维持不变,故限制了其在低刷新频率(如10Hz)显示产品的应用。

[0110] 通过缩小第一晶体管T1关态时源漏两端的电位差 V_{ds} 能够有效抑制此种漏电形成。但在当前的像素电路和输入条件下,第一初始化电压 V_{init1} 为直流输入,直接改变第一初始化电压 V_{init1} 即达到减小第一晶体管T1关态时源漏两端的电位差 V_{ds} 的方法,会影响到像素电路在第一阶段的初始化效果,进而会影响到显示画质,得不偿失。

[0111] 理论上,基于低温氧化物半导体的LTPO(Low Temperature Polycrystalline Oxide)技术因 I_{off} 低亦能解决上述问题。该技术也在低温进行,现有的LTPS生产设备基本能满足;使用该技术能够在静止页面使用低帧率显示来降低功耗,一定程度能延长设备续航。但是,LTPO技术亦有其技术难点,必然会增加工艺步骤(如一至两道掩膜与退火工艺等),工艺成本升高以及相应的工艺管控难度显著增加,生产成本较难降低,不易量产。

[0112] 本公开实施例提供了一种显示基板,包括控制电路和像素电路,控制电路的输入端输入不同的直流信号,输出端实现分时输出不同的直流信号,即达到连续输出交流方波信号的目的。将控制电路设置在像素电路的前端,即将控制电路输出的交流信号作为第一初始化电压 V_{init1} 再输入像素电路,实现仅提高第一初始化电压 V_{init1} 在第二阶段和第三阶段的电位,达到抑制第一晶体管T1关态时漏电的目的;同时,第一阶段保持原第一初始化电压 V_{init1} 的电位,不影响第一阶段的初始化效果。通过该方案实现对第一晶体管T1漏电的抑制,并达到如下两种效果:(1)减少了因第一晶体管T1漏电导致的显示不良;(2)可以将LTPS技术应用于低刷新频率显示产品。此外,本公开的制备工艺可以很好地与现有制备工艺兼容,工艺实现简单,易于实施,生产效率高,生产成本低,良品率高。

[0113] 上述实施例以第一晶体管为P型晶体管为例,第一直流信号线V1提供的第一直流电压 v_1 小于第二直流信号线V2提供的第二直流电压 v_2 。在其他一些示例性实施方式中,当第一晶体管为N型晶体管时,第一直流信号线V1提供的第一直流电压 v_1 可以大于第二直流信号线V2提供的第二直流电压 v_2 ,以达到抑制第一晶体管T1关态时漏电的目的。

[0114] 在一种示例性实施方式中,该显示基板包括多条栅线和多条数据线,栅线沿第一方向延伸,数据线沿第二方向延伸,栅线和数据线交叉限定出多个子像素,如图9所示,每个控制电路的初始化输出线与多个像素电路的第一初始信号线电连接,且多个像素电路位于同一行子像素中。

[0115] 在一种示例性实施方式中,如图9所示,同一行子像素对应设置两个控制电路,且两个控制电路分别设置在同一行子像素沿第一方向的两侧。

[0116] 如图9所示,在显示面板每行的双侧或单侧的阵列基板行驱动(Gate Driver on Array,GOA)电路与像素电路之间都配置该控制电路,子像素每行输入的第一初始化电压Vinit1即为控制电路的输出,即实现输出高低变化的动态Vinit1的目的。在现有面板双侧或单侧边缘各增加约10-15 μm 即可实现。

[0117] 在一种示例性实施方式中,GOA电路包括栅极驱动电路和控制极驱动电路,每行子像素中的复位信号线与上一行子像素中的扫描信号线为同一信号线,复位信号线的信号与扫描信号线的信号由栅极驱动电路提供,发光信号线的信号由控制极驱动电路提供。

[0118] 在一种示例性实施方式中,如图10所示,同一行子像素对应设置n个控制电路,n为一行子像素中包含的像素电路的个数,控制电路与像素电路一一对应且相邻设置。

[0119] 如图10所示,在显示面板有效显示区内每个像素电路的第一晶体管T1前都配置该控制电路,每行像素直接在控制电路前输入第一直流信号线V1的第一直流电压和第二直流信号线V2的第二直流电压,则子像素的控制电路输出即为像素电路输入的第一初始化电压Vinit1,实现输入高低变化的动态第一初始化电压Vinit1的目的。

[0120] 如图11和图12所示,在垂直于显示基板的平面上,该显示基板包括基底以及依次设置在基底上的有源层、第一栅金属层、第二栅金属层和第一源漏金属层;

[0121] 第一栅金属层包括第一直流信号线V1、第二直流信号线V2、第二初始信号总线INIT2-1、第一子复位信号线Reset-1、第一子扫描信号线Gate-1、第二子扫描信号线Gate-2和第一子发光信号线EM-1,第二栅金属层包括第一初始信号线INIT1和第二初始信号线INIT2,第一源漏金属层包括第一电源线VDD、数据信号线Data、第二子复位信号线Reset-2、第三子扫描信号线Gate-3和第二子发光信号线EM-2;第一直流信号线V1、第二直流信号线V2、第二初始信号总线INIT2-1沿第二方向D2延伸,第一子复位信号线Reset-1、第一子扫描信号线Gate-1、第二子扫描信号线Gate-2和第一子发光信号线EM-1沿第一方向D1延伸;

[0122] 第二子复位信号线Reset-2与第一子复位信号线Reset-1连接,第三子扫描信号线Gate-3分别与第一子扫描信号线Gate-1以及第二子扫描信号线Gate-2连接,第二子发光信号线EM-2与第一子发光信号线EM-1连接,第二初始信号线INIT2-1与第二初始信号总线INIT2连接,本显示行的第一子复位信号线Reset-1同时作为下一显示行的第二子扫描信号线Gate-2,本显示行的第二子扫描信号线Gate-2同时作为上一显示行的第一子复位信号线Reset-1,本显示行的第一子扫描信号线Gate-1不与上下显示行共用。

[0123] 在示例性实施方式中,有源层包括第一晶体管T1的第一有源层11至第十晶体管T10的第十有源层110,其中:

[0124] 第一子复位信号线Reset-1与第一晶体管T1的第一有源层11交叠区域作为第一晶体管T1的栅极,第一子复位信号线Reset-1与第八晶体管T8的第八有源层18交叠区域作为第八晶体管T8的栅极;

[0125] 第一子扫描信号线Gate-1与第二晶体管T2的第二有源层12交叠区域作为第二晶体管T2的栅极,第一子扫描信号线Gate-1与第四晶体管T4的第四有源层14交叠区域作为第四晶体管T4的栅极,第一子扫描信号线Gate-1与第九晶体管T9的第九有源层19交叠区域作为第九晶体管T9的栅极;

[0126] 第二子扫描信号线Gate-2与第七晶体管T7的第七有源层17交叠区域作为第七晶体管T7的栅极；

[0127] 第一子发光信号线EM-1与第五晶体管T5的第五有源层15交叠区域作为第五晶体管T5的栅极，第一子发光信号线EM-1与第六晶体管T6的第六有源层16交叠区域作为第六晶体管T6的栅极，第一子发光信号线EM-1与第十晶体管T10的第十有源层110交叠区域作为第十晶体管T10的栅极。

[0128] 在示例性实施方式中，第一子扫描信号线Gate-1设置有向第一子复位信号线Reset-1一侧凸起的栅极块，栅极块在基底上的正投影与第二晶体管T2的第二有源层在基底上的正投影存在重叠区域，第一扫描信号线Gate-1和栅极块与第二晶体管T2的第二有源层相重叠的区域作为第二晶体管T2双栅结构的栅电极。第一子复位信号线Reset-1与第一晶体管T1的第一有源层相重叠的区域作为第一晶体管T1双栅结构的栅电极。

[0129] 下面通过显示基板的制备过程，示例性说明本公开实施例显示基板的结构。本公开所说的“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀和剥离光刻胶等处理。沉积可以采用选自溅射、蒸镀和化学气相沉积中的任意一种或多种，涂覆可以采用选自喷涂和旋涂中的任意一种或多种，刻蚀可以采用选自干刻和湿刻中的任意一种或多种。“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需构图工艺，则该“薄膜”还可以称为“层”。当在整个制作过程当中该“薄膜”还需构图工艺，则在构图工艺前称为“薄膜”，构图工艺后称为“层”。经过构图工艺后的“层”中包含至少一个“图案”。本公开中所说的“A和B同层设置”是指，A和B通过同一次构图工艺同时形成。“A的正投影包含B的正投影”是指，B的正投影落入A的正投影范围内，或者A的正投影覆盖B的正投影。

[0130] 在一些示例性实施例中，图11和图12所示的显示基板的制备过程可以包括如下步骤：

[0131] (1) 在基底上形成有源层图案。在示例性实施例中，形成有源层图案可以包括：在基底上依次沉积第一绝缘薄膜和半导体薄膜，通过图案化工艺对半导体薄膜进行图案化，形成覆盖基底的第一绝缘层，以及设置在第一绝缘层上的有源层，如图13和图14所示，图14为图13中A-A向的剖视图。

[0132] 其中，有源层图案可以包括第一晶体管T1的第一有源层11至第十晶体管T10的第十有源层110。第一有源层11至第七有源层17为相互连接的一体结构。第八有源层18至第九有源层19为相互连接的一体结构。在图13中，17(n-1)表示上一显示行子像素中的第七有源层17，110(n-1)表示上一显示行子像素中的第十有源层110，18(n+1)表示下一显示行子像素中的第八有源层18，11(n+1)表示下一显示行子像素中的第一有源层11。

[0133] 在示例性实施例中，第一有源层11的形状可以呈“n”字形，第二有源层12的形状可以呈“7”字形，第三有源层13的形状可以呈“n”字形，第四有源层14的形状可以呈“1”字形，第五有源层15和第六有源层16的形状可以呈“L”字形，第七有源层17的形状可以呈“1”字形。

[0134] 在示例性实施例中，每个晶体管的有源层可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。在示例性实施例中，第一有源层11的第二区11-2同时作为第二有源层12的第一区12-1，第三有源层13的第一区13-1同时作为第四有源层14的第二区14-2

和第五有源层15的第二区15-2,第三有源层13的第二区13-2同时作为第二有源层12的第二区12-2和第六有源层16的第一区16-1,第六有源层16的第二区16-2同时作为第七有源层17的第二区17-2,第九有源层19的第二区19-2同时作为第八有源层18的第二区18-2。在示例性实施例中,第一有源层11的第一区11-1、第四有源层14的第一区14-1、第五有源层15的第一区15-1、第七有源层17的第一区17-1、第八有源层18的第一区18-1、第九有源层19的第一区19-1、第十有源层110的第一区110-1和第十有源层110的第二区110-2单独设置。

[0135] 在示例性实施例中,第八有源层18、第九有源层19和第十有源层110均沿第二方向D2延伸,且第八有源层18、第九有源层19和第十有源层110位于一条形直线上。

[0136] 如图14所示,本次工艺后,显示基板包括设置在基底10上的第一绝缘层91和设置在第一绝缘层91上的有源层,有源层可以包括第一有源层11至第十有源层110。

[0137] (12)形成第一导电层图案。在示例性实施例中,形成第一导电层图案可以包括:在形成前述图案的基底上,依次沉积第二绝缘薄膜和第一金属薄膜,通过图案化工艺对第一金属薄膜进行图案化,形成覆盖有源层图案的第二绝缘层,以及设置在第二绝缘层上的第一导电层图案,第一导电层图案至少包括:第一直流信号线V1、第二直流信号线V2、第二初始信号总线INIT2-1、第一子扫描信号线Gate-1、第二子扫描信号线Gate-2、第一子复位信号线Reset-1、第一子发光信号线EM-1和存储电容的第一极板Cst-1,如图15和图16所示,图16为图15中A-A向的剖视图。在示例性实施例中,第一导电层可以称为第一栅金属(GATE 1)层。

[0138] 在示例性实施例中,第一子扫描信号线Gate-1、第二子扫描信号线Gate-2、第一子复位信号线Reset-1、第一子发光信号线EM-1沿第一方向D1延伸,第一直流信号线V1、第二直流信号线V2、第二初始信号总线INIT2-1沿第二方向D2延伸。存储电容的第一极板Cst-1位于第一子扫描信号线Gate-1和第一子发光信号线EM-1之间。

[0139] 在示例性实施例中,第一极板Cst-1可以为矩形状,矩形状的角部可以设置倒角,第一极板Cst-1在基底上的正投影与第三晶体管T3的第三有源层在基底上的正投影存在重叠区域。在示例性实施例中,第一极板Cst-1同时作为第三晶体管T3的栅电极。

[0140] 在示例性实施例中,第一子扫描信号线Gate-1设置有向第一子复位信号线Reset-1一侧凸起的栅极块Gate-12,栅极块Gate-12在基底上的正投影与第二晶体管T2的第二有源层在基底上的正投影存在重叠区域,第一扫描信号线Gate-1和栅极块Gate-12与第二晶体管T2的第二有源层相重叠的区域作为第二晶体管T2双栅结构的栅电极。第一子扫描信号线Gate-1与第四晶体管T4的第四有源层相重叠的区域作为第四晶体管T4的栅电极。第一子扫描信号线Gate-1与第九晶体管T9的第九有源层相重叠的区域作为第九晶体管T9的栅电极。第一子复位信号线Reset-1与第一晶体管T1的第一有源层相重叠的区域作为第一晶体管T1双栅结构的栅电极。第一子复位信号线Reset-1与第八晶体管T8的第八有源层相重叠的区域作为第八晶体管T8的栅电极。第二子扫描信号线Gate-2与第七晶体管T7的第七有源层相重叠的区域作为第七晶体管T7的栅电极。第一子发光信号线EM-1与第五晶体管T5的第五有源层相重叠的区域作为第五晶体管T5的栅电极,第一子发光信号线EM-1与第六晶体管T6的第六有源层相重叠的区域作为第六晶体管T6的栅电极,第一子发光信号线EM-1与第十晶体管T10的第十有源层相重叠的区域作为第十晶体管T10的栅电极。

[0141] 在示例性实施例中,本显示行的第一子复位信号线Reset-1同时作为下一显示行

的第二子扫描信号线Gate-2,本显示行的第二子扫描信号线Gate-2同时作为上一显示行的第一子复位信号线Reset-1。本显示行的第一子扫描信号线Gate-1为本显示行独有,不与上显示行或下显示行共用。

[0142] 在示例性实施例中,形成第一导电层图案后,可以利用第一导电层作为遮挡,对有源层进行导体化处理,被第一导电层遮挡区域的有源层形成第一晶体管T1至第十晶体管T10的沟道区域,未被第一导电层遮挡区域的有源层被导体化,即第一有源层至第十有源层的第一区和第二区均被导体化。

[0143] 如图16所示,本次工艺后,显示基板包括设置在基底10上的第一绝缘层91、设置在第一绝缘层91上的有源层、覆盖有源层的第二绝缘层92和设置在第二绝缘层92上的第一导电层,第一导电层可以包括第一直流信号线V1、第二直流信号线V2、第二初始信号总线INIT2-1、第一子扫描信号线Gate-1、第二子扫描信号线Gate-2、第一子复位信号线Reset-1、第一子发光信号线EM-1和存储电容的第一极板Cst-1。

[0144] (13)形成第二导电层图案。在示例性实施例中,形成第二导电层图案可以包括:在形成前述图案的基底上,依次沉积第三绝缘薄膜和第二金属薄膜,采用图案化工艺对第二金属薄膜进行图案化,形成覆盖第一导电层的第三绝缘层93,以及设置在第三绝缘层93上的第二导电层图案,第二导电层图案至少包括:第一初始信号线INIT1、第二初始信号线INIT2、存储电容的第二极板Cst-2、第一连接电极L1和第二连接电极L2,如图17和图18所述,图18为图17中A-A向的剖视图。在示例性实施例中,第二导电层可以称为第二栅金属(GATE 2)层。

[0145] 如图17所示,在示例性实施例中,第一初始信号线INIT1和第二初始信号线INIT2沿第一方向D1延伸,位于第二子扫描信号线Gate-2和第一子发光信号线EM-1之间。存储电容的第二极板Cst-2位于第一子扫描信号线Gate-1和第一子发光信号线EM-1之间。

[0146] 在示例性实施例中,第二极板Cst-2的轮廓可以为矩形状,矩形状的角部可以设置倒角,第二极板Cst-2在基底上的正投影与第一极板Cst-1在基底上的正投影存在重叠区域。第二极板Cst-2上设置有开口,开口可以位于第二极板Cst-2的中部。开口可以为矩形,使第二极板Cst-2形成环形结构。开口暴露出覆盖第一极板Cst-1的第三绝缘层93,且第一极板Cst-1在基底上的正投影包含开口在基底上的正投影。在示例性实施例中,开口配置为容置后续形成的第一过孔,第一过孔位于开口内并暴露出第一极板Cst-1,使后续形成的第一晶体管T1的第二极与第一极板Cst-1连接。

[0147] 在示例性实施例中,第一连接电极L1和第二连接电极L2设置在第二初始信号总线INIT2-1和子像素的像素电路之间,第一连接电极L1用于使第八有源层18的第一区18-1跨过后续形成的第二子复位信号线Reset-2,与第一直流信号线V1电连接,第二连接电极L2用于使第九有源层19的第一区19-1和第十有源层110的第一区110-1跨过后续形成的第三子扫描信号线Gate-3,与第二直流信号线V2电连接,

[0148] 如图18所示,本次工艺后,显示基板包括设置在基底10上的第一绝缘层91、设置在第一绝缘层91上的有源层、覆盖有源层的第二绝缘层92、设置在第二绝缘层92上的第一导电层、覆盖第一导电层的第三绝缘层93和设置在第三绝缘层93上的第二导电层,第二导电层至少包括第一初始信号线INIT1、第二初始信号线INIT2、存储电容的第二极板Cst-2、第一连接电极L1和第二连接电极L2。

[0149] (14) 形成第四绝缘层图案。在示例性实施例中,形成第四绝缘层图案可以包括:在形成前述图案的基底上,沉积第四绝缘薄膜,采用图案化工艺对第四绝缘薄膜进行图案化,形成覆盖第二导电层的第四绝缘层,第四绝缘层上设置有多个过孔,多个过孔至少包括:第一过孔H1至第二十五过孔H25,如图19和图20所示,图20为图19中A-A向的剖视图。

[0150] 如图19所示,在示例性实施例中,第一过孔H1位于第二极板Cst-2的开口内,第一过孔H1在基底上的正投影位于开口在基底上的正投影的范围之内,第一过孔H1内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第一极板Cst-1的表面。第一过孔H1配置为使后续形成的第一晶体管T1的第二极通过该过孔与第一极板Cst-1连接。

[0151] 在示例性实施例中,第二过孔H2位于第二极板Cst-2所在区域,第二过孔H2在基底上的正投影位于第二极板Cst-2在基底上的正投影的范围之内,第二过孔H2内的第四绝缘层被刻蚀掉,暴露出第二极板Cst-2的表面。第二过孔H2配置为使后续形成的第一电源线VDD通过该过孔与第二极板Cst-2连接。

[0152] 在示例性实施例中,第三过孔H3内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第五有源层的第一区的表面。第三过孔H3配置为使后续形成的第一电源线VDD通过该过孔与第五有源层连接。

[0153] 在示例性实施例中,第四过孔H4内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第六有源层的第二区(也是第七有源层的第二区)的表面。第四过孔H4配置为使后续形成的第六晶体管T6的第二极通过该过孔与第六有源层连接,以及使后续形成的第七晶体管T7的第二极通过该过孔与第七有源层连接。

[0154] 在示例性实施例中,第五过孔H5内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第四有源层的第一区的表面。第五过孔H5配置为使后续形成的数据线Data通过该过孔与第四有源层连接,第五过孔H5称为数据写入孔。

[0155] 在示例性实施例中,第六过孔H6内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第一有源层的第二区(也是第二有源层的第一区)的表面。第六过孔H6配置为使后续形成的第一晶体管T1的第二极通过该过孔与第一有源层连接,以及使后续形成的第二晶体管T2的第一极通过该过孔与第二有源层连接。

[0156] 在示例性实施例中,第七过孔H7内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第一有源层的第一区的表面;第九过孔H9内的第四绝缘层被刻蚀掉,暴露出第一初始信号线INIT1的表面。第七过孔H7和第九过孔H9配置为使后续形成的第一晶体管T1的第一极通过该过孔与第一初始信号线INIT1连接。

[0157] 在示例性实施例中,第十过孔H10内的第四绝缘层被刻蚀掉,暴露出第二初始信号线INIT2的表面;第十一过孔H11内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第七有源层的第一区的表面,第十过孔H10和第十一过孔H11配置为使后续形成的第七晶体管T7的第一极通过该过孔与第二初始信号线INIT2连接。

[0158] 在示例性实施例中,第十二过孔H12内的第四绝缘层被刻蚀掉,暴露出第一连接电极L1的表面;第十四过孔H14内的第四绝缘层被刻蚀掉,暴露出第一连接电极L1的表面;第十五过孔H15内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第一直流信号线V1的表面;第十六过孔H16内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第八有源层的第一区的表面,第十二过孔H12、第十四过孔H14、第十五过孔H15和第十六过孔H16配置为使后

续形成的第八晶体管T8的第一极通过该过孔以及第一连接电极L1与第一直流信号线V1连接。

[0159] 在示例性实施例中,第十七过孔H17内的第四绝缘层被刻蚀掉,暴露出第二初始信号线INIT2的表面;第十八过孔H18内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第二初始信号总线INIT2-1的表面;第十七过孔H17和第十八过孔H18配置为使每行子像素中的第二初始信号线INIT2与纵向的第二初始信号总线INIT2-1连接。

[0160] 在示例性实施例中,第二十过孔H20内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第九有源层的第一区的表面。第二十一过孔H21和第二十二过孔H22内的第四绝缘层被刻蚀掉,暴露出第二连接电极L2的表面。第二十三过孔H23内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第二直流信号线V2的表面。第二十四过孔H24内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第十有源层的第一区的表面。第二十过孔H20、第二十一过孔H21、第二十二过孔H22、第二十三过孔H23和第二十四过孔H24配置为使后续形成的第九晶体管T9的第一极通过该过孔与第二直流信号线V2连接,以及使后续形成的第十晶体管T9的第一极通过该过孔与第二直流信号线V2连接。

[0161] 在示例性实施例中,第十九过孔H19内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第八有源层的第二区(也是第九有源层的第二区)的表面。第二十五过孔H25内的第四绝缘层、第三绝缘层和第二绝缘层被刻蚀掉,暴露出第十有源层的第二区的表面。第八过孔H8内的第四绝缘层被刻蚀掉,暴露出第一初始信号线INIT1的表面。第十九过孔H19、第二十五过孔H25和第八过孔H8配置为使后续形成的第八晶体管T8的第二极、第九晶体管T9的第二极以及第十晶体管T10的第二极通过该过孔与第一初始信号线INIT1连接。

[0162] 在示例性实施例中,第十三过孔H13内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第二子扫描信号线Gate-2的表面;第二十六过孔H26内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第一子扫描信号线Gate-1的表面;第二十七过孔H27内的第四绝缘层和第三绝缘层被刻蚀掉,暴露出第一子发光信号线EM-1的表面,第十三过孔H13配置为使后续形成的第三子扫描信号线Gate-3通过该过孔与第二子扫描信号线Gate-2连接,第二十六过孔H26配置为使后续形成的第三子扫描信号线Gate-3通过该过孔与第一子扫描信号线Gate-1连接,第二十七过孔H27配置为使后续形成的第二子发光信号线EM-2通过该过孔与第一子发光信号线EM-1连接。

[0163] 如图20所示,在垂直于基底的平面内,第一绝缘层91设置在基底10上,有源层设置在第一绝缘层91上,第二绝缘层92覆盖有源层,第一导电层设置在第二绝缘层92上,第三绝缘层93覆盖第一导电层,第二导电层设置在第三绝缘层93上,第四绝缘层94覆盖第二导电层,第四绝缘层94上设置有多个过孔。

[0164] (15) 形成第三导电层图案。在示例性实施例中,形成第三导电层可以包括:在形成前述图案的基底上,沉积第三金属薄膜,采用图案化工艺对第三金属薄膜进行图案化,形成设置在第四绝缘层上的第三导电层,第三导电层至少包括:第一电源线VDD、数据线Data、第二子复位信号线Reset-2、第三子扫描信号线Gate-3、第二子发光信号线EM-2、初始化输出线INT0、第三连接电极L3、第四连接电极L4、第五连接电极L5、第六连接电极L6、第七连接电极L7、第八连接电极L8、第九连接电极L9、第十连接电极L10、第十一连接电极L11、第十二连接电极L12、第十三连接电极L13和第十四连接电极L14,如图11和图12所示,图12为图11中

A-A向的剖视图。在示例性实施例中,第三导电层可以称为第一源漏金属(SD1)层。

[0165] 参考图11和图19,在示例性实施例中,第一电源线VDD沿着第二方向D2延伸,第一电源线VDD一方面通过第二过孔H2与第二极板Cst-2连接,另一方面通过第三过孔H3与第五有源层连接,使第二极板Cst-2具有与第一电源线VDD相同的电位。

[0166] 在示例性实施例中,数据线Data沿着第二方向D2延伸,数据线Data通过第五过孔H5与第四有源层的第一区连接,使数据线Data传输的数据信号写入第四晶体管T4。

[0167] 在示例性实施例中,第五连接电极L5沿着第二方向D2延伸,其第一端通过第六过孔H6与第一有源层的第二区(也是第二有源层的第一区)连接,其第二端通过第一过孔H1与第一极板Cst-1连接,使第一极板Cst-1、第一晶体管T1的第二极和第二晶体管T2的第一极具有相同的电位。在示例性实施例中,第五连接电极L5可以作为第一晶体管T1的第二极和第二晶体管T2的第一极。

[0168] 在示例性实施例中,第四连接电极L4大致沿着第二方向D2延伸,其第一端通过第九过孔H9与第一初始信号线INIT1连接,其第二端通过第七过孔H7与第一有源层的第一区连接,使第一晶体管T1的第一极具有与第一初始信号线INIT1相同的电位。在示例性实施例中,第四连接电极L4可以作为第一晶体管T1的第一极。第三连接电极L3大致沿着第二方向D2延伸,其第一端通过第十过孔H10与第二初始信号线INIT2连接,其第二端通过第十一过孔H11与第七有源层的第一区连接,使第七晶体管T7的第一极具有与第二初始信号线INIT2相同的电位。在示例性实施例中,第三连接电极L3可以作为第七晶体管T7的第一极。

[0169] 在示例性实施例中,第六连接电极L6通过第四过孔H4与第六有源层的第二区(也是第七有源层的第二区)连接,使第六晶体管T6的第二极和第七晶体管T7的第二极具有相同的电位。在示例性实施例中,第六连接电极L6可以作为第六晶体管T6的第二极和第七晶体管T7的第二极。在示例性实施例中,第六连接电极L6配置为与后续形成的阳极连接。

[0170] 在示例性实施例中,第二子复位信号线Reset-2、第三子扫描信号线Gate-3、第二子发光信号线EM-2在基底上的正投影与第一直流信号线V1、第二直流信号线V2、第二初始信号总线INIT2-1在基底上的正投影交叠。第二子复位信号线Reset-2和第三子扫描信号线Gate-3的形状可以呈“L”形,第二子发光信号线EM-2的形状可以呈“1”字形。

[0171] 在示例性实施例中,第二子复位信号线Reset-2通过第十八过孔H18与第一子复位信号线Reset-1连接,第三子扫描信号线Gate-3通过第十三过孔H13与第二子扫描信号线Gate-2连接,第三子扫描信号线Gate-3通过第二十六过孔H26与第一子扫描信号线Gate-1连接,第二子发光信号线EM-2通过第二十七过孔H27与第一子发光信号线EM-1连接。

[0172] 在示例性实施例中,初始化输出线INT0通过第二十五过孔H25、第八过孔H8和第十九过孔H19分别与第八晶体管T8的第二极、第九晶体管T9的第二极、第十晶体管T10的第二极以及第一初始信号线INIT1连接。

[0173] 在示例性实施例中,第七连接电极L7通过第十七过孔H17和第十八过孔H18分别与第二初始信号线INIT2以及第二初始信号总线INIT2-1连接,使第二初始信号线INIT2和第二初始信号总线INIT2-1具有相同的电位。

[0174] 在示例性实施例中,第八连接电极L8通过第二十过孔H20、第二十一过孔H21和第二十四过孔H24分别与第九晶体管T9的第一极、第十晶体管T10的第一极以及第二连接电极L2连接,第二连接电极L2通过第二十二过孔H22与第九连接电极L9连接,第九连接电极L9通

过第二十三过孔H23与第二直流信号线V2连接。

[0175] 在示例性实施例中,第十连接电极L10通过第十六过孔H16和第十二过孔H12分别与第八晶体管T8的第一极以及第一连接电极L1连接,第一连接电极L1通过第十四过孔H14与第十一连接电极L11连接,第十一连接电极L11通过第十五过孔H15与第一直流信号线V1连接。

[0176] 如图12所示,在垂直于基底的平面内,第一绝缘层91设置在基底10上,有源层设置在第一绝缘层91上,第二绝缘层92覆盖有源层,第一导电层设置在第二绝缘层92上,第三绝缘层93覆盖第一导电层,第二导电层设置在第三绝缘层93上,第四绝缘层94覆盖第二导电层,第三导电层设置在第四绝缘层94上。

[0177] 在示例性实施例中,后续制备流程可以包括:依次沉积第五绝缘薄膜和第四金属薄膜,采用图案化工艺对第四金属薄膜进行图案化,形成覆盖第三导电层的第五绝缘层,以及设置在第五绝缘层上的第二源漏金属层图案;涂覆平坦薄膜,采用图案化工艺对平坦薄膜进行图案化,形成覆盖第二源漏金属层的平坦层;沉积透明导电薄膜,采用图案化工艺对透明导电薄膜进行图案化,形成设置在平坦层上的阳极;涂覆像素定义薄膜,通过图案化工艺对像素定义薄膜进行图案化,形成像素定义层,每个子像素的像素定义层设置有像素开口,像素开口暴露出阳极;采用蒸镀或喷墨打印工艺形成有机发光层,在有机发光层上形成阴极;形成封装层,封装层可以包括叠设的第一封装层、第二封装层和第三封装层,第一封装层和第三封装层可以采用无机材料,第二封装层可以采用有机材料,第二封装层设置在第一封装层和第三封装层之间,可以保证外界水汽无法进入发光结构层。

[0178] 在示例性实施方式中,基底可以是柔性基底,或者可以是刚性基底。刚性衬底可以为但不限于玻璃、石英中的一种或多种,柔性衬底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。在示例性实施方式中,柔性基底可以包括叠设的第一柔性材料层、第一无机材料层、半导体层、第二柔性材料层和第二无机材料层,第一柔性材料层和第二柔性材料层的材料可以采用聚酰亚胺(PI)、聚对苯二甲酸乙二酯(PET)或经表面处理的聚合物软膜等材料,第一无机材料层和第二无机材料层的材料可以采用氮化硅(SiNx)或氧化硅(SiOx)等,用于提高基底的抗水氧能力,半导体层的材料可以采用非晶硅(a-si)。

[0179] 在示例性实施例中,第一导电层、第二导电层和第三导电层可以采用金属材料,如银(Ag)、铜(Cu)、铝(Al)和钼(Mo)中的任意一种或多种,或上述金属的合金材料,如铝钨合金(AlNd)或钼铌合金(MoNb),可以是单层结构,或者多层复合结构,如Mo/Cu/Mo等。第一绝缘层、第二绝缘层、第三绝缘层、第四绝缘层和第五绝缘层可以采用硅氧化物(SiOx)、硅氮化物(SiNx)和氮氧化硅(SiON)中的任意一种或多种,可以是单层、多层或复合层。第一绝缘层称为缓冲(Buffer)层,用于提高基底的抗水氧能力,第二绝缘层和第三绝缘层称为栅绝缘(GI)层,第四绝缘层称为层间绝缘(ILD)层。平坦层可以采用有机材料,透明导电薄膜可以采用氧化铟锡ITO或氧化铟锌IZO。有源层可以采用多晶硅(p-Si),即本公开适用于LTPS薄膜晶体管。

[0180] 本公开所示显示基板的结构及其制备过程仅仅是一种示例性说明,在示例性实施方式中,可以根据实际需要变更相应结构以及增加或减少构图工艺,本公开在此不做限定。

[0181] 从以上描述的显示基板的结构以及制备过程可以看出,本公开实施例提供的显示基板,通过设置第一直流信号线、第二直流信号线和初始化输出线,控制电路在初始化阶段,向初始化输出线提供第一直流信号线的第一直流电压;在非初始化阶段,向初始化输出线提供第二直流信号线的第二直流电压,第一直流电压不同于第二直流电压,减少了像素电路因晶体管漏电导致的显示不良,并使得低温多晶硅薄膜晶体管技术可以应用于低刷新频率显示产品。。此外,本公开的制备工艺可以很好地与现有制备工艺兼容,工艺实现简单,易于实施,生产效率高,生产成本低,良品率高。

[0182] 本公开实施例还提供了一种显示基板的制备方法,以制备上述实施例提供的显示基板。在一种示例性实施方式中,该显示基板的制备方法可以包括以下步骤:

[0183] 在基底上形成驱动结构层,所述驱动结构层包括控制电路和像素电路,所述控制电路包括第一直流信号线、第二直流信号线和初始化输出线,所述像素电路包括初始信号线,所述初始化输出线与所述初始信号线电连接,所述像素电路配置为在初始化阶段,使用所述初始信号线的信号进行初始化;所述控制电路配置为在初始化阶段,向所述初始化输出线提供所述第一直流信号线的第一直流电压;在非初始化阶段,向所述初始化输出线提供所述第二直流信号线的第二直流电压,所述第一直流电压不同于所述第二直流电压;

[0184] 在所述驱动结构层上形成发光元件。

[0185] 本公开提供的显示基板的制备方法所制备的显示基板,其实现原理和实现效果与前述的显示基板的实现原理和实现效果类似,在此不再赘述。

[0186] 本公开还提供一种显示装置,显示装置包括前述的显示基板。显示装置可以为:手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件,本发明实施例并不以此为限。

[0187] 虽然本公开所揭露的实施方式如上,但所述的内容仅为便于理解本公开而采用的实施方式,并非用以限定本发明。任何所属领域内的技术人员,在不脱离本公开所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本发明的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

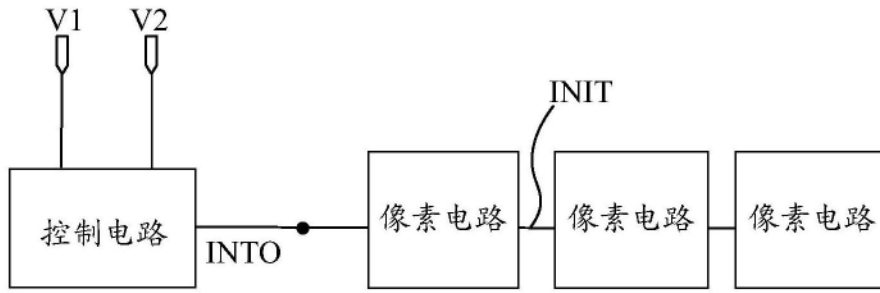


图1

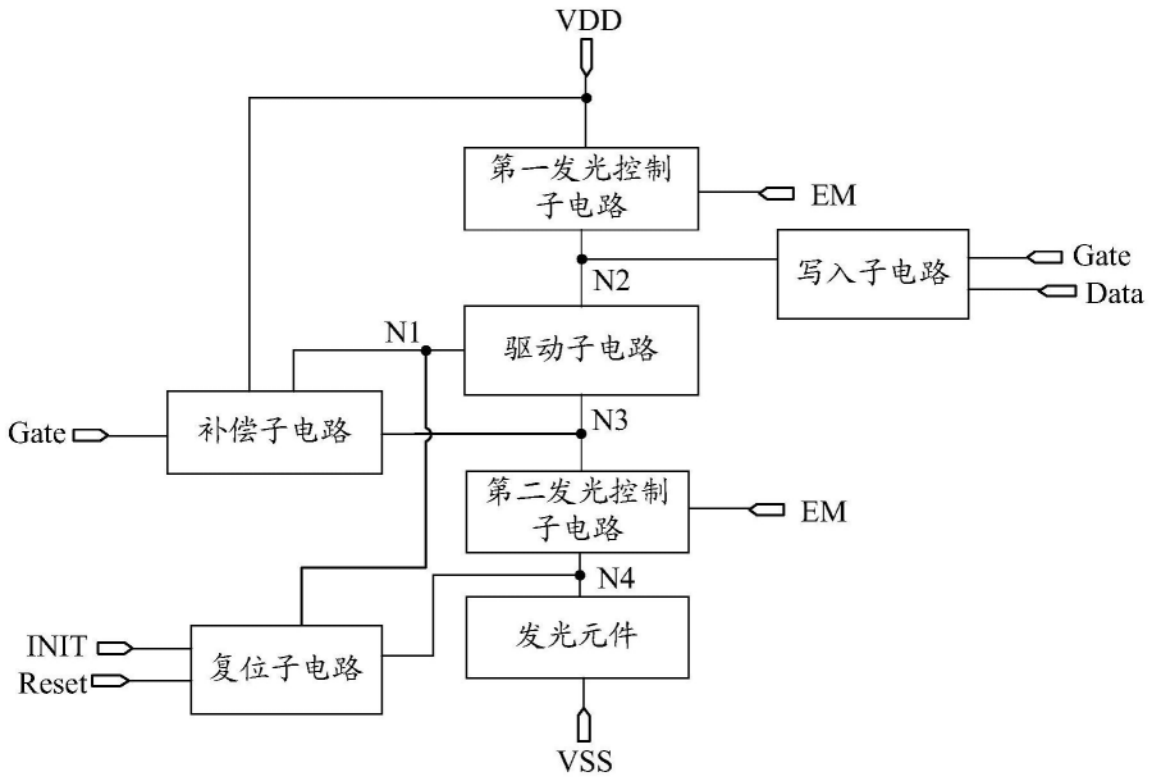


图2

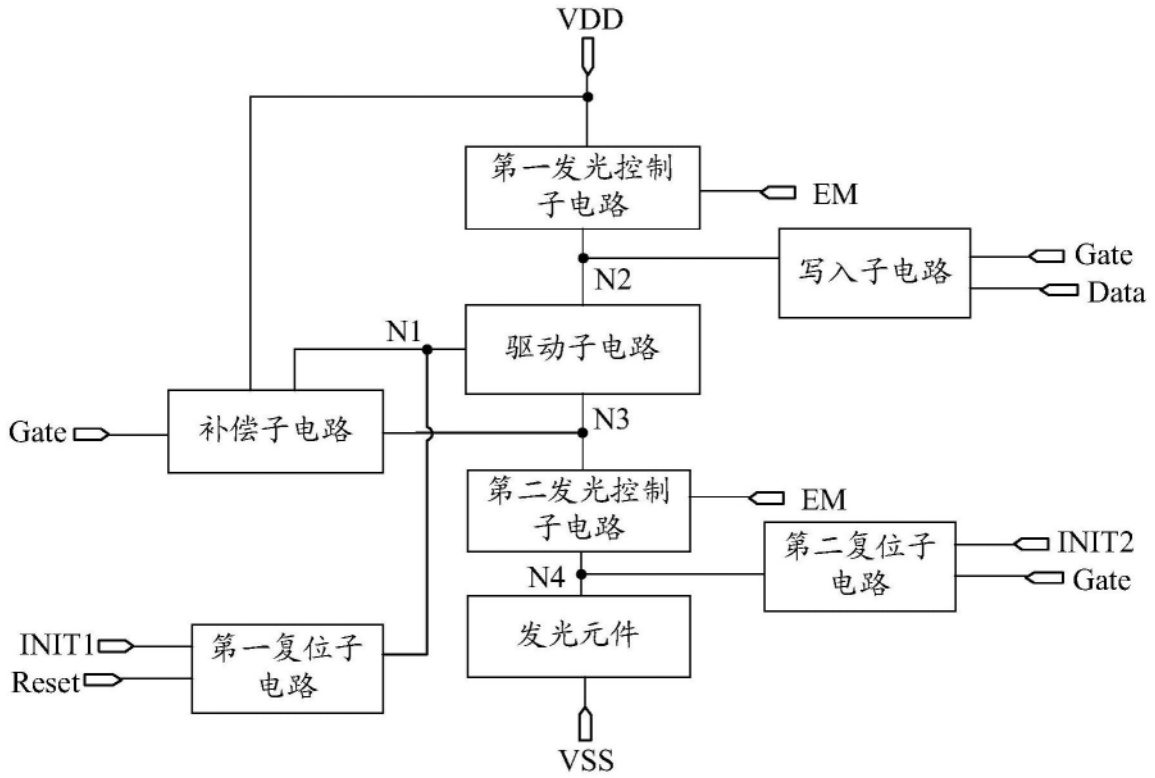


图3

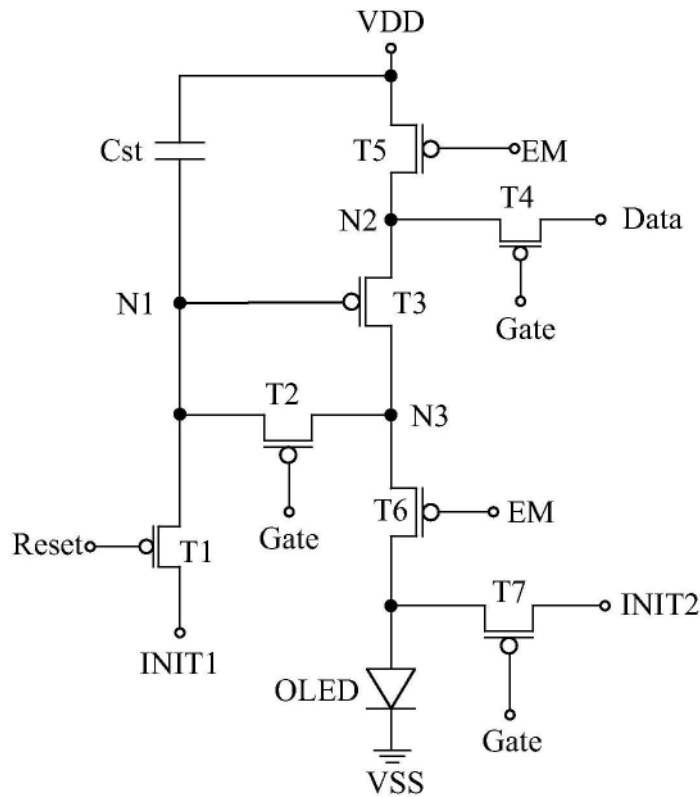


图4

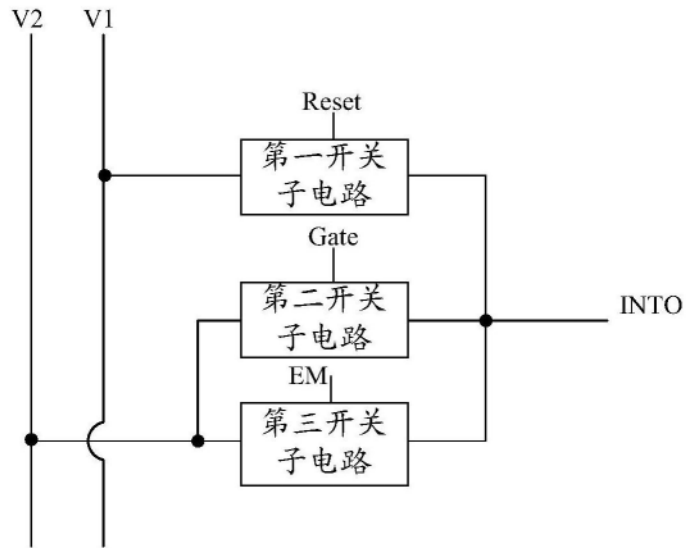


图5

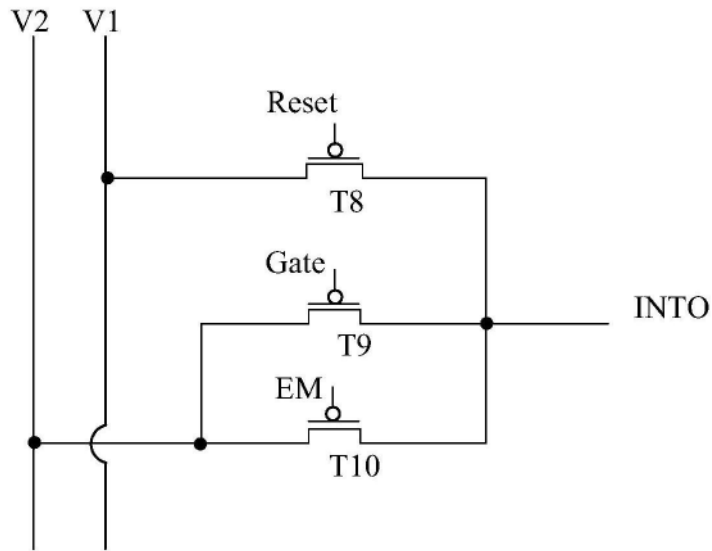


图6

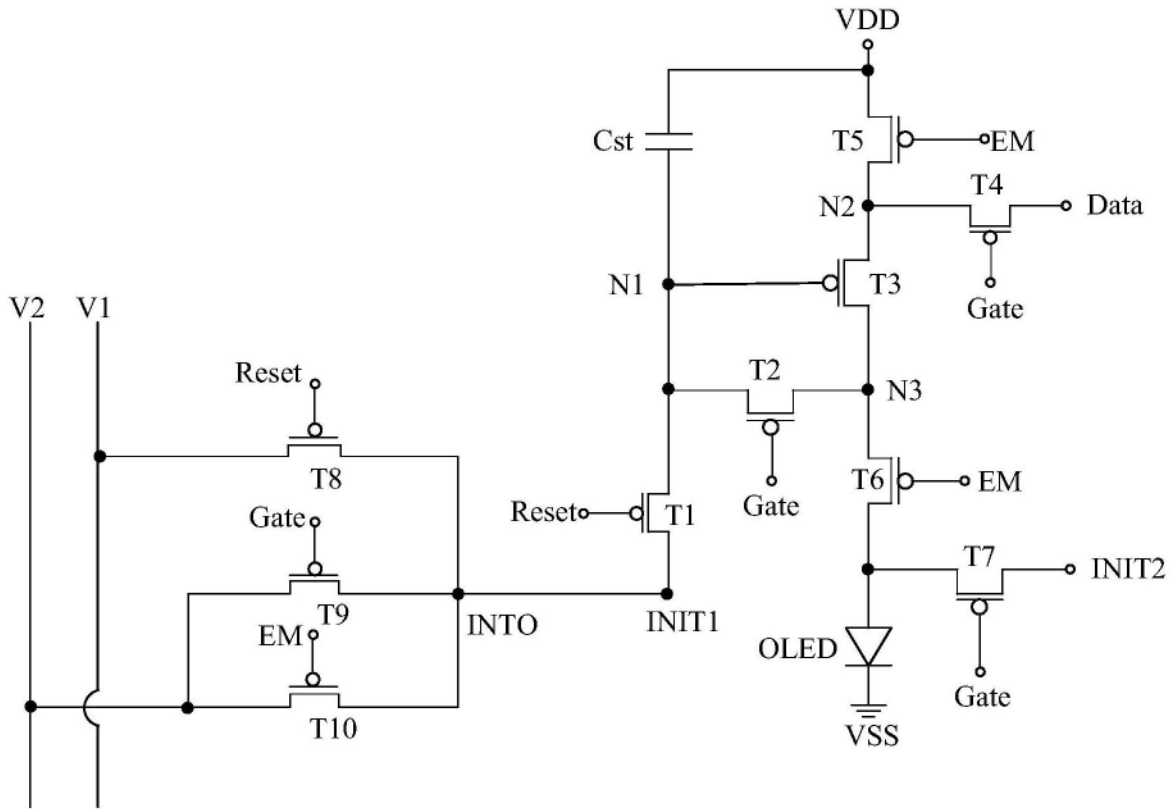


图7

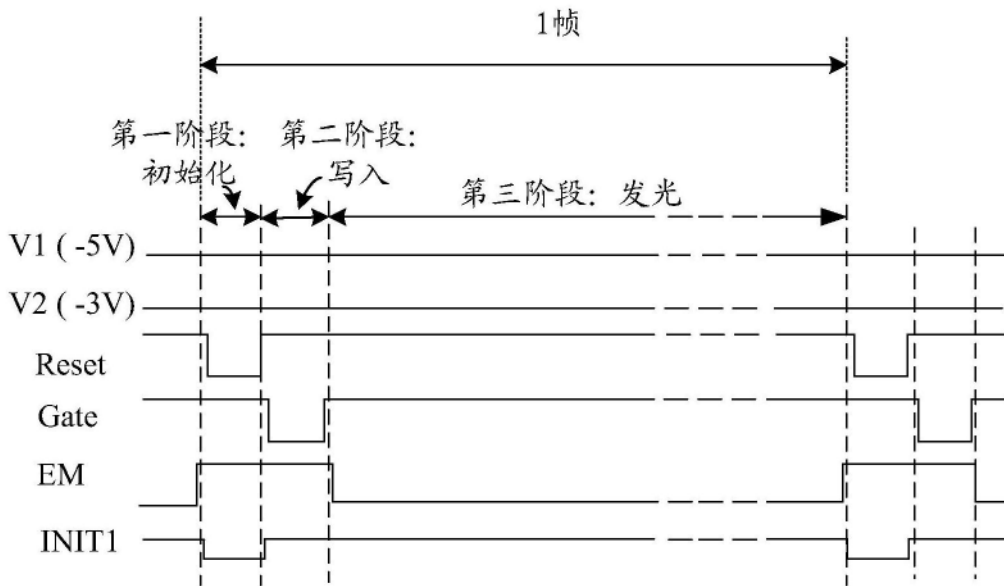


图8

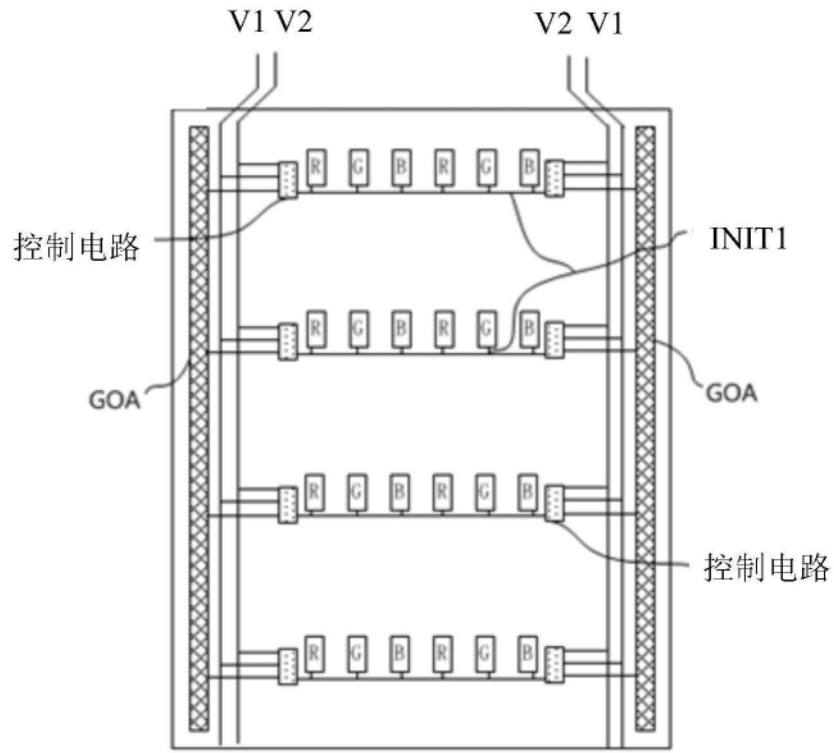


图9

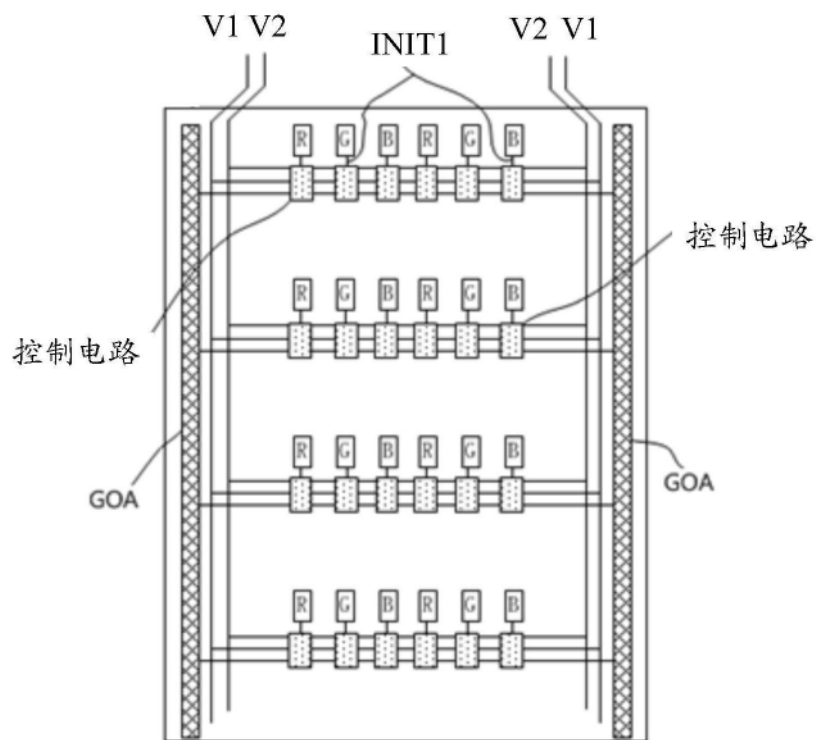


图10

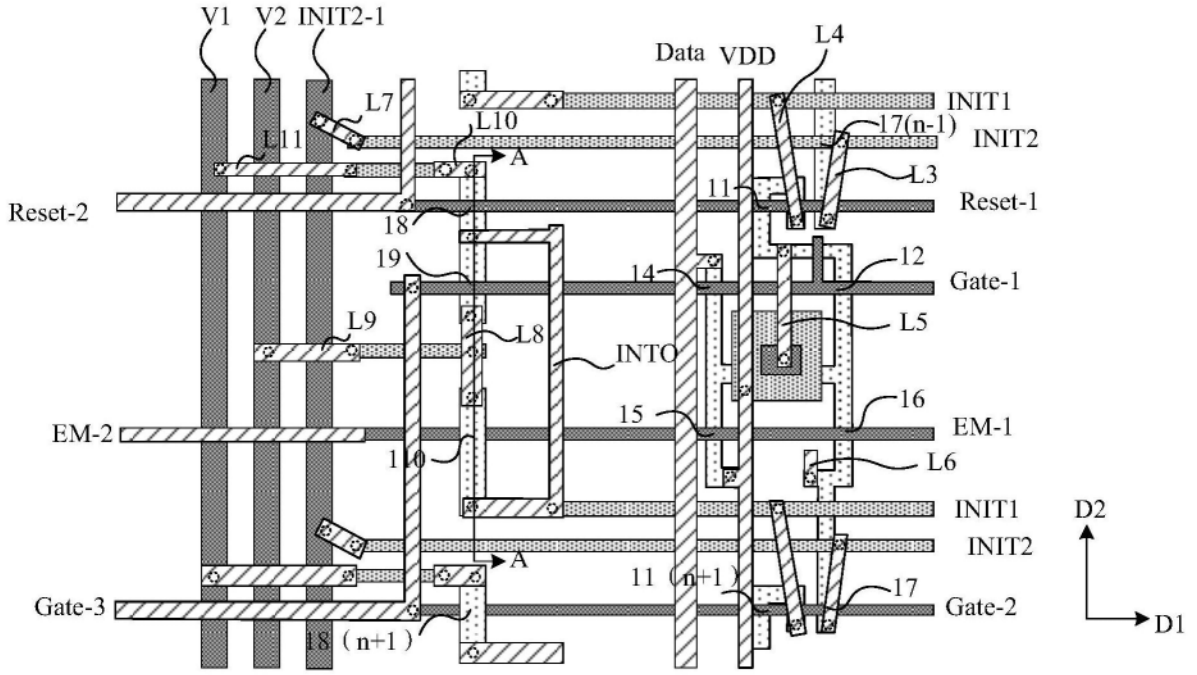


图11

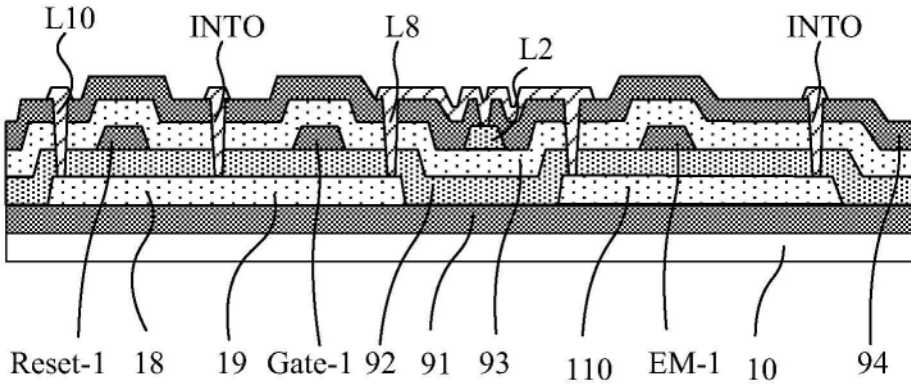


图12

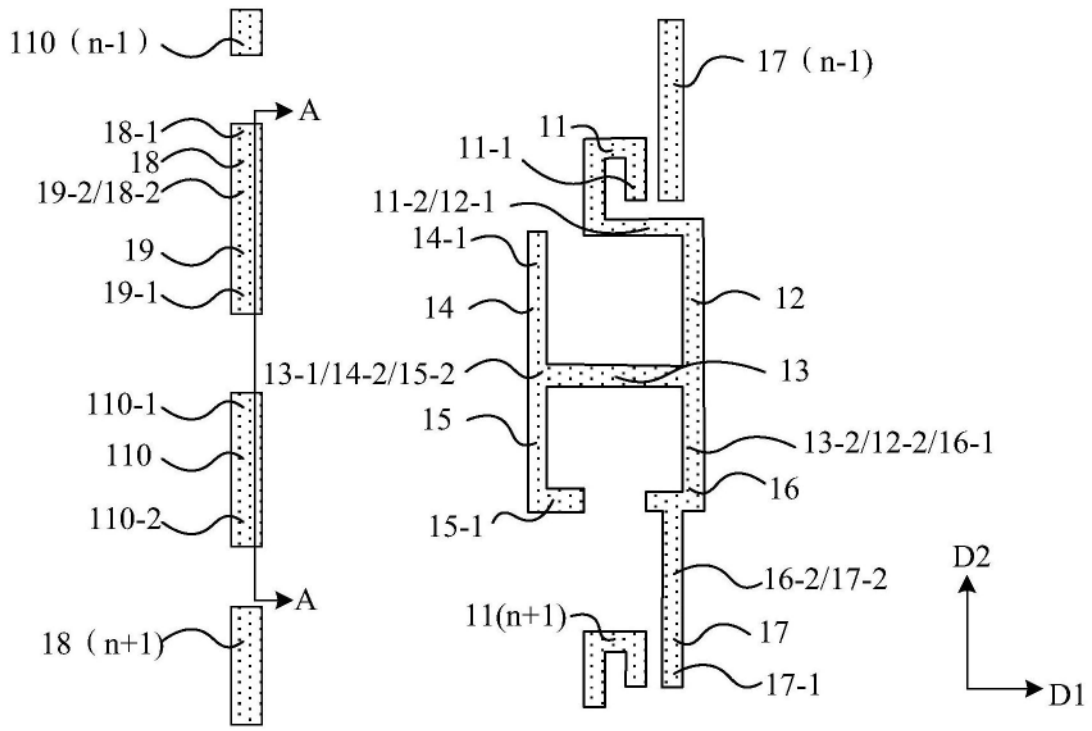


图13

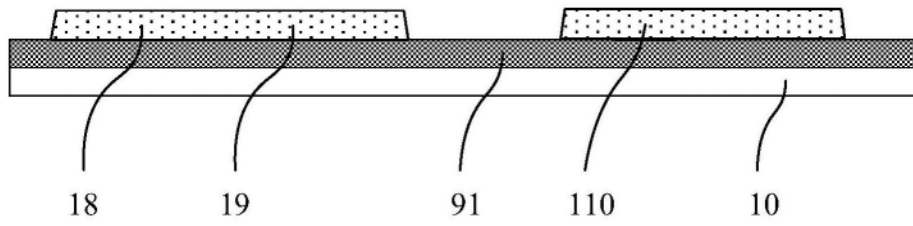


图14

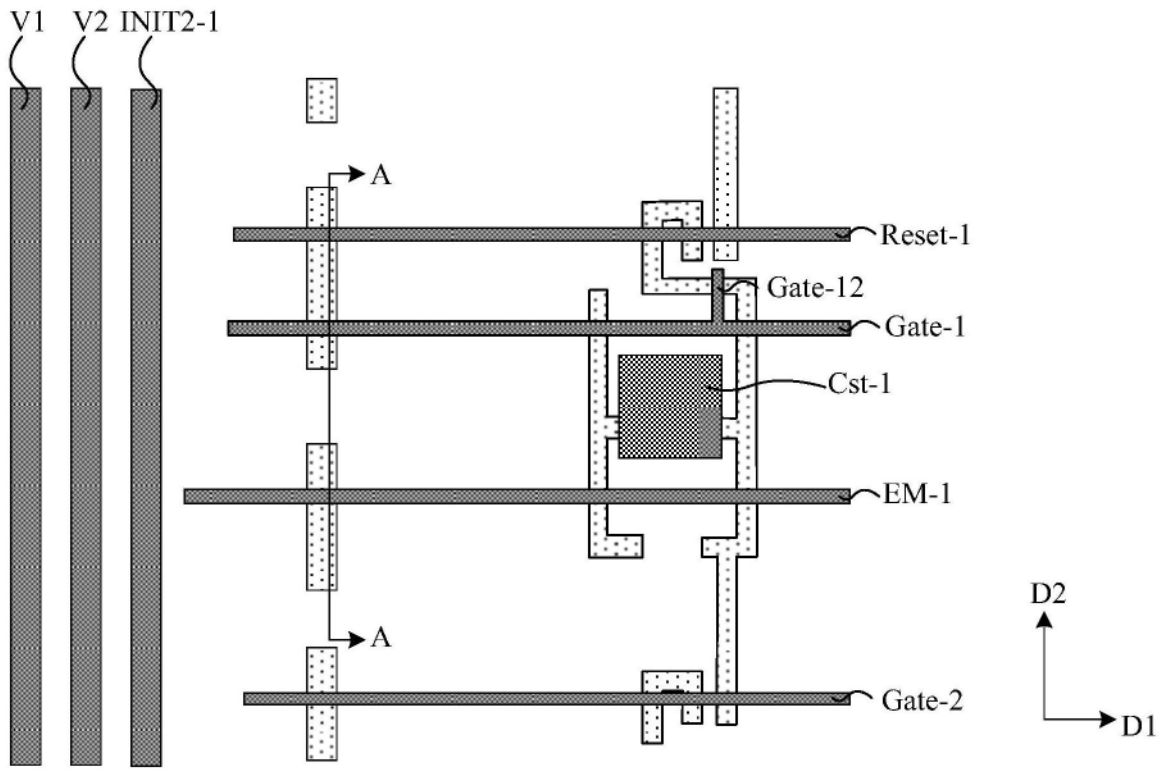


图15

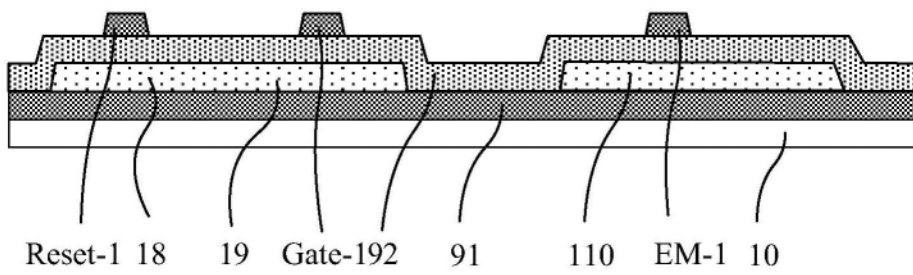


图16

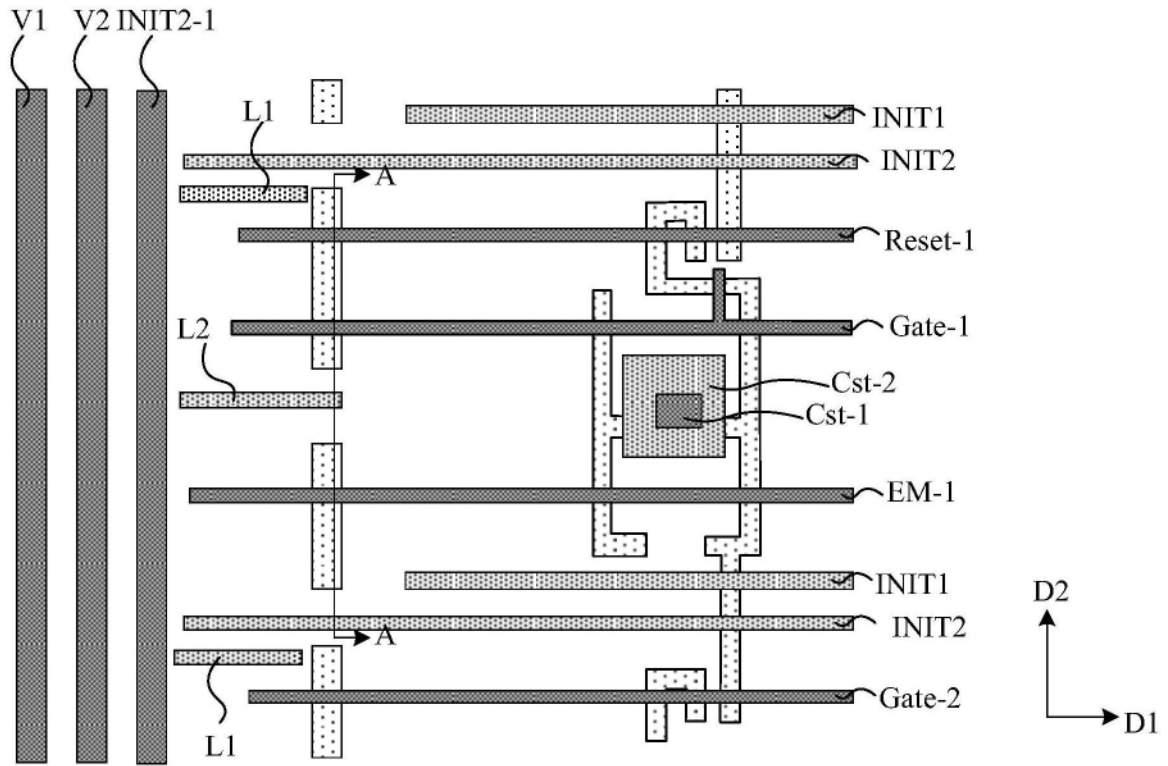


图17

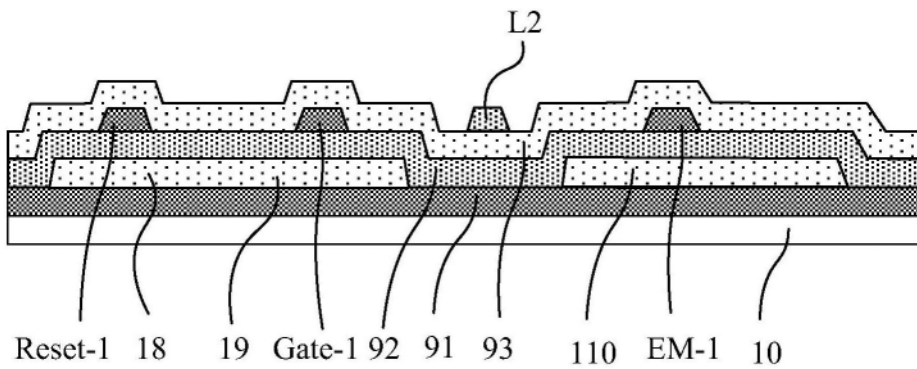


图18

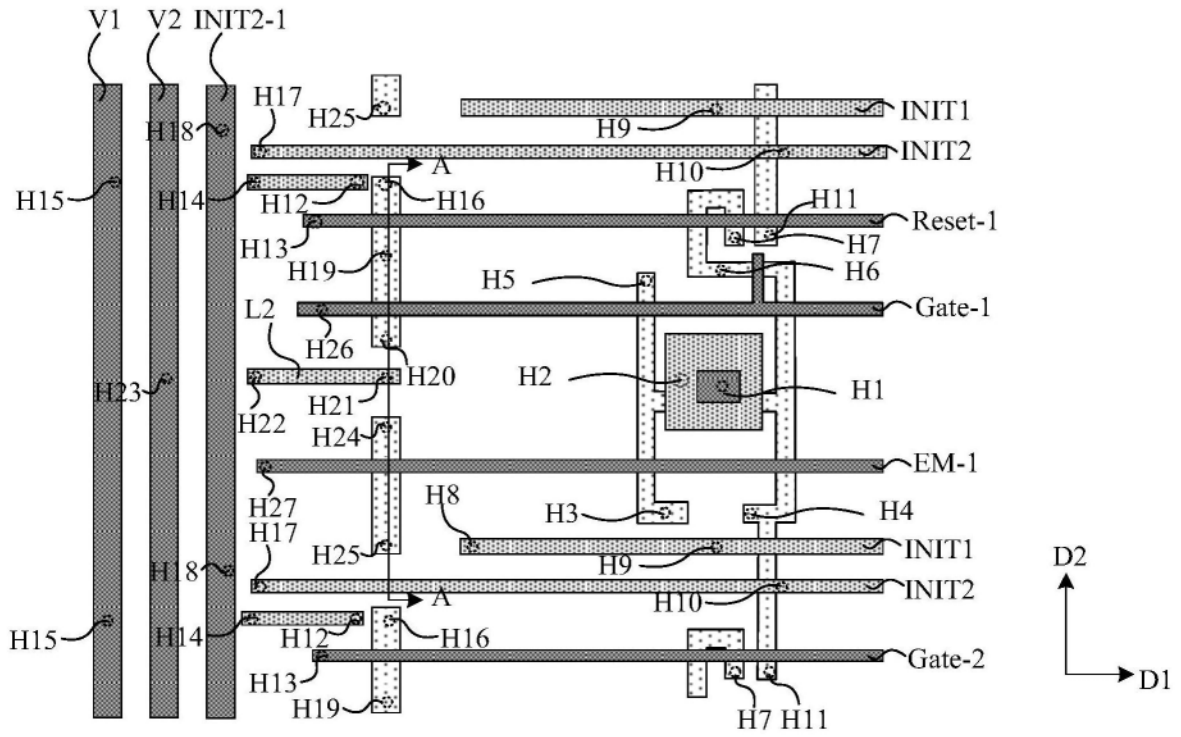


图19

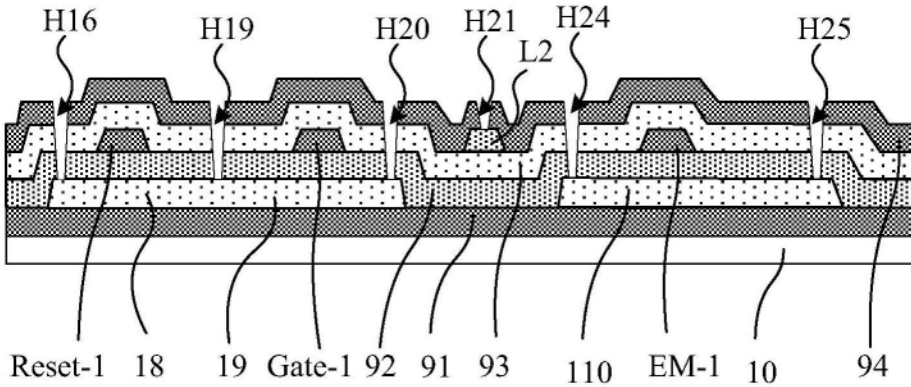


图20